

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年4月18日(2013.4.18)

【公開番号】特開2012-99845(P2012-99845A)

【公開日】平成24年5月24日(2012.5.24)

【年通号数】公開・登録公報2012-020

【出願番号】特願2012-4178(P2012-4178)

【国際特許分類】

H 01 C 7/02 (2006.01)

H 05 K 3/00 (2006.01)

【F I】

H 01 C 7/02

H 05 K 3/00 X

【手続補正書】

【提出日】平成24年2月13日(2012.2.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複合ポリマー回路保護デバイスを製造する方法であって、

(1)(a) それぞれ少なくとも1つの導電性表面を有する層状ポリマー素子を有している第1及び第2のラミネートを供給すること；

(b) 1つのラミネートの少なくとも1つの導電性表面に導電性物質のパターンを設けること；

(c) 前記ラミネートを所望の構成で重ねてスタッツクとして取り付け、少なくとも1つのラミネートの少なくとも1つの導電性表面が前記スタッツクの外側導電性表面を含むようにすること；

(d) 第1のラミネートの導電性表面と第2のラミネートの導電性表面との間に電気的接続を設けること；

を含んでなるポリマーアセンブリを提供する工程；並びに

(2) それそれが少なくとも1つの電気的接続を有する個々のデバイスにスタッツクを更に分割する工程

を含んでなる方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

得られたデバイスは、導電性ポリマーラミネートを横切る方向で測定して約0.028の抵抗を有し、導電性ポリマーラミネート及び隔離されたバイアを横切る方向で測定して $> 1 \times 10^6$ の抵抗を有していた。続いて、プリント回路基板又はN iリードへ装着することによって、デバイスは、導電性ポリマーラミネートを横切る方向で測定して約0.042の抵抗を有し、導電性ポリマーラミネート及び隔離されたバイアを横切る方向で測定して $> 1 \times 10^6$ の抵抗を有していた。デバイスは、デバイスに電機部品を直接

的に取り付けるのに好適であった。アパー チャ及びトランスバース導電性部材は、正確な電気接続に応じて、装着した電気部品、例えば回路基板素子は、導電性ポリマー ラミネートから電気的に接続されていてもよいし、また電気的に絶縁されていてもよいように配されている。

尚、本願の発明の好ましい態様には、以下の各事項が含まれる。

[事項 1] 複合ポリマー回路保護デバイスを製造する方法であって、

(1)(a) それぞれ少なくとも 1 つの導電性表面を有する層状ポリマー 素子を有している第 1 及び第 2 のラミネートを供給すること；

(b) 1 つのラミネートの少なくとも 1 つの導電性表面に導電性物質のパターンを設けること；

(c) 前記ラミネートを所望の構成で重ねてスタックとして取り付け、少なくとも 1 つのラミネートの少なくとも 1 つの導電性表面が前記スタックの外側導電性表面を含むようにすること；

(d) 第 1 のラミネートの導電性表面と第 2 のラミネートの導電性表面との間に電気的接続を設けること；

を含んでなるポリマーアセンブリを提供する工程；並びに

(2) それぞれが少なくとも 1 つの電気的接続を有する個々のデバイスにスタックを更に分割する工程

を含んでなる方法。

[事項 2] 1 つのラミネートの少なくとも 1 つの導電性表面から導電性材料の一部を、好ましくはエッティング、フライス加工、又はスタンピングにて選択的に除去することによって、工程(b)におけるパターンを形成する事項 1 記載の方法。

[事項 3] 好ましくは外側導電性表面から導電性材料の一部を選択的に除去することによって、少なくとも 1 つの外側導電性表面に導電性材料のパターンを設けることを更に含んでなる事項 1 記載の方法。

[事項 4] パターン形成された少なくとも 1 つの外側導電性表面の少なくとも一部を絶縁層によって被覆する事項 3 記載の方法。

[事項 5] 内側導電性表面のパターンは外側導電性表面のパターンと異なる事項 3 記載の方法。

[事項 6] 少なくとも 1 つの外側導電性表面の少なくとも一部に、追加的な導電層が設けられる事項 1 記載の方法。

[事項 7] 工程(c)及び(d)を同時に実施する事項 1 記載の方法。

[事項 8] 少なくとも 1 つのラミネートは、配向(orientation)についての固有の標識を提供するマークが付され、好ましくはラミネートへのマーキングによって個々のデバイスへ更に分割するための輪郭形成が提供される事項 1 記載の方法。

[事項 9] アセンブリは第 3 のラミネートを有する事項 1 記載の方法。

[事項 10] ラミネートを接着剤によってスタック内で互いに取り付けられる事項 1 記載の方法。

[事項 11] スタック内において、(i) スタックの中を通って延びるアパー チャを形成すること；及び(ii) アパー チャ内に導電性部材を形成することによって、第 1 のラミネートの導電性表面と第 2 のラミネートの導電性表面との間に電気的接続が形成される事項 1 記載の方法。

[事項 12] 個々のデバイスが少なくとも 2 つの電気的接続を有するように電気的接続を配する事項 1 記載の方法。

[事項 13] 少なくとも 1 つのラミネートにおける層状ポリマー 素子は、PTC 導電性ポリマー 組成物を含んでなる事項 1 記載の方法。

[事項 14] (a) 各ラミネートの層状ポリマー 素子は PTC 導電性ポリマー 組成物を含んでなり、(b) 各ラミネートの PTC 導電性ポリマー 組成物は他のラミネートの PTC 導電性ポリマー 組成物と同じであるか又は異なるものである事項 1 3 記載の方法。

[事項 15] 少なくとも 1 つの層状ポリマー 素子は、ZTC 導電性ポリマー 材料、NT

C導電性ポリマー材料、又は絶縁性ポリマー材料を含んでなる事項1記載の方法。

[事項16] ソー、シャー、ブレード、ワイヤ、ウォータージェット、スナッピングデバイス、レーザ又はこれらの組合せを用いてアセンブリから個々のデバイスを分割する事項1記載の方法。

[事項17] 各ラミネートの導電性表面は金属箔を有してなる事項1記載の方法。

[事項18] (a) パターン形成されている少なくとも1つの導電性表面を有する層状ポリマー素子を含んでなる第1のラミネート；

(b) パターン形成されている少なくとも1つの導電性表面を有する層状ポリマー素子を含んでなる第2のラミネートであって、スタック内で第1のラミネートに取り付けられることによって、スタックが第1及び第2の外側導電性表面を有することができる第2のラミネート；並びに

(c) 第1の外側導電性表面と第2の外側導電性表面との間において第1及び第2のラミネートの中を挿通する複数のトランスバース導電性部材を有してなるポリマーアセンブリ。

[事項19] (1) 第1及び第2の外側層状電極、

(2) 第3及び第4の内側層状電極、

(3) 各々が(i)PTC挙動を示し、並びに(ii)PTC導電性ポリマーからなる層状素子を有してなる第1及び第2の層状PTC抵抗素子であって、第1の抵抗素子は第1の外側電極が取り付けられる第1の面及び第3の内側電極が取り付けられる対向する第2の面を有し、第2の抵抗素子は第2の外側電極が取り付けられる第1の面及び第4の内側電極が取り付けられる対向する第2の面を有する、第1及び第2の層状PTC抵抗素子；

(4) (i) 第1のPTC抵抗素子の第1の面に取り付けられ、及び(ii)第1の外側電極から間隔をおいて配される第5の外側層状導電性部材；

(5) (i) 第2のPTC抵抗素子の第1の面に取り付けられ、及び(ii)第2の外側電極から間隔をおいて配される第6の外側層状導電性部材；

(6) (i) 第1のPTC抵抗素子の第2の面に取り付けられ、及び(ii)第3の内側電極から間隔をおいて配される第7の外側層状導電性部材；

(7) (i) 第2のPTC抵抗素子の第1の面に取り付けられ、及び(ii)第4の内側電極から間隔をおいて配される第8の外側層状導電性部材；

(8) 第1の層状PTC素子の第1の外側電極と、第2の層状PTC素子の第2の外側電極との間を挿通する第1のアパーチャ；

(9) 第1の層状PTC素子の第5の外側層状導電性部材と、第2の層状PTC素子の第6の外側層状導電性部材との間を挿通する第2のアパーチャ；

(10)(a) 第1のアパーチャ内に配されており、

(b) 第1の層状PTC素子の第1の外側電極と、第2の層状PTC素子の第2の外側電極との間を挿通し、

(c) 第1のPTC素子、第2のPTC素子及び第3の層状素子に取り付けられ、

(d) 第1の外側層状導電性部材、第7の内側層状導電性部材、第8の内側層状導電性部材、及び第9の外側層状電極に物理的及び電気的に接続されているが、第3又は第4の内側電極には接続されていない第1のトランスバース導電性部材、並びに

(11)(a) 第2のアパーチャ内に配されており、

(b) 第5の外側層状導電性部材と、第6の外側層状導電性部材との間を挿通し、

(c) 第1のPTC素子、第2のPTC素子及び第3の層状ポリマー層に取り付けられ、

(d) 第5の外側層状導電性部材、第3の内側電極、第4の内側電極、及び第6の外側層状導電性部材に物理的及び電気的に接続されているが、第1又は第2の外側電極には接続されていない第2のトランスバース導電性部材

を有してなる複合デバイス。

[事項20] (i) 絶縁性ポリマーを有し、(ii) 第1及び第2の層状PTC抵抗素子の間に取り付けられ、(iii) 第1の層状PTC素子を第2のPTC素子に取り付ける第3の層状素子を更に有してなる事項19記載のデバイス。