

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 25 年 4 月 18 日 (2013.4.18)

【公開番号】特開 2012-99845 (P2012-99845A)
 【公開日】平成 24 年 5 月 24 日 (2012.5.24)
 【年通号数】公開・登録公報 2012-020
 【出願番号】特願 2012-4178 (P2012-4178)
 【国際特許分類】

H 0 1 C 7/02 (2006.01)

H 0 5 K 3/00 (2006.01)

【F I】

H 0 1 C 7/02

H 0 5 K 3/00 X

【手続補正書】
 【提出日】平成 24 年 2 月 13 日 (2012.2.13)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

複合ポリマー回路保護デバイスを製造する方法であって、

(1)(a)それぞれ少なくとも 1 つの導電性表面を有する層状ポリマー素子を有している第 1 及び第 2 のラミネートを供給すること；

(b) 1 つのラミネートの少なくとも 1 つの導電性表面に導電性物質のパターンを設けること；

(c) 前記ラミネートを所望の構成で重ねてスタックとして取り付け、少なくとも 1 つのラミネートの少なくとも 1 つの導電性表面が前記スタックの外側導電性表面を含むようにすること；

(d) 第 1 のラミネートの導電性表面と第 2 のラミネートの導電性表面との間に電氣的接続を設けること；

を含んでなるポリマーアセンブリを提供する工程；並びに

(2) それぞれが少なくとも 1 つの電氣的接続を有する個々のデバイスにスタックを更に分割する工程

を含んでなる方法。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 6 4
 【補正方法】変更
 【補正の内容】
 【0 0 6 4】

得られたデバイスは、導電性ポリマーラミネートを横切る方向で測定して約 0 . 0 2 8 の抵抗を有し、導電性ポリマーラミネート及び隔離されたバイアスを横切る方向で測定して $> 1 \times 10^6$ の抵抗を有していた。続いて、プリント回路基板又は Ni リードへ装着することによって、デバイスは、導電性ポリマーラミネートを横切る方向で測定して約 0 . 0 4 2 の抵抗を有し、導電性ポリマーラミネート及び隔離されたバイアスを横切る方向で測定して $> 1 \times 10^6$ の抵抗を有していた。デバイスは、デバイスに電機部品を直接

的に取り付けるのに好適であった。アパーチャ及びトランスバース導電性部材は、正確な電気接続に応じて、装着した電気部品、例えば回路基板素子は、導電性ポリマーラミネートから電氣的に接続されていてもよいし、また電氣的に絶縁されていてもよいように配されている。

尚、本願の発明の好ましい態様には、以下の各事項が含まれる。

[事項 1] 複合ポリマー回路保護デバイスを製造する方法であって、

(1)(a) それぞれ少なくとも 1 つの導電性表面を有する層状ポリマー素子を有している第 1 及び第 2 のラミネートを供給すること；

(b) 1 つのラミネートの少なくとも 1 つの導電性表面に導電性物質のパターンを設けること；

(c) 前記ラミネートを所望の構成で重ねてスタックとして取り付け、少なくとも 1 つのラミネートの少なくとも 1 つの導電性表面が前記スタックの外側導電性表面を含むようにすること；

(d) 第 1 のラミネートの導電性表面と第 2 のラミネートの導電性表面との間に電氣的接続を設けること；

を含んでなるポリマーアセンブリを提供する工程；並びに

(2) それぞれが少なくとも 1 つの電氣的接続を有する個々のデバイスにスタックを更に分割する工程

を含んでなる方法。

[事項 2] 1 つのラミネートの少なくとも 1 つの導電性表面から導電性材料の一部を、好ましくはエッチング、フライス加工、又はスタンピングにて選択的に除去することによって、工程 (b) におけるパターンを形成する事項 1 記載の方法。

[事項 3] 好ましくは外側導電性表面から導電性材料の一部を選択的に除去することによって、少なくとも 1 つの外側導電性表面に導電性材料のパターンを設けることを更に含んでなる事項 1 記載の方法。

[事項 4] パターン形成された少なくとも 1 つの外側導電性表面の少なくとも一部を絶縁層によって被覆する事項 3 記載の方法。

[事項 5] 内側導電性表面のパターンは外側導電性表面のパターンと異なる事項 3 記載の方法。

[事項 6] 少なくとも 1 つの外側導電性表面の少なくとも一部に、追加的な導電層が設けられる事項 1 記載の方法。

[事項 7] 工程 (c) 及び (d) を同時に実施する事項 1 記載の方法。

[事項 8] 少なくとも 1 つのラミネートは、配向 (orientation) についての固有の標識を提供するマークが付され、好ましくはラミネートへのマーキングによって個々のデバイスへ更に分割するための輪郭形成が提供される事項 1 記載の方法。

[事項 9] アセンブリは第 3 のラミネートを有する事項 1 記載の方法。

[事項 10] ラミネートを接着剤によってスタック内で互いに取り付けられる事項 1 記載の方法。

[事項 11] スタック内において、(i) スタックの中を通して延びるアパーチャを形成すること；及び (ii) アパーチャ内に導電性部材を形成することによって、第 1 のラミネートの導電性表面と第 2 のラミネートの導電性表面との間に電氣的接続が形成される事項 1 記載の方法。

[事項 12] 個々のデバイスが少なくとも 2 つの電氣的接続を有するように電氣的接続を配する事項 1 記載の方法。

[事項 13] 少なくとも 1 つのラミネートにおける層状ポリマー素子は、PTC 導電性ポリマー組成物を含んでなる事項 1 記載の方法。

[事項 14] (a) 各ラミネートの層状ポリマー素子は PTC 導電性ポリマー組成物を含んでなり、(b) 各ラミネートの PTC 導電性ポリマー組成物は他のラミネートの PTC 導電性ポリマー組成物と同じであるか又は異なるものである事項 13 記載の方法。

[事項 15] 少なくとも 1 つの層状ポリマー素子は、ZTC 導電性ポリマー材料、NT

C 導電性ポリマー材料、又は絶縁性ポリマー材料を含んでなる事項 1 記載の方法。

[事項 1 6] ソー、シヤー、ブレード、ワイヤ、ウォータージェット、スナッピングデバイス、レーザ又はこれらの組合せを用いてアセンブリから個々のデバイスを分割する事項 1 記載の方法。

[事項 1 7] 各ラミネートの導電性表面は金属箔を有してなる事項 1 記載の方法。

[事項 1 8] (a) パターン形成されている少なくとも 1 つの導電性表面を有する層状ポリマー素子を含んでなる第 1 のラミネート；

(b) パターン形成されている少なくとも 1 つの導電性表面を有する層状ポリマー素子を含んでなる第 2 のラミネートであって、スタック内で第 1 のラミネートに取り付けられることによって、スタックが第 1 及び第 2 の外側導電性表面を有することができる第 2 のラミネート；並びに

(c) 第 1 の外側導電性表面と第 2 の外側導電性表面との間において第 1 及び第 2 のラミネートの中を挿通する複数のトランスバース導電性部材を有してなるポリマーアセンブリ。

[事項 1 9] (1) 第 1 及び第 2 の外側層状電極、

(2) 第 3 及び第 4 の内側層状電極、

(3) 各々が (i) P T C 挙動を示し、並びに (ii) P T C 導電性ポリマーからなる層状素子を有してなる第 1 及び第 2 の層状 P T C 抵抗素子であって、第 1 の抵抗素子は第 1 の外側電極が取り付けられる第 1 の面及び第 3 の内側電極が取り付けられる対向する第 2 の面を有し、第 2 の抵抗素子は第 2 の外側電極が取り付けられる第 1 の面及び第 4 の内側電極が取り付けられる対向する第 2 の面を有する、第 1 及び第 2 の層状 P T C 抵抗素子；

(4) (i) 第 1 の P T C 抵抗素子の第 1 の面に取り付けられ、及び (ii) 第 1 の外側電極から間隔をおいて配される第 5 の外側層状導電性部材；

(5) (i) 第 2 の P T C 抵抗素子の第 1 の面に取り付けられ、及び (ii) 第 2 の外側電極から間隔をおいて配される第 6 の外側層状導電性部材；

(6) (i) 第 1 の P T C 抵抗素子の第 2 の面に取り付けられ、及び (ii) 第 3 の内側電極から間隔をおいて配される第 7 の外側層状導電性部材；

(7) (i) 第 2 の P T C 抵抗素子の第 1 の面に取り付けられ、及び (ii) 第 4 の内側電極から間隔をおいて配される第 8 の外側層状導電性部材；

(8) 第 1 の層状 P T C 素子の第 1 の外側電極と、第 2 の層状 P T C 素子の第 2 の外側電極との間を挿通する第 1 のアパーチャ；

(9) 第 1 の層状 P T C 素子の第 5 の外側層状導電性部材と、第 2 の層状 P T C 素子の第 6 の外側層状導電性部材との間を挿通する第 2 のアパーチャ；

(1 0) (a) 第 1 のアパーチャ内に配されており、

(b) 第 1 の層状 P T C 素子の第 1 の外側電極と、第 2 の層状 P T C 素子の第 2 の外側電極との間を挿通し、

(c) 第 1 の P T C 素子、第 2 の P T C 素子及び第 3 の層状素子に取り付けられ、

(d) 第 1 の外側層状電極、第 7 の内側層状導電性部材、第 8 の内側層状導電性部材、及び第 9 の外側層状電極に物理的及び電氣的に接続されているが、第 3 又は第 4 の内側電極には接続されていない第 1 のトランスバース導電性部材、並びに

(1 1) (a) 第 2 のアパーチャ内に配されており、

(b) 第 5 の外側層状導電性部材と、第 6 の外側層状導電性部材との間を挿通し、

(c) 第 1 の P T C 素子、第 2 の P T C 素子及び第 3 の層状ポリマー層に取り付けられ、

(d) 第 5 の外側層状導電性部材、第 3 の内側電極、第 4 の内側電極、及び第 6 の外側層状導電性部材に物理的及び電氣的に接続されているが、第 1 又は第 2 の外側電極には接続されていない第 2 のトランスバース導電性部材

を有してなる複合デバイス。

[事項 2 0] (i) 絶縁性ポリマーを有し、(ii) 第 1 及び第 2 の層状 P T C 抵抗素子の間に取り付けられ、(iii) 第 1 の層状 P T C 素子を第 2 の P T C 素子に取り付ける第 3 の層状素子を更に有してなる事項 1 9 記載のデバイス。