

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 (43) 공개일자	10-2009-0064618 2009년06월22일
(51) Int. Cl. <i>H01L 21/335</i> (2006.01)	(21) 출원번호 (22) 출원일자 심사청구일자	(71) 출원인 (72) 발명자	인하대학교 산학협력단 인천 남구 용현동 253 인하대학교 원대영 서울 강남구 대치동 506 선경아파트 7-504 김한건 경기 부천시 소사구 범박동 현대 홈타운 306-1806호
	10-2007-0131881 2007년12월17일 없음		

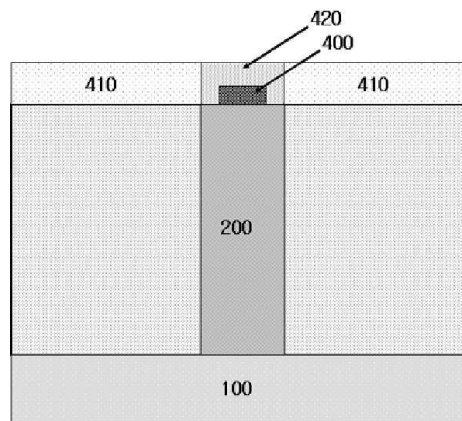
전체 청구항 수 : 총 1 항

(54) 비대칭 이중 게이트 구조 문턱 전압 모델링 방법

(57) 요약

본 발명은 차세대 반도체 소자구조 중 하나로 각광받고 있는 비대칭 폴리 실리콘 구조의 문턱 전압의 모델링의 관한 것으로, 문턱 전압과 누설전류와의 관계를 효과적으로 조절하는 비대칭 게이트 MuGFET의 문턱 전압을 모델을 제공하고, 이 모델을 이용함으로써, 문턱 전압과 누설 전류 간의 관계를 명확히 하는 것이다.

대표도 - 도1



특허청구의 범위

청구항 1

폴리실리콘을 비대칭 도핑하여 다중 게이트 전계 효과 트랜지스터의 문턱 전압을 모델링 하는데 있어서,

- (a) 문턱 전압과 누설전류와의 관계를 효과적으로 조절하는 비대칭 게이트 MuGFET의 문턱 전압을 모델을 제공하고, 이 모델을 이용함으로써, 문턱 전압과 누설전류간의 관계를 명확히 하는 것을 기본 목적으로 하고 있다.
- (b) 명확한 물리량을 이용하여 정의할 수 있고, 비교적 용이하게 실측 문턱 전압에 충분히 가까운 문턱 전압을 부여할 수 있는 문턱 전압 모델을 제공하는 것이다.
- (c) 본 발명에 따른 문턱 전압 모델을 보다 간단히 함으로써, 소자 시뮬레이션 및 회로 시뮬레이션에 적용 가능한 문턱 전압 모델을 제공하는 것이다.

를 포함하는 반도체 소자 모델링 방법.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 특히 나노 스케일 다중 게이트 전계 효과 트랜지스터(Multiple gate field effect transistors: MuGFET)에 있어서 비대칭 폴리 실리콘의 문턱전압 모델에 관한 것이다.

배경 기술

- <2> 일반적인 MOSFET 트랜지스터는 디자인 룰이 줄어들어 따라 여러 가지 문제를 유발하여 트랜지스터의 축소(scale-down)에 한계가 있다. 축소된 트랜지스터의 가장 큰 문제점은 채널의 길이가 짧아져 단채널 효과 및 DIBL(Drain Induced Barrier Lower)효과를 들 수 있다. 통상적인 트랜지스터에서 채널의 길이가 50nm 이하로 축소되면 공정변수에 의해 소자특성의 산포도가 높아지며, 채널길이가 30nm 이하일 경우 단채널 효과 및 DIBL 효과가 극심해져 트랜지스터가 정상적으로 동작하기 어려운 것으로 알려져 있다.
- <3> MOSFET 트랜지스터의 문제점을 극복하기 위하여 최근 연구되고 있는 소자 중의 하나는 MuGFET이다. 다중 게이트 트랜지스터는 30nm 이하의 두께를 가지는 채널과, 채널을 감싸거나 채널 양측에 게이트가 배치된 구조이다. 종래의 트랜지스터는 게이트 전극이 수평채널의 상부에만 형성됨으로써 채널에는 상하 비대칭적으로 전계가 인가되어, 게이트 전극에 의해 트랜지스터의 온 오프가 효과적으로 제어되지 못한다. 그 결과 채널의 축소로 인한 단채널 효과의 영향이 극심해진다. 이에 반하여 MuGFET은 얇은 채널의 양측에 게이트 전극이 형성되어 있기 때문에 채널의 모든 영역은 게이트 전극의 영향을 받는다. 따라서, 트랜지스터가 오프일 때 소오스 및 드레인 사이의 전하 흐름을 억제할 수 있기 때문에 전력소모를 줄일수 있고, 트랜지스터의 온.오프를 효과적으로 제어할 수 있다.
- <4> 하지만 MuGFET은 일정 핀 폭 이하에서 트랜지스터의 문턱 전압이 급격히 떨어지는 문제점을 지니고 있다. 따라서 공정 변수에 의한 트랜지스터의 특성변화가 심하여 문턱 전압 제어가 용이하지 않고, 고집적 메모리 소자에 적용될 경우 셀 균일도(Cell uniformity)가 나빠질 수 있다. 트랜지스터의 문턱 전압이 낮아질 수록 문턱 전압 이하에서의 전류 누설이 증가할 수 있다. 트랜지스터의 누설 전류는 반도체 소자의 특성을 열화 시키는 원인이 된다. 특히 디램 소자에서 누설 전류는 데이터 유지 특성을 열화 시키는데, 커패시터가 접속되는 소오스 영역의 누설 전류를 최소화하는 것이 매우 중요하다. 트랜지스터의 문턱전압 증가를 위해 채널 농도를 높여주는 방법을 고려할 수 있다. 그러나, 문턱 전압의 증가는 트랜지스터의 턴-온 전류를 감소시키고, 채널 농도의 증가는 정션 누설 증가의 원인이 된다.

발명의 내용

해결 하고자하는 과제

- <5> 본 발명은, 따라서 문턱 전압과 누설전류와의 관계를 효과적으로 조절하는 비대칭 게이트 MuGFET의 문턱 전압을

모델을 제공하고, 이 모델을 이용함으로써, 문턱 전압과 누설 전류 간의 관계를 명확히 하는 것을 기본 목적으로 하고 있다.

- <6> 본 발명의 다른 목적은, 명확한 물리량을 이용하여 정의할 수 있고, 비교적 용이하게 실측 문턱 전압에 충분히 가까운 문턱 전압을 부여할 수 있는 문턱 전압 모델을 제공하는 것이다.
- <7> 본 발명의 또 다른 목적은, 본 발명에 따른 임계 전압 모델을 보다 간단히 함으로써, 소자 시뮬레이션 및 회로 시뮬레이션에 적용 가능한 문턱 전압 모델을 제공하는 것이다.

과제 해결수단

- <8> 상기 목적을 달성하기 위하여, 폴리실리콘을 비대칭 도핑하여 다중 게이트 전계효과 트랜지스터의 문턱전압을 모델링 하는데 있어서, (a) 문턱전압과 누설전류와의 관계를 효과적으로 조절하는 비대칭 게이트 MuGFET의 문턱 전압을 모델을 제공하고, 이 모델을 이용함으로써, 문턱전압과 누설전류간의 관계를 명확히 하는 것을 기본 목적으로 하고 있다. (b) 명확한 물리량을 이용하여 정의할 수 있고, 비교적 용이하게 실측 문턱 전압에 충분히 가까운 문턱 전압을 부여할 수 있는 문턱전압 모델을 제공하는 것이다. (c)본 발명에 따른 문턱 전압 모델을 보다 간단히 함으로써, 소자 시뮬레이션 및 회로 시뮬레이션에 적용 가능한 문턱전압 모델을 제공하는 것을 포함하는 반도체 소자 모델링 방법을 제공한다.

효과

- <9> 이상에서 상술한 바와 같이, 본 발명에서는 문턱전압과 누설전류의 관계를 밝히고 소자 특성을 최적화 할 수 있는 구조를 설계하여 모델을 검증하였다. 그 결과, 차세대 소자의 특성을 정확히 예측하고 설계하는데 일조를 할 것으로 예상된다.

발명의 실시를 위한 구체적인 내용

- <10> 본 발명에 따른 비대칭 더블 게이트 소자의 문턱 전압 모델은, 1차원 프아송- 방정식을 실리콘 채널에 적용하여 분석하였다. 일반적인 DG-MOSFET 에서는와는 다르게 비대칭 DG-MOSFET 에서는 Front Gate 와 Back Gate 사이의 전위차가 다르게 나타난다.

수학식 1

<11>
$$V_{GFS} = V_{FBf} + \left(1 + \frac{C_b}{C_{of}}\right) \Psi_{sf} - \frac{C_b}{C_{of}} \Psi_{sb} - \frac{Q_{cf}}{C_{of}} - \frac{Q_b}{2C_{of}}$$

<12>
$$V_{GBS} = V_{FBb} - \frac{C_b}{C_{ob}} \Psi_{sf} + \left(1 + \frac{C_b}{C_{ob}}\right) \Psi_{sb} - \frac{Q_{cb}}{C_{ob}} - \frac{Q_b}{2C_{ob}}$$

- <13> 여기서 where는 V_{GFS} 와 V_{GBS} 프론트 게이트와 백 게이트의 게이트-소스 전압, V_{FBf} 와 V_{FBb} 프론트 게이트와 백 게이트의 플랫-밴드 전압, Ψ_{sf} 와 Ψ_{sb} 프론트 게이트와 백 게이트의 계면 퍼텐셜(surface potential), Q_{cf} 와 Q_{cb} 는 프론트 게이트와 백 게이트의 반전 전하 밀도(depletion charge densities), $Q_b = -qN_A t_{si}$ 는 공핢 전하 밀도(depletion charge densities), $C_{of} = E_{ox}/t_{oxf}$ 와 $C_{ob} = E_{ox}/t_{oxb}$ 는 프론트 게이트와 백 게이트의 산화막 커패시턴스이다. 수학식 1에 의해 Ψ_{sb} 를 삭제할 수 있고 다음과 같이 표현된다.

수학식 2

$$V_{GS} = \Psi_{sf} + \frac{1}{1+r} [(V_{FBf} + rV_{FBb}) - (\frac{Q_{cf}}{C_{of}} + r\frac{Q_{cb}}{C_{ob}}) - (\frac{Q_b}{2C_{of}} + r\frac{Q_b}{C_{ob}})]$$

<14>

<15> 여기서, r은 게이트와 게이트 사이의 커플링 팩터로서 다음과 같이 사용된다.

수학식 3

$$r = \frac{C_b C_{ob}}{C_{of}(C_b + C_{ob})} \cong \frac{3t_{oxf}}{3t_{oxb} + t_{si}}$$

<16>

<17> 강반전 영역에서의 문턱전압 모델은 다음과 같다.

수학식 4

$$t_{i(sym)} = \frac{\int_0^{t_{si}} xn(x)dx}{\int_0^{t_{si}} tn(x)dx} = -\frac{2q}{Q_{c(sym)}} \int_0^{t_{si}/2} xn(x)dx$$

<18>

<19> Inversion-layer thickness 의 t_i 는 더블 게이트 소자에서 매우 중요한 팩터이다. 대칭형 (n-channel) 더블게이트 소자에서, $t_{i(sym)}$ 는 실리콘 채널내의서의 전자 밀도의 적분형으로 표현된다.

수학식 5

$$Q_{c(sym)} = -2C_{Gf(sym)}(V_{GS} - V_{Tf(sym)})$$

<20>

수학식 6

$$C_{Gf(sym)} = \frac{C_{of}}{1 + \frac{C_{of}}{C_{i(sym)}}} \cong \frac{C_{of}}{1 + \frac{1}{3} \frac{t_{i(sym)}}{t_{oxf}}}$$

<21>

<22> 여기서, 프론트 게이트(혹은 백 게이트)의 커패시턴스이고, $V_{Tf(sym)}$ 는 강반전 상태에서의 문턱전압과 거의 일치한다. $C_{i(sym)} = \epsilon_{si}/t_{i(sym)}$ 는 프론트 게이트(혹은, 백 게이트)의 반전층의 커패시턴스로 표현된다. (2.21)의 두개의 팩터들은 두개의 다른 채널과 게이트를 반영한다.

<23> 비대칭 DG (n-channel) 소자에서, $t_{i(asym)}$ (predominant front channel 한해서) 채널 전체의 전자 밀도의 대해 적분하면,

수학식 7

$$t_{i(asym)} = \frac{\int_0^{t_{si}} xn(x)dx}{\int_0^{t_{si}} n(x)dx} = -\frac{q}{Q_{c(asym)}} \int_0^{t_{si}} xn(x)dx$$

<24>

<25> 이를 수학식 5와 결합하기 위해서, 1-D 프아송 방정식을 풀면,

수학식 8

$$\frac{d}{dx}\left(x \frac{d\Psi}{dx}\right) \cong \frac{q}{\varepsilon S i} x(n(x) + N_A) + \frac{d\Psi}{dx}$$

<26>

<27> 전체 채널면에 대해서 적분하면,

수학식 9

$$\Psi_{sf} \cong \Psi_{sb} - \frac{Q_{c(asy)}}{C_{i(asy)}} - \frac{Q_b}{2C_b} + t_{Si} E_{sb}$$

<28>

<29> 여기서, $E_{sb} = -(d\Psi/dx)|_{x=t_{Si}}$ 는 뒤쪽 표면에서의 전자장이다.

<30> DG MOSFET 게이트 전압을 구하면,

수학식 10

$$V_{GfS} = \Psi_{sf} + \Psi_{of} + \Phi_{GfS}, \quad V_{GbS} = \Psi_{sb} + \Psi_{ob} + \Phi_{GbS}$$

<31>

<32> 여기서, Ψ_{of} 와 Ψ_{ob} 는 프론트-산화막과 백-산화막의 간의 퍼텐셜 드랍이고, Φ_{GfS} 와 Φ_{GbS} 는 프론트 게이트와 백 게이트 사이의 일함수의 차이이다. 가우스의 법칙을 적용하여 비대칭 소자의 채널에서의 전하량을 구하면,

수학식 11

$$\Psi_{of} = \frac{1}{C_{of}} (\varepsilon_{Si} E_{sb} - Q_{c(asy)} - Q_b)$$

<33>

<34> 뒤쪽 표면에서 가우스 법칙을 적용하면,

수학식 12

$$\Psi_{ob} = -\frac{\varepsilon_{Si} E_{sb}}{C_{ob}}$$

<35>

<36> $V_{GS} = V_{GfS} = V_{GbS}$ 라 놓고 수학식 8과 수학식 9 그리고 Ψ_{sb} 와 E_{sb} 를 수학식 7과 수학식 10-수학식 12로부터 제거하고 적분하여 electron charge를 표현하면,

<37>

수학식 13

$$Q_{c(asy)} \cong -C_{Gf(asy)}(1+r)(V_{GS} - V_{Tf(asy)})$$

<38>

<39> 한쪽면의 총 게이트 커패시턴스가 정의되고

수학식 14

$$V_{Tf(asy)} = \Psi_{sf} + \frac{1}{1+r} [(\Phi_{GfS} + r\Phi_{Gbs}) - (\frac{Q_b}{C_{of}} - r\frac{Q_b}{2C_b})]$$

<40>

<41> 강반전 상태에서의 프론트 게이트에 대한 문턱전압을 정의 할 수 있다. 수학식 12-수학식 14에서, $r>0$ 이고 이는 비대칭 DG MOSFET에서의 게이트와 게이트 사이의 커플링에 의한 동적 문턱전압 변화로 의미된다.

<42> <시뮬레이션을 통한 모델 검증>

<43> 도2는 일반적인 전류-전압(I-V) 특성곡선을 보여주는 것으로 $L_g=100nm$, $T_{fin}=30nm$ 크기의 본 연구에서 사용된 비대칭 DG-MOSFET에서 시뮬레이션을 하였다. 도2는 N-channel FinFET의 드레인 전류(I_d)-게이트 전압(V_g) 곡선을 나타낸 것으로 드레인 전압(V_d)을 각각 0.1V 로 고정하였다. 본 그림에서 네모모양은 레퍼런스 3의 실험 결과를 나타낸 것이고, 원은 우리의 수치해석적인 계산 결과를 나타낸 그림이다. 레퍼런스 3으로부터 문턱전압 이하 기울기(sub-threshold swing) = 94mV/dec, 또한 선형적인 문턱전압 값이 0.3V로 나타났다. 시뮬레이션 결과로는 문턱전압 이하의 기울기가 90mV/dec, 선형적인 문턱전압은 0.22 V로 계산되었다. 여기서 실험치와 시뮬레이션 결과와의 약간의 오차가 발생된 원인은 N+/P+ 폴리 실리콘 게이트 부분의 도핑 농도의 차이로 인해 발생된 것으로 사료된다. 다른 관점에서 볼 때, 우리는 위의 핀펫 구조가 산화 막의 두께 변화와 게이트의 길이의 비율에 대해서도 강력한 채널 제어능력과 문턱 전압 이하에서도 안정적으로 소자가 동작 하는 것을 알 수 있다.

<44> 도3은 I_d - V_d 곡선을 나타낸 것으로서, V_g 를 0.0V에서 1.5V까지 sweep 하면서 결과값을 출력한 그래프이다. 도 2와 도3을 통해 시뮬레이션 결과가 같은 조건에서의 실험값과 근사함을 알 수 있었고, 문턱 전압 이하의 전류 흐름이 잘 억제 되는 것을 알 수 있다.

<45> 도4는 본 비대칭 DG-MOSFET 구조에서의 문턱 전압이하에서 동작을 알아보기 위해 게이트 길이를 20에서 100nm로 채널 길이를 30nm로 고정 시킨 뒤 시뮬레이션 결과를 도출하였다. 이 시뮬레이션 결과로써 게이트 길이가 40nm 이상일 때 안정적인 문턱 전압 이하에서의 동작이 확인되고 있고 이는 $Leff/Teff$ 비가 1.5 이상이면 안정적으로 소자가 문턱 전압이하에서의 동작을 확인하였다.

<46> 도5는 본 n-channel 핀펫 구조에서의 I_d - V_{gs} 커브를 나타낸 것으로 핀의 두께를 20nm(삼각형), 30nm(원), and 40nm(네모)로 나타내었다. 시뮬레이션 결과는 핀펫구조의 Sub-Threshold Swing (SS)이 핀의 두께의 변화에 의해 최적화 될 수 있다는 것을 나타내고, 핀 두께의 변화에 대해서 문턱 전압의 변화가 그 변동 폭이 작음을 알 수 있다.

<47> 본 구조에서 사용된 절연 채널은 도핑채널에 비해 랜덤 도펀트 변동 (Random Dopant Fluctuation)을 감소 할 수 있고, 도핑채널에 비해 빠른 전자 이동도를 가지고 있기 때문에 문턱 전압의 변동 폭을 최소화 할 수 있고, 낮은 바이어스 전압으로도 많은 전류를 이동시킬 수 있다. 문턱전압은 다르게 게이트의 일함수에 의해 변동된다. 우리의 수치 해석적 시뮬레이션을 통한 핀펫 구조는 일반적인 핀펫 구조에 비해 게이트나 채널의 길이의 변동에 대하여 보다 안정적인 문턱 전압 조절능력을 가진 것을 확인 할 수 있다.

<48> 도6은 핀의 두께를 30nm에서 35nm로 바꾸었을 때 문턱 전압과 변동성과 문턱 전압 이하에서의 동작 특성을 알아보기 위한 그림이다. 왼쪽의 두 커브는 일반적인 핀펫 구조의 동작 특성과 일치하는 커브이다. 그리고 오른쪽의 두 커브는 본 시뮬레이션에서 사용된 비대칭 게이트 구조의 결과이다. 이 시뮬레이션에서 핀의 두께를 30nm에서 35nm로 바꾸었을 때 비대칭 DG-MOSFET 문턱전압 변동폭은 0.02V로 나타났고 일반적인 핀펫 구조를 사용했을 때는 0.12V의 문턱전압 변동 폭을 나타냄을 확인하였다. 이는 비대칭 게이트의 N 채널 영역과 P 채널 영역의 각각의 다른 문턱 전압을 가지고 있으므로 공정 변화에 따른 문턱 전압 변화에 덜 민감하게 반응한 것이다.

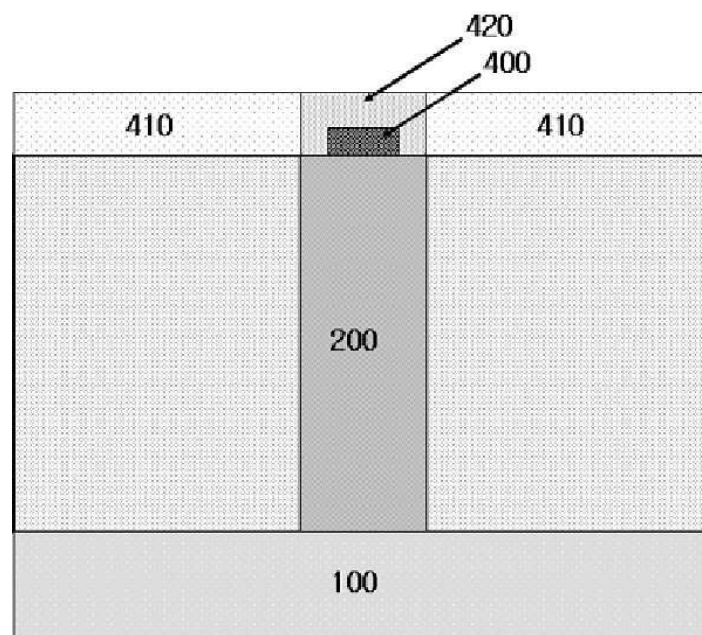
<49> 도7은 게이트 도핑 농도에 따른 비대칭 게이트 구조 핀펫의 특성을 나타내는 그림이다. 도면을 보면 게이트 도핑 농도를 높이면 문턱 전압도 마찬가지로 높아지는 것을 알 수 있다. 더욱이 우리는 새로운 게이트 전극이 채널 영역에서의 불순물들의 재분포를 방지하는 역할을 하는 것을 알 수 있다. 결과적으로, 우리는 게이트의 도핑 농도를 조절하여 정확한 문턱 전압의 조절이 가능함을 알 수 있다.

도면의 간단한 설명

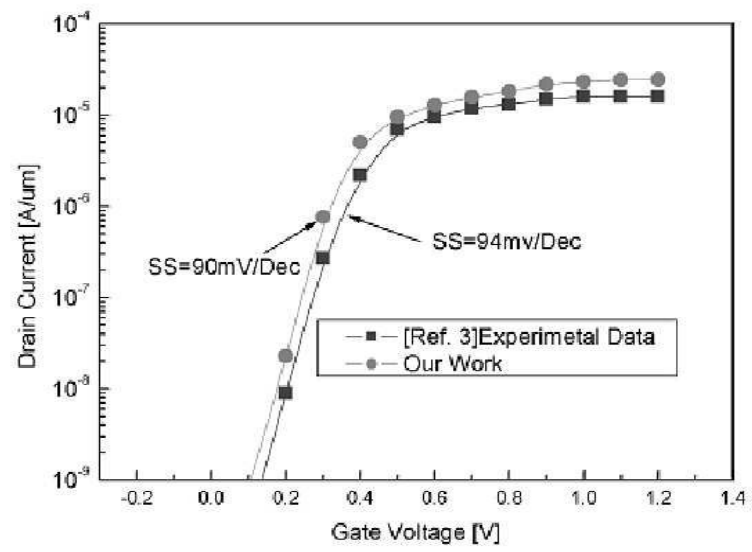
- <50> 도1은 본 발명에 따라 게이트 트렌치 내에 금속 게이트를 형성하여 비대칭 이중 게이트 구조를 나타냄.
- <51> 도2는 비대칭 이중 게이트 구조의 전류-전압 특성 곡선.
- <52> 도3는 비대칭 이중 게이트 구조의 바이어스 전압에 따른 전류-전압 특성 곡선.
- <53> 도4는 비대칭 이중 게이트 구조의 게이트 길이 변화에 따른 전류-전압 특성 곡선.
- <54> 도5는 비대칭 이중 게이트 구조의 핀 두께의 변화에 따른 전류-전압 특성 곡선.
- <55> 도6는 비대칭 이중 게이트 구조의 문턱 전압의 변동폭 곡선.
- <56> 도7는 비대칭 이중 게이트 구조의 도핑농도에 따른 문턱전압 특성 곡선.

도면

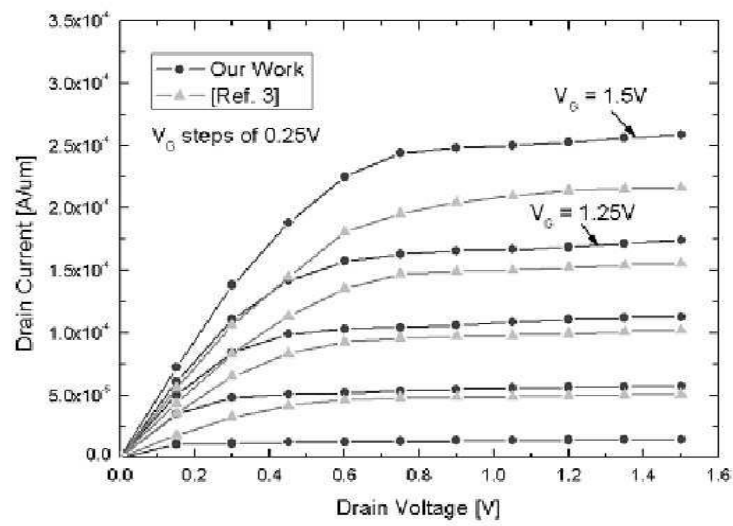
도면1



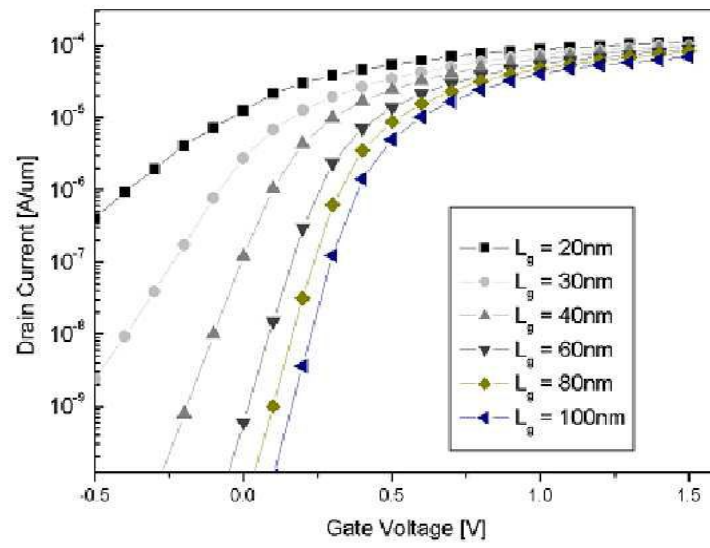
도면2



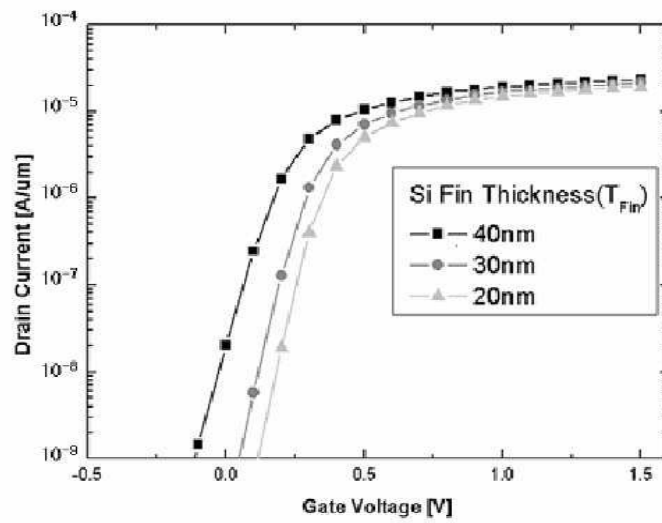
도면3



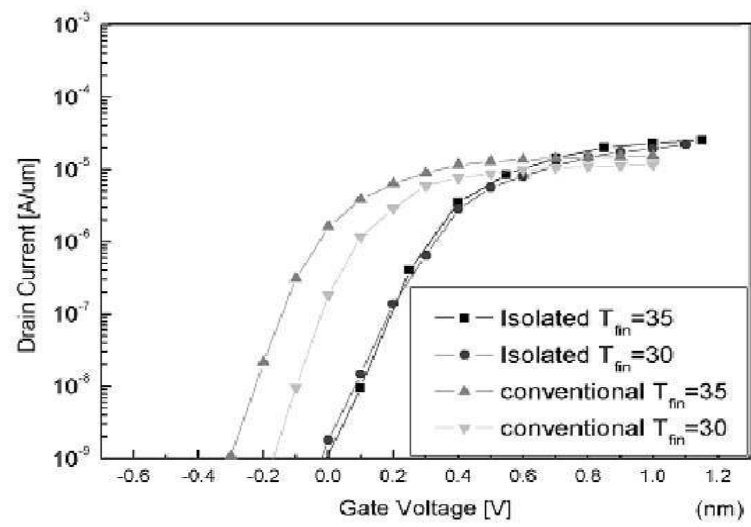
도면4



도면5



도면6



도면7

