



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년09월21일

(11) 등록번호 10-2445681

(24) 등록일자 2022년09월16일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 29/78606 (2013.01)
- (21) 출원번호 10-2022-7005887(분할)
- (22) 출원일자(국제) 2013년09월13일
심사청구일자 2022년03월23일
- (85) 번역문제출일자 2022년02월22일
- (65) 공개번호 10-2022-0027285
- (43) 공개일자 2022년03월07일
- (62) 원출원 특허 10-2021-7002685
원출원일자(국제) 2013년09월13일
심사청구일자 2021년02월19일
- (86) 국제출원번호 PCT/JP2013/075396
- (87) 국제공개번호 WO 2014/046220
국제공개일자 2014년03월27일
- (30) 우선권주장 JP-P-2012-210230 2012년09월24일 일본(JP)
- (56) 선행기술조사문헌
KR101813460 B1
KR1020120099475 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
야마자키 순페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인
장훈

전체 청구항 수 : 총 6 항

심사관 : 이양근

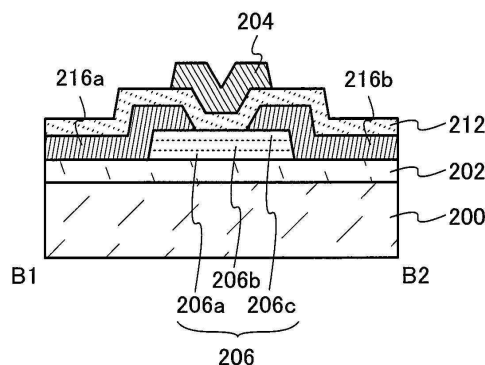
(54) 발명의 명칭 반도체 장치

(57) 요약

산화물 반도체층을 포함하는 트랜지스터는 안정된 전기 특성들을 가질 수 있다. 덧붙여, 이러한 트랜지스터를 포함하는 높은 신뢰도의 반도체 장치가 제공된다. 반도체 장치는, 산화물층과 산화물 반도체층을 포함하는 다층막, 다층막과 접하는 게이트 절연막, 및 게이트 절연막을 개재하여 다층막과 중첩하는 게이트 전극을 포함한다. 반도체 장치에서, 산화물 반도체층은 인듐을 함유하고, 산화물 반도체층은 산화물층과 접하고, 산화물층은 인듐을 함유하고, 산화물 반도체층의 에너지 갭보다 큰 에너지 갭을 갖는다.

대표도

[도 21A]



(52) CPC특허분류

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

반도체 장치에 있어서,
 채널 형성 영역에 실리콘을 포함하는 제 1 트랜지스터;
 상기 제 1 트랜지스터 위의 제 1 절연막;
 상기 제 1 절연막 위의 제 2 트랜지스터; 및
 상기 제 2 트랜지스터 위에 있고, 제 1 층 및 상기 제 1 층 위의 제 2 층을 포함하는 보호 절연막을 포함하고,
 상기 제 2 트랜지스터는,
 게이트 전극,
 산화물 반도체층들의 적층,
 상기 게이트 전극과 상기 산화물 반도체층들의 적층 사이의 게이트 절연막을 포함하고,
 상기 산화물 반도체층들의 적층은
 상기 제 1 절연막 위의 제 1 산화물 반도체층,
 상기 제 1 산화물 반도체층 위의 제 2 산화물 반도체층, 및
 상기 제 2 산화물 반도체층 위의 제 3 산화물 반도체층을 포함하고;
 상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층의 각각은 인듐을 포함하고,
 상기 제 1 층은 산화 실리콘을 포함하고,
 상기 제 2 층은 질화 실리콘을 포함하고,
 상기 제 2 산화물 반도체층은 결정들을 포함하고,
 상기 결정들의 c-축은 상기 제 2 산화물 반도체층의 표면의 법선 벡터와 평행한, 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 산화물 반도체층의 전도대 하단의 에너지는 상기 제 2 산화물 반도체층의 전도대 하단의 에너지보다 크고,
 상기 제 3 산화물 반도체층의 전도대 하단의 에너지는 상기 제 2 산화물 반도체층의 상기 전도대 하단의 상기 에너지보다 크고,
 상기 제 1 산화물 반도체층의 상기 전도대 하단의 상기 에너지와 상기 제 2 산화물 반도체층의 상기 전도대 하단의 상기 에너지 사이의 갭은 0.05eV 이상 2eV 이하이고,
 상기 제 3 산화물 반도체층의 상기 전도대 하단의 상기 에너지와 상기 제 2 산화물 반도체층의 상기 전도대 하단의 상기 에너지 사이의 갭은 0.05eV 이상 2eV 이하인, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 보호 절연막은 상기 제 1 층 아래의 제 3 층을 더 포함하고,

상기 제 3 층은 산화 실리콘 또는 산화질화 실리콘을 포함하고,

ESR에서 2.001의 g 계수를 갖는 신호에 귀속되는 상기 제 3 층에서의 스핀 밀도가 3×10^{17} spins/cm³ 이하인, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 2 산화물 반도체층은 실리콘을 포함하고,

상기 제 2 산화물 반도체층 내의 실리콘의 농도는 5×10^{18} atoms/cm³ 미만인, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층의 각각은 갈륨을 포함하는, 반도체 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 상기 제 1 절연막에 형성된 개구를 통해 상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 전기적으로 접속되는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 본 명세서에서, 반도체 장치는 반도체 특성들을 사용함으로써 기능할 수 있는 임의의 장치를 언급하고, 전기-광학 장치, 반도체 회로, 전자 장치, 등은 모두 반도체 장치들임을 주목해야 한다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체층을 사용하여 트랜지스터가 형성되는 기술이 주목을 끌고 있다. 트랜지스터는 집적 회로 및 디스플레이 장치와 같은 넓은 범위의 반도체 장치들에 적용된다. 실리콘막은 트랜지스터에 적용될 수 있는 반도체층으로 널리 알려져 있다.

[0004] 비정질 실리콘막 또는 다결정 실리콘막이 트랜지스터의 반도체층으로 사용될지는 목적에 의존한다. 예컨대, 대형 디스플레이 장치 내의 트랜지스터를 위해 비정질 실리콘막이 바람직하게 사용되는데, 왜냐하면 대형 기판상에 막을 형성하는 기술이 구축되었기 때문이다. 다른 한 편으로, 구동기 회로들이 동일한 기판 위에 형성되는 고성능 디스플레이 장치 내에 포함된 트랜지스터를 위해, 높은 전계 효과 이동도를 갖는 트랜지스터를 형성할 수 있는 다결정 실리콘막이 바람직하게 사용된다. 다결정 실리콘막을 형성하기 위한 방법으로서, 비정질 실리콘막상에 수행되는 고온 열처리 또는 레이저 공정이 알려져 있다.

[0005] 또한, 최근에 산화물 반도체층이 주목을 끌고 있다. 예컨대, 인듐, 갈륨 및 아연을 함유하고, 10^{18} /cm³ 미만의 캐리어 밀도를 갖는 산화물 반도체층을 포함하는 트랜지스터가 개시되었다(특허문헌 1 참조).

[0006] 산화물 반도체층은 스퍼터링 방법에 의해 형성될 수 있고, 따라서 대형 디스플레이 장치 내의 트랜지스터를 위해 사용될 수 있다. 더욱이, 산화물 반도체층을 포함하는 트랜지스터는 높은 전계 효과 이동도를 갖고; 따라서 구동기 회로들이 동일한 기판 위에 형성되는 고성능 디스플레이 장치가 얻어질 수 있다. 덧붙여, 비정질 실리콘막을 포함하는 트랜지스터를 위한 생산 장비의 부분이 개조되어 사용될 수 있으므로 자본 투자가 줄어들 수 있다는 장점이 존재한다.

[0007] 트랜지스터가 오프 상태일 때, 산화물 반도체층을 포함하는 트랜지스터가 극히 낮은 누설 전류를 갖는 것이 알려져 있다. 예컨대, 산화물 반도체층을 포함하는 트랜지스터의 특성인 낮은 누설 전류를 이용하는 저전력 소비

의 CPU가 개시된다(특허문헌 2 참조).

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본 공개특허공보 2006-165528호
(특허문헌 0002) 미국 특허출원공보 2012/0032730호

발명의 내용

해결하려는 과제

- [0009] 산화물 반도체층을 포함하는 트랜지스터의 응용은 널리 보급되었고, 신뢰도는 다양한 양상들로부터 요청되고 있다. 따라서, 본 발명의 일 실시예의 목적은 산화물 반도체층을 포함하고 안정된 전기 특성들을 갖는 트랜지스터를 획득하는 것이다. 본 발명의 일 실시예의 다른 목적은 트랜지스터를 포함하는 고도로 신뢰할 수 있는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

- [0010] 본 발명의 일 실시예에 따라, 반도체 장치는 산화물층과 산화물 반도체층을 포함하는 다층막, 다층막과 접하는 게이트 절연막, 및 게이트 절연막을 개재하여 다층막과 중첩하는 게이트 전극을 포함한다. 산화물 반도체층은 인듐을 함유한다. 산화물 반도체층은 산화물층과 접한다. 산화물층은 인듐을 함유하고, 산화물 반도체층보다 더 큰 에너지갭을 갖는다.
- [0011] 인듐을 함유하는 산화물 반도체층 또는 산화물층의 전형적인 예들이 In-Ga 산화물, In-Zn 산화물, 및 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd, 또는 Hf이다)을 포함함을 주목해야 한다.
- [0012] 본 발명의 다른 실시예에 따라, 반도체 장치는 산화물층과 산화물 반도체층을 포함하는 다층막, 다층막과 접하는 게이트 절연막, 및 게이트 절연막을 개재하여 다층막과 중첩하는 게이트 전극을 포함한다. 산화물 반도체층은 인듐을 함유한다. 산화물 반도체층은 산화물층과 접한다. 산화물층은 인듐을 함유한다. 산화물층의 전도대 하단의 에너지는 산화물 반도체층의 전도대 하단의 에너지보다 진공 준위에 더 근접한다. 진공 준위와 전도대 하단 사이의 에너지갭은 전자 친화력으로 언급됨을 주목해야 한다.
- [0013] 본 발명의 다른 실시예에 따라, 반도체 장치는 제 1 산화물층, 제 2 산화물층 및 산화물 반도체층을 포함하는 다층막, 다층막과 접하는 게이트 절연막, 및 게이트 절연막을 개재하여 다층막과 중첩하는 게이트 전극을 포함한다. 산화물 반도체층은 인듐을 함유한다. 산화물 반도체층은 제 1 산화물층과 접한다. 제 1 산화물층은 인듐을 함유하고, 산화물 반도체층보다 더 큰 에너지갭을 갖는다. 산화물 반도체층은 제 1 산화물층과 대향하는 제 2 산화물층과 접한다. 제 2 산화물층은 인듐을 함유하고, 산화물 반도체층보다 더 큰 에너지갭을 갖는다.
- [0014] 본 발명의 다른 실시예에 따라, 반도체 장치는 제 1 산화물층, 제 2 산화물층 및 산화물 반도체층을 포함하는 다층막, 다층막과 접하는 게이트 절연막, 및 게이트 절연막을 개재하여 다층막과 중첩하는 게이트 전극을 포함한다. 산화물 반도체층은 인듐을 함유한다. 산화물 반도체층은 제 1 산화물층과 접한다. 제 1 산화물층은 인듐을 함유한다. 제 1 산화물층의 전도대 하단의 에너지는 산화물 반도체층의 전도대 하단의 에너지보다 진공 준위에 더 근접한다. 산화물 반도체층은 제 1 산화물층과 대향하는 제 2 산화물층과 접한다. 제 2 산화물층은 인듐을 함유한다. 제 2 산화물층의 전도대 하단의 에너지는 산화물 반도체층의 전도대 하단의 에너지보다 진공 준위에 더 근접한다.
- [0015] 채널이 산화물 반도체층 내에 형성되는, 안정된 전기 특성들을 갖는 트랜지스터를 얻기 위하여, 산화물 반도체층 내의 불순물들의 농도를 감소시킴으로써 산화물 반도체층을 고도로 정제하여 고도로 정제된 진성 산화물 반도체층이 되게 하는 것이 유효하다. 고도로 정제된 진성 산화물 반도체층을 얻는 것은 산화물 반도체층을 정제 또는 실질적으로 정제하여 진성 또는 실질적으로 진성 산화물 반도체층이 되게 하는 것을 언급한다. 실질적으로 정제된 진성 산화물 반도체층의 경우, 이의 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 미만, $1 \times 10^{15}/\text{cm}^3$ 미만, 또는 $1 \times 10^{13}/\text{cm}^3$ 미만임을 주목해야 한다. 산화물 반도체층에서, 주 구성원소 이외의 수소, 질소, 탄소, 실리콘, 및 금속 원소는

불순물이 되고, 일부 경우들에 있어서 캐리어 밀도를 증가시킨다. 산화물 반도체층 내의 불순물들의 농도를 줄이기 위하여, 산화물 반도체층에 인접한 제 1 산화물층 및 제 3 산화물층 내의 불순물들의 농도를 또한 줄이는 것이 바람직하다.

[0016] 예컨대, 실리콘은 산화물 반도체층 내의 불순물 준위를 형성한다. 일부 경우들에 있어서, 불순물 준위는 트랜지스터의 전기 특성들을 악화시키는 트랩이 된다. 특히, 산화물 반도체층 내의 실리콘의 농도는 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만이 되도록 설정된다. 트랜지스터의 게이트 절연막으로서, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 또는 질화산화 실리콘막과 같은 실리콘을 함유하는 절연막이 많은 경우들에서 사용되고; 따라서 산화물 반도체층이 게이트 절연막과 접하지 않는 것이 바람직함을 주목해야 한다.

[0017] 또한, 산화물 반도체층 내의 수소 및 질소는 도너 준위들을 형성하고, 이는 캐리어 밀도를 증가시킨다.

[0018] 게이트 절연막과 산화물 반도체층 사이의 계면에 채널이 형성되는 경우, 계면에서 계면 산란이 발생하여, 트랜지스터의 전계 효과 이동도가 감소된다. 이러한 관점에서, 산화물 반도체층이 게이트 절연막과 접하여 형성되지 않고, 채널이 게이트 절연막으로부터 분리되는 것이 바람직하다.

[0019] 따라서, 트랜지스터의 채널이 게이트 절연막으로부터 분리될 때, 트랜지스터는 안정된 전기 특성들과 높은 전계 효과 이동도를 가질 수 있다. 디스플레이 장치의 스위칭 소자로서 트랜지스터의 사용을 통해, 트랜지스터가 안정된 전기 특성들을 갖기 때문에 신뢰도가 높은 디스플레이 장치가 얻어질 수 있다.

[0020] 게이트 절연막과 별도로 트랜지스터의 채널을 형성하기 위하여, 산화물 반도체층을 포함하는 다층막은 예컨대 다음의 구조를 가질 수 있다. 캐리어 이동도가 증가될 수 있기 때문에, 산화물 반도체층이 바람직하게 적어도 인듐을 함유함을 주목해야 한다.

[0021] 산화물 반도체층을 포함하는 다층막은 적어도 산화물 반도체층(편리를 위해 제 2 산화물층으로 언급됨), 및 제 2 산화물층과 게이트 절연막 사이의 제 1 산화물층(또한 장벽층으로 언급됨)을 포함한다. 제 1 산화물층은 제 2 산화물층 내에 포함된 산소 이외의 하나 이상의 원소들을 포함한다. 덧붙여, 제 1 산화물층의 전도대 하단의 에너지는 제 2 산화물층의 전도대 하단의 에너지보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 그리고 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하만큼 진공 준위에 근접한다. 이때, 전계가 게이트 전극에 인가되면, 전도대 하단의 에너지가 낮은 산화물 반도체층을 포함하는 다층막의 제 2 산화물층 내에 채널이 형성된다. 즉, 제 1 산화물층은 제 2 산화물층과 게이트 절연막 사이에 형성되고, 이에 의해 트랜지스터의 채널은 게이트 절연막(본 명세서에서, 제 2 산화물층)과 접하지 않는 층 내에 형성될 수 있다. 또한, 제 1 산화물층이 제 2 산화물층 내에 포함된 산소 이외의 하나 이상의 원소들을 포함하기 때문에, 제 2 산화물층과 제 1 산화물층 사이의 계면에서 계면산란이 발생하기 어렵다. 따라서, 캐리어들의 이동이 계면에서 방해받지 않기 때문에, 트랜지스터는 높은 전계 효과 이동도를 가질 수 있다.

[0022] 제 1 산화물층은 예컨대, 알루미늄, 실리콘, 티타늄, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨, 또는 하프늄을 제 2 산화물층보다 더 높은 원자수비로 함유할 수 있다. 특히, 제 1 산화물층 내의 상기 원소들 중 임의의 원소의 원자수비는 제 2 산화물층 내의 원자수비보다 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상이다. 상기 원소들 중 어느 원소라도 산소와 강하게 결합하고, 따라서 제 1 산화물층 내의 산소 결손의 생성을 억제하는 기능을 갖는다. 즉, 산소의 결손은 제 2 산화물층에서보다 제 1 산화물층에서 생성되기 더 어렵다.

[0023] 대안적으로, 제 1 산화물층과 제 2 산화물층의 각각이 In-M-Zn 산화물이고, 제 1 산화물층과 제 2 산화물층이 각각 $x_1:y_1:z_1$ 의 원자수비와 $x_2:y_2:z_2$ 의 원자수비로 In, M 및 Zn을 함유할 때, y_1/x_1 은 y_2/x_2 보다 큰 것이 요구된다. 원소 M이 In보다 더 큰 산소에 대한 결합력을 갖는 금속 원소이고, Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd 및 Hf가 예들로서 주어질 수 있음을 주목해야 한다. 바람직하게, y_1/x_1 이 y_2/x_2 보다 1.5배 이상 큰 제 1 산화물층과 제 2 산화물층이 선택된다. 더욱 바람직하게, y_1/x_1 이 y_2/x_2 보다 2배 이상 큰 제 1 산화물층과 제 2 산화물층이 선택된다. 더더욱 바람직하게, y_1/x_1 이 y_2/x_2 보다 3배 이상 큰 제 1 산화물층과 제 2 산화물층이 선택된다. 이때, 제 2 산화물층에서, 트랜지스터가 안정된 전기 특성들을 가질 수 있기 때문에, y_1 은 x_1 이상인 것이 바람직하다. 그러나, y_1 이 x_1 보다 3배 이상 클 때, 트랜지스터의 전계 효과 이동도는 감소되고; 따라서, y_1 은 x_1 과 같거나, x_1 의 3배보다 작은 것이 바람직하다.

- [0024] 제 1 산화물층의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다. 제 2 산화물층의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더욱 바람직하게는 3nm 이상 50nm 이하이다.
- [0025] 대안적으로, 산화물 반도체층을 포함하는 다층막은, 절연막과 제 2 산화물층과 접하는 게이트 절연막과 대향하는 제 3 산화물층(또한 장벽층으로 언급됨)을 포함할 수 있다. 제 3 산화물층은 제 2 산화물층에 포함된 산소 이외의 하나 이상의 원소들을 포함한다. 덧붙여, 제 3 산화물층의 전도대 하단의 에너지는 제 2 산화물층의 전도대 하단의 에너지보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 그리고 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하만큼 진공 준위에 근접한다. 이때, 전계가 게이트 전극에 인가되면, 제 3 산화물층 내에 채널이 형성되지 않는다. 또한, 제 3 산화물층이 제 2 산화물층 내에 포함된 산소 이외의 하나 이상의 원소들을 포함하기 때문에, 제 2 산화물층과 제 3 산화물층 사이의 계면에서 계면 준위가 형성되기 어렵다. 계면이 계면 준위를 가질 때, 일부 경우들에 있어서, 계면이 채널로서 작용하고 상이한 임계 전압을 갖는 제 2 트랜지스터가 형성되고; 따라서 트랜지스터의 걸보기 임계 전압이 변화한다. 따라서, 제 3 산화물층을 통해, 임계 전압과 같은 트랜지스터들의 전기 특성들의 변동이 줄어들 수 있다. 제 3 산화물층이 포함되는 경우, 일부 경우들에 있어서, 산화물 반도체층을 포함하는 다층막이 제 1 산화물층을 포함할 필요가 없음을 주목해야 한다.
- [0026] 제 3 산화물층은 예컨대, 알루미늄, 실리콘, 티타늄, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란타, 세륨, 또는 하프늄을 제 2 산화물층보다 더 높은 원자수비로 함유할 수 있다. 특히, 제 3 산화물층 내의 상기 원소들 중 임의의 원소의 원자수비는 제 2 산화물층 내의 원자수비보다 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상이다. 상기 원소들 중 어느 원소라도 산소와 강하게 결합하고, 따라서 제 3 산화물층 내의 산소 결손의 생성을 억제하는 기능을 갖는다. 즉, 산소의 결손은 제 2 산화물층에서보다 제 3 산화물층에서 생성되기 더 어렵다.
- [0027] 또한 대안적으로, 제 2 산화물층과 제 3 산화물층의 각각이 In-M-Zn 산화물이고, 제 2 산화물층과 제 3 산화물층이 각각 $x_2:y_2:z_2$ 의 원자수비와 $x_3:y_3:z_3$ 의 원자수비로 In, M 및 Zn을 함유할 때, y_3/x_3 은 y_2/x_2 보다 큰 것이 요구된다. 원소 M이 In보다 더 큰 산소에 대한 결합력을 갖는 금속 원소이고, Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd 및 Hf가 예들로서 주어질 수 있음을 주목해야 한다. 바람직하게, y_3/x_3 이 y_2/x_2 보다 1.5배 이상 큰 제 2 산화물층과 제 3 산화물층이 선택된다. 더욱 바람직하게, y_3/x_3 이 y_2/x_2 보다 2배 이상 큰 제 2 산화물층과 제 3 산화물층이 선택된다. 더더욱 바람직하게, y_3/x_3 이 y_2/x_2 보다 3배 이상 큰 제 2 산화물층과 제 3 산화물층이 선택된다. 이때, 제 2 산화물층에서, 트랜지스터가 안정된 전기 특성들을 가질 수 있기 때문에, y_2 는 x_2 이상인 것이 바람직하다. 그러나, y_2 가 x_2 보다 3배 이상 클 때, 트랜지스터의 전계 효과 이동도는 감소되고; 따라서, y_2 는 x_2 와 같거나, x_2 의 3배보다 작은 것이 바람직하다.

[0028] 제 3 산화물층의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다.

[0029] 제 1 산화물층 또는 제 3 산화물층이 트랜지스터의 소스 전극(소스 영역) 및 드레인 전극(드레인 영역)과 접하여 제공됨을 주목해야 한다.

[0030] 트랜지스터의 소스 전극(소스 영역) 및 드레인 전극(드레인 영역)이 산화물 반도체층의 적어도 측면 에지들과 접하여 제공될 때, 소스 전극(소스 영역) 및 드레인 전극(드레인 영역)은 채널 형성 영역과 접하고, 이것이 바람직하다.

발명의 효과

[0031] 본 발명의 일 실시예에 따라, 산화물 반도체층을 포함하는 다층막을 통해 안정된 전기 특성들을 갖는 트랜지스터를 얻는 것이 가능하다. 덧붙여, 트랜지스터를 포함하는 신뢰도가 높은 반도체 장치를 제공하는 것이 가능하다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예의 다층막을 도시하는 단면도.

도 2는 본 발명의 일 실시예의 다층막의 ToF-SIMS 결과들을 도시하는 도면.

도 3은 본 발명의 일 실시예의 다층막 내의 산소의 확산을 각각 도시하는 도면들.

- 도 4는 본 발명의 일 실시예의 산화물층 및 산화물 반도체층 내의 입자들의 수를 도시하는 도면.
- 도 5는 본 발명의 일 실시예의 다층막의 대역 구조를 각각 보여주는 도면들.
- 도 6은 본 발명의 일 실시예의 다층막의 대역 구조를 각각 도시하는 도면들.
- 도 7은 본 발명의 일 실시예의 다층막의 대역 구조를 보여주는 도면.
- 도 8은 TEM을 통해 얻어진, 본 발명의 일 실시예의 다층막의 투과 전자 이미지의 각 도면들.
- 도 9는 TEM을 통해 얻어진, 본 발명의 일 실시예의 다층막의 투과 전자 이미지의 각 도면들.
- 도 10은 스퍼터링 입자가 타겟으로부터 분리되는 상태를 도시한 도면들.
- 도 11은 In-Ga-Zn 산화물의 결정 구조의 예를 도시하는 도면들.
- 도 12는 스퍼터링 입자가 증착 표면에 도달하여 증착되는 상태를 도시하는 개략도들.
- 도 13은 본 발명의 일 실시예의 다층막의 CPM 측정 결과들을 도시하는 도면들.
- 도 14는 막 형성 장치의 예를 도시하는 평면도.
- 도 15는 막 형성 챔버 등의 예를 도시하는 단면도들.
- 도 16은 본 발명의 일 실시예의 반도체 장치를 도시하는 평면도 및 단면도들.
- 도 17은 본 발명의 일 실시예의 반도체 장치의 제작 방법을 도시하는 단면도들.
- 도 18은 본 발명의 일 실시예의 반도체 장치의 제작 방법을 도시하는 단면도들.
- 도 19는 본 발명의 일 실시예의 반도체 장치를 도시하는 평면도 및 단면도들.
- 도 20은 본 발명의 일 실시예의 반도체 장치의 제작 방법을 도시하는 단면도들.
- 도 21은 본 발명의 일 실시예의 반도체 장치의 제작 방법을 도시하는 단면도들.
- 도 22는 트랜지스터의 V_g - I_d 특성들을 각각 도시하는 도면들.
- 도 23은 게이트 BT 시험의 결과들을 각각 도시하는 도면들.
- 도 24는 본 발명의 일 실시예의 반도체 장치의 예를 도시하는 블록도.
- 도 25는 본 발명의 일 실시예의 반도체 장치의 예를 도시하는 단면도.
- 도 26은 본 발명의 일 실시예의 반도체 장치의 예를 도시하는 블록도들.
- 도 27은 본 발명의 일 실시예의 전자 장치의 예를 각각 도시하는 도면들.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 발명의 일 실시예는 첨부 도면들을 참조하여 아래에서 상세하게 기술될 것이다. 그러나, 본 발명은 다음의 설명으로 국한되지 않고, 당업자라면 모드 및 세부사항들이 다양하게 변경될 수 있음을 쉽게 이해할 것이다. 덧붙여, 본 발명은 다음의 실시예의 설명으로 국한되는 것으로 해석되지 않아야 한다. 도면들을 참조하여 본 발명의 구조들을 기술할 때, 상이한 도면들에서 동일 부분들에 대해 동일한 참조 번호들이 공통적으로 사용된다. 동일한 빗금 패턴이 유사한 부분들에 적용되고, 일부 경우들에서 유사한 부분들이 참조 번호들에 의해 구체적으로 표시되지 않음을 주목해야 한다.
- [0034] 또한, 본 명세서에서 "제 1" 및 "제 2"와 같은 서수들은 편리를 위해 사용되고, 단계들의 순서 또는 층들의 적층 순서를 나타내는 것은 아니다. 덧붙여, 본 명세서에서 서수들은 본 발명을 특징하는 특별한 명칭들을 나타내는 것은 아니다.
- [0035] 많은 경우들에서, 전압은 특정 전위와 기준 전위(예, 접지 전위(GND) 또는 소스 전위) 사이의 전위차를 언급함을 주목해야 한다. 따라서, 전압은 또한 전위로도 불릴 수 있다.
- [0036] 심지어 "전기적으로 접속된다"라는 표현이 사용될 때에도, 물리적인 연결이 전혀 이루어지지 않고, 배선이 실제 회로에서 단지 확장되는 경우가 존재한다.

- [0037] 또한, 소스 및 드레인의 기능들은, 예컨대 회로 동작에서 전류 흐름의 방향이 변경될 때, 전환될 수 있다. 그러므로, "소스" 및 "드레인"의 용어들은 본 명세서에서 전환될 수 있다.
- [0038] 본 실시예의 설명들은 서로 적절하게 결합될 수 있다.
- [0039] < 1. 산화물 반도체층을 포함하는 다층막 >
- [0040] 트랜지스터를 위하여 사용된 산화물 반도체층을 포함하는 다층막이 도 1을 참조하여 기술된다.
- [0041] < 1-1. 다층막의 구조 >
- [0042] 본 절에서, 다층막의 구조가 기술된다.
- [0043] 도 1에 도시된 다층막(106)은 산화물층(106a), 산화물층(106a) 위의 산화물 반도체층(106b), 및 산화물 반도체층(106b) 위의 산화물층(106c)을 포함한다. 다층막(106)이 아래의 설명에서 3개의 층들을 갖지만, 다층막(106)이 2개 층들 또는 4개 이상의 층들을 가질 수 있음을 주목해야 한다. 예컨대, 다층막(106)은 산화물층(106a)과 산화물층(106a) 위의 산화물 반도체층(106b)을 포함하는 2-층막이 될 수 있다. 대안적으로, 다층막(106)은 산화물 반도체층(106b)과 산화물 반도체층(106b) 위의 산화물층(106c)을 포함하는 2-층막이 될 수 있다.
- [0044] < 1-2. 조성 및 불순물들 >
- [0045] 본 절에서, 다층막(106)에 포함된 층들 내의 실리콘의 농도들이 도 2를 참조하여 기술된다.
- [0046] 본 명세서에서, 산화물층(106a)은 In-Ga-Zn 산화물(In:Ga:Zn에 대한 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0047] 산화물 반도체층(106b)은 In-Ga-Zn 산화물(In:Ga:Zn에 대한 원자수비는 1:1:1) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 300℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0048] 산화물층(106c)은 In-Ga-Zn 산화물(In:Ga:Zn에 대한 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0049] 다층막(106)은 실리콘 웨이퍼 위에 제공되고, 열처리를 거치지 않은 시료와 2시간 동안 450℃에서 열처리를 거친 시료가 준비된다. 도 2는, 비행시간형 2차 이온 질량 분석기(ToF-SIMS)에 의해 측정된 시료들의, 깊이 방향에서 In, Ga 및 Zn의 2차 이온 강도, 및 SiO₃의 2차 이온 강도로부터 변환된 깊이 방향의 실리콘 농도(atoms/cm³)를 도시한다. 다층막(106)은 10nm 두께의 산화물층(106a), 산화물층(106a) 위의 10nm 두께를 갖는 산화물 반도체층(106b), 및 산화물 반도체층(106b) 위의 10nm 두께를 갖는 산화물층(106c)을 포함한다.
- [0050] 도 2는 다층막(106)에 포함된 층들의 조성들이 막 형성시 사용된 각 타깃들의 조성들에 따라 변하는 것을 도시한다. 층들의 조성들은 도 2를 사용하여 단순히 비교될 수 없음을 주목해야 한다.
- [0051] 도 2는 다층막(106)의 실리콘 웨이퍼와 산화물층(106a) 사이의 계면과 산화물층(106c)의 상부 표면이 더 높은 실리콘 농도들을 가짐을 나타낸다. 더욱이, 도 2는 산화물 반도체층(106b) 내의 실리콘 농도가 ToF-SIMS에 의한 검출 하한인 대략 1×10^{18} atoms/cm³인 것을 나타낸다. 이것은 아마도 산화물층들(106a 및 106c)의 존재로 인해, 산화물 반도체층(106b)이 실리콘 웨이퍼 또는 표면 오염으로 인한 실리콘에 의해 영향을 받지 않기 때문이다.
- [0052] 또한, 증착된 시료(열처리를 거치지 않은 시료, 도 2에서 "as-depo"로 참조됨)와 열처리 후의 시료의 비교는, 열처리를 통한 실리콘 확산의 작은 효과가 존재하지만, 실리콘의 진입은 주로 막 형성 시에 발생함을 나타낸다.
- [0053] 다층막(106)을 포함하는 트랜지스터가 안정된 전기 특성들을 갖도록, 산화물 반도체층(106b)을 고도로 정제하여 고도로 정제된 진성 산화물 반도체층이 되도록 하는 것이 효과적이다. 특히, 산화물 반도체층(106b)의 캐리어 밀도는 1×10^{17} /cm³ 미만, 1×10^{15} /cm³ 미만, 또는 1×10^{13} /cm³ 미만으로 설정될 수 있다. 산화물 반도체층(106b)에서, 주된 원소 이외의 수소, 질소, 탄소, 실리콘, 및 금속 원소는 불순물이 된다. 산화물 반도체층(106b) 내의 불순물들의 농도를 줄이기 위하여, 산화물 반도체층(106b)에 인접한 산화물층들(106a 및 106c) 내의 불순물들의 농도를 또한 산화물 반도체층(106b) 내의 불순물 농도와 거의 동일한 값으로 줄이는 것이 바람직하다.

- [0054] 특히, 실리콘이 산화물 반도체층(106b) 내에 높은 농도로 함유될 때, 산화물 반도체층(106b) 내에서 실리콘에 기인한 불순물 준위가 형성된다. 일부 경우들에 있어서, 불순물 준위는 트랩이 되고, 이는 트랜지스터의 전기 특성들을 열화시킨다. 트랜지스터의 전기 특성들의 열화를 적게 하기 위하여, 산화물 반도체층(106b) 내의 실리콘의 농도는 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 설정될 수 있다. 더욱이, 산화물층(106a)과 산화물 반도체층(106b) 사이의 계면과 산화물 반도체층(106b)과 산화물층(106c) 사이의 계면에서 실리콘의 농도들은 각각 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 설정된다.
- [0055] 또한, 산화물 반도체층(106b) 내의 수소 및 질소는 도너 준위들을 형성하고, 이들은 캐리어 밀도를 증가시킨다. 산화물 반도체층(106b)을 진성 또는 실질적으로 진성으로 만들기 위하여, SIMS에 의해 측정된 산화물 반도체층(106b) 내의 수소 농도는 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{19} atoms/cm³ 이하, 더더욱 바람직하게는 5×10^{18} atoms/cm³ 이하로 설정된다. SIMS에 의해 측정된 산화물 반도체층(106b) 내의 질소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{18} atoms/cm³ 이하, 더더욱 바람직하게는 5×10^{17} atoms/cm³ 이하로 설정된다.
- [0056] 실리콘과 탄소가 산화물 반도체층(106b) 내에 높은 농도로 함유될 때, 산화물 반도체층(106b)의 결정성은 일부 경우들에서 낮아짐을 주목해야 한다. 산화물 반도체층(106b)의 결정성을 저하시키지 않기 위하여, 산화물 반도체층(106b) 내의 실리콘의 농도는 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 설정된다. 더욱이, 산화물 반도체층(106b)의 결정성을 저하시키지 않기 위하여, 산화물 반도체층(106b) 내의 탄소의 농도는 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 설정된다. 다층막(106)의 결정성의 기술은 이후에 이루어질 것이다.
- [0057] 산화물 반도체층과 산화물층 내의 산소의 결손은 일부 경우들에 있어서 불순물처럼 거동한다. 여기에서, 350℃에서의 열처리 또는 450℃에서의 열처리를 통해 다층막(106) 내에서 산소의 확산은 도 3을 참조하여 기술된다.
- [0058] 도 3은 각각 다층막(106)의 층들 중 임의의 층들이 ¹⁸O₂ 가스를 사용하여 형성되는 시료들 내의 깊이 방향에서 ¹⁸O의 농도 분포의 SIMS 측정 결과들을 도시한다.
- [0059] 여기에서, 산화물층(106a)은 In-Ga-Zn 산화물(In:Ga:Zn에 대한 원자수비는 1:1:1) 타깃을 사용하는 스퍼터링법에 의해 형성된다.
- [0060] 산화물 반도체층(106b)은 In-Ga-Zn 산화물(In:Ga:Zn에 대한 원자수비는 3:1:2) 타깃을 사용하는 스퍼터링법에 의해 형성된다.
- [0061] 산화물층(106c)은 In-Ga-Zn 산화물(In:Ga:Zn에 대한 원자수비는 1:1:1) 타깃을 사용하는 스퍼터링법에 의해 형성된다.
- [0062] 여기에서, 도 3의 (A)는 ¹⁸O₂ 가스가 산화물층(106a)을 형성하기 위하여 사용되지만, ¹⁸O₂ 가스가 다른 층들을 형성하기 위하여 사용되지 않는 시료들의 산화물층(106a), 산화물 반도체층(106b) 및 그 사이의 계면의 깊이 방향에서 ¹⁸O의 농도 분포들을 도시한다. SIMS 측정 결과들은 다음을 나타낸다: 열처리를 거치지 않은 시료(점선으로 "as-depo"로 도시된)에서보다 350℃에서 열처리를 거친 시료(실선으로 "350℃에서의 열처리 후"로 도시된) 및 450℃에서 열처리를 거친 시료(파선으로 "450℃에서의 열처리 후"로 도시된)에서 ¹⁸O는 산화물층(106a)으로부터 산화물 반도체층(106b)으로 더 많이 확산된다.
- [0063] 도 3의 (B)는 ¹⁸O₂ 가스가 산화물 반도체층(106b)을 형성하기 위하여 사용되지만, ¹⁸O₂ 가스가 다른 층들을 형성하기 위하여 사용되지 않는 시료들의 산화물 반도체층(106b), 산화물층(106c) 및 그 사이의 계면의 깊이 방향에서 ¹⁸O의 농도 분포들을 도시한다. SIMS 측정 결과들은 다음을 나타낸다: 열처리를 거치지 않은 시료(점선으로 "as-depo"로 도시된)에서보다 350℃에서 열처리를 거친 시료(실선으로 "350℃에서의 열처리 후"로 도시된) 및

450℃에서 열처리를 거친 시료(파선으로 "450℃에서의 열처리 후"로 도시된)에서 ^{18}O 는 산화물 반도체층(106b)으로부터 산화물층(106c)으로 더 많이 확산된다.

[0064] 도 3의 (C)는 $^{18}\text{O}_2$ 가스가 산화물 반도체층(106b)을 형성하기 위하여 사용되지만, $^{18}\text{O}_2$ 가스가 다른 층들을 형성하기 위하여 사용되지 않는 시료들의 산화물층(106a), 산화물 반도체층(106b) 및 그 사이의 계면의 깊이 방향에서 ^{18}O 의 농도 분포들을 도시한다. SIMS 측정 결과들은 다음을 나타낸다: 열처리를 거치지 않은 시료(점선으로 "as-depo"로 도시된)와 350℃에서 열처리를 거친 시료(실선으로 "350℃에서의 열처리 후"로 도시된)에서보다, 450℃에서 열처리를 거친 시료(파선으로 "450℃에서의 열처리 후"로 도시된)에서 ^{18}O 는 산화물 반도체층(106b)으로부터 산화물층(106a)으로 더 많이 확산된다.

[0065] 도 3에 도시된 바와 같이, 다층막(106)에서, 산소는 한 층으로부터 다른 층으로 확산된다.

[0066] < 1-3. 산화물 층 >

[0067] 다음에, 다층막(106)에 사용된 산화물층들(106a 및 106c)의 각각에 적용될 수 있는 산화물층은 스퍼터링법에 의해 형성되었고, 1 μm 이상의 크기를 갖는 입자들의 수가 측정되었다.

[0068] 측정은 다음의 시료들에 대해 수행되었다: 산화 갈륨 타깃을 사용하여 형성된 시료; Ga-Zn 산화물(Ga:Zn의 원자수비는 2:5) 타깃을 사용하여 형성된 시료; In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 3:1:2) 타깃을 사용하여 형성된 시료; In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:1:1) 타깃을 사용하여 형성된 시료; 및 In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:3:2) 타깃을 사용하여 형성된 시료.

[0069] 도 4는 산화 갈륨 타깃을 사용하여 형성된 시료와 Ga-Zn 산화물 타깃을 사용하여 형성된 시료에서, 1 μm 이상의 크기를 갖는 입자들의 수는 산화물층의 두께가 증가함에 따라 급격하게 증가하는 것을 도시한다. 다른 한 편으로, In-Ga-Zn 산화물 타깃을 사용하여 형성된 시료들에서, 1 μm 이상의 크기를 갖는 입자들의 수는 산화물층의 두께가 증가하는 경우에도 급격하게 증가하기 어렵다.

[0070] 따라서, 산화물층이 스퍼터링법에 의해 형성되는 경우, 인듐을 함유하는 타깃은 바람직하게 입자들 수의 증가의 관점에서 사용된다. 더욱이, In, Ga 및 Zn의 원자수비에서 갈륨의 비율이 상대적으로 작은 산화물 타깃을 사용하는 것이 바람직하다. 특히, 인듐을 함유하는 타깃이 사용되는 경우, 타깃의 도전율이 증가될 수 있고, DC 방전 및 AC 방전이 용이해진다; 따라서, 대형 기판 위의 막 형성은 쉽게 수행될 수 있다. 따라서, 반도체 장치들의 생산성을 높일 수 있다.

[0071] < 1-4. 대역 구조 >

[0072] 본 절에서, 다층막(106)의 대역 구조는 도 5 및 도 6을 참조하여 기술된다.

[0073] 산화물층(106a)이 3.15eV의 에너지갭을 갖는 In-Ga-Zn 산화물을 사용하여 형성되었고, 산화물 반도체층(106b)이 2.8eV의 에너지갭을 갖는 In-Ga-Zn 산화물을 사용하여 형성되었고, 산화물층(106c)이 산화물층(106a)의 것과 유사한 물리적인 특성들을 갖는 산화물층을 사용하여 형성되었음을 주목해야 한다. 또한, 산화물층(106a)과 산화물 반도체층(106b) 사이의 계면 근처의 에너지갭과 산화물층(106c)과 산화물 반도체층(106b) 사이의 계면 근처의 에너지갭은 각각 3eV 였다. 에너지갭들은 분광 타원계측기(HORIBA JOBIN YVON SAS가 제작한 UT-300)를 사용하여 측정되었다. 산화물층(106a), 산화물 반도체층(106b) 및 산화물층(106c)의 두께들은 각각 10nm였다.

[0074] 도 5의 (A)에서, 다층막(106)이 산화물층(106c) 측으로부터 에칭되는 동안 각 층의 진공 준위와 가전자대 상단 사이의 에너지갭이 측정되어 그려졌다. 진공 준위와 가전자대 상단 사이의 에너지갭은 자외선 광전 분광분석(UPS) 장치(ULVAC-PHI, Inc가 제작한 VersaProbe)를 사용하여 측정되었다.

[0075] 도 5의 (B)에서, 각 층의 진공 준위와 전도대 하단 사이의 에너지갭이 진공 준위와 가전자대 상단 사이의 에너지갭으로부터 각 층의 에너지갭을 감산함으로써 계산되는 방식으로 값이 얻어져 그려졌다.

[0076] 도 5의 (B)의 대역 구조의 부분은 도 6의 (A)에 개략적으로 도시된다. 도 6의 (A)는 산화 실리콘막들이 산화물층들(106a와 106c)과 접하여 제공되는 경우를 도시한다. 여기에서, EcI1은 산화 실리콘막의 전도대 하단의 에너지를 나타내고, EcS1은 산화물층(106a)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물 반도체층(106b)의 전도대 하단의 에너지를 나타내고, EcS3은 산화물층(106c)의 전도대 하단의 에너지를 나타내고, EcI2는 산화 실리콘막의 전도대 하단의 에너지를 나타낸다.

- [0077] 도 6의 (A)에 도시된 바와 같이, 산화물층(106a), 산화물 반도체층(106b) 및 산화물층(106c)의 전도대들의 하단들의 에너지들은 연속적으로 변한다. 이것은 또한 산소가 산화물층(106a)과 산화물 반도체층(106b) 사이의 계면에서 및 산화물 반도체층(106b)과 산화물층(106c) 사이의 계면에서 확산되는 도 3에 도시된 결과들로부터 이해될 수 있다.
- [0078] 도 6의 (A)가 산화물층들(106a 및 106c)이 동일한 물리적인 특성들을 갖는 경우를 도시하지만, 산화물층들(106a 및 106c)이 상이한 물리적인 특성들을 가질 수 있음을 주목해야 한다. 예컨대, EcS1이 EcS3보다 더 큰 에너지를 갖는 대역 구조의 부분이 도 6의 (B)에서와 같이 도시된다. 대안적으로, 도 6에 도시되지 않았지만, EcS3은 EcS1보다 더 큰 에너지를 가질 수 있다.
- [0079] 도 5 및 도 6에 따라, 다층막(106)의 산화물 반도체층(106b)은 웰(well)로서 작용하고, 다층막(106)을 포함하는 트랜지스터의 채널은 산화물 반도체층(106b) 내에 형성된다. 전도대들의 하단들의 에너지들이 연속적으로 변하기 때문에, 다층막(106)이 또한 U-형 웰로서 언급될 수 있음을 주목해야 한다.
- [0080] 불순물들 또는 결함들로 인한 트랩 준위들이 도 7에 도시된 바와 같이 산화 실리콘막과 같은 절연막과 산화물층들(106a 및 106c)의 각각 사이의 계면 근처에 형성될 수 있지만, 산화물 반도체층(106b)이 산화물층들(106a 및 106c)의 존재로 인해 트랩 준위들로부터 멀리 떨어질 수 있음을 주목해야 한다. 그러나, EcS1 또는 EcS3과 EcS2 사이의 에너지갭이 작을 때, 전자는 에너지갭을 초과함으로써 트랩 준위에 도달할 것이다. 트랩 준위에 트랩됨으로써, 절연막과의 계면에서 음의 고정 전하가 야기되고, 이에 의해 트랜지스터의 임계 전압은 양의 방향으로 이동된다.
- [0081] 따라서, EcS1과 EcS2 사이의 에너지갭과 EcS3과 EcS2 사이의 에너지갭은 각각, 트랜지스터의 임계 전압 변화의 양이 감소되고, 트랜지스터가 안정된 전기 특성들을 갖기 때문에, 바람직하게는 0.1eV 이상, 더욱 바람직하게는 0.15eV 이상이다.
- [0082] < 1-5. 결정성 >
- [0083] 다층막(106)의 적어도 산화물 반도체층(106b)이 결정성을 갖는 것이 바람직하다. 결정성을 갖는 산화물 반도체층(106b)을 통해, 다층막(106)을 포함하는 트랜지스터는 결정성을 갖지 않는 산화물 반도체층(106b)의 경우와 비교하여 안정된 전기 특성들을 가질 수 있다. 본 절에서, 산화물 반도체층(106b)이 다층막(106) 내에서 결정성을 갖는 예가 기술된다.
- [0084] < 1-5-1. TEM을 통한 결정 배열의 평가 >
- [0085] 여기에서, 다층막(106)의 결정성에 대해, 원자 배열, 등이 투과 전자 현미경(TEM)을 통해 평가되었다. 아래에서 도 8 및 도 9를 참조하여 설명이 이루어진다.
- [0086] 여기에서, 산화물층(106a)은 In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0087] 산화물 반도체층(106b)은 In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:1:1) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 300℃ 또는 400℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0088] 산화물층(106c)은 In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0089] 도 8 및 도 9는 기판인 실리콘 웨이퍼 위에 제공된 산화 실리콘막 위에 제공된 다층막(106)을 각각이 포함하는 시료들의 투과 전자 이미지들이다. 도 8에 도시된 평가된 시료들 및 도 9의 평가된 시료들이 산화물 반도체층(106b)의 형성시 기판의 온도들이 300℃(도 8) 및 400℃(도 9)인 점에서만 서로 다른점을 주목해야 한다. 각 시료가 막 형성 이후 열처리를 거치지 않았음을 주목해야 한다. 투과 전자 이미지들은 Hitachi H-9500 투과 전자 현미경(TEM)을 사용하여 측정되었다.
- [0090] 여기에서, 다층막(106)은 산화물층(106a)으로 20nm 두께의 In-Ga-Zn 산화물, 산화물 반도체층(106b)으로 15nm 두께의 In-Ga-Zn 산화물, 및 산화물층(106c)으로 5nm 두께의 In-Ga-Zn 산화물을 포함한다. 도 8의 (A)는 산화물

층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 포함하는 투과 전자 이미지이다. 도 8의 (B)는 산화물 반도체층(106b)과 산화물층(106c) 사이의 계면 근처의 부분의 확대된 이미지이고, 도 8의 (C)는 산화물층(106a)과 산화물 반도체층(106b) 사이의 계면 근처의 부분의 확대된 이미지이고, 도 8의 (D)는 산화 실리콘막과 산화물층(106a) 사이의 계면 근처의 부분의 확대된 이미지이다. 유사한 방식으로, 도 9의 (A)는 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 포함하는 투과 전자 이미지이다. 도 9의 (B)는 산화물 반도체층(106b)과 산화물층(106c) 사이의 계면 근처의 부분의 확대된 이미지이고, 도 9의 (C)는 산화물층(106a)과 산화물 반도체층(106b) 사이의 계면 근처의 부분의 확대된 이미지이고, 도 9의 (D)는 산화 실리콘막과 산화물층(106a) 사이의 계면 근처의 부분의 확대된 이미지이다.

[0091] 도 8 및 도 9에 따라, 산화물층들(106a 및 106c)은 명확한 결정부를 갖지 않는다. 또한, 산화물 반도체층(106b)은 산화물층(106a)과의 계면으로부터 산화물층(106c)과의 계면까지 전체적으로 높은 정도의 결정성을 갖는 결정질이었다. 산화물 반도체층(106b)의 결정부 내의 원자 배열이 산화물 반도체층(106b)의 상부 표면에 평행한 평면에서 층상인 것으로 밝혀졌음을 주목해야 한다. 더욱이, 산화물 반도체층(106b) 내의 결정부들 사이에 명확한 결정입계가 보이지 않았다. 또한, 도 9의 산화물 반도체층(106b)이 도 8의 산화물 반도체층(106b)보다 더 높은 정도의 결정성을 가짐이 밝혀졌다.

[0092] 산화물 반도체층(106b)이 결정질인 사실은 또한 도 2에 도시된 ToF-SIMS 결과들과도 부합한다. 즉, 산화물층(106a 및 106c)의 존재로 인해 산화물 반도체층(106b)으로 실리콘의 진입이 감소되기 때문에, 산화물 반도체층(106b)의 결정성은 저하되지 않았다.

[0093] 이러한 방식으로, 채널이 형성된 산화물 반도체층(106b)은 높은 정도의 결정성을 갖고, 불순물들 또는 결함들로 인한 준위들은 거의 없는 것으로 보이고; 따라서 다층막(106)을 포함하는 트랜지스터는 안정된 전기 특성들을 갖는다.

[0094] < 1-5-2. 결정 성장 모델 >

[0095] 여기에서, 높은 정도의 결정성을 갖는 산화물 반도체층(106b) 내의 결정 성장의 모델이 도 10, 도 11 및 도 12를 참조하여 기술된다.

[0096] 도 10의 (A)는 스퍼터링 타깃(1000)으로부터 결정성을 갖는 스퍼터링된 입자들(1002)을 분리하기 위하여 이온(1001)이 높은 배향을 갖는 다결정 산화물 반도체를 함유하는 타깃(1000)과 충돌하는 상태를 도시하는 개략도이다. 결정립은 타깃(1000)의 표면과 평행한 벽개면을 갖는다. 또한, 결정립은 원자간 결합력이 약한 부분을 갖는다. 이온(1001)이 결정립과 충돌할 때, 원자간 결합력이 약한 부분의 원자간 결합은 절단된다. 따라서, 벽개면과, 원자간 결합력이 약한 부분을 따라 절단되어 편평한 플레이트(또는 펠릿) 형태로 분리된 스퍼터링된 입자(1002)가 생성된다. 스퍼터링된 입자(1002)의 평면의 등가 원의 직경이 결정립들의 평균 입자의 크기의 1/3000 이상 1/20 이하, 바람직하게는 1/1000 이상 1/30 이하임을 주목해야 한다. 여기에서, 용어, "평면의 등가 원의 직경"은 평면과 동일한 면적을 갖는 완벽한 원의 직경을 언급한다.

[0097] 대안적으로, 결정립의 부분이 벽개면으로부터 입자로서 분리되어 플라즈마에 노출될 때, 결합의 절단은 원자간 결합력이 약한 부분에서 시작되어, 복수의 스퍼터링된 입자들(1002)이 생성된다.

[0098] 이온(1001)으로서 산소 양이온의 사용을 통해, 막 형성시 플라즈마 손상은 경감될 수 있다. 따라서, 이온(1001)이 타깃(1000)의 표면과 충돌할 때, 타깃(1000)의 결정성의 저하가 억제될 수 있거나, 또는 타깃(1000)의 비정질 상태로의 변화가 억제될 수 있다.

[0099] 도 11의 (A)는 높음 배향성을 갖는 다결정 산화물 반도체를 함유하는 타깃(1000)의 일 예로서, 결정의 a-b 면에 평행한 방향으로 보았을 때 In-Ga-Zn 산화물의 결정 구조를 도시한다. 도 11의 (B)는 도 11의 (A)에서 파선으로 둘러싸인 부분의 확대도를 도시한다.

[0100] 예컨대, In-Ga-Zn 산화물의 결정립에서, 벽개면은 도 11의 (B)에 도시된 바와 같이 제 1 층과 제 2 층 사이의 면이다. 제 1 층은 갈륨 원자 및/또는 아연 원자 및 산소 원자를 포함하고, 제 2 층은 갈륨 원자 및/또는 아연 원자 및 산소 원자를 포함한다. 이것은, 제 1 층에서 음 전하를 갖는 산소 원자들 및 제 2 층에서 음 전하를 갖는 산소 원자들이 서로 근접하기 때문이다(도 11의 (B)에서 둘러싸인 부분들을 참조). 이러한 방식으로, 벽개면은 a-b 면에 평행하다. 더욱이, 도 11에 도시된 In-Ga-Zn 산화물의 결정은 육각 결정이고; 따라서 편평한 플레이트-형 결정립이 내부 각도가 120° 인 정육각 면을 갖는 육각 프리즘 형태를 갖기 쉽다.

[0101] 분리된 스퍼터링된 입자들(1002)이 양으로 대전되는 것이 바람직하다. 스퍼터링된 입자(1002)가 양으로 대전되

는 타이밍에 대한 특별한 제한은 없지만, 스퍼터링된 입자(1002)가 이온(1001)이 충돌할 때 전기 전하를 수용함으로써 양으로 대전되는 것이 바람직하다. 대안적으로, 플라스마가 생성되는 경우, 스퍼터링된 입자(1002)는 플라스마에 노출되어 양으로 대전되는 것이 바람직하다. 또한 대안적으로, 산소 양이온인 이온(1001)은 바람직하게 스퍼터링된 입자(1002)의 측면 표면, 상부 표면 또는 바닥 표면에 결합되고, 이에 의해 스퍼터링된 입자(1002)는 양으로 대전된다.

- [0102] 스퍼터링된 입자들이 증착 표면에 증착되는 상태는 아래에서 도 12를 참조하여 기술된다. 도 12에서 이미 증착된 스퍼터링된 입자들이 점선들로 도시됨을 주목해야 한다.
- [0103] 도 12의 (A)에서, 증착 표면(1003)은 수 개의 산화물 반도체층들이 증착된 표면이다. 도 12의 (A)에 도시된 바와 같이, 스퍼터링된 입자들(1002)이 양으로 대전되는 경우, 스퍼터링된 입자들(1002)은 스퍼터링된 입자(1002)가 아직 증착되지 않은 증착 표면(1003)의 영역에 증착된다. 이것은 양으로 대전된 스퍼터링된 입자들(1002)이 서로 밀어내기 때문이다.
- [0104] 도 12의 (B)는 도 12의 (A)에서 일점쇄선 X-Y를 따라 취해진 단면도이다. 상기 방식으로 증착된 스퍼터링된 입자들(1002)은 증착 표면(1003)에 수직 방향으로 배향된 c-축들을 갖는 결정들을 갖고; 따라서 산화물 반도체층(106b)은 c-축 배향된 결정 산화물 반도체(CAAC-OS)층이다.
- [0105] 위의 방식의 증착에 의해 얻어진 산화물 반도체층은 균일한 두께와 균일한 결정 배향을 갖는다. 스퍼터링된 입자들은 무작위로 증착되지 않는다. 양으로 대전된 스퍼터링된 입자들은 서로 상호작용하고, 정연하게 증착되어, c-축들이 증착 표면에 수직인 방향으로 배향되게 된다.
- [0106] 위의 방식으로 높은 배향성을 갖는 다결정 산화물 반도체를 함유하는 타깃의 사용을 통해, 균일한 두께와 균일한 결정 배향을 갖는 산화물 반도체층(106b)이 형성될 수 있다. 스퍼터링 장치의 세부사항들은 이후에 기술될 것이다.
- [0107] CAAC-OS층은 복수의 결정부들을 포함하는 산화물 반도체막들 중 하나이고, 대부분의 결정부는 한 변이 100nm 미만인 입방체 내에 들어간다. 따라서, CAAC-OS층 내에 포함된 결정부가 한 변이 10nm 미만, 5nm 미만 또는 3nm 미만인 입방체 내에 들어가는 경우가 존재한다. CAAC-OS층의 결합 상태들의 밀도는 낮다. CAAC-OS층은 아래에서 상세하게 기술된다.
- [0108] CAAC-OS막의 TEM 이미지에서, 결정부들 사이의 경계, 즉 결정입계는 명확하게 관찰되지 않는다. 따라서, CAAC-OS층 내에서, 결정입계로 인한 전자 이동도의 감소는 발생하기 쉽지 않다.
- [0109] 시료 표면에 실질적으로 평행한 방향에서 관찰된 CAAC-OS층의 TEM 이미지(단면 TEM 이미지)에 따라, 금속 원자들은 결정부들 내에서 층상으로 배열된다. 각 금속 원자층은 CAAC-OS층이 형성되는 표면(이후로 CAAC-OS층이 형성되는 표면은 피형성면으로 언급된다) 또는 CAAC-OS층의 상부 표면을 반영한 형상이고, CAAC-OS층의 피형성면 또는 상부 표면에 평행하게 배열된다.
- [0110] 다른 한 편으로, 시료 표면에 실질적으로 수직인 방향으로 관찰된 CAAC-OS층의 TEM 이미지(평면 TEM 이미지)에 따라, 금속 원자들은 결정부들 내에서 삼각형 또는 육각형 구성으로 배열된다. 그러나, 상이한 결정부들 사이의 금속 원자들의 배열의 규칙성은 존재하지 않는다.
- [0111] 단면 TEM 이미지 및 평면 TEM 이미지의 결과들로부터, CAAC-OS층의 결정부들 내에서 배향성이 발견된다.
- [0112] CAAC-OS층은 X-선 회절(XRD) 장치를 통해 구조 분석을 거친다. 예컨대, InGaZnO₄ 결정을 포함하는 CAAC-OS층이 아웃-오브-플레인(out-of-plane)법으로 분석될 때, 회절 각도(2 θ)가 대략 31° 일 때 피크가 빈번하게 출현한다. 이러한 피크는 InGaZnO₄ 결정의 (009) 면으로부터 유도되고, 이는 CAAC-OS층 내의 결정들이 c-축 배향성을 갖는 것과, c-축들이 CAAC-OS층의 피형성면 또는 상부 표면에 실질적으로 수직인 방향으로 배향되는 것을 나타낸다.
- [0113] 다른 한 편으로, CAAC-OS층이 X-선이 c-축에 실질적으로 수직인 방향으로 시료에 입사하는 인-플레인(in-plane)법에 의해 분석될 때, 2 θ 가 대략 56° 일 때 피크가 빈번하게 출현한다. 이러한 피크는 InGaZnO₄ 결정의 (110) 면으로부터 유도된다. 여기에서, 대략 56° 에 고정된 2 θ 에 대해 축(ϕ 축)으로서 시료 표면의 법선 벡터 주위를 시료가 회전하는 상태 하에서 분석(ϕ 스캔)이 수행된다. 시료가 InGaZnO₄의 단결정 산화물 반도체막인 경우, 6개의 피크들이 출현한다. 6개의 피크들은 (110)면과 등가인 결정면들로부터 유도된다. 다른 한 편으로,

CAAC-OS층의 경우, 2θ 를 대략 56° 에 고정하고 ϕ 스캔을 수행하여도 피크는 명확하게 관찰되지 않는다.

- [0114] 위의 결과들에 따라, c축 배향성을 갖는 CAAC-OS층에서, a-축들 및 b-축들의 방향들이 결정부들 사이에서 상이하지만, c-축들은 피형성면의 법선 벡터 또는 상부 표면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 단면 TEM 이미지에서 관찰하였을 때 층상으로 배열된 각 금속 원자 층은 결정의 a-b 면에 평행한 면에 대응한다.
- [0115] 결정부가 CAAC-OS층의 증착과 동시에 또는 가열 처리와 같은 결정화 처리를 통해 형성됨을 주목해야 한다. 상술한 바와 같이, 결정의 c-축은 피형성면의 법선 벡터 또는 상부 표면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS층의 형상이 에칭 등에 의하여 변화되는 경우, c-축은 CAAC-OS층의 피형성면의 법선 벡터 또는 상부 표면의 법선 벡터에 반드시 평행하지 않을 수도 있다.
- [0116] 또한, CAAC-OS층 내의 결정화도의 정도가 반드시 균일한 것은 아니다. 예를 들어, CAAC-OS층을 초래하는 결정 성장이 층의 상부 표면 근처로부터 발생하는 경우, 상부 표면 근처의 결정화도의 정도는 일부 경우들에서 피형성면 근처에서보다 높다. 또한, CAAC-OS층에 불순물이 첨가될 때, 불순물이 첨가된 영역의 결정화도는 변화되고, CAAC-OS층 내의 결정화도의 정도는 영역들에 따라 변화한다.
- [0117] InGaZnO₄의 결정을 갖는 CAAC-OS층이 아웃-오브-플레인(out-of-plane)법에 의해 분석될 때, 대략 31° 에서 2θ 의 피크에 더하여, 2θ 의 피크가 또한 대략 36° 에서 관찰될 수 있음을 주목해야 한다. 대략 36° 에서 2θ 의 피크는 c축 배향성을 갖지 않는 결정이 CAAC-OS층의 부분에 포함되는 것을 가리킨다. CAAC-OS층 내에서, 2θ 의 피크가 대략 31° 에서 출현하고, 2θ 의 피크가 대략 36° 에서 출현하지 않는 것이 바람직하다.
- [0118] CAAC-OS층을 사용하는 트랜지스터에서, 가시광 또는 자외선광의 조사로 인한 전기 특성들의 변화는 적다. 따라서, 트랜지스터는 높은 신뢰성을 갖는다.
- [0119] < 1-6. 국부화된 준위 밀도 >
- [0120] 다층막(106)의 국부화된 준위 밀도를 감소시킴으로써, 다층막(106)을 포함하는 트랜지스터는 안정적인 전기 특성들을 가질 수 있다. 본 절에서, 다층막(106)의 국부화된 준위의 밀도는 일정 광전류 측정법(CPM)에 의해 측정되었다.
- [0121] 트랜지스터가 안정적인 전기 특성들을 갖기 위하여, CPM에 의해 측정된 다층막(106)의 국부화된 준위로 인한 흡수 계수는 바람직하게는 $1 \times 10^{-3} \text{ cm}^{-1}$ 미만, 더욱 바람직하게는 $3 \times 10^{-4} \text{ cm}^{-1}$ 미만이다.
- [0122] CPM 측정이 수행되는 시료가 아래에서 기술될 것이다.
- [0123] 산화물층(106a)은 In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200°C 로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0124] 산화물 반도체층(106b)은 In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:1:1) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200°C 로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0125] 산화물층(106c)은 In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200°C 로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0126] 여기에서, CPM 측정의 정확도를 개선하기 위하여, 다층막(106)은 일정한 두께를 가질 것이 요구된다. 특히, 다층막(106)에 포함된 산화물층(106a), 산화물 반도체층(106b) 및 산화물층(106c)의 두께들은 30nm, 100nm 및 30nm로 각각 설정되었다.
- [0127] CPM 측정에서, 단자들 사이에서 시료의 표면에 조사되는 광의 양은, 시료인 다층막(106)과 접하여 제공된 제 1 전극과 제 2 전극 사이에 전압이 인가되는 상태에서 광전류 값이 일정하게 유지되도록, 조절되고, 이후 흡수 계수가 각 파장에서 조사 광의 양으로부터 유도된다. CPM 측정에서, 시료가 결함을 가질 때, 결함이 존재하는 준위에 대응하는 에너지(파장으로부터 계산된)로 인한 흡수 계수는 증가한다. 흡수 계수의 증가는 상수로 곱해지고, 이에 의해 시료의 결함 밀도가 얻어진다.
- [0128] 도 13의 (A)는 분광 광도계를 사용하여 측정된 흡수 계수(파선)와 CPM에 의해 측정된 흡수 계수(실선)를 다층막(106) 내의 각 층의 에너지갭 이상의 에너지의 범위로 피팅한 결과들을 도시한다. CPM에 의해 측정된 흡수 계수

에 기초하여 얻어진 우르바흐 에너지(Urbach energy)가 78.7meV이었음을 주목해야 한다. 에너지 범위 내에서 흡수 계수의 적분값은, 배경(점선)이 도 13의 (A)에서 파선의 원으로 도시된 에너지 범위 내에서 CPM에 의해 측정된 흡수 계수로부터 감소된 방식으로, 유도되었다(도 13의 (B) 참조). 결과로서, 이 시료의 국부화된 준위로 인한 흡수 계수는 $2.02 \times 10^{-4} \text{ cm}^{-1}$ 인 것이 밝혀졌다.

- [0129] 여기에서 얻어진 국부화된 준위는 불순물 또는 결함으로 인한 것으로 고려된다. 따라서, 다층막(106) 내에서 불순물 또는 결함으로 인한 극히 낮은 준위들이 존재한다. 즉, 다층막(106)을 포함하는 트랜지스터는 안정적인 전기 특성들을 갖는다.
- [0130] < 1-7. 제조 장치 >
- [0131] 높은 정도의 결정성을 갖는 산화물 반도체층(106b)을 형성하기 위한 막 형성 장치가 아래에서 기술될 것이다.
- [0132] 먼저, 막 형성시 막 안으로 적은 불순물들의 진입을 허용하는 막 형성 장치의 구조가 도 14 및 도 15를 참조하여 기술된다.
- [0133] 도 14는 단일 웨이퍼 다중 챔버형 막 형성 장치(4000)를 개략적으로 도시하는 평면도이다. 막 형성 장치(4000)는, 기판을 지지하기 위한 카세트 포트(4101)와 기판의 정렬을 수행하기 위한 정렬 포트(4102)를 포함하는 대기-측 기판 공급 챔버(4001), 대기-측 기판 공급 챔버(4001)로부터 기판을 이송시키는 대기-측 기판 이송 챔버(4002), 기판이 전달되어 챔버 내의 압력이 대기압으로부터 감압된 압력 또는 감압된 압력으로부터 대기압으로 전환되는 로드 잠금 챔버(4003a), 기판이 밖으로 전달되어 챔버 내의 압력이 감압된 압력으로부터 대기압으로 또는 대기압으로부터 감압된 압력으로 전환되는 언로드 잠금 챔버(4003b), 기판이 진공 상태에서 이송되는 이송 챔버(4004), 기판이 가열되는 기판 가열 챔버(4005), 및 막 형성을 위해 각각에 타깃이 배치되는 막 형성 챔버들(4006a, 4006b 및 4006c)을 포함한다.
- [0134] 복수의 카세트 포트들(4101)이 도 14에 도시된 바와 같이 제공될 수 있음을 주목해야 한다(도 14에서 3개의 카세트 포트들(4101)이 제공된다).
- [0135] 대기-측 기판 이송 챔버(4002)는 로드 잠금 챔버(4003a)와 언로드 잠금 챔버(4003b)에 연결되고, 로드 잠금 챔버(4003a)와 언로드 잠금 챔버(4003b)는 이송 챔버(4004)에 연결되고, 이송 챔버(4004)는 기판 가열 챔버(4005)와 막 형성 챔버들(4006a, 4006b 및 4006c)에 연결된다.
- [0136] 게이트 밸브들(4104)은, 대기-측 기판 공급 챔버(4001)와 대기-측 기판 이송 챔버(4002)를 제외한 각 챔버가 진공 하에서 독립적으로 유지될 수 있도록 챔버들 사이의 부분들을 연결하기 위하여 제공된다. 더욱이, 대기-측 기판 이송 챔버(4002)와 이송 챔버(4004)의 각각은 이송 로봇(4103)을 포함하고, 이송 로봇을 통해 유리 기판이 이송될 수 있다.
- [0137] 더욱이, 기판 가열 챔버(4005)가 또한 플라즈마 처리 챔버로서 작용하는 것이 바람직하다. 막 형성 장치(4000)에서, 처리들 간에 공기에 노출시키지 않고 기판을 이송할 수 있고; 따라서 기판상의 불순물들의 흡수는 억제될 수 있다. 덧붙여, 막 형성, 열 처리, 등의 순서는 자유롭게 결정될 수 있다. 이송 챔버들의 수, 막 형성 챔버들의 수, 로드 잠금 챔버들의 수, 언로드 잠금 챔버들의 수, 및 기판 가열 챔버들의 수는 위의 내용으로 국한되지 않고, 이들의 수는 배치 또는 처리 조건들을 위한 공간에 따라 적절하게 설정될 수 있음을 주목해야 한다.
- [0138] 다음에, 도 15는 각각 도 14에 도시된 막 형성 장치(4000)에서 일점쇄선 X1-X2를 따라 취해진 단면도, 일점쇄선 Y1-Y2를 따라 취해진 단면도, 및 일점쇄선 Y2-Y3을 따라 취해진 단면도이다.
- [0139] 도 15의 (A)는 기판 가열 챔버(4005)와 이송 챔버(4004)의 단면도이고, 기판 가열 챔버(4005)는 기판을 고정할 수 있는 복수의 가열 스테이지들(4105)을 포함한다. 도 15의 (A)에 도시된 가열 스테이지들(4105)의 수가 7개이지만, 이에 국한되는 것은 아니고, 1개 이상 7개 미만, 또는 8개 이상일 수 있음을 주목해야 한다. 복수의 기판들이 동시에 가열 처리를 거칠 수 있으므로 가열 스테이지들(4105)의 수를 증가시키는 것이 바람직하고, 이는 생산성의 증가를 초래한다. 더욱이, 기판 가열 챔버(4005)는 밸브를 통해 진공 펌프(4200)에 연결된다. 진공 펌프(4200)로서, 예컨대 건식 펌프 및 기계식 부스터 펌프가 사용될 수 있다.
- [0140] 기판 가열 챔버(4005)를 위해 사용될 수 있는 가열 메커니즘으로서, 예컨대 가열을 위해 저항 히터가 사용될 수 있다. 대안적으로, 가열된 가스와 같은 매체로부터 열 전도 또는 열 복사가 가열 메커니즘으로서 사용될 수 있다. 예컨대, 가스 고속 열 어닐링(GRTA) 장치 또는 램프 고속 열 어닐링(LRTA) 장치와 같은 고속 열 어닐링(RTA) 장치가 사용될 수 있다. LRTA 장치는, 할로젠 램프, 메탈 할라이드 램프, 제논 아크 램프, 탄소 아크 램

프, 고압 소듐 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자기파)의 복사를 통해 물체를 가열하기 위한 장치이다. GRTA 장치에서, 열 처리는 고온 가스를 사용하여 수행된다. 가스로서 불활성 가스가 사용된다.

[0141] 더욱이, 기관 가열 챔버(4005)는 질량 유량계(4300)를 통해 정제기(4301)에 연결된다. 질량 유량계(4300)와 정제기(4301)가 복수의 유형들의 가스들의 각각을 위해 제공될 수 있지만, 쉬운 이해를 위해 오로지 하나의 질량 유량계(4300)와 하나의 정제기(4301)가 제공되었음을 주목해야 한다. 기관 가열 챔버(4005)에 도입되는 가스로서, -80°C 이하, 바람직하게는 -100°C 이하의 이슬점을 갖는 가스가 사용될 수 있고; 예컨대, 산소 가스, 질소 가스 및 희가스(예, 아르곤 가스)가 사용될 수 있다.

[0142] 이송 챔버(4004)는 이송 로봇(4103)을 포함한다. 이송 로봇(4103)은 복수의 가동부들 및 기관을 고정하기 위한 암(arm)을 포함하고, 기관을 각 챔버에 이송할 수 있다. 더욱이, 이송 챔버(4004)는 밸브들을 통해 진공 펌프(4200) 및 크라이오 펌프(4201)에 연결된다. 이러한 구조를 통해, 이송 챔버(4004) 내의 압력이 대기압에서 낮은 진공의 범위(대략 0.1Pa 내지 수백 Pa)일 때 진공 펌프(4200)를 사용하여 배기가 수행되고, 이후 이송 챔버(4004) 내의 압력이 중간 진공에서 초고진공의 범위(0.1Pa 내지 $1 \times 10^{-7}\text{Pa}$)일 때 밸브들의 전환을 통해 크라이오 펌프(4201)를 사용하여 배기가 수행된다.

[0143] 대안적으로, 2개 이상의 크라이오 펌프들(4201)이 이송 챔버(4004)에 병렬로 연결될 수 있다. 이러한 구조를 통해, 크라이오 펌프들 중 하나가 리제너레이션(regeneration) 중에도, 다른 크라이오 펌프들 중 어느 하나를 사용하여 배기가 수행될 수 있다. 위의 리제너레이션은 크라이오 펌프 내에 포획된 분자들(또는 원자들)을 방출하기 위한 처리를 언급함을 주목해야 한다. 분자들(또는 원자들)이 크라이오 펌프 내에 너무 많이 포획될 때, 크라이오 펌프의 배기 성능은 낮아진다; 따라서 리제너레이션이 주기적으로 수행된다.

[0144] 도 15의 (B)는 막 형성 챔버(4006b), 이송 챔버(4004) 및 로드 잠금 챔버(4003a)의 단면도이다.

[0145] 여기에서, 막 형성 챔버(스퍼터링 챔버)의 세부 사항들은 도 15의 (B)를 참조하여 기술된다. 도 15의 (B)에 도시된 막 형성 챔버(4006b)는 타깃(4106), 부착 보호 플레이트(4107), 및 기관 스테이지(4108)를 포함한다. 여기에서, 기관(4109)이 기관 스테이지(4108) 상에 제공됨을 주목해야 한다. 도시되지는 않았지만, 기관 스테이지(4108)는, 기관(4109)을 고정하는 기관 고정 메커니즘, 후면 표면으로부터 기관(4109)을 가열하는 후면 히터, 등을 포함할 수 있다.

[0146] 기관 스테이지(4108)가 막 형성 도중에 바닥에 실질적으로 수직으로 고정되고, 기관이 전달될 때 바닥에 실질적으로 평행하게 고정됨을 주목해야 한다. 도 15의 (B)에서, 기관이 전달될 때 기관 스테이지(4108)가 고정되는 위치가 파선으로 표시된다. 이러한 구조를 통해, 막 형성시 들어올 수 있는 먼지 또는 입자가 기관(4109)에 부착되는 확률은 기관 스테이지(4108)가 바닥에 평행하게 고정되는 경우와 비교하여 억제될 수 있다. 그러나, 기관 스테이지(4108)가 바닥에 수직으로(90°) 고정될 때 기관(4109)이 떨어질 가능성이 존재한다; 따라서 바닥에 대한 기관 스테이지(4108)의 각도는 80° 이상 90° 미만으로 하는 것이 바람직하다.

[0147] 부착 보호 플레이트(4107)는 타깃(4106)으로부터 �퍼터링된 입자의 증착이 필요하지 않은 영역에 대한 증착을 억제할 수 있다. 더욱이, 부착 보호 플레이트(4107)는 바람직하게 축적된 �퍼터링된 입자들이 분리되는 것을 방지하도록 처리된다. 예컨대, 표면 조도를 증가시키는 블라스팅 처리가 수행될 수 있거나, 또는 부착 보호 플레이트(4107)의 표면에 요철이 형성될 수 있다.

[0148] 막 형성 챔버(4006b)는 가스 가열 시스템(4302)을 통해 질량 유량계(4300)에 연결되고, 가스 가열 시스템(4302)은 질량 유량계(4300)를 통해 정제기(4301)에 연결된다. 가스 가열 시스템(4302)을 통해, 막 형성 챔버(4006b)에 도입되는 가스는 40°C 이상 400°C 이하, 바람직하게는 50°C 이상 200°C 이하의 온도로 가열될 수 있다. 가스 가열 시스템(4302), 질량 유량계(4300) 및 정제기(4301)가 복수의 유형들의 가스들의 각각을 위해 제공될 수 있지만, 쉬운 이해를 위해 오로지 하나의 가스 가열 시스템(4302), 하나의 질량 유량계(4300) 및 하나의 정제기(4301)가 제공되었음을 주목해야 한다. 막 형성 챔버(4006b)에 도입되는 가스로서, -80°C 이하, 바람직하게는 -100°C 이하의 이슬점을 갖는 가스가 사용될 수 있고; 예컨대, 산소 가스, 질소 가스 및 희가스(예, 아르곤 가스)가 사용될 수 있다.

[0149] 대향-타깃-형 스퍼터링 장치는 막 형성 챔버(4006b) 내에 제공될 수 있다. 대향-타깃-형 스퍼터링 장치의 상술한 구조들의 각각에서, 플라스마는 타깃들 사이에 가두어지고; 따라서 기관에 대한 플라스마 손상은 감소될 수 있다. 더욱이, 기관에 대한 스퍼터링된 입자의 입사 각도가 타깃의 기울어짐에 따라 더 작게 이루어지기

때문에, 단차 피복성이 향상될 수 있다.

- [0150] 평행 플레이트형 스퍼터링 장치 또는 이온빔 스퍼터링 장치가 막 형성 챔버(4006b) 내에 제공될 수 있음을 주목해야 한다.
- [0151] 가스가 도입되기 직전에 정제기가 제공되는 경우, 정제기와 막 형성 챔버(4006b) 사이의 파이프 길이가 10m 이하, 바람직하게는 5m 이하, 더 바람직하게는 1m 이하이다. 파이프 길이가 10m 이하, 5m 이하, 또는 1m 이하일 때, 파이프로부터 가스의 방출 효과는 이에 대응하여 감소될 수 있다. 가스를 위한 파이프로서, 불화 철, 산화 알루미늄, 산화 크롬, 등으로 내부가 피복된 금속 파이프가 사용될 수 있다. 예컨대 SUS316L-EP 파이프와 비교하여, 상기 파이프를 통해 불순물들을 함유하는 방출된 가스의 양은 작게되고, 가스로의 불순물들의 진입은 줄어들 수 있다. 또한, 고성능 초소형 금속 개스킷 조인트(UPG 조인트)가 파이프의 조인트로서 사용될 수 있다. 생성되는 방출 가스 또는 외부 누설의 효과가 수치 등이 사용된 구조와 비교하여 감소될 수 있기 때문에, 파이프의 모든 재료들이 금속들인 구조가 바람직하다.
- [0152] 막 형성 챔버(4006b)는 밸브들을 통해 터보 분자 펌프(4202)와 진공 펌프(4200)에 연결된다.
- [0153] 덧붙여, 막 형성 챔버(4006b)는 크라이오 트랩(4110)을 구비한다.
- [0154] 크라이오 트랩(4110)은 물과 같은 상대적으로 높은 용융점을 갖는 분자(또는 원자)를 흡착할 수 있는 메커니즘이다. 터보 분자 펌프(4202)는 큰-크기의 분자(또는 원자)를 안정적으로 배기시킬 수 있고, 낮은 빈도의 유지보수를 필요로하여, 높은 생산성을 가능케 하는 반면, 수소와 물을 배기하는데 낮은 성능을 갖는다. 따라서, 크라이오 트랩(4110)은 물, 등을 배기하는데 높은 성능을 갖도록 막 형성 챔버(4006b)에 연결된다. 크라이오 트랩(4110)의 냉동기의 온도는 100K 이하, 바람직하게는 80K 이하로 설정된다. 크라이오 트랩(4110)이 복수의 냉동기들을 포함하는 경우, 효과적인 배기가 가능하기 때문에 각 냉동기의 온도를 상이한 온도로 설정하는 것이 바람직하다. 예컨대, 제 1 스테이지의 냉동기의 온도는 100K 이하로 설정될 수 있고, 제 2 스테이지의 냉동기의 온도는 20K 이하로 설정될 수 있다.
- [0155] 막 형성 챔버(4006b)의 배기 방법이 상술한 것으로 국한되지 않고, 이송 챔버(4004)에서 기술된 배기 방법(크라이오 펌프와 진공 펌프를 사용하는 배기 방법)에서의 구조와 유사한 구조가 사용될 수 있음을 주목해야 한다. 물론, 이송 챔버(4004)의 배기 방법은 막 형성 챔버(4006b)의 구조(터보 분자 펌프와 진공 펌프를 사용하는 배기 방법)와 유사한 구조를 가질 수 있다.
- [0156] 위의 이송 챔버(4004), 기관 가열 챔버(4005) 및 막 형성 챔버(4006b)의 각각에서 배압(전체 압력) 및 각 가스 분자(원자)의 부분 압력은 바람직하게 다음과 같이 설정됨을 주목해야 한다. 특히, 막 형성 챔버(4006b)의 배압 및 각 가스 분자(원자)의 부분 압력은, 불순물들이 형성되는 막으로 들어갈 수 있기 때문에, 주목할 필요가 있다.
- [0157] 위의 챔버들의 각각에서, 배압(전체 압력)은 1×10^{-4} Pa 이하, 바람직하게는 3×10^{-5} Pa 이하, 더 바람직하게는 1×10^{-5} Pa 이하이다. 위의 챔버들의 각각에서, 18의 질량 전하비(m/z)를 갖는 가스 분자(원자)의 부분 압력은 3×10^{-5} Pa 이하, 바람직하게는 1×10^{-5} Pa 이하, 더 바람직하게는 3×10^{-6} Pa 이하이다. 더욱이, 위의 챔버들의 각각에서, 28의 질량 전하비(m/z)를 갖는 가스 분자(원자)의 부분 압력은 3×10^{-5} Pa 이하, 바람직하게는 1×10^{-5} Pa 이하, 더 바람직하게는 3×10^{-6} Pa 이하이다. 또한, 위의 챔버들의 각각에서, 44의 질량 전하비(m/z)를 갖는 가스 분자(원자)의 부분 압력은 3×10^{-5} Pa 이하, 바람직하게는 1×10^{-5} Pa 이하, 더 바람직하게는 3×10^{-6} Pa 이하이다.
- [0158] 진공 챔버 내에서 전체 압력 및 부분 압력은 질량 분석기를 사용하여 측정될 수 있음을 주목해야 한다. 예컨대, ULVAC사가 제작한 4중극형 질량 분석기(Q-mass라고도 함), QuLee CGM-051이 사용될 수 있다.
- [0159] 또한, 위의 이송 챔버(4004), 기관 가열 챔버(4005) 및 막 형성 챔버(4006b)는 바람직하게 작은 양의 외부 누설 및 내부 누설을 갖는다.
- [0160] 예컨대, 위의 이송 챔버(4004), 기관 가열 챔버(4005) 및 막 형성 챔버(4006b)의 각각에서, 누설율은 3×10^{-6} Pa $\cdot$ m³/s 이하, 바람직하게는 1×10^{-6} Pa $\cdot$ m³/s 이하이다. 18의 질량 전하비(m/z)를 갖는 가스 분자(원자)의 누설율은 1×10^{-7} Pa $\cdot$ m³/s 이하, 바람직하게는 3×10^{-8} Pa $\cdot$ m³/s 이하이다. 28의 질량 전하비(m/z)를 갖는 가스 분자(원자)의 누설율은 1×10^{-5} Pa $\cdot$ m³/s 이하, 바람직하게는 1×10^{-6} Pa $\cdot$ m³/s 이하이다. 44의 질량 전하비(m/z)를 갖는

가스 분자(원자)의 누설율은 $3 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하, 바람직하게는 $1 \times 10^{-6} \text{ Pa} \cdot \text{m}^3/\text{s}$ 이하이다.

- [0161] 누설율은 질량 분석기를 사용하여 측정된 전체 압력 및 부분 압력으로부터 유도될 수 있음을 주목해야 한다.
- [0162] 누설율은 외부 누설 및 내부 누설에 의존한다. 외부 누설은 미소한 구멍, 밀봉 결함, 등을 통해 진공 시스템의 외부로부터 기체의 유입을 언급한다. 내부 누설은 진공 시스템 내의 밸브와 같은 격벽을 통한 누설 또는 내부 부재로부터 방출된 가스에 기인한다. 누설율이 위의 값 이하로 설정되기 위하여, 외부 누설 및 내부 누설의 두 양상들로부터의 대책이 이루어질 필요가 있다.
- [0163] 예컨대, 막 형성 챔버(4006b)의 개방/폐쇄 부분은 금속 개스킷으로 밀봉될 수 있다. 금속 개스킷에 대해, 불화 철, 산화 알루미늄, 또는 산화 크롬으로 피복된 금속이 바람직하게 사용된다. 금속 개스킷은 O-링보다 더 높은 밀착성을 구현하고, 외부 누설을 줄일 수 있다. 또한, 불화 철, 산화 알루미늄, 산화 크롬, 등으로 피복된 부동 태인 금속의 사용을 통해, 금속 개스킷으로부터 방출된 불순물들을 함유하는 가스의 방출이 억제되어, 내부 누설이 줄어들 수 있다.
- [0164] 막 형성 장치(4000)의 부재를 위해, 불순물들을 함유하는 가스의 더 적은 양을 방출하는 알루미늄, 크롬, 티타늄, 지르코늄, 니켈, 또는 바나듐이 사용된다. 대안적으로, 위의 부재를 위해, 위의 재료로 피복된 철, 크롬, 니켈, 등을 함유하는 합금이 사용될 수 있다. 철, 크롬, 니켈, 등을 함유하는 합금은 강성이고, 열에 저항성이 있고, 가공에 적합하다. 여기에서, 표면적을 감소시키기 위한 연마, 등에 의해 부재의 표면의 요철이 감소될 때, 가스의 방출은 감소될 수 있다.
- [0165] 대안적으로, 막 형성 장치(4000)의 위의 부재는 불화 철, 산화 알루미늄, 산화 크롬, 등으로 피복될 수 있다.
- [0166] 막 형성 장치(4000)의 부재는 가능한 금속으로만 형성되는 것이 바람직하다. 예컨대, 수정, 등으로 형성된 관찰 창이 제공되는 경우, 관찰 창 표면이 가스의 방출을 억제하도록 불화 철, 산화 알루미늄, 산화 크롬, 등으로 얇게 피복되는 것이 바람직하다.
- [0167] 흡착 물질이 막 형성 챔버 내에 존재할 때, 내벽, 등에 흡착되기 때문에, 흡착 물질은 막 형성 챔버 내의 압력에 영향을 미치지 않는다; 그러나, 막 형성 챔버 내부가 배기될 때 흡착 물질은 가스가 방출되도록 야기한다. 그러므로, 누설율과 배기율 사이의 상호관련이 존재하지 않을지라도, 막 형성 챔버 내에 존재하는 흡착 물질이 가능한 탈착되어야 하고, 높은 배기 성능을 갖는 펌프의 사용 이전에 배기가 수행되는 것이 중요하다. 막 형성 챔버가 흡착 물질의 탈착을 촉진하기 위한 베이킹을 거칠 수 있음을 주목해야 한다. 베이킹을 통해 흡착 물질의 탈착율은 약 10배 증가한다. 베이킹은 100℃ 내지 450℃의 범위의 온도에서 수행될 수 있다. 이 때, 불활성 가스가 막 형성 챔버 내에 도입되는 동안 흡착 물질이 제거되는 경우, 단순히 배기에 의해 탈착되기 어려운 물, 등의 탈착율은 추가로 증가될 수 있다. 도입되는 불활성 가스가 막 형성 챔버의 베이킹 온도와 실질적으로 동일한 온도로 가열될 때, 흡착 물질의 탈착율은 추가로 증가될 수 있음을 주목해야 한다. 여기에서, 회가스는 바람직하게 불활성 가스로서 사용된다. 형성될 막의 종류에 따라, 불활성 가스 대신에 산소, 등이 사용될 수 있다. 예컨대, 산화물의 형성의 경우, 산화물의 주 성분인 산소의 사용은 일부 경우들에 있어서 바람직하다.
- [0168] 대안적으로, 막 형성 챔버 내부를 배기하기 위한 처리는, 가열된 산소, 가열된 회가스와 같은 가열된 불활성 가스, 등이 막 형성 챔버 내의 압력을 증가시키기 위하여 도입된 후의 일정한 시간 기간 수행되는 것이 바람직하다. 가열된 가스의 도입은 막 형성 챔버 내에서 흡착 물질을 탈착할 수 있고, 막 형성 챔버 내에 존재하는 불순물들은 감소될 수 있다. 이러한 처리가 2회 이상 30회 이하, 바람직하게는 5회 이상 15회 이하로 반복될 때 유리한 효과가 달성될 수 있음을 주목해야 한다. 특히, 40℃ 이상 400℃ 이하, 바람직하게는 50℃ 이상 200℃ 이하의 온도를 갖는 불활성 가스, 산소, 등이 막 형성 챔버 내에 도입되어, 그 내부의 압력은 1분 내지 300분, 바람직하게는 5분 내지 120분의 시간 범위에서 0.1Pa 이상 10kPa 이하, 바람직하게는 1Pa 이상 1kPa 이하, 더 바람직하게는 5Pa 이상 100Pa 이하로 유지될 수 있다. 이후, 막 형성 챔버의 내부는 5분 내지 300분, 바람직하게는 10분 내지 120분의 시간 범위로 배기된다.
- [0169] 흡착 물질의 탈착율은 또한 더미 막의 형성에 의해 추가로 증가될 수 있다. 여기에서, 더미 막 형성은 스퍼터링 법, 등에 의해 더미 기관상의 막 형성을 언급하고, 여기에서 막이 더미 기관과 막 형성 챔버의 내벽 상에 증착되어, 막 형성 챔버 내의 불순물들과 막 형성 챔버의 내벽 상의 흡착 물질은 막 안에 가워진다. 더미 기관을 위해, 작은 양의 가스를 방출하는 기관이 바람직하게 사용된다. 더미 막 형성을 수행함으로써, 이후에 형성될 막 내의 불순물들의 농도는 감소될 수 있다. 더미 막 형성이 막 형성 챔버의 베이킹과 동시에 수행될 수 있음을 주목해야 한다.

- [0170] 다음에, 도 15의 (B)에 도시된 이송 챔버(4004) 및 로드 잠금 챔버(4003a), 그리고 도 15의 (C)에 도시된 대기-측 기관 이송 챔버(4002) 및 대기-측 기관 공급 챔버(4001)의 세부사항들이 기술된다. 도 15의 (C)가 대기-측 기관 이송 챔버(4002) 및 대기-측 기관 공급 챔버(4001)의 단면도임을 주목해야 한다.
- [0171] 도 15의 (B)에 도시된 이송 챔버(4004)를 위해, 도 15의 (A)에 도시된 이송 챔버(4004)의 기술이 참조될 수 있다.
- [0172] 로드 잠금 챔버(4003a)는 기관 전달 스테이지(4111)를 포함한다. 로드 잠금 챔버(4003a) 내의 압력이 감압된 압력으로부터 증가됨으로써 대기압이 될 때, 기관 전달 스테이지(4111)는 대기-측 기관 이송 챔버(4002) 내에 제공된 이송 로봇(4103)으로부터 기관을 수용한다. 이후, 로드 잠금 챔버(4003a)는 진공으로 배기되어, 그 내부의 압력은 감압된 압력이 되고, 이후 이송 챔버(4004) 내에 제공된 이송 로봇(4103)은 기관 전달 스테이지(4111)로부터 기관을 수용한다.
- [0173] 또한, 로드 잠금 챔버(4003a)는 밸브들을 통해 진공 펌프(4200)와 크라이오 펌프(4201)에 연결된다. 진공 펌프(4200)와 크라이오 펌프(4201)와 같은 배기 시스템들을 연결하기 위한 방법을 위해, 이송 챔버(4004)를 연결하기 위한 방법의 기술이 참조될 수 있고, 이의 설명은 여기에서 생략된다. 도 14에 도시된 언로드 잠금 챔버(4003b)가 로드 잠금 챔버(4003a) 내의 것과 유사한 구조를 가질 수 있음을 주목해야 한다.
- [0174] 대기-측 기관 이송 챔버(4002)는 이송 로봇(4103)을 포함한다. 이송 로봇(4103)은 기관을 카세트 포트(4101)로부터 로드 잠금 챔버(4003a)로 전달하거나, 기관을 로드 잠금 챔버(4003a)로부터 카세트 포트(4101)로 전달한다. 또한, 고효율 입자 공기(HEPA) 필터와 같은 먼지 또는 입자의 진입을 억제하기 위한 메커니즘은 대기-측 기관 이송 챔버(4002)와 대기-측 기관 공급 챔버(4001) 위에 제공될 수 있다.
- [0175] 대기-측 기관 공급 챔버(4001)는 복수의 카세트 포트들(4101)을 포함한다. 카세트 포트(4101)는 복수의 기관들을 수용할 수 있다.
- [0176] 산화물층이 위의 막 형성 장치의 사용을 통해 형성될 때, 산화물층으로 불순물들의 진입은 억제될 수 있다. 또한, 위의 막 형성 장치의 사용을 통해 산화물층과 접하여 막이 형성될 때, 산화물층과 접하는 막으로부터 산화물층으로 불순물들의 진입이 억제될 수 있다.
- [0177] 다음에, 위의 막 형성 장치의 사용을 통해 CAAC-OS층을 형성하는 방법이 기술된다.
- [0178] 스퍼터링 타겟의 표면 온도는 100℃ 이하, 바람직하게는 50℃ 이하, 더욱 바람직하게는 대략 실온(전형적으로 25℃)으로 설정된다. 대형 기관을 위한 스퍼터링 장치에서, 대형 스퍼터링 타겟이 자주 사용된다. 그러나, 이음매 없이 대형 기관을 위한 스퍼터링 타겟을 형성하는 것은 어렵다. 실제, 큰 형상을 얻기 위하여 복수의 스퍼터링 타겟들이 그 사이에 가능한 작은 공간이 존재하도록 배열된다; 하지만, 약간의 공간이 불가피하게 생성된다. 스퍼터링 타겟의 표면 온도가 증가할 때, 일부 경우들에 있어서, Zn, 등은 이러한 약간의 공간으로부터 휘발되어, 공간은 점진적으로 확장될 수 있다. 공간이 확장될 때, 뒤붙임(backing) 플레이트 금속 또는 부착을 위해 사용된 금속은 스퍼터링될 수 있고, 불순물 농도의 증가를 야기할 수 있다. 따라서, 스퍼터링 타겟이 충분히 냉각되는 것이 바람직하다.
- [0179] 특히, 뒤붙임 플레이트를 위하여, 높은 도전성과 높은 방열성을 갖는 금속(특히, Cu)이 사용된다. 뒤붙임 플레이트 내에 형성된 수로를 통해 충분한 양의 냉각수가 흐르게 함으로써, 스퍼터링 타겟은 효율적으로 냉각될 수 있다.
- [0180] 산화물층은 100℃ 이상 600℃ 이하, 바람직하게는 150℃ 이상 550℃ 이하, 더 바람직하게는 200℃ 이상 500℃ 이하의 기관 가열 온도의 산소 가스 분위기에서 형성된다. 산화물층의 두께는 1nm 이상 40nm 이하, 바람직하게는 3nm 이상 20nm 이하이다. 막 형성시 기관 가열 온도가 높을수록, 얻어진 산화물층 내의 불순물들의 농도는 낮아진다. 또한, 증착 표면상의 스퍼터링된 입자들의 이동이 발생하기 쉽고; 따라서 산화물층 내의 원자 배열이 정연하고, 이의 밀도가 증가하여, 높은 정도의 결정성을 갖는 CAAC-OS층이 쉽게 형성된다. 더욱이, 막 형성이 산소 가스 분위기에서 수행될 때, 플라즈마 손상이 경감되고, 회가스 원자와 같은 과잉 원자가 산화물층 내에 함유되지 않고, 이에 의해 높은 정도의 결정성을 갖는 CAAC-OS층이 쉽게 형성된다. 막 형성은 산소 가스와 회가스를 포함하는 혼합된 분위기 내에서 수행될 수 있음을 주목해야 한다. 이 경우, 산소 가스의 비율은 30vol.% 이상, 바람직하게는 50vol.% 이상, 더욱 바람직하게는 80vol.% 이상으로 설정된다.
- [0181] 스퍼터링 타겟이 Zn을 포함하는 경우, 플라즈마 손상이 산소 가스 분위기 하에서 막 형성으로 인해 경감될 수 있고; 따라서 Zn이 휘발되기 어려운 산화물층이 얻어질 수 있음을 주목해야 한다.

- [0182] 산화물층은 막 형성 압력이 0.8Pa 이하, 바람직하게는 0.4Pa 이하로 설정되고, 스퍼터링 타겟과 기판 사이의 거리가 100mm 이하, 바람직하게는 40mm 이하, 더 바람직하게는 25mm 이하로 설정되는 조건들 하에서 형성된다. 산화물층이 이러한 조건하에서 형성될 때, 스퍼터링 입자와 다른 스퍼터링 입자, 가스 분자 또는 이온 사이의 충돌의 빈도는 감소될 수 있다. 즉, 막 형성 압력에 따라, 스퍼터링 타겟과 기판 사이의 거리는 스퍼터링 입자, 가스 분자 또는 이온의 평균 자유 행로보다 짧게 구성되어, 막으로 들어오는 불순물들의 농도는 줄어 들 수 있다.
- [0183] 예컨대, 압력이 0.4Pa로 설정되고, 온도가 25℃(절대 온도는 298K)로 설정될 때, 수소 분자(H₂)는 48.7mm의 평균 자유 행로를 갖고, 헬륨 원자(He)는 57.9mm의 평균 자유 행로를 갖고, 물 분자(H₂O)는 31.3mm의 평균 자유 행로를 갖고, 메탄 분자(CH₄)는 13.2mm의 평균 자유 행로를 갖고, 네온 원자(Ne)는 42.3mm의 평균 자유 행로를 갖고, 질소 분자(N₂)는 23.2mm의 평균 자유 행로를 갖고, 일산화탄소 분자(CO)는 16.0mm의 평균 자유 행로를 갖고, 산소 분자(O₂)는 26.4mm의 평균 자유 행로를 갖고, 아르곤 원자(Ar)는 28.3mm의 평균 자유 행로를 갖고, 이산화탄소 분자(CO₂)는 10.9mm의 평균 자유 행로를 갖고, 크립톤 원자(Kr)는 13.4mm의 평균 자유 행로를 갖고, 제논 원자(Xe)는 9.6mm의 평균 자유 행로를 갖는다. 압력을 배가시키면 평균 자유 행로를 반분시키고, 절대 온도를 배가시키면 평균 자유 행로를 배가시킴을 주목해야 한다.
- [0184] 평균 자유 행로는 압력, 온도 및 분자(원자)의 직경에 의존한다. 압력과 온도가 일정할 경우, 분자(원자)의 직경이 커짐에 따라, 평균 자유 행로는 짧아진다. 분자들(원자들)의 직경들은, H₂:0.218nm; He:0.200nm; H₂O:0.272nm; CH₄:0.419nm; Ne:0.234nm; N₂:0.316nm; CO:0.380nm; O₂:0.296nm; Ar:0.286nm; CO₂:0.460nm; Kr:0.415nm; 및 Xe:0.491nm임을 주목해야 한다.
- [0185] 따라서, 분자(원자)의 직경이 커짐에 따라, 평균 자유 행로는 짧아지고, 결정성의 정도는 분자(원자)가 막으로 들어갈 때 분자(원자)의 큰 직경으로 인해 낮아진다. 이러한 이유로, 예컨대 Ar의 직경보다 큰 직경을 갖는 분자(원자)는 불순물로서 거동하기 쉽다고 말할 수 있다.
- [0186] 다음에, 열처리가 수행된다. 열처리는 감압 하에서, 또는 불활성 분위기 또는 산화 분위기 내에서 수행된다. 열처리를 통해, CAAC-OS층 내의 불순물들의 농도는 줄어 들 수 있다.
- [0187] 열처리는, 열처리가 감압 하에서 또는 불활성 분위기 내에서 수행된 후, 분위기가 온도가 유지되고 열처리가 추가로 수행되는 산화 분위기로 전환되는 방식으로 수행되는 것이 바람직하다. 열처리가 감압 하에서 또는 불활성 분위기 내에서 수행될 때, CAAC-OS층 내의 불순물들의 농도는 감소될 수 있지만; 동시에 산소의 결손들이 야기된다. 산화 분위기 내에서 열처리에 의해, 야기된 산소의 결손들은 줄어 들 수 있다.
- [0188] 막 형성시 기판 가열에 덧붙여 열처리가 CAAC-OS층상에서 수행될 때, 막 내의 불순물들의 농도는 줄어 들 수 있다.
- [0189] 특히, 2차 이온 질량 분석기(SIMS)에 의해 측정된 CAAC-OS층 내의 수소의 농도는 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{19} atoms/cm³ 이하, 더더욱 바람직하게는 5×10^{18} atoms/cm³ 이하가 되도록 설정된다.
- [0190] SIMS에 의해 측정된 CAAC-OS층 내의 질소의 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{18} atoms/cm³ 이하, 더더욱 바람직하게는 5×10^{17} atoms/cm³ 이하가 되도록 설정된다.
- [0191] SIMS에 의해 측정된 CAAC-OS층 내의 탄소의 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{18} atoms/cm³ 이하, 더더욱 바람직하게는 5×10^{17} atoms/cm³ 이하가 되도록 설정된다.
- [0192] CAAC-OS층으로부터 방출된 다음의 가스 분자들(원자들), 즉 열탈착 분광법(TDS) 분석에 의해 측정된, 2(예, 수소 분자)의 질량 전하비(m/z)를 갖는 가스 분자(원자), 18의 질량 전하비(m/z)를 갖는 가스 분자(원자), 28의 질량 전하비(m/z)를 갖는 가스 분자(원자), 및 44의 질량 전하비(m/z)를 갖는 가스 분자(원자)의 각각의 양은 1×10^{19} /cm³ 이하, 바람직하게는 1×10^{18} /cm³ 이하일 수 있다.
- [0193] 이후에 기술될 방출된 산소 원자들의 양의 측정 방법은 TDS 분석을 사용하여 방출 양의 측정 방법을 위하여 참

조된다.

- [0194] 위의 방식에서, 높은 정도의 결정성을 갖는 CAAC-OS층이 형성될 수 있다.
- [0195] < 2. 트랜지스터 >
- [0196] 다층막(106)을 포함하는 트랜지스터가 아래에서 기술된다.
- [0197] < 2-1. 트랜지스터 구조(1) >
- [0198] 본 절에서, 하부-게이트 트랜지스터가 기술된다.
- [0199] < 2-1-1. 트랜지스터 구조(1-1) >
- [0200] 여기에서, 하부-게이트 트랜지스터의 한 종류인, 하부-게이트 상부-접촉(BGTC) 구조의 트랜지스터가 도 16을 참조하여 기술된다.
- [0201] 도 16은 BGTC 트랜지스터의 평면도 및 단면도들이다. 도 16의 (A)는 트랜지스터의 평면도이다. 도 16의 (B)는 도 16의 (A)의 일점쇄선 A1-A2를 따라 취해진 단면도이다. 도 16의 (C)는 도 16의 (A)의 일점쇄선 A3-A4를 따라 취해진 단면도이다.
- [0202] 도 16의 (B)에 도시된 트랜지스터는, 기판(100) 위의 게이트 전극(104); 게이트 전극(104) 위의 게이트 절연막(112); 게이트 절연막(112) 위의 산화물층(106a), 산화물층(106a) 위의 산화물 반도체층(106b), 및 산화물 반도체층(106b) 위의 산화물층(106c)을 포함하는 다층막(106); 게이트 절연막(112) 및 다층막(106) 위의 소스 전극(116a) 및 드레인 전극(116b); 및 다층막(106), 소스 전극(116a) 및 드레인 전극(116b) 위의 보호 절연막(118)을 포함한다.
- [0203] 소스 전극(116a)과 드레인 전극(116b)은 산화물 반도체층(106b)의 측면 에지들과 접한다.
- [0204] 또한, 도 16의 (B)에 도시된 바와 같이, 소스 전극(116a) 및 드레인 전극(116b)을 위해 사용된 도전막의 종류에 따라 산화물층(106c)의 부분으로부터 산소가 빠져나와, 소스 영역(106d) 및 드레인 영역(106e)이 산화물층(106c) 내에 형성된다.
- [0205] 도 16의 (A)에서, 게이트 전극(104)과 중첩하는, 다층막(106)의 영역 내에서 소스 전극(116a)과 드레인 전극(116b) 사이의 거리는 채널 길이로서 언급된다. 트랜지스터가 소스 영역(106d) 및 드레인 영역(106e)을 포함하는 경우, 게이트 전극(104)과 중첩하는 영역 내에서 소스 영역(106d)과 드레인 영역(106e) 사이의 거리는 채널 길이로 언급됨을 주목해야 한다.
- [0206] 채널 형성 영역이 게이트 전극(104)과 중첩하는 영역을 언급하고, 다층막(106)에서 위에서 보았을 때 소스 전극(116a)과 드레인 전극(116b) 사이에 위치함을 주목해야 한다(도 16의 (B) 참조). 또한, 채널 영역은 채널 형성 영역에서 전류가 주로 흐르는 영역을 언급한다. 여기에서, 채널 영역은 채널 형성 영역 내에서 산화물 반도체층(106b)의 일부를 언급한다.
- [0207] 다층막(106), 및 다층막(106) 내의 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)이 아래에서 설명될 것이다. 이러한 설명은 다른 절에서의 다층막(106)을 위해 참조될 수 있음을 주목해야 한다.
- [0208] 산화물층(106a)은 산화물 반도체층(106b) 내에 포함된 산소 이외의 하나 이상의 원소들을 포함한다. 덧붙여, 산화물층(106a)의 전도대 하단의 에너지는 산화물 반도체층(106b)의 전도대 하단의 에너지보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 그리고 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하만큼 진공 준위에 근접한다. 캐리어 이동도가 증가할 수 있기 때문에 산화물 반도체층(106b)이 바람직하게 적어도 인듐을 함유함을 주목해야 한다. 이 때 게이트 전극(104)에 전계가 인가될 때, 다층막(106)의 산화물 반도체층(106b) 내에 채널이 형성되고, 채널의 전도대 하단의 에너지는 낮다. 즉, 산화물층(106a)은 산화물 반도체층(106b)과 게이트 절연막(112) 사이에 형성되고, 이에 의해 트랜지스터의 채널은 게이트 절연막(112)과 접하지 않는 산화물 반도체층(106b) 내에 형성될 수 있다. 또한, 산화물층(106a)이 산화물 반도체층(106b) 내에 포함된 산소 이외의 하나 이상의 원소들을 포함하기 때문에, 산화물 반도체층(106b)과 산화물층(106a) 사이의 계면에서 계면 산란이 발생하기 어렵다. 따라서, 캐리어들의 움직임이 계면에서 방해받지 않기 때문에 트랜지스터는 높은 전계-효과 이동도를 가질 수 있다.
- [0209] 산화물층(106a)은 예컨대 알루미늄, 실리콘, 티타늄, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란탄, 세륨, 또는 하프늄을 산화물 반도체층(106b)보다 더 높은 원자수비로 함유할 수 있다. 특히, 산화물층(106a) 내의 상기

원소들 중 임의의 원소의 원자수비는 산화물 반도체층(106b) 내의 원자수비보다 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상이다. 상기 원소들 중 어느 원소라도 산소와 강하게 결합하고, 따라서 산화물층(106a) 내의 산소 결손의 생성을 억제하는 기능을 갖는다. 즉, 산소의 결손은 산화물 반도체층(106b)에서보다 산화물층(106a)에서 생성되기 더 어렵다.

[0210] 대안적으로, 산화물층(106a)과 산화물 반도체층(106b)의 각각이 In-M-Zn 산화물이고, 산화물층(106a)과 산화물 반도체층(106b)이 각각 $x_1:y_1:z_1$ 의 원자수비와 $x_2:y_2:z_2$ 의 원자수비로 In, M 및 Zn을 함유할 때, y_1/x_1 은 y_2/x_2 보다 큰 것이 요구된다. 원소 M이 In보다 더 큰 산소에 대한 결합력을 갖는 금속 원소이고, Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd 및 Hf가 예들로서 주어질 수 있음을 주목해야 한다. 바람직하게, y_1/x_1 이 y_2/x_2 보다 1.5배 이상 큰 산화물층(106a)과 산화물 반도체층(106b)이 선택된다. 더욱 바람직하게, y_1/x_1 이 y_2/x_2 보다 2배 이상 큰 산화물층(106a)과 산화물 반도체층(106b)이 선택된다. 더더욱 바람직하게, y_1/x_1 이 y_2/x_2 보다 3배 이상 큰 산화물층(106a)과 산화물 반도체층(106b)이 선택된다. 이때, 산화물 반도체층(106b)에서, 트랜지스터가 안정된 전기 특성들을 가질 수 있기 때문에, y_1 은 x_1 이상인 것이 바람직하다. 그러나, y_1 이 x_1 보다 3배 이상 클 때, 트랜지스터의 전계 효과 이동도는 감소되고; 따라서, y_1 은 x_1 과 같거나, x_1 의 3배보다 작은 것이 바람직하다.

[0211] 산화물층(106a)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다. 산화물 반도체층(106b)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더욱 바람직하게는 3nm 이상 50nm 이하이다.

[0212] 산화물층(106c)은 산화물 반도체층(106b)에 포함된 산소 이외의 하나 이상의 원소들을 포함한다. 덧붙여, 산화물층(106c)의 전도대 하단의 에너지는 산화물 반도체층(106b)의 전도대 하단의 에너지보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상 또는 0.15eV 이상, 그리고 2eV 이하, 1eV 이하, 0.5eV 이하 또는 0.4eV 이하만큼 진공 준위에 근접한다. 또한, 산화물층(106c)이 산화물 반도체층(106b) 내에 포함된 산소 이외의 하나 이상의 원소들을 포함하기 때문에, 산화물 반도체층(106b)과 산화물층(106c) 사이의 계면에서 계면 준위가 형성되기 어렵다. 계면이 계면 준위를 가질 때, 일부 경우들에 있어서, 계면이 채널로서 작용하여 상이한 임계 전압을 갖는 제 2 트랜지스터가 형성되고; 따라서 트랜지스터의 게이트 임계 전압이 변화한다. 따라서, 산화물층(106c)을 통해, 임계 전압과 같은 트랜지스터들의 전기 특성들의 변동이 줄어들 수 있다.

[0213] 산화물층(106c)은 예컨대 알루미늄, 실리콘, 티타늄, 갈륨, 게르마늄, 이트륨, 지르코늄, 주석, 란타넘, 세륨, 또는 하프늄을 산화물 반도체층(106b)보다 더 높은 원자수비로 함유할 수 있다. 특히, 산화물층(106c) 내의 상기 원소들 중 임의의 원소의 원자수비는 산화물 반도체층(106b) 내의 원소의 원자수비보다 1.5배 이상, 바람직하게는 2배 이상, 더욱 바람직하게는 3배 이상이다. 상기 원소들 중 어느 원소라도 산소와 강하게 결합하고, 따라서 산화물층(106c) 내의 산소 결손의 생성을 억제하는 기능을 갖는다. 즉, 산소의 결손은 산화물 반도체층(106b)에서보다 산화물층(106c)에서 생성되기 더 어렵다.

[0214] 대안적으로, 산화물 반도체층(106b)과 산화물층(106c)의 각각이 In-M-Zn 산화물이고, 산화물 반도체층(106b)과 산화물층(106c)이 각각 $x_2:y_2:z_2$ 의 원자수비와 $x_3:y_3:z_3$ 의 원자수비로 In, M 및 Zn을 함유할 때, y_3/x_3 은 y_2/x_2 보다 큰 것이 요구된다. 원소 M이 In보다 더 큰 산소에 대한 결합력을 갖는 금속 원소이고, Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd 및 Hf가 예들로서 주어질 수 있음을 주목해야 한다. 바람직하게, y_3/x_3 이 y_2/x_2 보다 1.5배 이상 큰 산화물 반도체층(106b)과 산화물층(106c)이 선택된다. 더욱 바람직하게, y_3/x_3 이 y_2/x_2 보다 2배 이상 큰 산화물 반도체층(106b)과 산화물층(106c)이 선택된다. 더더욱 바람직하게, y_3/x_3 이 y_2/x_2 보다 3배 이상 큰 산화물 반도체층(106b)과 산화물층(106c)이 선택된다. 이때, 산화물 반도체층(106b)에서, 트랜지스터가 안정된 전기 특성들을 가질 수 있기 때문에, y_2 는 x_2 이상인 것이 바람직하다. 그러나, y_2 가 x_2 보다 3배 이상 클 때, 트랜지스터의 전계 효과 이동도는 감소되고; 따라서, y_2 는 x_2 와 같거나, x_2 의 3배보다 작은 것이 바람직하다.

[0215] 산화물층(106c)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다.

[0216] 산화물층(106a), 산화물 반도체층(106b) 및 산화물층(106c)의 각각은 결정 구조 또는 명확한 결정부가 TEM 이미지에서 보이지 않는 구조를 가짐을 주목해야 한다. 바람직하게, 산화물층(106a)은 명확한 결정부가 TEM 이미지에서 보이지 않는 구조를 갖고, 산화물 반도체층(106b)은 결정 구조를 갖고, 산화물층(106c)은 결정 구조 또는 명확한 결정부가 TEM 이미지에서 보이지 않는 구조를 갖는다. 채널이 형성되는 산화물 반도체층(106b)이 결정

구조를 갖기 때문에, 트랜지스터는 안정된 전기 특성들을 가질 수 있다.

- [0217] 트랜지스터의 다른 구조들은 아래에서 기술된다.
- [0218] 기판(100)에 대한 특별한 제한은 없다. 예컨대, 유리 기판, 세라믹 기판, 수정 기판, 또는 사파이어 기판이 기판(100)으로 사용될 수 있다. 대안적으로, 실리콘, 탄화 실리콘, 등으로 만들어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄, 등으로 만들어진 복합 반도체 기판, 절연체상의 실리콘(SOI) 기판, 등이 기판(100)으로 사용될 수 있다. 다른 대안으로, 반도체 소자를 구비한 이들 기판들 중 임의의 기판이 기판(100)으로 사용될 수 있다.
- [0219] 기판(100)으로서 제 5 세대(1000mm×1200mm 또는 1300mm×1500mm); 제 6 세대(1500mm×1800mm); 제 7 세대(1870mm×2200mm); 제 8 세대(2200mm×2500mm); 제 9 세대(2400mm×2800mm); 또는 제 10 세대(2880mm×3130mm)와 같은 대형 유리 기판을 사용하는 경우, 반도체 장치의 제작 공정에서 열처리 등에 의해 야기된 기판(100)의 수축으로 인해 미세 가공은 간혹 어렵다. 그러므로, 상술한 대형 유리 기판이 기판(100)으로 사용되는 경우, 열처리를 통해 쉽게 수축하지 않는 기판이 바람직하게 사용된다. 예컨대, 기판(100)으로서, 400℃, 바람직하게는 450℃, 더욱 바람직하게는 500℃에서 1시간 동안의 열처리 후 수축 양이 10ppm 이하, 바람직하게는 5ppm 이하, 더욱 바람직하게는 3ppm 이하인 대형 유리 기판을 사용하는 것이 가능하다.
- [0220] 다른 대안으로, 가요성 기판이 기판(100)으로 사용될 수 있다. 가요성 기판 위에 트랜지스터를 제공하는 방법으로, 트랜지스터가 비-가요성 기판 위에 형성되고, 이후 트랜지스터가 비-가요성 기판으로부터 분리되어, 가요성 기판인 기판(100)에 전제되는 방법이 또한 존재한다. 이 경우, 분리층이 바람직하게 비-가요성 기판과 트랜지스터 사이에 제공된다.
- [0221] 게이트 전극(104)은 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈 및 텅스텐 중 하나 이상의 종류들을 함유하는 도전막의 단일층 또는 적층을 사용하여 형성될 수 있다.
- [0222] 도 16의 (A)에 도시된 바와 같이 다층막(106)의 에지이 게이트 전극(104)의 에지보다 내부 측에 위치하도록 게이트 전극(104)이 제공됨을 주목해야 한다. 게이트 전극(104)을 이러한 위치에 제공함으로써, 기판(100) 측으로부터 광 조사가 수행될 때, 광에 의한 다층막(106) 내의 캐리어들의 생성은 억제될 수 있다. 다층막(106)의 에지가 게이트 전극(104)의 에지보다 외부 측에 위치할 수 있음을 주목해야 한다.
- [0223] 게이트 절연막(112)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 하나 이상의 종류들을 함유하는 절연막의 단일층 또는 적층을 사용하여 형성될 수 있다.
- [0224] 게이트 절연막(112)은 예컨대 질화 실리콘층을 제 1 층으로 및 산화 실리콘층을 제 2 층으로 포함하는 다층막이 될 수 있다. 이 경우, 산화 실리콘층은 산화질화 실리콘층이 될 수 있다. 덧붙여, 질화 실리콘층은 질화산화 실리콘층이 될 수 있다. 산화 실리콘층으로서, 결함 밀도가 낮은 산화 실리콘층이 바람직하게 사용된다. 특히, 3×10^{17} spins/cm² 이하, 바람직하게는 5×10^{16} spins/cm² 이하인, 전자 스핀 공명(ESR)에서 2.001의 g 계수를 갖는 신호에 귀속되는 스핀 밀도를 갖는 산화 실리콘층이 사용된다. 산화 실리콘층으로서, 과잉 산소를 갖는 산화 실리콘층이 바람직하게 사용된다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 어려운 질화 실리콘층이 사용된다. 수소 또는 암모니아의 방출 양은 열탈착 분광법(TDS)에 의해 측정될 수 있다.
- [0225] 소스 전극(116a) 및 드레인 전극(116b)은 알루미늄, 티타늄, 크롬, 코발트, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 탄탈 및 텅스텐 중 하나 이상의 종류들을 함유하는 도전막의 단일층 또는 적층을 사용하여 형성될 수 있다. 소스 전극(116a) 및 드레인 전극(116b)이 동일한 조성 또는 상이한 조성들을 가질 수 있음을 주목해야 한다.
- [0226] 보호 절연막(118)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 하나 이상의 종류들을 함유하는 절연막의 단일층 또는 적층을 사용하여 형성될 수 있다.
- [0227] 보호 절연막(118)은 예컨대 산화 실리콘층을 제 1 층으로 및 질화 실리콘층을 제 2 층으로 포함하는 다층막이 될 수 있다. 이 경우, 산화 실리콘층은 산화질화 실리콘층이 될 수 있다. 덧붙여, 질화 실리콘층은 질화산화 실리콘층이 될 수 있다. 산화 실리콘층으로서, 결함 밀도가 낮은 산화 실리콘층이 바람직하게 사용된다. 특히, 3×10^{17} spins/cm² 이하, 바람직하게는 5×10^{16} spins/cm² 이하인, ESR에서 2.001의 g 계수를 갖는 신호에 귀속되는 스

핀 밀도를 갖는 산화 실리콘층이 사용된다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 어려운 질화 실리콘층이 사용된다. 수소 또는 암모니아의 방출 양은 TDS에 의해 측정될 수 있다. 또한, 질화 실리콘층으로서, 산소가 투과되지 않거나 투과되기 어려운 질화 실리콘층이 사용된다.

[0228] 대안적으로, 보호 절연막(118)은 예컨대 제 1 층으로 제 1 산화 실리콘층(118a)을, 제 2 층으로 제 2 산화 실리콘층(118b)을, 및 제 3 층으로 질화 실리콘층(118c)을 포함하는 다층막이 될 수 있다(도 16의 (D) 참조). 이 경우, 제 1 산화 실리콘층(118a) 및/또는 제 2 산화 실리콘층(118b)은 산화질화 실리콘층이 될 수 있다. 덧붙여, 질화 실리콘층은 질화산화 실리콘층이 될 수 있다. 제 1 산화 실리콘층(118a)으로서, 낮은 결함 밀도를 갖는 산화 실리콘층이 바람직하게 사용된다. 특히, 3×10^{17} spins/cm² 이하, 바람직하게는 5×10^{16} spins/cm² 이하인, ESR에서 2.001의 g 계수를 갖는 신호에 귀속되는 스핀 밀도를 갖는 산화 실리콘층이 사용된다. 제 2 산화 실리콘층(118b)으로서, 과잉 산소를 갖는 산화 실리콘층이 사용된다. 질화 실리콘층(118c)으로서, 수소 및 암모니아가 방출되기 어려운 질화 실리콘층이 사용된다. 또한, 질화 실리콘층으로서, 산소가 투과되지 않거나 투과되기 어려운 질화 실리콘층이 사용된다.

[0229] 과잉 산소를 갖는 산화 실리콘층은 열처리 등에 의해 산소가 방출될 수 있는 산화 실리콘층을 의미한다. 과잉 산소를 갖는 절연막은 열처리에 의해 산소가 방출되는 절연막을 의미한다.

[0230] 여기에서, 열처리에 의해 산소가 방출되는 막은 산소를 방출할 수 있고, 이의 양은 TDS 분석(산소 원자들의 수로 변환된)에서 1×10^{18} atoms/cm² 이상, 1×10^{19} atoms/cm² 이상, 또는 1×10^{20} atoms/cm² 이상이다.

[0231] 여기에서, TDS 분석을 사용하여 방출된 산소의 양을 측정하는 방법이 아래에 기술된다.

[0232] TDS 분석의 측정 시료로부터 방출된 가스의 총량은 방출된 가스의 이온 강도의 적분값에 비례한다. 따라서, 기준 시료와의 비교가 이루어지고, 이에 의해 방출된 가스의 총량이 계산될 수 있다.

[0233] 예컨대, 측정 시료로부터 방출된 산소 분자들의 수(N_{O_2})는, 기준 시료인 미리 결정된 밀도로 수소를 함유하는 실리콘 웨이퍼의 TDS 결과들과, 측정 시료의 TDS 결과들을 사용하여 수학적 식 1에 따라 계산될 수 있다. 여기에서, TDS 분석에서 얻어진 질량수 32를 갖는 모든 가스들은 산소 분자로부터 유래된 것으로 간주된다. 32의 질량수를 갖는 가스인 CH_3OH 는 존재할 가능성이 없기 때문에 고려되지 않음을 주목해야 한다. 더욱이, 산소 원자의 동위원소인 질량수 17 또는 18을 갖는 산소 원자를 포함하는 산소 분자는 또한 자연계에서 비율이 극히 적기 때문에 고려되지 않는다.

수학적 식 1

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

[0234]

[0235] 여기에서 N_{H_2} 는 기준 시료로부터 흡착된 수소 분자들의 수의 밀도로의 변환에 의해 얻어진 값이다. 덧붙여, S_{H_2} 는 기준 시료의 TDS 분석에서 이온 강도의 적분값이다. 여기에서, 기준 시료의 기준 값은 N_{H_2}/S_{H_2} 로서 표현된다. 또한, S_{O_2} 는 측정 시료의 TDS 분석에서 이온 강도의 적분값이고, α 는 TDS 분석에서 이온 강도에 영향을 미치는 계수이다. 수학적 식 1의 세부사항들에 대해 일본특허출원공보 H6-275697호를 참조한다. 방출된 산소의 양은 기준 시료로서 1×10^{16} atoms/cm²의 농도로 수소 원자들을 함유하는 실리콘 웨이퍼를 사용하여, ESCO Ltd.가 제작한 열탈착 분광 장치, EMD-WA1000S/W를 통해 측정되었다.

[0236] 또한, TDS 분석에서, 산소의 부분은 산소 원자로서 검출된다. 산소 분자들 및 산소 원자들 사이의 비율은 산소 분자들의 이온화 레이트로부터 계산된다. 위의 α 가 산소 분자들의 이온화 레이트를 포함하기 때문에, 방출된 산소 원자들의 수는 또한 방출된 산소 분자들의 수의 평가를 통해 추정될 수 있다.

[0237] 여기에서, N_{O_2} 는 방출된 산소 분자들의 수이다. 산소 원자들로 변환된 방출된 산소의 양은 방출된 산소 분자들의 수의 2배이다.

[0238] 또한, 열처리에 의해 산소가 방출되는 막은 과산화 라디칼을 함유할 수 있다. 특히, 과산화 라디칼에 기인하는

스핀 밀도는 5×10^{17} spins/cm³ 이상이다. 과산화 라디칼을 함유하는 막이 ESR에서 대략 2.01의 g 계수를 갖는 비대칭 신호를 가질 수 있음을 주목해야 한다.

- [0239] 과잉 산소를 함유하는 절연막은 산소-과잉의 산화 실리콘($\text{SiO}_x(X>2)$)일 수 있다. 산소-과잉의 산화 실리콘($\text{SiO}_x(X>2)$)에서, 단위 체적당 산소 원자들의 수는 단위 체적당 실리콘 원자들의 수의 2배를 초과한다. 단위 체적당 실리콘 원자들의 수와 산소 원자들의 수는 러더퍼드 후방산란 분광법(RBS)에 의해 측정된다.
- [0240] 게이트 절연막(112) 및 보호 절연막(118) 중 적어도 하나가 과잉 산소를 함유하는 절연막인 경우, 산화물 반도체층(106b) 내의 산소의 결손들은 줄어들 수 있다.
- [0241] 상술된 트랜지스터에서, 채널은 다층막(106)의 산화물 반도체층(106b) 내에서 형성되고; 따라서, 트랜지스터는 안정된 전기 특성들 및 높은 전계-효과 이동도를 갖는다.
- [0242] < 2-1-2. 트랜지스터 구조(1-1)의 제작 방법 >
- [0243] 다음에, 트랜지스터를 제작하는 방법이 도 17 및 도 18을 참조하여 기술된다.
- [0244] 먼저, 기판(100)이 준비된다.
- [0245] 다음에, 게이트 전극(104)이 될 도전막이 형성된다. 게이트 전극(104)이 될 도전막은 스퍼터링 방법, 화학 증기 증착(CVD) 방법, 분자 빔 에피택시(MBE) 방법, 원자층 증착(ALD) 방법, 또는 펄스 레이저 증착(PLD) 방법에 의해 게이트 전극(104)의 예들로서 주어진 도전막들 중 어느 하나를 사용하여 형성될 수 있다.
- [0246] 다음에, 게이트 전극(104)이 될 도전막이 부분적으로 에칭되어 게이트 전극(104)을 형성한다(도 17의 (A) 참조).
- [0247] 다음에, 게이트 절연막(112)이 형성된다(도 17의 (B) 참조). 게이트 절연막(112)은 스퍼터링 방법, CVD 방법, MBE 방법, ALD 방법, 또는 PLD 방법에 의해 게이트 절연막(112)의 예들로서 주어진 위의 절연막들 중 어느 하나를 사용하여 형성될 수 있다.
- [0248] 다음에, 산화물층(106a)이 될 산화물층이 형성된다. 산화물층(106a)이 될 산화물층은 스퍼터링 방법, CVD 방법, MBE 방법, ALD 방법, 또는 PLD 방법에 의해 산화물층(106a)의 예들로서 주어진 위의 산화물층들 중 어느 하나를 사용하여 형성될 수 있다.
- [0249] 다음에, 산화물 반도체층(106b)이 될 산화물 반도체층이 형성된다. 산화물 반도체층(106b)을 형성하기 위한 방법에 대해, 위 절에서의 설명이 참조된다.
- [0250] 다음에, 산화물층(106c)이 될 산화물층이 형성된다. 산화물층(106c)이 될 산화물층은 스퍼터링 방법, CVD 방법, MBE 방법, ALD 방법, 또는 PLD 방법에 의해 산화물층(106c)의 예들로서 주어진 위의 산화물층들 중 어느 하나를 사용하여 형성될 수 있다.
- [0251] 산화물층(106a)이 될 산화물층, 산화물 반도체층(106b)이 될 산화물 반도체층, 및 산화물층(106c)이 될 산화물층이, 불순물들이 각 계면에 들어가기 어렵도록 공기에 노출되지 않고, 연속적으로 형성되는 것이 바람직하다.
- [0252] 다음에, 산화물층(106a)이 될 산화물층, 산화물 반도체층(106b)이 될 산화물 반도체층, 및 산화물층(106c)이 될 산화물층은 부분적으로 에칭되어, 산화물층(106a), 산화물 반도체층(106b), 및 산화물층(106c)을 포함하는 다층막(106)을 형성한다(도 17의 (C) 참조).
- [0253] 다음에, 제 1 열처리가 바람직하게 수행된다. 제 1 열처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서 수행될 수 있다. 제 1 열처리는, 불활성 가스 분위기, 산화 가스를 10ppm 이상, 1% 이상, 또는 10% 이상으로 함유하는 분위기, 또는 감압된 압력 하에서 수행된다. 대안적으로 제 1 열처리는, 열처리가 불활성 가스 분위기에서 수행되고, 이후 탈착 산소를 보상하기 위하여 다른 열처리가 산화 가스를 10ppm 이상, 1% 이상, 또는 10% 이상으로 함유하는 분위기에서 수행되는 방식으로, 수행될 수 있다. 제 1 열처리를 통해, 산화물 반도체층(106b)의 결정성은 개선될 수 있고, 덧붙여 수소 및 물과 같은 불순물들은 게이트 절연막(112) 및/또는 다층막(106)으로부터 제거될 수 있다.
- [0254] 이후, 소스 전극(116a)과 드레인 전극(116b)이 될 도전막이 형성된다. 소스 전극(116a)과 드레인 전극(116b)이 될 도전막은 스퍼터링 방법, CVD 방법, MBE 방법, ALD 방법, 또는 PLD 방법에 의해 소스 전극(116a)과 드레인 전극(116b)의 예들로서 주어진 위의 도전막들 중 어느 하나를 사용하여 형성될 수 있다.

- [0255] 다음에, 소스 전극(116a)과 드레인 전극(116b)이 될 도전막은 부분적으로 에칭되어, 소스 전극(116a)과 드레인 전극(116b)을 형성한다(도 18의 (A) 참조).
- [0256] 다음에, 제 2 열처리가 바람직하게 수행된다. 제 1 열처리의 설명은 제 2 열처리를 위해 참조될 수 있다. 제 2 열처리를 통해, 수소 및 물과 같은 불순물들은 다층막(106)으로부터 제거될 수 있다. 물이 수소를 함유하는 화합물이고, 따라서 산화물 반도체층(106b) 내에서 불순물로서 거동할 수 있음을 주목해야 한다.
- [0257] 다음에, 보호 절연막(118)이 형성된다(도 18의 (B) 참조). 보호 절연막(118)은 스퍼터링 방법, CVD 방법, MBE 방법, ALD 방법, 또는 PLD 방법에 의해 보호 절연막(118)의 예들로서 주어진 위의 절연막들 중 어느 하나를 사용하여 형성될 수 있다.
- [0258] 여기에서, 보호 절연막(118)이 도 16의 (D)에 도시된 바와 같이 3-층 구조를 갖는 경우가 기술된다. 먼저, 제 1 산화 실리콘층(118a)이 형성된다. 다음에, 제 2 산화 실리콘층(118b)이 형성된다. 이후, 제 2 산화 실리콘층(118b)에 산소 이온들을 첨가하기 위한 처리가 바람직하게 수행된다. 산소 이온을 첨가하기 위한 처리는 이온 도핑 장치 또는 플라즈마 처리 장치를 통해 수행될 수 있다. 이온 도핑 장치로서 질량 분리 기능을 갖는 이온 도핑 장치가 사용될 수 있다. 산소 이온들의 소스 물질로서 $^{16}\text{O}_2$ 또는 $^{18}\text{O}_2$, 산화 질소 가스, 오존 가스, 등과 같은 산소 가스가 사용될 수 있다. 이후, 질화 실리콘층(118c)이 형성된다. 이러한 방식으로, 보호 절연막(118)이 형성될 수 있다.
- [0259] 다음에, 제 3 열처리가 바람직하게 수행된다. 제 1 열처리의 기술은 제 3 열처리를 위해 참조될 수 있다. 제 3 열처리에 의해, 과잉 산소는 게이트 절연막(112) 및/또는 보호 절연막(118)으로부터 방출되고; 따라서 다층막(106) 내의 산소의 결손들은 감소될 수 있다. 다층막(106) 내에서, 산소의 결손은 인접한 산소 원자를 포획하여, 산소의 결손이 이동하는 것처럼 보임을 주목해야 한다. 그러므로, 과잉 산소는 산화물층(106a) 또는 산화물층(106c)을 통해 산화물 반도체층(106b)에 도달한다.
- [0260] 위의 방식으로, BGTC 트랜지스터가 제작될 수 있다.
- [0261] 이러한 트랜지스터는, 다층막(106)의 산화물 반도체층(106b) 내의 산소의 결손들이 감소되므로, 안정된 전기 특성들을 갖는다.
- [0262] < 2-2. 트랜지스터 구조(2) >
- [0263] 본 절에서, 상부-게이트 트랜지스터가 기술된다.
- [0264] < 2-2-1. 트랜지스터 구조(2-1) >
- [0265] 여기에서, 상부-게이트 트랜지스터의 일종인 상부-게이트 상부-접촉(TGTC) 구조의 트랜지스터가 도 19를 참조하여 기술된다.
- [0266] 도 19는 TGTC 트랜지스터의 평면도 및 단면도들이다. 도 19의 (A)는 트랜지스터의 평면도이다. 도 19의 (B)는 도 19의 (A)에서 일점쇄선 B1-B2를 따라 취해진 단면도이다. 도 19의 (C)는 도 19의 (A)에서 일점쇄선 B3-B4를 따라 취해진 단면도이다.
- [0267] 도 19의 (B)에 도시된 트랜지스터는, 기판(200) 위의 하지 절연막(202); 하지 절연막(202) 위의 산화물층(206a), 산화물층(206a) 위의 산화물 반도체층(206b), 및 산화물 반도체층(206b) 위의 산화물층(206c)을 포함하는 다층막(206); 하지 절연막(202)과 다층막(206) 위의 소스 전극(216a)과 드레인 전극(216b); 다층막(206), 소스 전극(216a) 및 드레인 전극(216b) 위의 게이트 절연막(212); 게이트 절연막(212) 위의 게이트 전극(204); 및 게이트 절연막(212)과 게이트 전극(204) 위의 보호 절연막(218)을 포함한다. 트랜지스터가 하지 절연막(202) 및/또는 보호 절연막(218)을 반드시 포함하는 것은 아님을 주목해야 한다.
- [0268] 소스 전극(216a)과 드레인 전극(216b)은 산화물 반도체층(206b)의 측면의 예지들과 접한다.
- [0269] 또한, 소스 전극(216a)과 드레인 전극(216b)을 위해 사용된 도전막의 종류에 따라 산소가 산화물층(206c)의 부분으로부터 분리되어, 소스 영역과 드레인 영역이 산화물층(106c) 내에 형성된다.
- [0270] 도 19의 (A)에서, 게이트 전극(204)과 중첩하는 다층막(206)의 영역 내의 소스 전극(216a)과 드레인 전극(216b) 사이의 거리는 채널 길이로 언급된다. 트랜지스터가 소스 영역과 드레인 영역을 포함하는 경우, 게이트 전극(204)과 중첩하는 영역 내에서 소스 영역과 드레인 영역 사이의 거리가 채널 길이로서 언급될 수 있음을 주목해

야 한다.

- [0271] 채널 형성 영역이, 다층막(206)의 위에서 보았을 때, 게이트 전극(204)과 중첩하고, 소스 전극(216a)과 드레인 전극(216b) 사이에 위치하는 영역을 언급함을 주목해야 한다. 또한, 채널 영역은 채널 형성 영역에서 전류가 주로 흐르는 영역을 언급한다. 여기에서, 채널 영역은 채널 형성 영역 내의 산화물 반도체층(206b)의 일 부분을 언급한다.
- [0272] 다층막(206)을 위해, 다층막(106)의 설명이 참조된다. 특히, 산화물층(206a)을 위해, 산화물층(106c)의 설명이 참조되고; 산화물 반도체층(206b)을 위해 산화물 반도체층(106b)의 설명이 참조되고; 산화물층(206c)을 위해 산화물층(106a)의 설명이 참조된다.
- [0273] 기판(200)을 위해 기판(100)의 설명이 참조된다. 소스 전극(216a)과 드레인 전극(216b)을 위해, 소스 전극(116a)과 드레인 전극(116b)의 설명이 참조된다. 게이트 절연막(212)을 위해 게이트 절연막(112)의 설명이 참조된다. 게이트 전극(204)을 위해 게이트 전극(104)의 설명이 참조된다. 보호 절연막(218)을 위해 보호 절연막(118)의 설명이 참조된다.
- [0274] 다층막(206)의 에지가 도 19의 (A)에서 게이트 전극(204)의 에지보다 외부쪽에 위치하지만, 광으로 인한 다층막(206) 내의 캐리어들의 생성을 억제하기 위하여, 다층막(206)의 에지는 게이트 전극(204)의 에지보다 안쪽에 위치할 수 있다.
- [0275] 하지 절연막(202)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 하나 이상의 종류들을 함유하는 절연막의 단일층 또는 적층을 사용하여 형성될 수 있다.
- [0276] 하지 절연막(202)은 예컨대 질화 실리콘층을 제 1 층으로 및 산화 실리콘층을 제 2 층으로 포함하는 다층막이 될 수 있다. 이 경우, 산화 실리콘층은 산화질화 실리콘층이 될 수 있다. 덧붙여, 질화 실리콘층은 질화산화 실리콘층이 될 수 있다. 산화 실리콘층으로서, 결합 밀도가 낮은 산화 실리콘층이 바람직하게 사용된다. 특히, 3×10^{17} spins/cm² 이하, 바람직하게는 5×10^{16} spins/cm² 이하인, ESR에서 2.001의 g 계수를 갖는 신호에 귀속되는 스핀 밀도를 갖는 산화 실리콘층이 사용된다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 어려운 질화 실리콘층이 사용된다. 수소 또는 암모니아의 방출 양은 TDS에 의해 측정될 수 있다. 또한, 질화 실리콘층으로서, 산소가 투과되지 않거나 투과되기 어려운 질화 실리콘층이 사용된다.
- [0277] 하지 절연막(202)은 예컨대 질화 실리콘층을 제 1 층으로, 제 1 산화 실리콘층을 제 2 층으로, 및 제 2 산화 실리콘층을 제 3 층으로 포함하는 다층막이 될 수 있다. 이 경우, 제 1 산화 실리콘층 및/또는 제 2 산화 실리콘층은 산화질화 실리콘층이 될 수 있다. 덧붙여, 질화 실리콘층은 질화산화 실리콘층이 될 수 있다. 제 1 산화 실리콘층으로서, 낮은 결합 밀도를 갖는 산화 실리콘층이 바람직하게 사용된다. 특히, 3×10^{17} spins/cm² 이하, 바람직하게는 5×10^{16} spins/cm² 이하인, ESR에서 2.001의 g 계수를 갖는 신호에 귀속되는 스핀 밀도를 갖는 산화 실리콘층이 사용된다. 제 2 산화 실리콘층으로서, 과잉 산소를 갖는 산화 실리콘층이 사용된다. 질화 실리콘층으로서, 수소 및 암모니아가 방출되기 어려운 질화 실리콘층이 사용된다. 또한, 질화 실리콘층으로서, 산소가 투과되지 않거나 투과되기 어려운 질화 실리콘층이 사용된다.
- [0278] 게이트 절연막(212) 및 하지 절연막(202) 중 적어도 하나가 과잉 산소를 함유하는 절연막인 경우, 산화물 반도체층(206b) 내의 산소의 결손들은 감소될 수 있다.
- [0279] 위에 기술한 트랜지스터에서, 채널은 다층막(206)의 산화물 반도체층(206b) 내에 형성되고; 따라서, 트랜지스터는 안정된 전기 특성들과 높은 전계-효과 이동도를 갖는다.
- [0280] < 2-2-2. 트랜지스터 구조(2-1)의 제작 방법 >
- [0281] 다음에 트랜지스터의 제작 방법이 도 20 및 도 21을 참조하여 기술된다.
- [0282] 먼저, 기판(200)이 준비된다.
- [0283] 다음에, 산화물층(206a)이 될 산화물층이 형성된다. 산화물층(206a)이 될 산화물층을 형성하기 위한 방법을 위해, 산화물층(106c)이 될 산화물층을 형성하기 위한 방법의 설명이 참조된다.
- [0284] 다음에, 산화물 반도체층(206b)이 될 산화물 반도체층이 형성된다. 산화물 반도체층(206b)이 될 산화물 반도체층을 형성하기 위한 방법을 위해, 산화물 반도체층(106b)이 될 산화물 반도체층을 형성하기 위한 방법의 설명이

참조된다.

- [0285] 이후, 산화물층(206c)이 될 산화물층이 형성된다. 산화물층(206c)이 될 산화물층을 형성하기 위한 방법을 위해, 산화물층(106a)이 될 산화물층을 형성하기 위한 방법의 설명이 참조된다.
- [0286] 다음에, 제 1 열처리가 바람직하게 수행된다. 제 1 열처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도에서 수행될 수 있다. 제 1 열처리는, 불활성 가스 분위기, 산화 가스를 10ppm 이상, 바람직하게는 1% 이상, 더욱 바람직하게는 10% 이상으로 함유하는 분위기, 또는 감압된 압력 하에서 수행된다. 대안적으로 제 1 열처리는, 열처리가 불활성 가스 분위기에서 수행되고, 이후 탈착 산소를 보상하기 위하여 다른 열처리가 산화 가스를 10ppm 이상, 바람직하게는 1% 이상, 더 바람직하게는 10% 이상으로 함유하는 분위기에서 수행되는 방식으로, 수행될 수 있다. 제 1 열처리를 통해, 산화물 반도체층(206b)이 될 산화물 반도체층의 결정성은 개선될 수 있고, 덧붙여 수소 및 물과 같은 불순물들은 하지 절연막(202), 산화물층(206a)이 될 산화물층, 산화물 반도체층(206b)이 될 산화물 반도체층 및/또는 산화물층(206c)이 될 산화물층으로부터 제거될 수 있다.
- [0287] 다음에, 산화물층(206a)이 될 산화물층, 산화물 반도체층(206b)이 될 산화물 반도체층 및 산화물층(206c)이 될 산화물층이 부분적으로 에칭되어, 산화물층(206a), 산화물 반도체층(206b) 및 산화물층(206c)을 포함하는 다층막(206)을 형성한다(도 20의 (A) 참조).
- [0288] 이후, 소스 전극(216a)과 드레인 전극(216b)이 될 도전막이 형성된다. 소스 전극(216a)과 드레인 전극(216b)이 될 도전막을 형성하기 위한 방법을 위해, 소스 전극(116a)과 드레인 전극(116b)이 될 도전막을 형성하기 위한 방법의 설명이 참조된다.
- [0289] 다음에, 소스 전극(216a)과 드레인 전극(216b)이 될 도전막은 부분적으로 에칭되어, 소스 전극(216a)과 드레인 전극(216b)을 형성한다(도 20의 (B) 참조).
- [0290] 다음에 제 2 열처리가 바람직하게 수행된다. 제 1 열처리의 설명이 제 2 열처리를 위해 참조될 수 있다. 제 2 열처리를 통해, 수소 및 물과 같은 불순물들은 다층막(206)으로부터 제거될 수 있다.
- [0291] 다음에, 게이트 절연막(212)이 형성된다(도 20의 (C) 참조). 게이트 절연막(212)을 형성하기 위한 방법을 위해, 게이트 절연막(112)을 형성하기 위한 방법의 설명이 참조된다.
- [0292] 다음에, 게이트 전극(204)이 될 도전막이 형성된다. 게이트 전극(204)이 될 도전막을 형성하기 위한 방법을 위해, 게이트 전극(104)이 될 도전막을 형성하기 위한 방법의 설명이 참조된다.
- [0293] 다음에, 게이트 전극(204)이 될 도전막이 부분적으로 에칭되어, 게이트 전극(204)을 형성한다(도 21의 (A) 참조).
- [0294] 다음에, 보호 절연막(218)이 형성된다(도 21의 (B) 참조). 보호 절연막(218)을 형성하기 위한 방법을 위해, 보호 절연막(118)을 형성하기 위한 방법의 설명이 참조된다.
- [0295] 위의 방식으로 트랜지스터가 제작된다.
- [0296] 다층막(206)의 산화물 반도체층(206b) 내의 산소 결손들이 줄어들므로, 이러한 트랜지스터는 안정된 전기 특성들을 갖는다.
- [0297] < 2-2-3. 트랜지스터 구조(2-1)의 전기 특성들 >
- [0298] 여기에서, TGTC 구조의 트랜지스터가 제작되었고, 이의 전기 특성들이 측정되었다.
- [0299] 트랜지스터 구조는 도 19의 (B)를 참조하여 기술된다.
- [0300] 유리 기판이 기판(200)으로 사용되었다.
- [0301] 산화물층(206a)으로서, In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성된 5-nm 두께의 산화물층이 사용되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0302] 산화물 반도체층(206b)으로서, In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:1:1) 타깃을 사용하는 스퍼터링법에 의해 형성된 15-nm 두께의 산화물 반도체층이 사용되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 300℃ 또는 400℃로 설정되었고,

0.5kW의 DC 전력이 인가되었음을 주목해야 한다.

- [0303] 산화물층(206c)으로서, In-Ga-Zn 산화물(In:Ga:Zn의 원자수비는 1:3:2) 타깃을 사용하는 스퍼터링법에 의해 형성된 5-nm 두께의 산화물층이 사용되었다. 아르곤 가스(유동율 : 30sccm)와 산소 가스(유동율 : 15sccm)가 증착 가스로 사용되었고, 압력이 0.4Pa로 설정되었고, 기판 온도는 200℃로 설정되었고, 0.5kW의 DC 전력이 인가되었음을 주목해야 한다.
- [0304] 소스 전극(216a) 및 드레인 전극(216b)으로서, 스퍼터링법에 의해 형성된 100-nm 두께의 텅스텐막이 사용되었다.
- [0305] 게이트 절연막(212)으로서, CVD 법에 의해 형성된 20-nm 두께의 산화질화 실리콘막이 사용되었다. SiH₄ 가스(유동율 : 1sccm)와 N₂O 가스(유동율 : 800sccm)가 증착 가스로 사용되었고, 압력이 100Pa로 설정되었고, 기판 온도는 350℃로 설정되었고, 150W의 60MHz 고주파수 전력이 인가되었음을 주목해야 한다.
- [0306] 게이트 전극(204)으로서, 스퍼터링법에 의해 형성된 30-nm 두께의 질화 탄탈층과 135-nm 두께의 텅스텐층이 그 순서대로 적층된 다층막이 사용되었다.
- [0307] 위의 방식으로, 트랜지스터가 제작되었다.
- [0308] 먼저, 트랜지스터들의 V_g-I_d 곡선들이 기판(200) 상의 25개 점들에서 수행된 측정에 의해 얻어졌고, 함께 도 22에 도시된다. 여기에서, 드레인 전류(I_d)는, 드레인 전압(V_d)이 0.1V 또는 3.3V이었고, 게이트 전압(V_g)이 -4V로부터 4V로 스위칭되는 조건들 하에서 측정되었다.
- [0309] 드레인 전압은, 소스 전극의 전위가 기준 전위로 사용될 때, 소스 전극과 드레인 전극 사이의 전위차를 언급함을 주목해야 한다. 게이트 전압은, 소스 전극의 전위가 기준 전위로 사용될 때, 소스 전극과 드레인 전극 사이의 전위차를 언급한다. 드레인 전류는 소스 전극과 드레인 전극 사이에 흐르는 전류의 값을 언급한다.
- [0310] 도 22의 (A)는 0.61μm인 채널 길이(L)와 1μm인 채널 폭(W)을 갖는 트랜지스터들의 V_g-I_d 특성들을 도시한다. 도 22의 (B)는 1.06μm인 채널 길이(L)와 1μm인 채널 폭(W)을 갖는 트랜지스터들의 V_g-I_d 특성들을 도시한다. 0.1V의 드레인 전압(V_d)을 갖는 트랜지스터들의 전계 효과 이동도(μ_{FE})가 그래프의 우측 축상의 눈금으로부터 판독될 수 있음을 주목해야 한다.
- [0311] 도 22는 트랜지스터들의 V_g-I_d 특성들의 변동이 작음을 보여준다.
- [0312] 다음에, 양 게이트 BT 시험 및 음 게이트 BT 시험이 트랜지스터들 상에서 수행되었다.
- [0313] 양 게이트 BT 시험에서, 기판 온도가 먼저 40℃로 설정되었고, V_g-I_d 특성들이 측정되었다. 이후, 기판 온도가 150℃로 설정되었고, 게이트 전압(V_g)이 3.3V로 설정되었고, 드레인 전압(V_d)이 0V로 설정되었고, 트랜지스터들이 1시간 동안 유지되었다. 이후, 게이트 전압(V_g)이 0V로 설정되었고, 기판 온도가 40℃로 설정되었고, V_g-I_d 특성들이 측정되었다.
- [0314] 음 게이트 BT 시험에서, 기판 온도가 먼저 40℃로 설정되었고, V_g-I_d 특성들이 측정되었고, 이후, 기판 온도가 150℃로 설정되었고, 게이트 전압(V_g)이 -3.3V로 설정되었고, 드레인 전압(V_d)이 0V로 설정되었고, 트랜지스터들이 1시간 동안 유지되었다. 이후, 기판 온도가 40℃로 설정되었고, 게이트 전압(V_g)이 0V로 설정되었고, V_g-I_d 특성들이 측정되었다.
- [0315] 도 23의 (A)는 트랜지스터들 상에서 수행된 양 게이트 BT 시험의 결과들을 도시한다. 도 23의 (B)는 트랜지스터들 상에서 수행된 음 게이트 BT 시험의 결과들을 도시한다. 도 23의 각각에서, 게이트 BT 시험 이전의 V_g-I_d 특성들은 실선들로 표시되고, 게이트 BT 시험 이후의 V_g-I_d 특성들은 파선들로 표시됨을 주목해야 한다. 어떠한 신뢰성 시험 이후에도, 트랜지스터의 임계 전압은 특히 0.5V 이하만큼 약간 변화하였다.
- [0316] 따라서, 위의 결과들은 트랜지스터들이 안정된 전기 특성들을 가짐을 보여준다.
- [0317] < 3. 응용 제품들 >
- [0318] 본 명세서에서 개시된 트랜지스터는 다양한 전자 장치들(게임기들을 포함하여) 및 전기 장치들에 적용될 수 있다. 전자 장치들의 예들은 텔레비전들, 모니터들, 등의 디스플레이 장치들, 조명 장치들, 데스크톱 개인용 컴퓨터들 및 노트북 개인용 컴퓨터들, 워드 프로세서들, 디지털 다용도 디스크들(DVDs)과 같은 기록 매체에 저장된 정지 영상들 또는 동영상들을 재생하는 이미지 재생 장치들, 휴대용 콤팩트 디스크(CD) 플레이어들, 라디오 수

신기들, 테이프 레코더들, 헤드폰 스테레오들, 스테레오들, 코드리스 전화기 핸드셋들, 송수신기들, 모바일폰들, 카폰들, 휴대용 게임기들, 계산기들, 휴대용 정보 단말기들, 전자 노트북들, 전자 서적들, 전자 번역기들, 오디오 입력 장치들, 비디오 카메라들 및 디지털 스틸 카메라들과 같은 카메라들, 전자 면도기들, 및 IC 칩들을 포함한다. 전기 장치들의 예들은 전자 레인지들과 같은 고주파수 가열 기기들, 전기 밥솥들, 전기 세탁기들, 전기 진공 청소기들, 에어컨과 같은 공조 시스템들, 접시세척기들, 접시 건조기들, 세탁 건조기들, 이불 건조기들, 전기 냉장고들, 전기 냉동고들, 전기 냉장냉동고들, DNA 보존을 위한 냉동고들, 방사선 측정기들, 및 투석기들과 같은 의료 장비들을 포함한다. 덧붙여, 전기 장치들의 예들은 연기 검출기들, 가스 경보 장치들, 및 보안 경보 장치들과 같은 경보 장치들을 포함한다. 더욱이, 예들은 또한 유도등들, 신호등들, 벨트 컨베이어들, 엘리베이터들, 에스컬레이터들, 산업 로봇들, 및 전력 저장 시스템들과 같은 산업 장비를 포함한다. 덧붙여, 내연기관들에 의해, 및 비수계 2차 전지들로부터의 전력을 사용하는 전동기들에 의해 구동되는 이동체들도 또한 전기 장치들의 범주 내에 포함된다. 이동체들의 예들은, 전기 자동차들(EV), 내연기관과 전동기를 포함하는 하이브리드 전기 자동차들(HEV), 플러그-인 하이브리드 전기 자동차들(PHEV), 이들 차량들의 차륜들을 무한궤도들로 대체한 궤도용 차량들, 전동기 지원 자전거를 포함하는 원동기 부착 자전거들, 오토바이들, 전기 휠체어들, 골프 카트들, 소형 또는 대형 선박들, 잠수함들, 헬리콥터들, 항공기들, 로켓들, 인공위성들, 우주 탐사기들, 혹성 탐사기들, 및 우주선들을 포함한다. 이들 전자 장치들 및 전기 장치들의 특정 예들은 도 24, 도 25, 도 26 및 도 27에 도시된다.

- [0319] 연기 검출기들로 전형화된 경보 장치의 구조 및 동작이 기술된다. 본 절에서, 경보 장치의 예로서, 화재 경보기의 구조가 도 24, 도 25, 도 26 및 도 27을 참조하여 기술된다.
- [0320] 본 명세서에서 화재 경보기는 화재 발생에 대해 순간적으로 경보를 발하는 임의의 장치를 언급하고, 예컨대, 주택용 화재 경보기, 자동 화재 경보 시스템, 및 자동 화재 경보 시스템을 위해 사용된 화재 검출기가 이 범주에 포함된다.
- [0321] 도 24에 도시된 경보 장치는 적어도 하나의 마이크로컴퓨터(500)를 포함한다. 여기에서, 마이크로컴퓨터(500)는 경보 장치 내에 제공된다. 마이크로컴퓨터(500)는, 고전위 전력 공급 라인(VDD)에 전기적으로 연결된 전력 게이트 제어기(503), 고전위 전력 공급 라인(VDD) 및 전력 게이트 제어기(503)에 전기적으로 연결된 전력 게이트(504), 전력 게이트(504)에 전기적으로 연결된 CPU(중앙 처리 장치)(505), 및 전력 게이트(504) 및 CPU(505)에 전기적으로 연결된 센서부(509)를 포함한다. 또한, CPU(505)는 휘발성 메모리부(506)와 비휘발성 메모리부(507)를 포함한다.
- [0322] CPU(505)는 인터페이스(508)를 통해 버스 라인(502)에 전기적으로 연결된다. CPU(505)뿐만 아니라 인터페이스(508)는 전력 게이트(504)에 전기적으로 연결된다. 인터페이스(508)의 버스 표준으로서, 예컨대 I²C 버스가 사용될 수 있다. 인터페이스(508)를 통해 전력 게이트(504)에 전기적으로 연결된 발광 소자(530)는 본 절에서 기술된 경보 장치에 제공된다.
- [0323] 발광 소자(530)는 바람직하게 높은 지향성을 갖는 광을 방출하는 소자이고, 예컨대 유기 EL 소자, 무기 EL 소자, 또는 발광 다이오드(LED)가 사용될 수 있다.
- [0324] 전력 게이트 제어기(503)는 타이머를 포함하고, 타이머의 사용을 통해 전력 게이트(504)를 제어한다. 전력 게이트(504)는 전력 게이트 제어기(503)에 의한 제어에 따라 고전위 전력 공급 라인(VDD)으로부터 CPU(505), 센서부(509), 및 인터페이스(508)로의 전력 공급을 허용 또는 중지한다. 여기에서, 전력 게이트(504)의 예로서, 트랜지스터와 같은 스위칭 소자가 주어질 수 있다.
- [0325] 전력 게이트 제어기(503)와 전력 게이트(504)의 사용을 통해, 광량이 측정되는 기간에 전력은 센서부(509), CPU(505) 및 인터페이스(508)에 공급되고, 측정 기간들 사이의 간격 동안 센서부(509), CPU(505) 및 인터페이스(508)에 대한 전력의 공급은 중지된다. 경보 장치는 이와 같은 방식으로 동작하고, 이에 의해 위의 구조들에 전력이 지속적으로 공급되는 경우와 비교하여, 경보 장치의 전력 소비의 감소가 달성될 수 있다.
- [0326] 트랜지스터가 전력 게이트(504)로서 사용되는 경우, 극히 낮은 오프-상태 전류를 갖고, 비휘발성 메모리부(507)를 위해 사용되는 트랜지스터, 예컨대 산화물 반도체를 포함하는 트랜지스터를 사용하는 것이 바람직하다. 이러한 트랜지스터의 사용을 통해, 누설 전류는 전력 공급이 전력 게이트(504)에 의해 중지될 때 감소될 수 있어서, 경보 장치의 전력 소비의 감소가 달성될 수 있다.
- [0327] 직류 전원(501)이 본 절에서 기술된 경보 장치에 제공될 수 있어서, 전력은 직류 전원(501)으로부터 고전위 전력 공급 라인(VDD)에 공급될 수 있다. 고전위 측 상의 직류 전원(501)의 전극은 고전위 전력 공급 라인(VDD)에

전기적으로 연결되고, 저전위 측 상의 직류 전원(501)의 전극은 저전위 전력 공급 라인(VSS)에 전기적으로 연결된다. 저전위 전력 공급 라인(VSS)은 마이크로컴퓨터(500)에 전기적으로 연결된다. 여기에서, 고전위 전력 공급 라인(VDD)은 높은 전위(H)를 공급받는다. 저전위 전력 공급 라인(VSS)은 저전위(L), 예컨대 접지 전위(GND)를 공급받는다.

[0328] 전지가 직류 전원(501)으로서 사용되는 경우, 예컨대, 고전위 전력 공급 라인(VDD)에 전기적으로 연결된 전극, 저전위 전력 공급 라인(VSS)에 전기적으로 연결된 전극 및 전지를 고정할 수 있는 하우징을 포함하는 전지 케이스가 하우징 내에 제공된다. 본 절에서 기술된 정보 장치가 반드시 직류 전원(501)을 포함하지는 않고, 예컨대 전력이 배선을 통해 정보 장치의 외부에 제공된 교류 전원으로부터 공급되는 구조를 가질 수 있음을 주목해야 한다.

[0329] 위의 전지로서, 리튬 이온 2차 전지(또한 리튬 이온 저장 전지 또는 리튬 이온 전지로 불리는)와 같은 2차 전지가 사용될 수 있다. 또한, 솔라 전지가 2차 전지를 충전하기 위하여 바람직하게 제공된다.

[0330] 센서부(509)는 비정상 상황에 관한 물리적인 양을 측정하여, 측정 값을 CPU(505)에 송신한다. 비정상 상황에 관한 물리적인 양은 정보 장치의 사용에 의존하고, 화재 경보기로서 기능하는 정보 장치에서 화재에 관한 물리적인 양이 측정된다. 따라서, 센서부(509)는 화재에 관한 물리적인 양으로서 광의 양을 측정하고 연기를 감지한다.

[0331] 센서부(509)는 전력 게이트(504)에 전기적으로 연결된 광 센서(511), 전력 게이트(504)에 전기적으로 연결된 증폭기(512), 및 전력 게이트(504)와 CPU(505)에 전기적으로 연결된 AD 변환기(513)를 포함한다. 센서부(509)에 제공된 광 센서(511), 증폭기(512) 및 AD 변환기(513), 및 발광 소자(530)는 전력 게이트(504)가 센서부(509)에 대한 전력의 공급을 허용할 때 동작한다.

[0332] 도 25는 정보 장치의 단면의 부분을 도시한다. 정보 장치에 있어서, 소자 분리 영역들(203)이 p-형 반도체 기판(201) 내에 형성되고, 게이트 절연막(207), 게이트 전극(209), n-형 불순물 영역들(211a 및 211b), 절연막(215) 및 절연막(217)을 포함하는 n-채널 트랜지스터(519)가 형성된다. 여기에서, 단결정 실리콘과 같은, 산화물 반도체 이외의 반도체를 사용하여 n-채널 트랜지스터(519)가 형성되어, 트랜지스터(519)는 충분히 높은 속도로 동작할 수 있다. 따라서, 충분히 고속의 액세스를 성취할 수 있는 CPU의 휘발성 메모리부가 형성될 수 있다.

[0333] 덧붙여, 접촉 플러그들(219a 및 219b)은 절연막들(215 및 217)을 부분적으로 에칭함으로써 형성되는 개구부들 내에 형성되고, 그루브 부분들을 갖는 절연막(221)은 절연막(217)과 접촉 플러그들(219a 및 219b) 위에 형성된다. 배선들(223a 및 223b)은 절연막(221)의 그루브 부분들 내에 형성된다. 절연막(220)은 스퍼터링법, CVD법, 등에 의해 절연막(221) 및 배선들(223a 및 223b) 위에 형성되고, 그루브 부분을 갖는 절연막(222)은 절연막(220) 위에 형성된다. 전극(224)은 절연막(222)의 그루브 부분 내에 형성된다. 전극(224)은 제 2 트랜지스터(517)의 백 게이트 전극으로서 기능한다. 전극(224)은 제 2 트랜지스터(517)의 임계 전압을 제어할 수 있다.

[0334] 더욱이, 절연막(225)은 스퍼터링법, CVD법, 등에 의해 절연막(222) 및 전극(224) 위에 형성된다.

[0335] 제 2 트랜지스터(517) 및 광전 변환 소자(514)는 절연막(225) 위에 제공된다. 제 2 트랜지스터(517)는 산화물층(206a), 산화물 반도체층(206b), 산화물층(206c), 상기 산화물층(206a), 상기 산화물 반도체층(206b) 및 산화물층(206c)의 적층의 상부 표면과 접하는 소스 전극(216a) 및 드레인 전극(216b), 게이트 절연막(212), 게이트 전극(204) 및 보호 절연막(218)을 포함한다. 더욱이, 절연막(245)은 광전 변환 소자(514) 및 제 2 트랜지스터(517)를 덮고, 배선(249)은 절연막(245) 위에 형성되어, 드레인 전극(216b)과 접하게 된다. 배선(249)은, 제 2 트랜지스터(517)의 드레인 전극(216b)을 n-채널 트랜지스터(519)의 게이트 전극(209)에 전기적으로 연결시키는 노드로서 기능한다.

[0336] 광센서(511)는 광전 변환 소자(514), 커패시터, 제 1 트랜지스터, 제 2 트랜지스터(517), 제 3 트랜지스터, 및 n-채널 트랜지스터(519)를 포함한다. 광전 변환 소자(514)로서, 여기에서 예컨대 광다이오드가 사용될 수 있다.

[0337] 광전 변환 소자(514)의 단자들 중 하나는 저전위 전력 공급 라인(VSS)에 전기적으로 연결되고, 이의 단자들 중 다른 하나는 제 2 트랜지스터(517)의 소스 전극과 드레인 전극 중 하나에 전기적으로 연결된다. 제 2 트랜지스터(517)의 게이트 전극은 전기 전하 누적 제어 신호(Tx)를 공급받고, 제 2 트랜지스터의 소스 전극과 드레인 전극 중 다른 하나는 커패시터의 한 쌍의 전극들 중 하나, 제 1 트랜지스터의 소스 전극과 드레인 전극 중 하나, 및 n-채널 트랜지스터(519)의 게이트 전극에 전기적으로 연결된다(이후, 노드는 일부 경우들에서 노드(FD)로 언급된다). 커패시터의 한 쌍의 전극들 중 다른 하나는 저전위 전력 공급 라인(VSS)에 전기적으로 연결된다. 제 1 트랜지스터의 게이트 전극은 리셋 신호(Res)를 공급받고, 제 1 트랜지스터의 소스 전극과 드레인 전극 중 다른

하나는 고전위 전력 공급 라인(VDD)에 전기적으로 연결된다. n-채널 트랜지스터(519)의 소스 전극과 드레인 전극 중 하나는 제 3 트랜지스터의 소스 전극과 드레인 전극 중 하나 및 증폭기(512)에 전기적으로 연결된다. n-채널 트랜지스터(519)의 소스 전극과 드레인 전극 중 다른 하나는 고전위 전력 공급 라인(VDD)에 전기적으로 연결된다. 제 3 트랜지스터의 게이트 전극은 바이어스 신호(Bias)를 공급받고, 이의 소스 전극과 드레인 전극 중 다른 하나는 저전위 전력 공급 라인(VSS)에 전기적으로 연결된다.

- [0338] 커패시터가 반드시 제공되는 것은 아님을 주목해야 한다. 예컨대, n-채널 트랜지스터(519) 등의 기생 커패시턴스가 충분히 큰 경우, 커패시터가 없는 구조가 사용될 수 있다.
- [0339] 또한, 제 1 트랜지스터와 제 2 트랜지스터(517)의 각각으로, 극히 낮은 오프-상태 전류를 갖는 트랜지스터가 바람직하게 사용된다. 극히 낮은 오프-상태 전류를 갖는 트랜지스터로서, 산화물 반도체를 포함하는 트랜지스터가 바람직하게 사용된다. 이러한 구조를 통해, 노드(FD)의 전위는 긴 시간 동안 유지될 수 있다.
- [0340] 도 25의 구조에서, 광전 변환 소자(514)는 제 2 트랜지스터(517)에 전기적으로 연결되고, 절연막(225) 위에 제공된다.
- [0341] 광전 변환 소자(514)는 절연막(225) 위의 반도체층(260), 및 반도체층(260)의 상부 표면과 접하는 소스 전극(216a) 및 전극(216c)을 포함한다. 소스 전극(216a)은 제 2 트랜지스터(517)의 소스 전극 또는 드레인 전극으로서 기능하는 전극이고, 광전 변환 소자(514)를 제 2 트랜지스터(517)에 전기적으로 연결시킨다.
- [0342] 반도체층(260), 소스 전극(216a) 및 전극(216c) 위에, 절연막(212), 보호 절연막(218) 및 절연막(245)이 제공된다. 또한, 배선(256)은 절연막(245) 위에 형성되고, 게이트 절연막(212), 보호 절연막(218) 및 절연막(245) 내에 제공된 개구부를 통해 전극(216c)과 접한다.
- [0343] 전극(216c)은 소스 전극(216a)과 드레인 전극(216b)의 단계들과 유사한 단계들로 형성될 수 있고, 배선(256)은 배선(249)의 단계들과 유사한 단계들로 형성될 수 있다.
- [0344] 반도체층(260)으로서, 광전 변환을 수행할 수 있는 반도체층이 제공되고, 예컨대 실리콘 또는 게르마늄이 사용될 수 있다. 실리콘을 사용하는 경우, 반도체층(260)은 가시광을 감지하는 광센서로서 기능한다. 더욱이, 실리콘과 게르마늄 사이에 흡수될 수 있는 전자기파의 파장들에서의 차이가 존재한다. 반도체층(260)이 게르마늄을 포함할 때, 적외선을 감지하는 센서가 얻어질 수 있다.
- [0345] 위의 방식으로, 광센서(511)를 포함하는 센서부(509)가 마이크로컴퓨터(500)에 통합될 수 있어서, 구성요소들의 수는 감소될 수 있고, 경보 장치의 하우징의 크기는 줄어들 수 있다.
- [0346] 위에서 기술한 IC 칩을 포함하는 화재 경보기에서, 위의 트랜지스터를 포함하는 복수의 회로들이 결합되어 하나의 IC 칩상에 장착되는 CPU(505)가 사용된다.
- [0347] 도 26은 적어도 부분적으로 위의 트랜지스터를 포함하는 CPU의 특정 구성을 도시하는 블록도들이다.
- [0348] 도 26의 (A)에 도시된 CPU는 기관(1190) 위에 산술논리 유닛(ALU)(1191), ALU 제어기(1192), 지시 디코더(1193), 인터럽트 제어기(1194), 타이밍 제어기(1195), 레지스터(1196), 레지스터 제어기(1197), 버스 인터페이스(1198), 재기록 가능한 ROM(1199) 및 ROM 인터페이스(1189)를 포함한다. 반도체 기관, SOI 기관, 유리 기관 등이 기관(1190)으로 사용된다. ROM(1199) 및 ROM 인터페이스(1189)는 별도의 칩 위에 제공될 수 있다. 물론, 도 26의 (A)의 CPU는 구성이 단순화된 단지 예일 뿐이고, 실제 CPU는 애플리케이션에 따라 다양한 구성들을 가질 수 있다.
- [0349] 버스 인터페이스(1198)를 통해 CPU에 입력되는 지시는 지시 디코더(1193)에 입력되어 거기에서 디코딩되고, 이후 ALU 제어기(1192), 인터럽트 제어기(1194), 레지스터 제어기(1197) 및 타이밍 제어기(1195)에 입력된다.
- [0350] ALU 제어기(1192), 인터럽트 제어기(1194), 레지스터 제어기(1197) 및 타이밍 제어기(1195)는 디코딩된 지시에 따라 다양한 제어들을 행한다. 특히, ALU 제어기(1192)는 ALU(1191)의 동작을 제어하기 위한 신호들을 생성한다. CPU가 프로그램을 실행하는 동안, 인터럽트 제어기(1194)는 외부 입/출력 장치 또는 주변 회로로부터 인터럽트 요청을 그 우선순위 또는 마스크 상태를 기초로 판단하여, 요청을 처리한다. 레지스터 제어기(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)로부터 데이터를 판독하고, 데이터를 레지스터(1196)에 기록한다.
- [0351] 타이밍 제어기(1195)는 ALU(1191), ALU 제어기(1192), 지시 디코더(1193), 인터럽트 제어기(1194) 및 레지스터 제어기(1197)의 동작 타이밍들을 제어하기 위한 신호들을 생성한다. 예컨대, 타이밍 제어기(1195)는 기준 클럭

신호(CLK1)에 기초하여 내부 클록 신호(CLK2)를 생성하기 위한 내부 클록 생성기를 포함하고, 내부 클록 신호(CLK2)를 위의 회로들에 공급한다.

- [0352] 도 26의 (A)에 도시된 CPU에서, 메모리 셀이 레지스터(1196) 내에 제공된다. 레지스터(1196)의 메모리 셀로서, 위의 트랜지스터가 사용될 수 있다.
- [0353] 도 26의 (A)에 도시된 CPU에서, 레지스터 제어기(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196) 내에 데이터를 유지하는 동작을 선택한다. 즉, 레지스터 제어기(1197)는 데이터가 플립-플롭에 의해, 또는 레지스터(1196) 내에 포함된 메모리 셀의 커패시터에 의해 유지될지를 선택한다. 플립-플롭에 의한 데이터 유지가 선택될 때, 전력 공급 전압은 레지스터(1196) 내의 메모리 셀에 공급된다. 커패시터에 의한 데이터 유지가 선택될 때, 데이터는 커패시터에 재기록되고, 레지스터(1196) 내의 메모리 셀에 대한 전력 공급 전압의 공급은 중지될 수 있다.
- [0354] 전력 공급은 도 26의 (B) 및 (C)에 도시된 바와 같이, 메모리 셀 그룹과, 전력 공급 전위(VDD) 또는 전력 공급 전위(VSS)가 공급되는 노드 사이의 제공된 스위칭 소자에 의해 중지될 수 있다. 도 26의 (B) 및 (C)에 도시된 회로들은 아래에 기술된다.
- [0355] 도 26의 (B) 및 (C)는 각각 위의 트랜지스터들 중 어느 하나가 메모리 셀에 대한 전력 공급 전위의 공급을 제어하는 스위칭 소자로서 사용되는 메모리 회로의 구성 예를 도시한다.
- [0356] 도 26의 (B)에 도시된 메모리 디바이스는 스위칭 소자(1141), 및 복수의 메모리 셀들(1142)을 포함하는 메모리 셀 그룹(1143)을 포함한다. 특히, 메모리 셀들(1142)의 각각으로서, 위의 트랜지스터가 사용될 수 있다. 메모리 셀 그룹(1143) 내에 포함된 메모리 셀들(1142)의 각각은 스위칭 소자(1141)를 통해 고레벨의 전력 공급 전위(VDD)를 공급받는다. 또한, 메모리 셀 그룹(1143) 내에 포함된 메모리 셀들(1142)의 각각은 신호(IN)의 전위 및 저레벨 전력 공급 전위(VSS)를 공급받는다.
- [0357] 도 26의 (B)에서, 위의 트랜지스터들 중 어느 하나는 스위칭 소자(1141)로서 사용되고, 트랜지스터의 스위칭은 이의 게이트 전극층에 공급되는 신호(SigA)에 의해 제어된다.
- [0358] 도 26의 (B)가 스위칭 소자(1141)가 오로지 하나의 트랜지스터를 포함하는 구성을 도시하지만; 이에 대한 특별한 제한 없이, 스위칭 소자(1141)가 복수의 트랜지스터들을 포함할 수 있음을 주목해야 한다. 스위칭 소자(1141)가 스위칭 소자들로서 기능하는 복수의 트랜지스터들을 포함하는 경우, 복수의 트랜지스터들은 서로 병렬로, 직렬로 또는 병렬 연결 및 직렬 연결의 조합으로 연결될 수 있다.
- [0359] 스위칭 소자(1141)가 도 26의 (B)의 메모리 셀 그룹(1143)에 포함된 메모리 셀들(1142)의 각각에 대한 고레벨 전력 공급 전위(VDD)의 공급을 제어하지만, 스위칭 소자(1141)는 저레벨 전력 공급 전위(VSS)의 공급을 제어할 수 있다.
- [0360] 도 26의 (C)에서, 메모리 셀 그룹(1143)에 포함된 메모리 셀들(1142)의 각각이 스위칭 소자(1141)를 통해 저레벨 전력 공급 전위(VSS)를 공급받는 메모리 장치의 예가 도시된다. 메모리 셀 그룹(1143)에 포함된 메모리 셀들(1142)의 각각에 대한 저레벨 전력 공급 전위(VSS)의 공급은 스위칭 소자(1141)에 의해 제어될 수 있다.
- [0361] 스위칭 소자가 메모리 셀 그룹과, 전력 공급 전위(VDD) 또는 전력 공급 전위(VSS)가 공급되는 노드 사이에 제공될 때, 데이터는 심지어 CPU의 동작이 일시적으로 중지되거나 전력 공급 전압의 공급이 중지되는 경우에도 유지될 수 있다; 따라서, 전력 소비가 감소될 수 있다. 특히, 예컨대, 개인용 컴퓨터의 사용자가 키보드와 같은 입력 장치에 데이터를 입력하지 않는 동안, CPU의 동작은 중지될 수 있어서, 전력 소비가 감소될 수 있다.
- [0362] CPU가 여기에서 일 예로서 주어진다 할지라도, 트랜지스터는 또한 디지털 신호 처리기(DSP), 주문형 LSI, 또는 필드 프로그램 가능한 게이트 어레이(FPGA)와 같은 LSI에 적용될 수 있다.
- [0363] 도 27의 (A)의 텔레비전 세트(8000)에서, 디스플레이부(8002)가 하우징(8001) 내에 통합된다. 디스플레이부(8002)는 이미지를 디스플레이하고, 스피커부(8003)는 음향을 출력할 수 있다. 위의 트랜지스터는 디스플레이부(8002)를 위해 사용될 수 있다.
- [0364] 액정 디스플레이 장치, 유기 EL 소자와 같은 발광 소자가 각 픽셀 내에서 제공된 발광 장치, 전기 영동 디스플레이 장치, 디지털 마이크로미러 장치(DMD), 또는 플라즈마 디스플레이 패널(PDP)과 같은 반도체 디스플레이 장치가 디스플레이부(8002)를 위해 사용될 수 있다.
- [0365] 덧붙여, 텔레비전 세트(8000)는 정보 통신을 수행하기 위해 메모리 또는 CPU(8004)를 포함할 수 있다. 위의 트

랜지스터, 메모리 장치, 또는 CPU는 CPU(8004) 또는 메모리를 위해 사용되고, 이에 의해 텔레비전 세트(8000)의 전력 소비의 감소가 달성될 수 있다.

- [0366] 도 27의 (A)에서, 정보 장치(8100)는 센서부와 마이크로컴퓨터(8101)를 포함하는 전기 장치의 일 예인 주택용 화재 경보기이다. 마이크로컴퓨터(8101)가 위의 트랜지스터가 사용되는 CPU를 포함하는 전기 장치의 일 예임을 주목해야 한다.
- [0367] 도 27의 (A)에서, 실내 유닛(8200)과 옥외 유닛(8204)을 포함하는 에어컨은 위의 트랜지스터가 사용되는 CPU를 포함하는 전기 장치의 일 예이다. 특히, 실내 유닛(8200)은 하우징(8201), 공기 출구(8202), CPU(8203), 등을 포함한다. CPU(8203)가 도 27의 (A)의 실내 유닛(8200) 내에 제공되지만, CPU(8203)는 옥외 유닛(8204)에 제공될 수도 있다. 대안적으로, CPU(8203)는 실내 유닛(8200)과 옥외 유닛(8204) 모두에 제공될 수 있다. 에어컨 내의 CPU로서 위의 트랜지스터를 사용함으로써, 에어컨의 소비 전력의 감소가 달성될 수 있다.
- [0368] 도 27의 (A)에서, 전기 냉동냉장고(8300)는 산화물 반도체를 포함하는 CPU를 구비한 전기 장치의 예이다. 특히, 전기 냉동냉장고(8300)는 하우징(8301), 냉장고를 위한 도어(8302), 냉동고를 위한 도어(8303), CPU(8304), 등을 포함한다. 도 27의 (A)에서, CPU(8304)는 하우징(8301) 내에 제공된다. 위의 트랜지스터가 전기 냉동냉장고(8300)의 CPU(8304)로서 사용될 때, 전기 냉동냉장고(8300)의 전력 소비의 감소가 달성될 수 있다.
- [0369] 도 27의 (B) 및 (C)는 전기 장치의 일 예인 전기 자동차의 예를 도시한다. 전기 자동차(9700)는 2차 전지(9701)를 구비한다. 2차 전지(9701)의 전력의 출력은 제어 회로(9702)에 의해 조정되고, 전력은 구동 장치(9703)에 공급된다. 제어 회로(9702)는 도시되는 많은 ROM, RAM, CPU 등을 포함하는 처리 유닛(9704)에 의해 제어된다. 위의 트랜지스터가 전기 자동차(9700)의 CPU로서 사용될 때, 전기 자동차(9700)의 전력 소비의 감소가 달성될 수 있다.
- [0370] 구동 장치(9703)는 DC 전동기 또는 AC 전동기만을 또는 내연기관과 조합하여 포함한다. 처리 유닛(9704)은 전기 자동차(9700)의 운전자에 의한 동작 데이터(예, 가속, 감속, 또는 정지) 또는 운전 도중 데이터(예, 오르막 또는 내리막의 데이터, 구동 바퀴의 부하에 대한 데이터)와 같은 입력 데이터에 기초하여 제어 신호를 제어 회로(9702)에 출력한다. 제어 회로(9702)는 구동 장치(9703)의 출력을 제어하기 위하여 처리 유닛(9704)의 제어 신호에 따라 2차 전지(9701)로부터 공급된 전기 에너지를 조정한다. AC 전동기가 장착된 경우, 도시되지 않았지만, 직류를 교류로 변환하는 인버터가 또한 통합된다.
- [0371] 본 출원은 2012년 9월 24일에 일본특허청에 출원된 일본특허출원 제2012-210230호에 기초하고, 이의 전체 내용은 참조로서 본 명세서에 통합된다.

부호의 설명

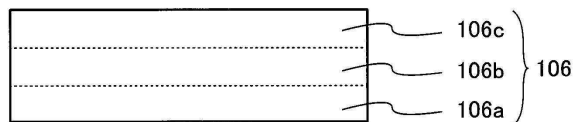
- [0372]
- | | |
|-----------------|----------------|
| 100 : 기판 | 104 : 게이트 전극 |
| 106 : 다층막 | 106a : 산화물층 |
| 106b : 산화물 반도체층 | 106c : 산화물층 |
| 106d : 소스 영역 | 106e : 드레인 영역 |
| 112 : 게이트 절연막 | 116a : 소스 전극 |
| 116b : 드레인 전극 | 118 : 보호 절연막 |
| 118a : 산화 실리콘층 | 118b : 산화 실리콘층 |
| 118c : 질화 실리콘층 | 200 : 기판, |
| 201 : 반도체 기판 | 202 : 하지 절연막 |
| 203 : 소자 분리 영역 | 204 : 게이트 전극 |
| 206 : 다층막 | 206a : 산화물층 |
| 206b : 산화물 반도체층 | 206c : 산화물층 |
| 207 : 게이트 절연막 | 209 : 게이트 전극 |

211a : 불순물 영역	211b : 불순물 영역
212 : 게이트 절연막	215 : 절연막
216a : 소스 전극	216b : 드레인 전극
216c : 전극	217 : 절연막
218 : 보호 절연막	219a : 접촉 플러그
219b : 접촉 플러그	220 : 절연막
221 : 절연막	222 : 절연막
223a : 배선	223b : 배선
224 : 전극	225 : 절연막
245 : 절연막	249 : 배선
256 : 배선	260 : 반도체층
500 : 마이크로컴퓨터	501 : 직류 전원
502 : 버스 라인	503 : 전력 게이트 제어기
504 : 전력 게이트	505 : CPU
506 : 휘발성 메모리부	507 : 비휘발성 메모리부
508 : 인터페이스	509 : 센서부
511 : 광센서	512 : 증폭기
513 : AD 변환기	514 : 광전 변환 소자
517 : 트랜지스터	519 : 트랜지스터
530 : 발광 소자	1000 : 타깃
1001 : 이온	1002 : 스퍼터링된 입자
1003 : 증착 표면	1141 : 스위칭 소자
1142 : 메모리 셀	1143 : 메모리 셀 그룹
1189 : ROM 인터페이스	1190 : 기관
1191 : ALU	1192 : ALU 제어기
1193 : 지시 디코더	1194 : 인터럽트 제어기
1195 : 타이밍 제어기	1196 : 레지스터
1197 : 레지스터 제어기	1198 : 버스 인터페이스
1199 : ROM	4000 : 막 형성 장치
4001 : 대기측 기관 공급 챔버	4002 : 대기측 기관 이송 챔버
4003a : 로드 잠금 챔버	4003b : 언로드 잠금 챔버
4004 : 이송 챔버	4005 : 기관 가열 챔버
4006a : 막 형성 챔버	4006b : 막 형성 챔버
4006c : 막 형성 챔버	4101 : 카세트 포트
4102 : 정렬 포트	4103 : 이송 로봇
4104 : 게이트 밸브	4105 : 가열 스테이지

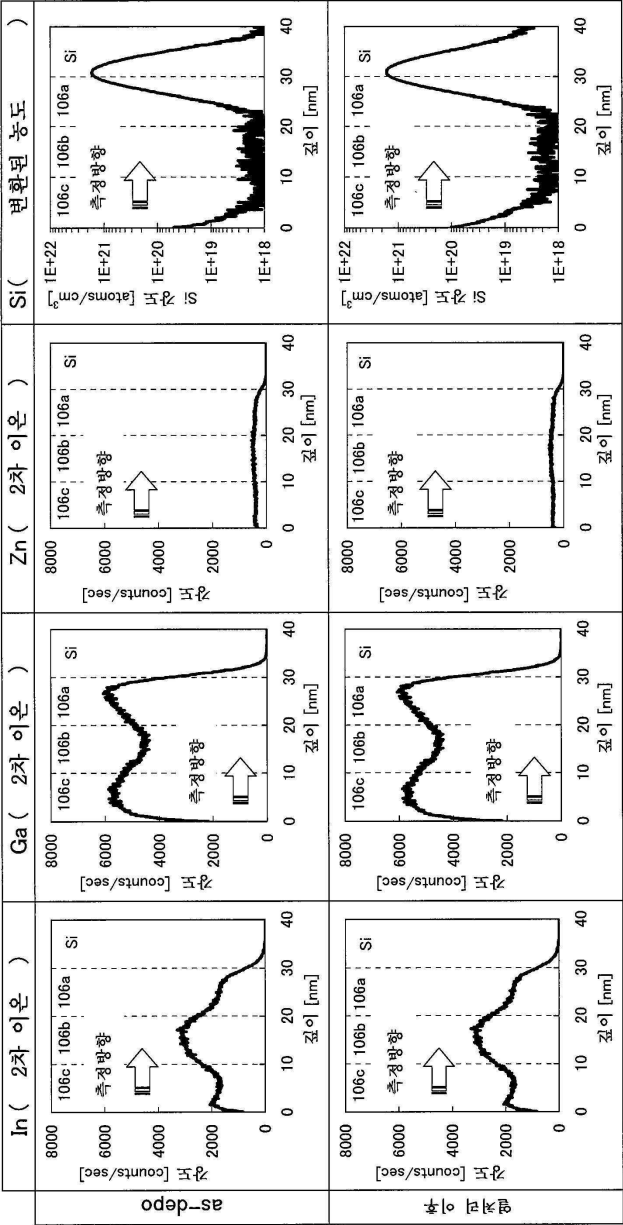
4106 : 타겟	4107 : 부착 보호 플레이트
4108 : 기관 스테이지	4109 : 기관
4110 : 크라이오 트랩	4111 : 스테이지
4200 : 진공 펌프	4201 : 크라이오 펌프
4202 : 터보 분자 펌프	4300 : 질량 유량계
4301 : 정제기	4302 : 가스 가열 시스템
8000 : 텔레비전 세트	8001 : 하우징
8002 : 디스플레이부	8003 : 스피커부
8004 : CPU	8100 : 경보 장치
8101 : 마이크로컴퓨터	8200 : 실내 유닛
8201 : 하우징	8202 : 공기 출구
8203 : CPU	8204 : 옥외 유닛
8300 : 전기 냉동냉장고	8301 : 하우징
8302 : 냉장고를 위한 도어	8303 : 냉동고를 위한 도어
8304 : CPU	9700 : 전기 자동차
9701 : 2차 전지	9702 : 제어 회로
9703 : 구동 장치	9704 : 처리 유닛

도면

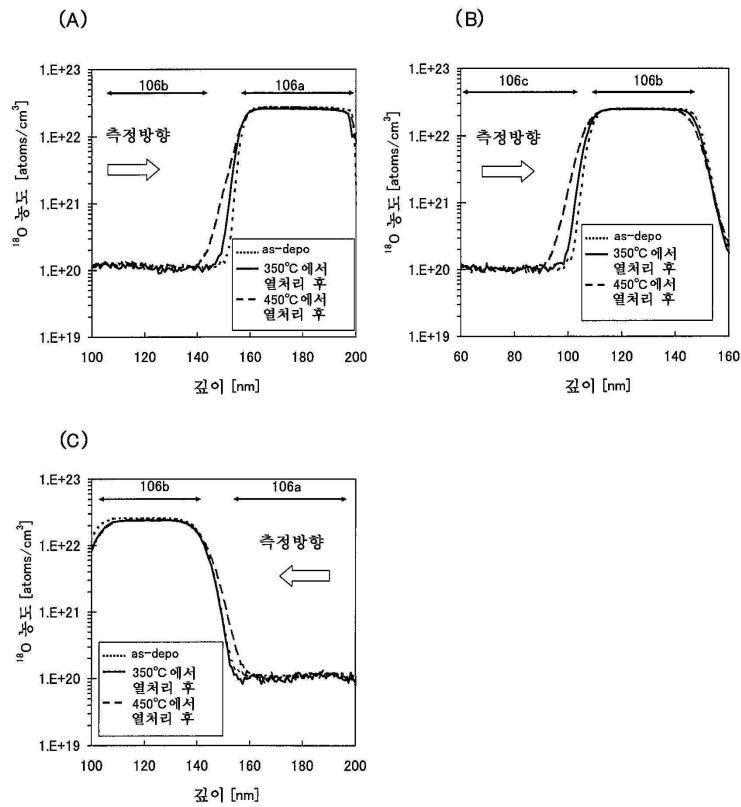
도면1



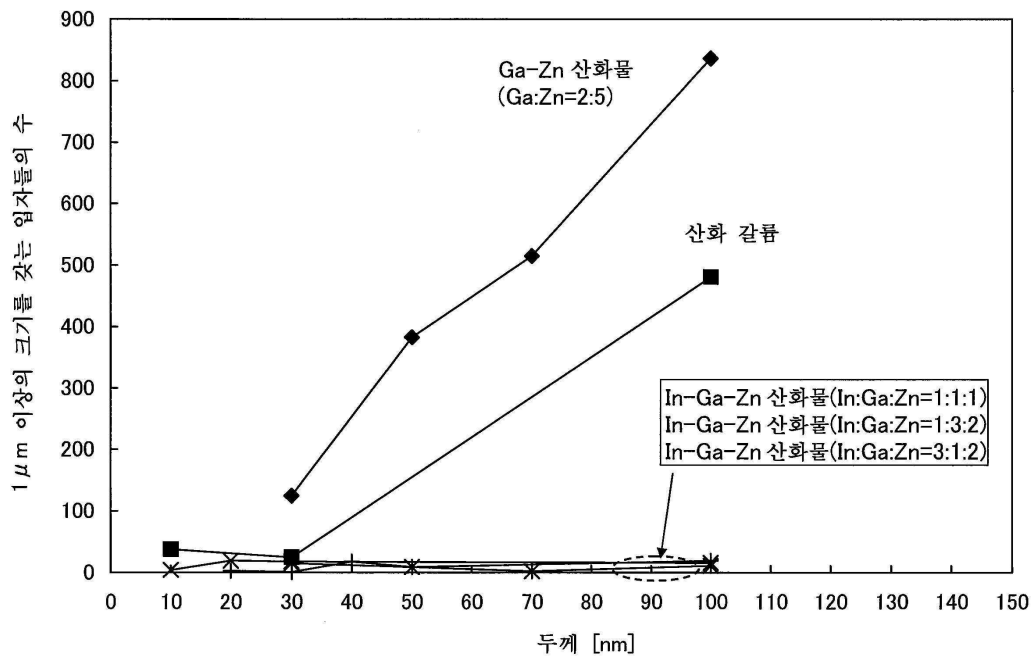
도면2



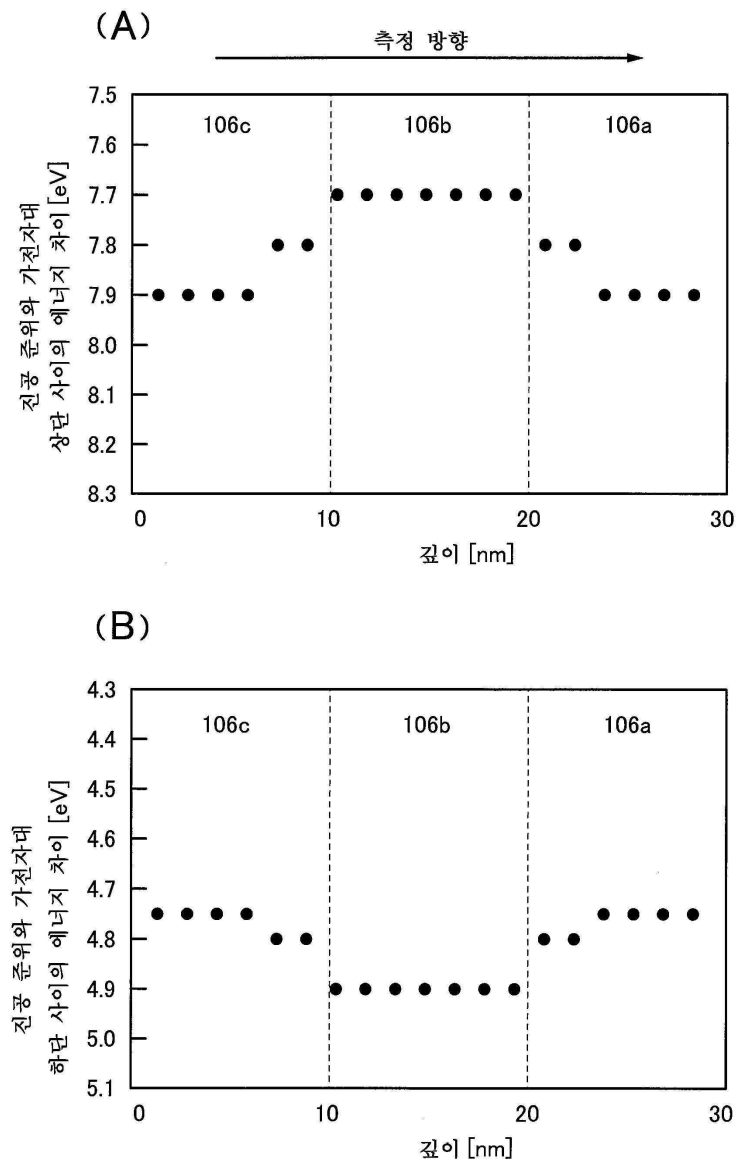
도면3



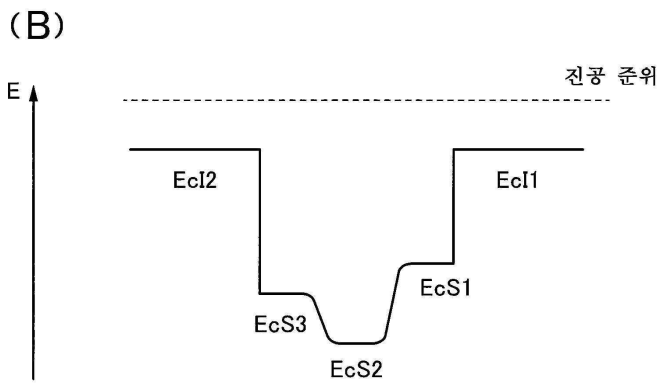
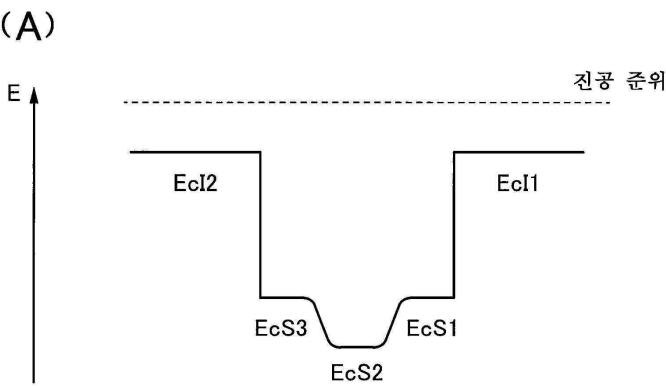
도면4



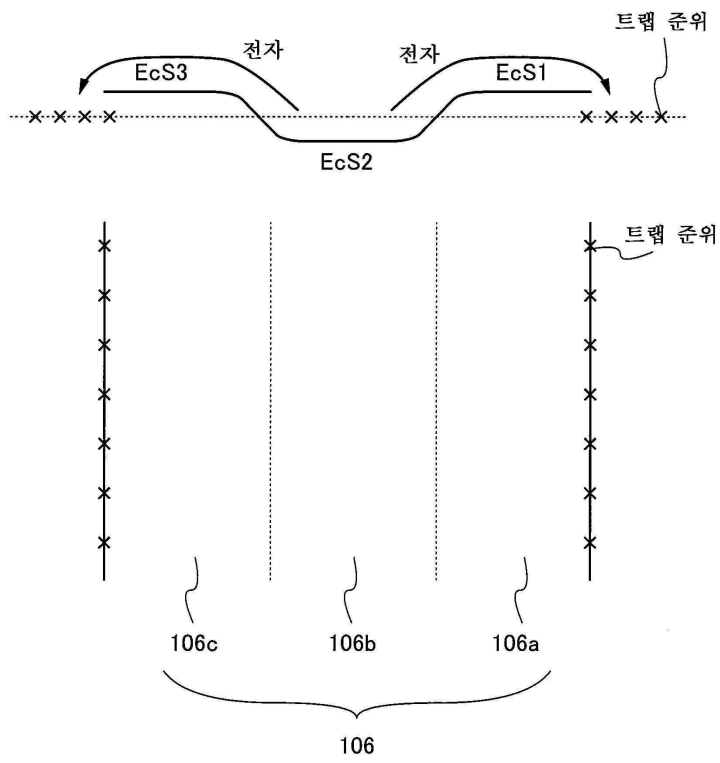
도면5



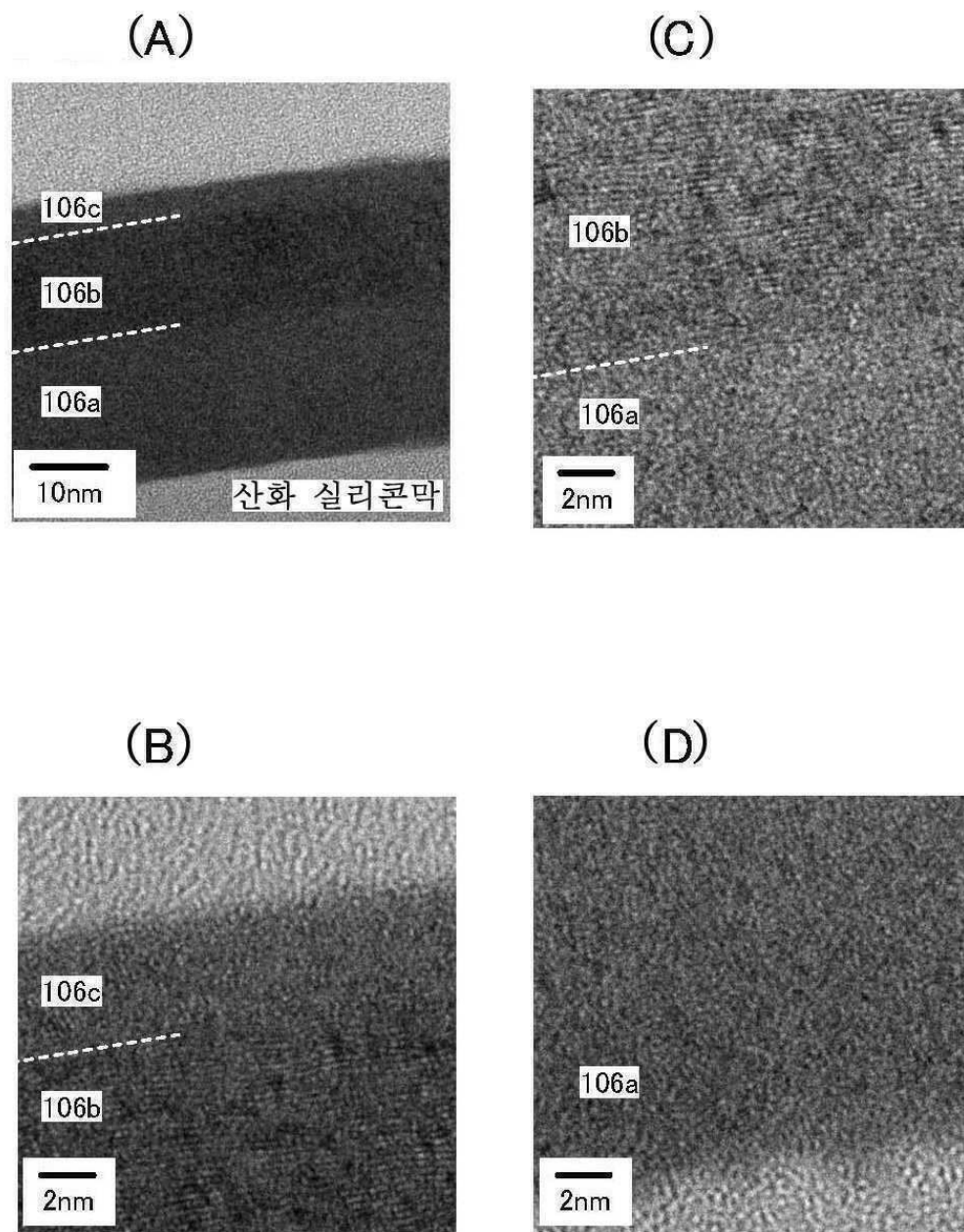
도면6



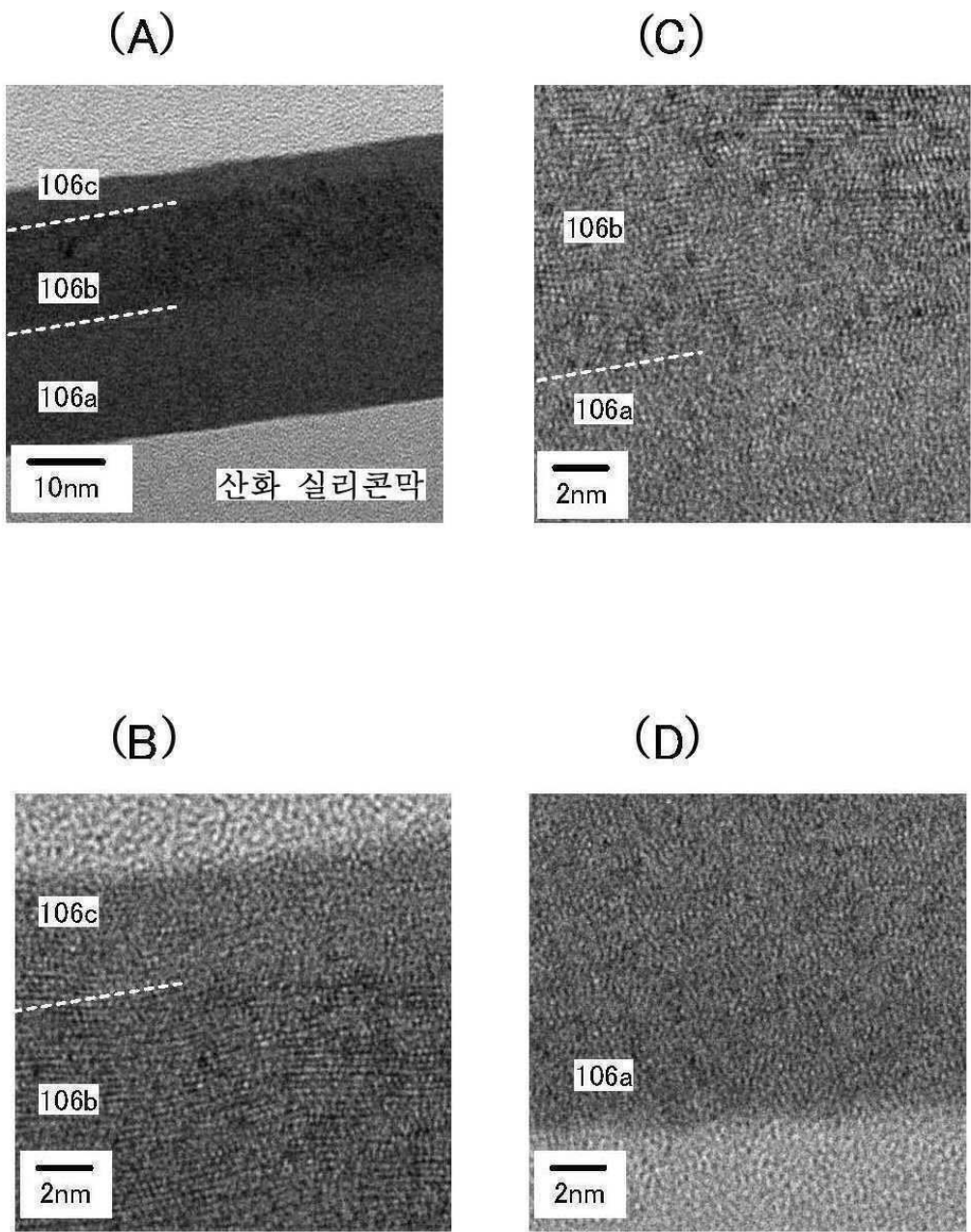
도면7



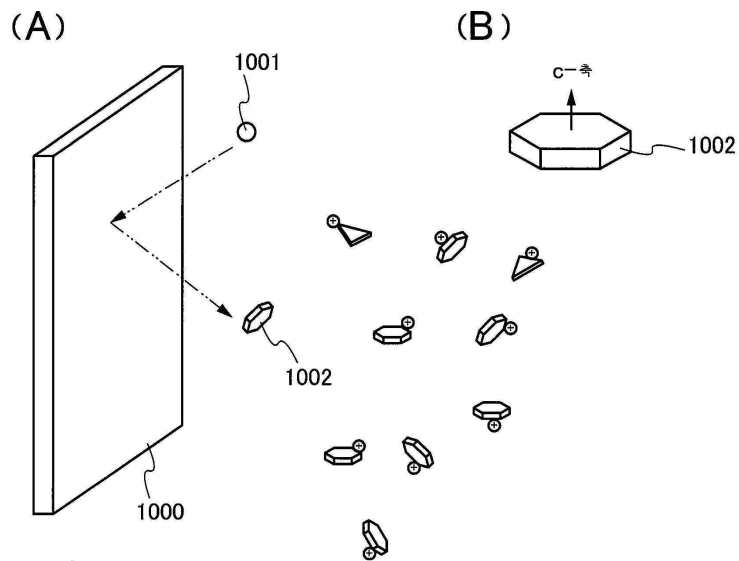
도면8



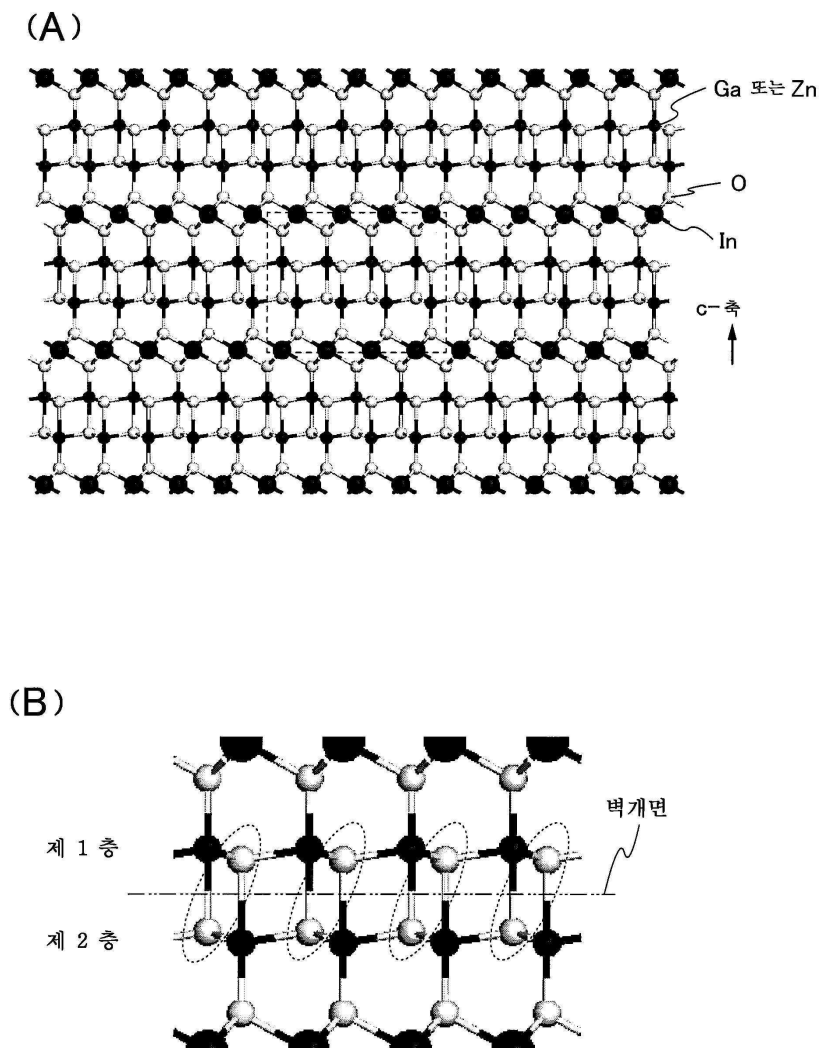
도면9



도면10

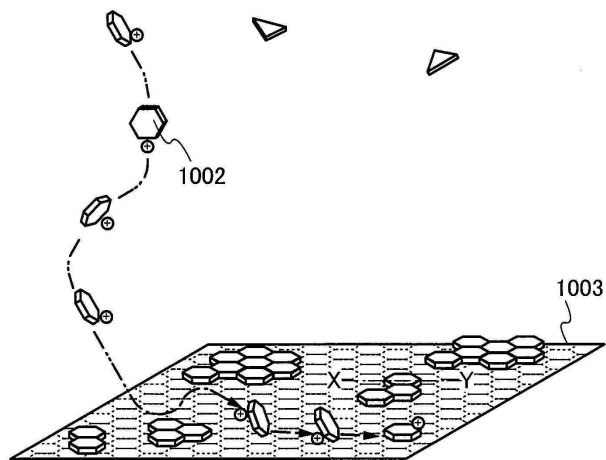


도면11

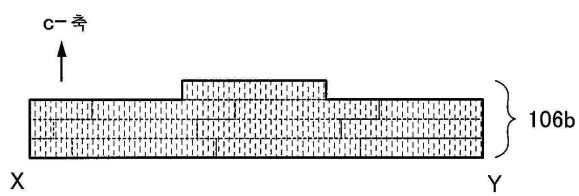


도면12

(A)

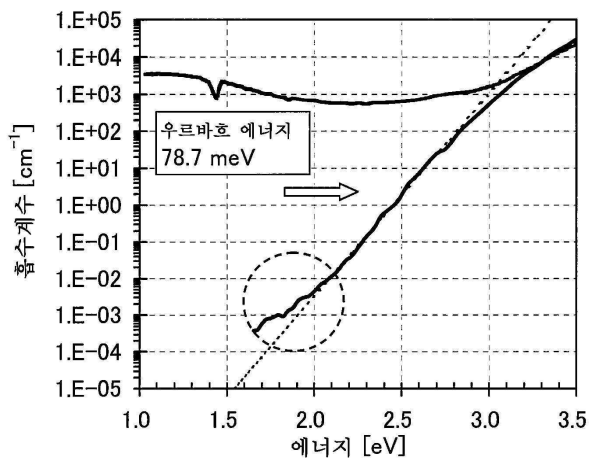


(B)

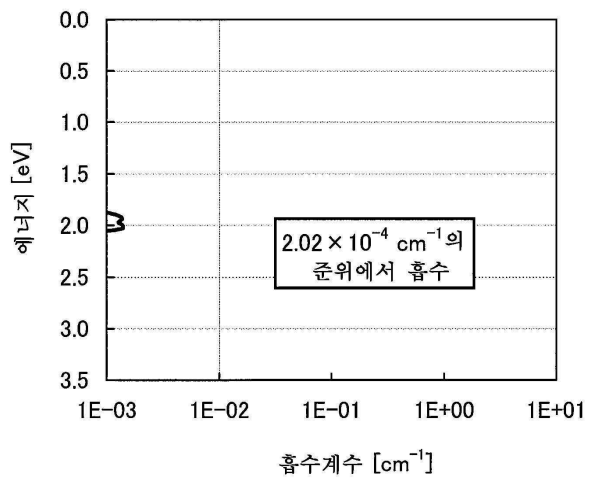


도면13

(A)

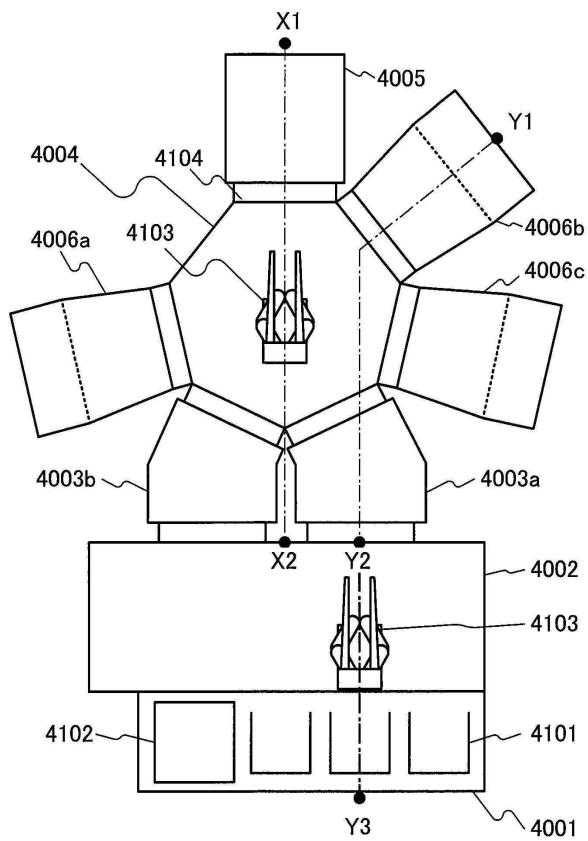


(B)

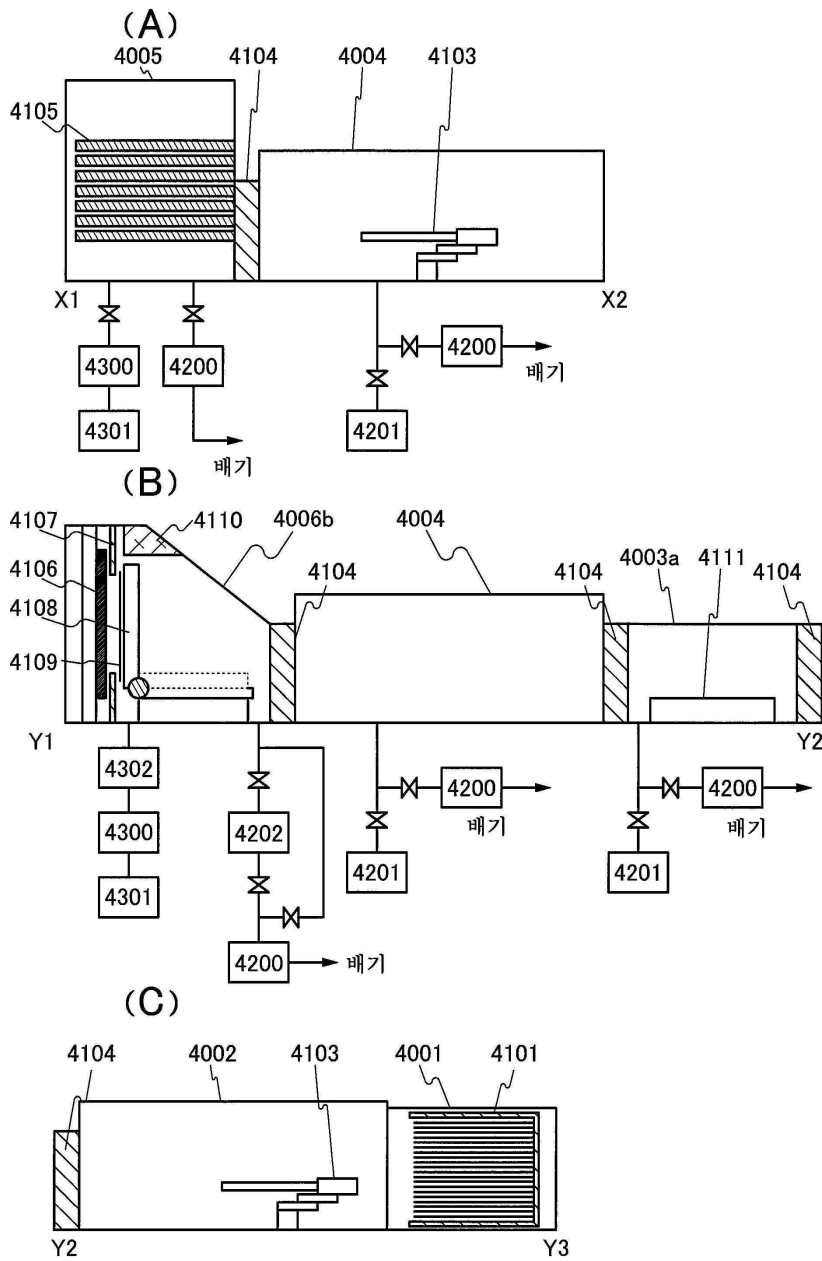


도면14

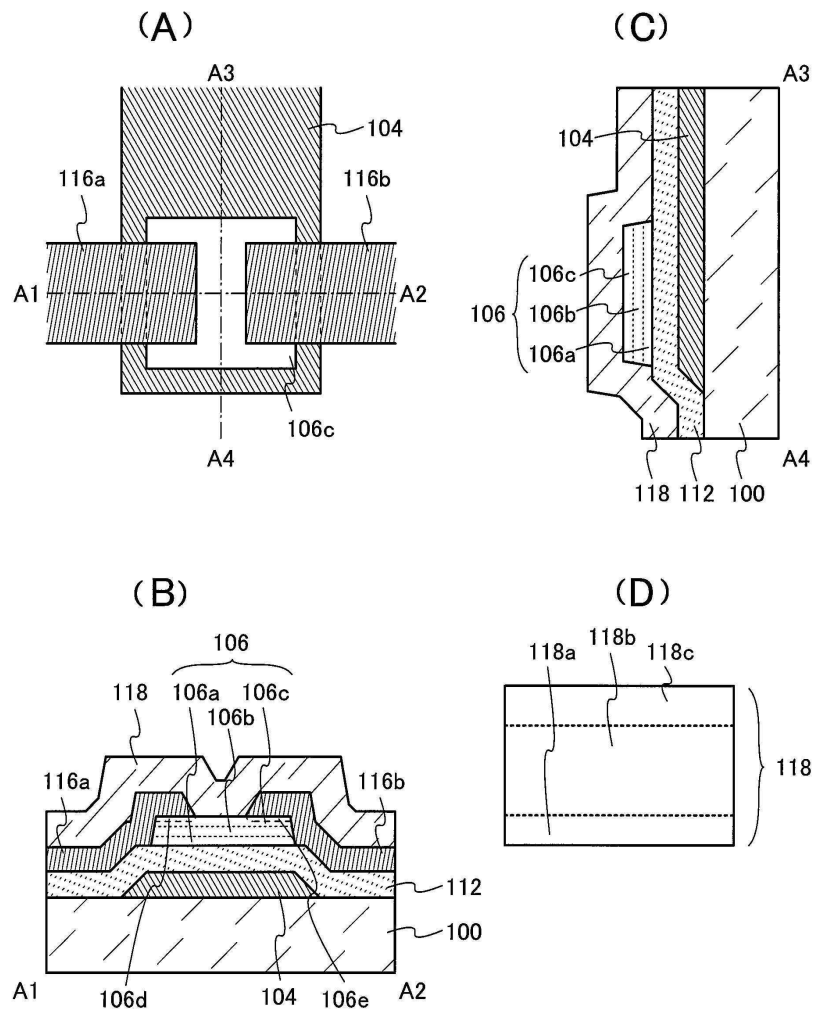
4000



도면15

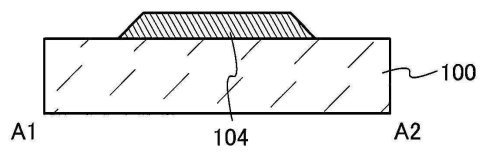


도면16

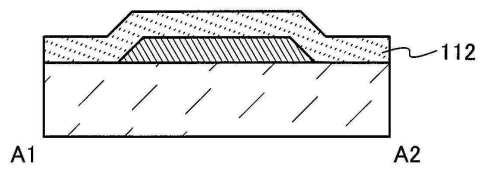


도면17

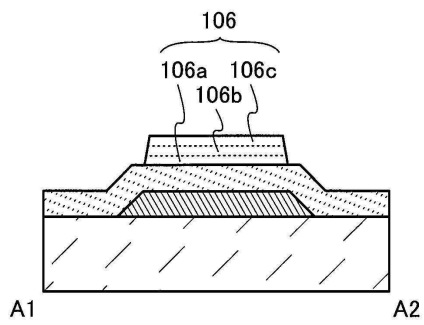
(A)



(B)

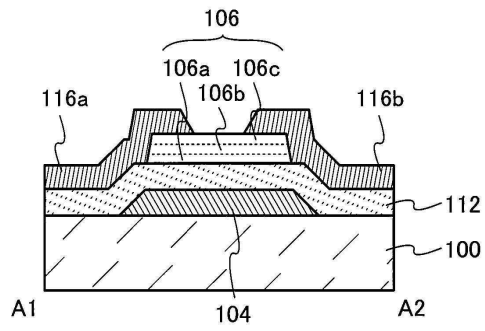


(C)

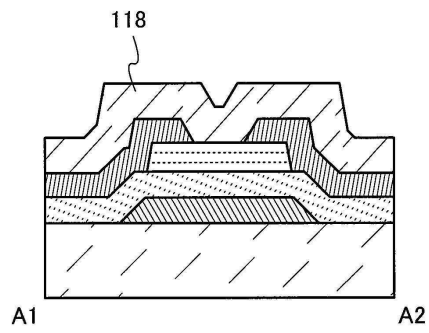


도면18

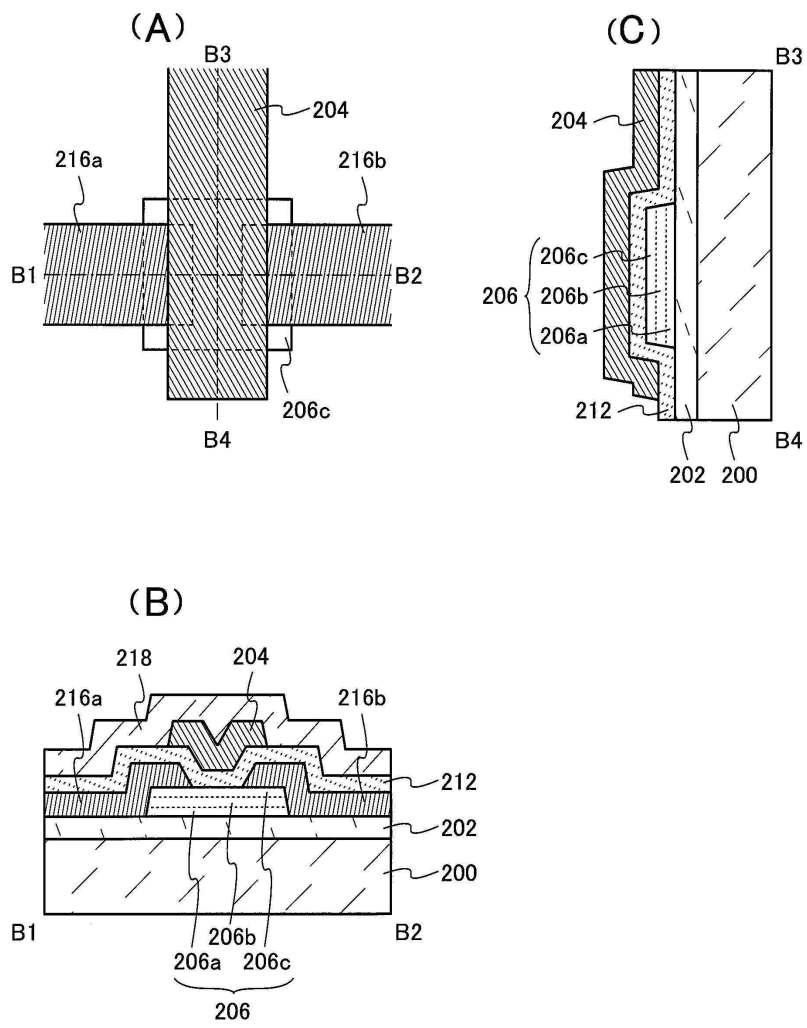
(A)



(B)

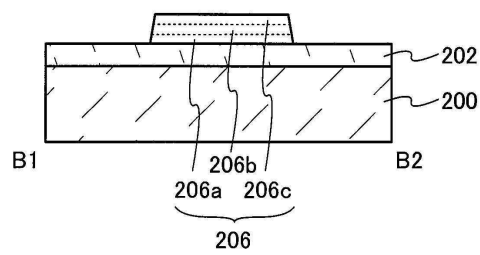


도면19

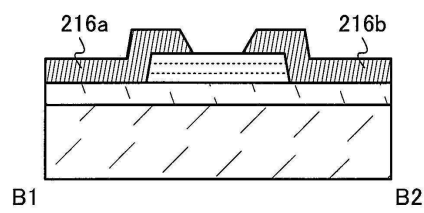


도면20

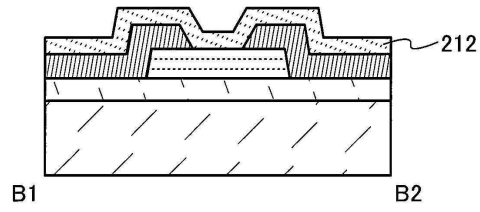
(A)



(B)

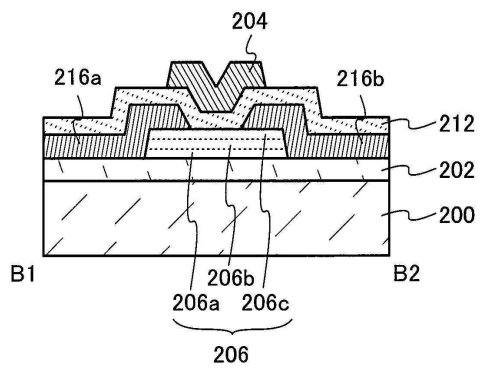


(C)

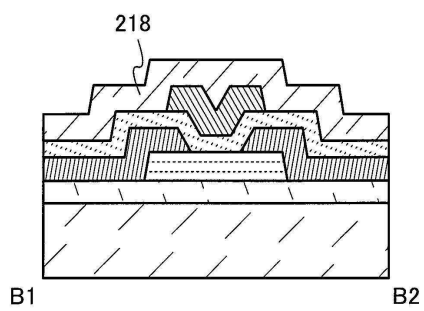


도면21

(A)

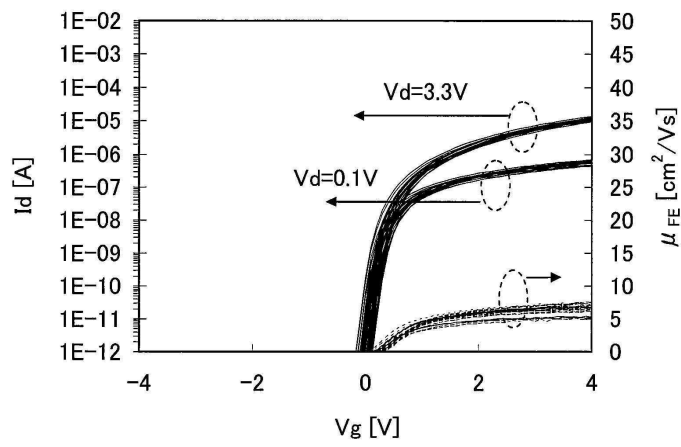


(B)

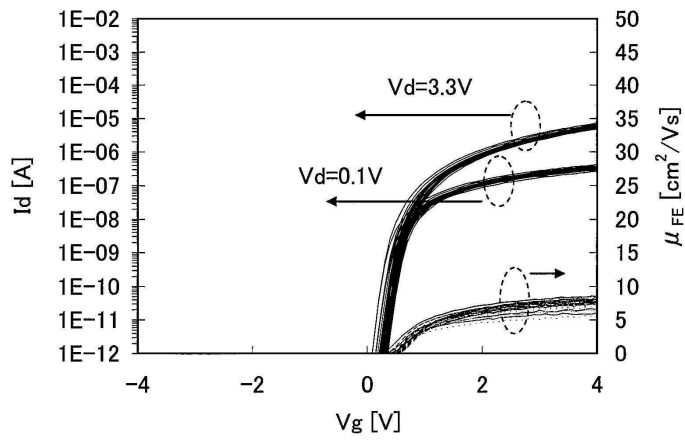


도면22

(A)

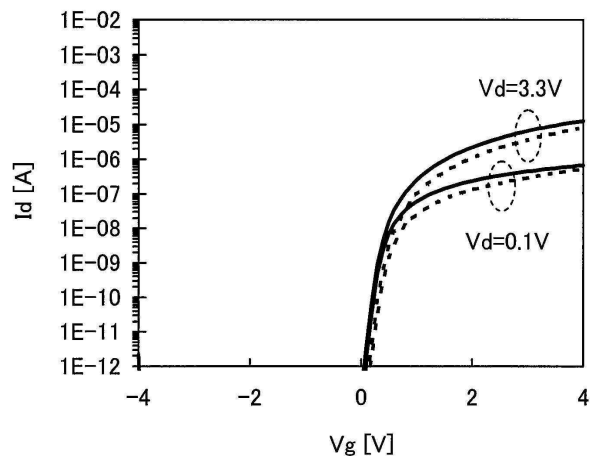


(B)

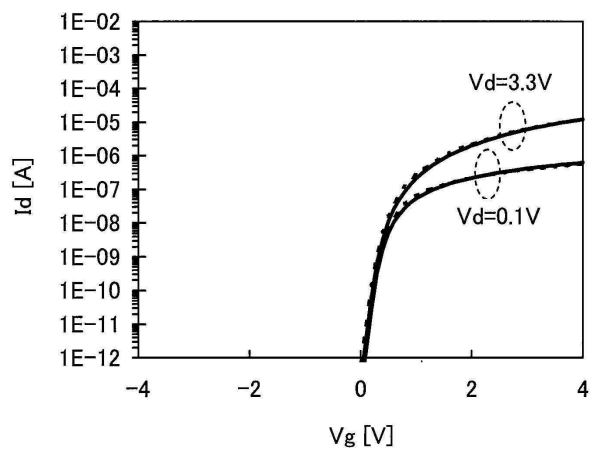


도면23

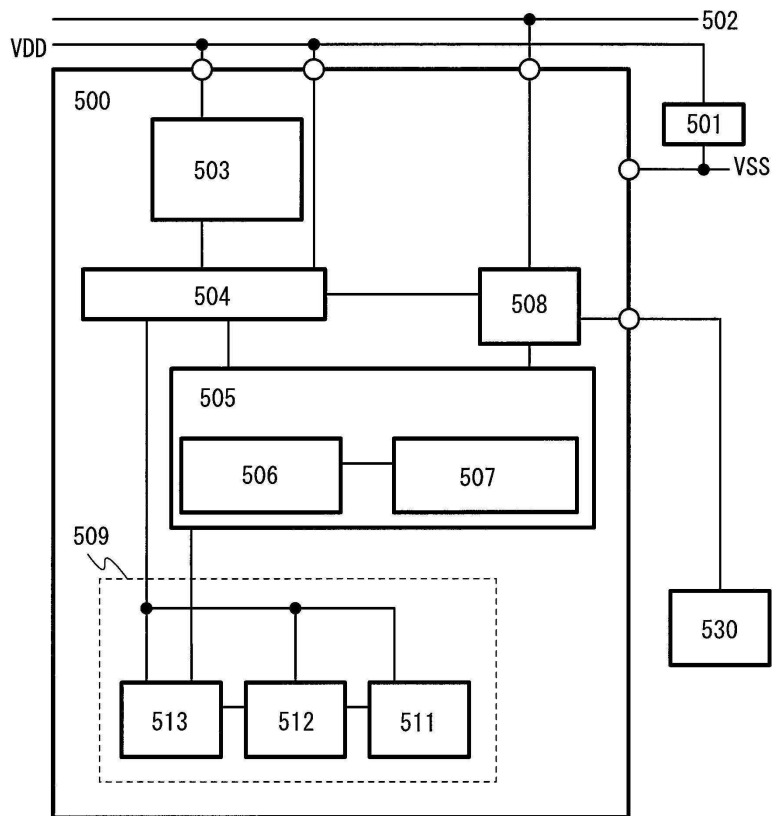
(A)



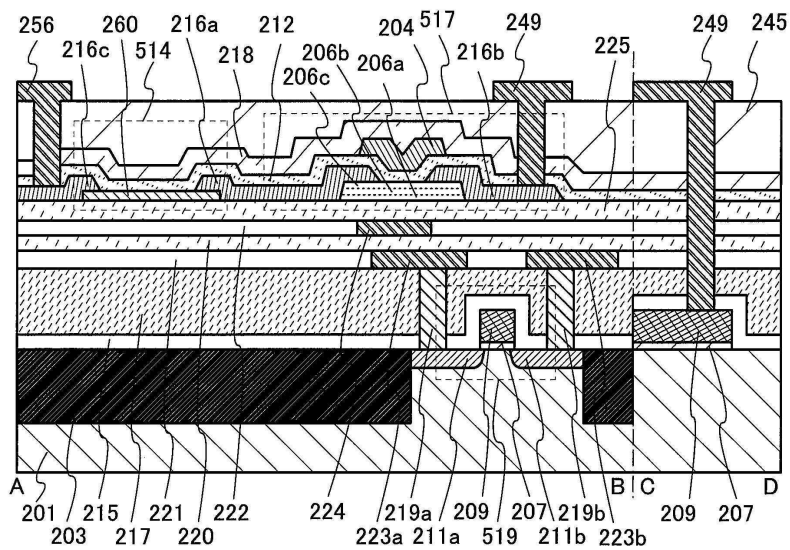
(B)



도면24

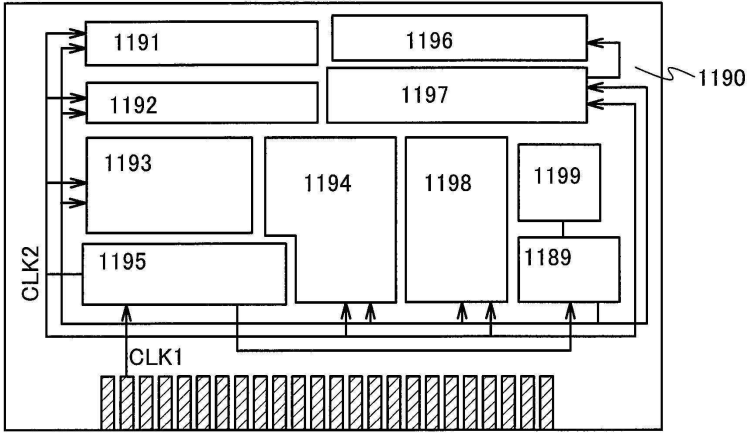


도면25

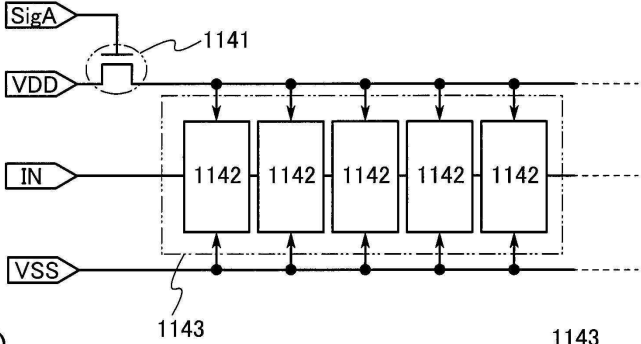


도면26

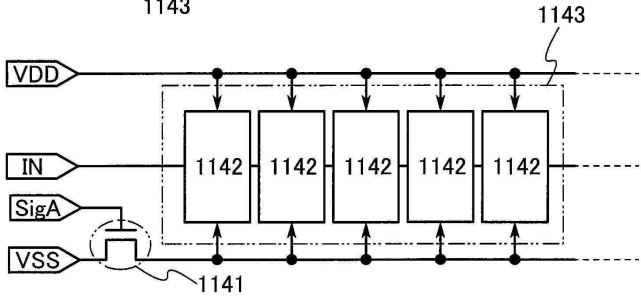
(A)



(B)



(C)



도면27

