

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3596209号
(P3596209)

(45) 発行日 平成16年12月2日(2004.12.2)

(24) 登録日 平成16年9月17日(2004.9.17)

(51) Int.C1.⁷

F 1

H03K 17/693

H03K 17/693

A

H01P 1/15

H01P 1/15

請求項の数 5 (全 10 頁)

(21) 出願番号

特願平9-15385

(22) 出願日

平成9年1月29日(1997.1.29)

(65) 公開番号

特開平10-215162

(43) 公開日

平成10年8月11日(1998.8.11)

審査請求日

平成15年8月19日(2003.8.19)

(73) 特許権者 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100086298

弁理士 船橋 國則

(72) 発明者 小浜 一正

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

審査官 柳下 勝幸

(56) 参考文献 特開平07-303001 (JP, A)

特開平06-268552 (JP, A)

特開平08-213893 (JP, A)

特開昭56-62352 (JP, A)

最終頁に続く

(54) 【発明の名称】スイッチ回路

(57) 【特許請求の範囲】

【請求項 1】

チップ上にIC化されたスイッチ回路であって、

少なくとも第1, 第2, 第3の入出力端子と、

前記第1, 第2の入出力端子間に直列に接続された少なくとも2つのスイッチング素子を含む第1の信号経路と、

前記第1, 第3の入出力端子間に直列に接続された少なくとも2つのスイッチング素子を含む第2の信号経路と、

前記第1の信号経路中の前記第1の入出力端子に接続されたスイッチング素子の前記第2の入出力端子側の端部と前記チップ上の共通グランドとの間に接続された第1のスイッチング素子と、

前記第1の信号経路中の前記第2の入出力端子に接続されたスイッチング素子の前記第2の入出力端子側の端部と前記チップ外のグランドとの間に接続された第2のスイッチング素子と、

前記第2の信号経路中の前記第1の入出力端子に接続されたスイッチング素子の前記第3の入出力端子側の端部と前記チップ上の共通グランドとの間に接続された第3のスイッチング素子と、

前記第2の信号経路中の前記第3の入出力端子に接続されたスイッチング素子の前記第3の入出力端子側の端部と前記チップ外のグランドとの間に接続された第4のスイッチング素子とを備えたことを特徴とするスイッチ回路。

10

20

【請求項 2】

前記第1，第2の信号経路中の各スイッチング素子および前記第1，第2，第3，第4のスイッチング素子は、ガリウム砒素の電界効果トランジスタからなることを特徴とする請求項1記載のスイッチ回路。

【請求項 3】

前記第1，第2の信号経路中の各スイッチング素子および前記第1，第2，第3，第4のスイッチング素子は、ジャンクション型電界効果トランジスタであることを特徴とする請求項2記載のスイッチ回路。

【請求項 4】

前記第2，第4のスイッチング素子と前記チップ外のグランドとの間に整合用の抵抗を有することを特徴とする請求項1記載のスイッチ回路。 10

【請求項 5】

前記第1，第2，第3，第4のスイッチング素子と前記共通グランド又は前記チップ外のグランドとの間にコンデンサを有することを特徴とする請求項2記載のスイッチ回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、マイクロ波等の高周波を扱うスイッチ回路に関し、特に高アイソレーションを必要としたり、スイッチオフ時に整合していることが要求される場合などに用いて好適なスイッチ回路に関する。 20

【0002】**【従来の技術】**

近年、マイクロ波等の高周波を扱うスイッチ回路のスイッチング素子として、ガリウム砒素(GaAs)からなるFET(電界効果トランジスタ)が用いられることが多くなった。特に、その集積化による回路の小型化、高性能化、低コスト化への期待等により、MMIC(Monolithic Microwave Integrated Circuit)スイッチが重要視されている。 20

【0003】

同じスイッチICと言っても、その必要とされる性能や機能等により、様々な回路構成が採られる。一般に、スイッチ用のGaAsからなるFETの等価回路は、簡単には、オン時にはシリーズに接続される抵抗Ron、オフ時にはシリーズに接続される容量Coffとして表せる。一例として、オン時の抵抗Ronが2mΩ、オフ時の容量Coffが300fF/mm程度となる。 30

【0004】

最近、携帯電話等、パーソナル通信が盛んになってきているが、これらが用いられている通信帯域は殆ど2GHz以下である。このような周波数帯域で比較的大きなアイソレーションを必要とし、しかも、オフのポートを50Ω整合させる場合には、例えば、図6に示すような回路構成のスイッチ回路が用いられる。

【0005】

すなわち、図6において、第1の入出力端子61と第2の入出力端子62との間には、FETQ61およびFETQ62が直列に接続されている。これらFETQ61, Q62の共通接続点とグランドとの間にはシャントFETQ63が接続され、第2の入出力端子62とグランドとの間にはシャントFETQ64が抵抗R69と直列に接続されている。FETQ61～Q64の各ゲートには、抵抗R61～R64がそれぞれ接続されている。 40

【0006】

同様にして、第1の入出力端子61と第3の入出力端子63との間には、FETQ65およびFETQ66が直列に接続されている。これらFETQ65, Q66の共通接続点とグランドとの間にはシャントFETQ67が接続され、第3の入出力端子63とグランドとの間にはシャントFETQ68が抵抗R70と直列に接続されている。FETQ65～Q68の各ゲートには、抵抗R65～R68がそれぞれ接続されている。 50

【0007】

上述した回路構成において、第1の入出力端子61と第2の入出力端子62の間の経路を導通させる場合、シリーズFETQ61, Q62およびシャントFETQ67, Q68をオン状態とし、シャントFETQ63, Q64およびシリーズFETQ65, Q66をオフ状態とする。シリーズFETQ61, Q62がオン状態であることにより、この経路での損失はなく、また、シャントFETQ63, Q64がオフ状態であるので、経路からグランドへの信号の洩れは少ない。したがって、第1の入出力端子61と第2の入出力端子62の間の経路が導通状態となる。

【0008】

一方、第1の入出力端子61と第3の入出力端子63の間の経路では、シリーズFETQ65, Q66がオフ状態となるため、この経路自体は非導通状態であるが、信号周波数が高くなるにしたがってシリーズFETQ65, Q66のオフ容量を介して信号が洩れ、アイソレーション特性が悪化する。このため、シャントFETQ67が設けられており、このシャントFETQ67がオンとなることにより、シリーズFETQ65を洩れてきた信号はグランドに引き込まれ、大きなアイソレーションを確保できる。さらに、オン状態のシャントFETQ68はシリーズFETQ66から洩れてきた信号をグランドへ引き込み、アイソレーションを向上させる。

【0009】

また、第3の入出力端子63から見たインピーダンスは、オフ状態にあるシリーズFETQ66により、このFETQ66よりもIC内側のインピーダンスが見えないため、近似的には、 $R_{70} (= 50)$ だけが見えることから 50 に見え、伝送線路のインピーダンスが 50 ならば整合することになる。以上のように、図6の回路により、オフポートの 50 整合と大きなアイソレーションが実現できる。この回路のアイソレーション特性を図7に示す。この図7から明らかなように、 2GHz におけるアイソレーションは、 66dB と大きくとれている。

【0010】

上記の回路例では、FETスイッチの実装は理想的であるとしている。しかしながら、実際には、様々な寄生成分が付加されるため、これらを無視できなくなる。例えば、携帯電話端末等では、端末の価格低下に伴い、そこで使われるICも低コスト化が要求される。このため、高周波特性が優れたセラミックパッケージ等はコスト的に見合わないことから、安価なプラスチックモールドパッケージが用いられることが多い。この場合、スイッチの特性に特に影響を与える寄生成分は、ICの信号端子や、グランド端子とIC外部の間にシリーズに存在するインダクタンス成分である。これは、ICチップとパッケージのI/Oピン間を接続するワイヤ、パッケージのピン等に起因する。例えば、ワイヤ1本で 1nH 以上となる。

【0011】

図8は、チップ上でグランドを共通にした場合の従来例であり、図中、図6と同等部分には同一符号を付して示してある。このように、チップ上でグランドを共通にした場合、チップ上の共通グランドとIC外部のグランドとの間に寄生インダクタンス L_b が介在する。この場合のアイソレーション特性を図9に示す。この図9から、僅かな寄生インダクタンスによって大きくアイソレーションが劣化していることがわかる。例えば、寄生インダクタンス L_b が 0.5nH で、アイソレーションが 33dB まで悪化している。

【0012】

この原因は、チップ上の共通グランドとIC外部のグランドとの間に寄生インダクタンス L_b が介在することにより、チップ上の共通グランドがグランドとして十分でないためである。一例として、第1の入出力端子61と第2の入出力端子62の間の経路が導通となる場合について説明する。このとき、オン側のシャントFETQ63, Q64、さらにオフ側のシャントFETQ67から、信号がチップ上の共通グランドに洩れてくる。このチップ上の共通グランドがグランドとして不十分であるため、この洩れた信号がオン状態のシャントFETQ68を介して、第3の入出力端子63に洩れてアイソレーションを劣化

10

20

30

40

50

させてしまう。このように、チップ上でグランドを共通にした従来例では、大きなアイソレーションを得るのは難しい。

【0013】

以上のようなアイソレーションの劣化を防ぐためになされた従来例として、図10に示す回路構成のものがある。この従来例では、各シャントFET Q63, Q64, Q67, Q68のグランド側を、寄生インダクタンスLbを介して直接に理想的なグランドに接続した構成を探っている。実際には、IC上の各シャントFET Q63, Q64, Q67, Q68のグランド側を、直接ICのI/Oピンにワイヤを介して接続した構成となっている。この場合のアイソレーション特性は、図11から明らかなように、大きく改善されていることがわかる。

10

【0014】

一例として、寄生インダクタンスLbが0.5nHの場合、約60dBのアイソレーションが得られている。しかし、この場合は、シャントFETの数だけグランドのI/Oピンが必要となるため、パッケージのピン数が増加し、パッケージの大型化につながる。これは、携帯端末のように、デバイスの小型化が要求される場合には、特に不都合である。

【0015】

また、IC上のグランドは独立にして、ICのグランドとなっているダイパッドにそれぞれワイヤによって接続する方法もある。この方法によれば、大きくアイソレーションは改善され、ICパッケージのI/Oピンの数を減らすことができる。しかし、図9からわかるように、僅かな寄生インダクタンスLbによってアイソレーションは大きく劣化しており、また、ダイパッドとIC外部の理想グランドの間にも、ワイヤ程ではないが、ある程度の寄生インダクタンスの介在は避けられない。その結果、非常に大きなアイソレーション特性を得ることはできない。

20

【0016】

【発明が解決しようとする課題】

準マイクロ波帯で用いられるスイッチ回路において、図8に示すように、チップ上のグランドを共通化した場合には、大きなアイソレーションを得ることは困難である。この場合、共通グランドとパッケージのダイパッドとを接続するワイヤの本数を増やせば、アイソレーションを改善することはできるが、図9からわかるように、非常に大きいアイソレーションを得ることはできない。

30

【0017】

さらに、ワイヤの本数を増やせば、ワイヤのインダクタンスは減少し、アイソレーション特性はかなり改善されるが、チップ上にワイヤ用のパッドの数が増すため、チップサイズが増大し、さらにコストアップにつながる。また、図10の場合は、パッケージのピン数が多くなるため、パッケージの大型化につながる。これは、携帯端末のように、デバイスの小型化が要求される場合には、特に不都合である。以上のように、従来の技術では、準マイクロ波帯で、高アイソレーション化、低コスト化、デバイスの小型化の実現は困難であった。

【0018】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、安価なプラスチックモールドパッケージを用いた場合でも、非常に大きなアイソレーション特性を持つスイッチ回路を提供することにある。

40

【0019】

【課題を解決するための手段】

本発明によるスイッチ回路は、チップ上にIC化されたスイッチ回路であって、少なくとも第1, 第2, 第3の入出力端子と、第1, 第2の入出力端子間に直列に接続された少なくとも2つのスイッチング素子を含む第1の信号経路と、第1, 第3の入出力端子間に直列に接続された少なくとも2つのスイッチング素子を含む第2の信号経路と、第1の信号経路中の第1の入出力端子に接続されたスイッチング素子の第2の入出力端子側の端部とチップ上の共通グランドとの間に接続された第1のスイッチング素子と、第1の信号経路

50

中の第2の入出力端子に接続されたスイッチング素子の第2の入出力端子側の端部とチップ外のグランドとの間に接続された第2のスイッチング素子と、第2の信号経路中の第1の入出力端子に接続されたスイッチング素子の第3の入出力端子側の端部とチップ上の共通グランドとの間に接続された第3のスイッチング素子と、第2の信号経路中の第3の入出力端子に接続されたスイッチング素子の第3の入出力端子側の端部とチップ外のグランドとの間に接続された第4のスイッチング素子とを備えた構成となっている。

【0020】

上記構成のスイッチ回路において、第1、第2の信号経路中の第1の入出力端子側の第1、第3のスイッチング素子のグランド側を、チップ上の共通グランドに接続することで、第1、第3のスイッチング素子のグランド側をダイパッドへ接続する際のワイヤ長を短く設定でき、しかもI Cパッケージのピン数を少なくできる。一方、第1、第2の信号経路中の第2、第3の入出力端子側の第2、第4のスイッチング素子のグランド側を、チップ外のグランドに接続することで、不十分なグランドからの信号の回り込みがない。

【0021】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しつつ詳細に説明する。図1は、本発明の一実施形態を示す回路図である。

【0022】

図1において、第1の入出力端子11と第2の入出力端子12との間の第1の信号経路14には、FETQ11およびFETQ12が直列に接続されている。これらFETQ11、Q12の共通接続点と共通グランドとの間にはシャントFETQ13が接続され、第2の入出力端子12とI C外部のグランドとの間にはシャントFETQ14が整合用の抵抗R19と直列に接続されている。なお、抵抗R19および共通グランドとI C外部のグランドとの間には、寄生インダクタンスLbが介在している。FETQ11～Q14の各ゲートには、抵抗R11～R14がそれぞれ接続されている。

【0023】

同様にして、第1の入出力端子11と第3の入出力端子13との間の第2の信号経路15には、FETQ15およびFETQ16が直列に接続されている。これらFETQ15、Q16の共通接続点と共通グランドとの間にはシャントFETQ17が接続され、第3の入出力端子13とI C外部のグランドとの間にはシャントFETQ18が整合用の抵抗R20と直列に接続されている。なお、抵抗R20とI C外部のグランドとの間には、寄生インダクタンスLbが介在している。FETQ15～Q18の各ゲートには、抵抗R15～R18がそれぞれ接続されている。

【0024】

上述した構成において、スイッチング素子であるFETQ11、Q12、Q15、Q16およびシャントFETQ13、Q14、Q17、Q18として、ガリウム砒素(GaAs)からなる例えばジャンクションFETが用いられる。そして、これらジャンクションFETは、抵抗R11～R20などと共にMMICとして構成される。

【0025】

ここで、第1の信号経路14において、シリーズFETQ11とシャントFETQ13が対をなし、シリーズFETQ12とシャントFETQ14が対をなしている。同様に、第2の信号経路15において、シリーズFETQ15とシャントFETQ17が対をなし、シリーズFETQ16とシャントFETQ18が対をなしている。

【0026】

図2は、上記構成のスイッチICの実装構造を示す概念図であり、図中、図1と同等部分には同一符号を付して示してある。図2において、I Cパッケージ21内には、I Cチップ22を搭載したダイパッド23が実装されており、このダイパッド23はI C外部のグランドに接続されている。I Cパッケージ21は、I C外部のグランドに接続された例えば2本の第1、第2のグランド端子(ピン)24-1、24-2を有している。

【0027】

また、I Cチップ22は、例えば4本の第1～第4のグランド25-1～25-4を有している。第1のグランド25-1は、ワイヤ26によってダイパッド23に接続されている。第2のグランド25-2は、ワイヤ27によってI Cパッケージ21上の第1のグランド端子24-1に接続されている。第3のグランド25-3は、ワイヤ28によってダイパッド23に接続されている。第4のグランド25-4は、ワイヤ29によってI Cパッケージ21上の第2のグランド端子24-2に接続されている。

【0028】

I Cチップ22上において、第1の信号経路14側のシャントFETQ13のドレイン／ソースは、第1のグランド25-1に接続されている。シャントFETQ14のドレイン／ソースは、抵抗R19を介して第2のグランド25-2に接続されている。同様にして、第2の信号経路15側のシャントFETQ17のドレイン／ソースは第3のグランド25-3に接続され、シャントFETQ18のドレイン／ソースは抵抗R20を介して第4のグランド25-4に接続されている。

【0029】

上記構成の本実施形態に係るスイッチ回路において、第1の入出力端子11と第2の入出力端子12の間の第1の信号経路14を導通させる場合、シリーズFETQ11，Q12およびシャントFETQ17，Q18をオン状態とし、シャントFETQ13，Q14およびシリーズFETQ15，Q16をオフ状態とする。シリーズFETQ11，Q12がオン状態であることにより、この第1の信号経路14での損失はなく、また、シャントFETQ13，Q14がオフ状態であるので、信号経路からグランドへの信号の洩れは少ない。したがって、第1の入出力端子11と第2の入出力端子12の間の経路が導通状態となる。

【0030】

一方、第1の入出力端子11と第3の入出力端子13の間の第2の信号経路15では、シリーズFETQ15，Q16がオフ状態となるため、この経路自体は非導通状態である。ここで、信号周波数が高くなると、これに連れてシリーズFETQ15，Q16のオフ容量を介して信号が洩れる。ところが、シャントFETQ17がオン状態にあることにより、シリーズFETQ15を洩れてきた信号はこのシリーズFETQ17を通してグランドに引き込まれ、大きなアイソレーションを確保できる。さらに、オン状態のシャントFETQ18はFETQ16から洩れてきた信号をグランドへ引き込み、アイソレーションを向上させる作用をなす。

【0031】

上述したように、第1，第2の信号経路14，15において、第1の入出力端子11側のシャントFETQ13，Q17のグランド側を、ワイヤ26，28によってダイパッド23へ接続したことにより、ワイヤ26，28の長さを短くできるので、寄生インダクタンスLbを小さくできる。その結果、高アイソレーション化に寄与できる。図3に、アイソレーション特性を示す。この図から明らかなように、かなり大きなアイソレーションが実現できていることがわかる。例えば、ワイヤの寄生インダクタンスLbが0.5nHの場合でも、約55dBのアイソレーションが実現できる。

【0032】

また、第2，第3の入出力端子12，13側のシャントFETQ14，Q18のグランド側を、ワイヤ27，29によってI Cパッケージ21上の第1，第2のグランド端子24-1，24-2に接続したことで、不十分なグランドからの信号の回り込みがないため、アイソレーションを劣化させることもない。しかも、全てのシャントFETのグランド側をI Cパッケージ21のI/Oピンに接続する訳ではないため、ピン数が少なくて済み、I Cパッケージ21の小型化に寄与できる。

【0033】

なお、上記実施形態では、各信号経路に設けられるシリーズFETとシャントFETの対を2組設けた場合について説明したが、3組以上設けた構成であっても良い。図4は、シリーズFETとシャントFETの対を4組設けた場合の回路図である。この場合には、第

10

20

20

30

40

50

1の入出力端子11側の3組についてのシリーズFETのグランド側を、ダイパッド上の共通グランドに接続することにより、上記実施形態の場合と同様の作用効果を奏する。なお、共通グランドに接続するのは必ずしも第1の入出力端子11側の3組全てについてである必要はなく、3組のうちの少なくとも1組についてであれば良い。

【0034】

また、上記実施形態においては、信号経路として、第1の入出力端子11と第2の入出力端子12との間の第1の信号経路14と、第1の入出力端子11と第3の入出力端子13との間の第2の信号経路15の2つを有する構成としたが、これに限定されるものではなく、第1の入出力端子11を基点とする信号経路が3経路以上であっても良い。

【0035】

ところで、一般的に、GaAsのFETを駆動するためには負電源を必要とする。そこで、図5に示すように、各信号経路14, 15とグランドとの間に配されたシャントFETQ13, Q14, Q17, Q18とグランド領域との間にコンデンサC11, C12, C13, C14を設けた構成を探すことにより、当該スイッチICを直流的に分離できるので、GaAsのFETを正電源のみでコントロールできることになる。

【0036】

【発明の効果】

以上説明したように、本発明によれば、第1, 第2の信号経路中の第1の入出力端子側の第1, 第3のスイッチング素子のグランド側をチップ上の共通グランドに接続する一方、第2, 第3の入出力端子側の第2, 第4のスイッチング素子のグランド側をチップ外のグランドに接続するようにしたことにより、第1, 第3のスイッチング素子のグランド側をダイパッドへ接続する際のワイヤ長を短く設定できるとともに、ICパッケージのピン数を少なくでき、しかも不十分なグランドからの信号の回り込みもないため、安価なプラスチックモールドパッケージを用いた場合でも、非常に大きなアイソレーション特性を持つスイッチICを実現でき、しかもICの低コスト化、小型化に大きく寄与できる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す回路図である。

【図2】本発明に係るスイッチICの実装構造を示す概念図である。

【図3】本発明に係るアイソレーション特性図である。

【図4】本発明の変形例を示す回路図である。

【図5】本発明の他の変形例を示す回路図である。

【図6】理想的な実装の場合の回路図である。

【図7】理想的な実装の場合のアイソレーション特性図である。

【図8】一従来例を示す回路図である。

【図9】一従来例に係るアイソレーション特性図である。

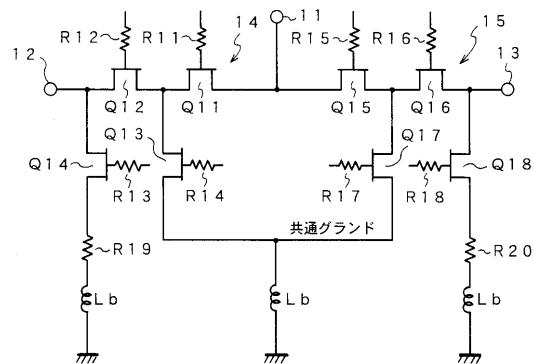
【図10】他の従来例を示す回路図である。

【図11】他の従来例に係るアイソレーション特性図である。

【符号の説明】

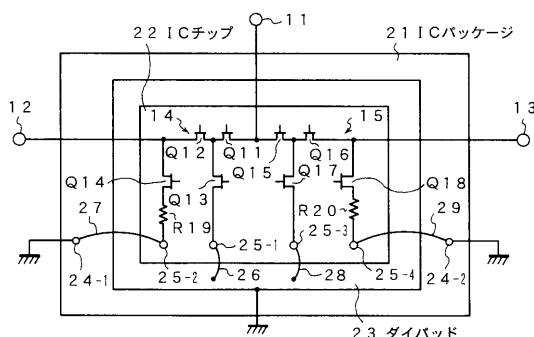
11	第1の入出力端子	12	第2の入出力端子					
13	第3の入出力端子	14	第1の信号経路	15	第2の信号経路	21	I C	40
パッケージ	22	I Cチップ	23	ダイパッド				
26, 27, 28, 29	ワイヤ	Lb	寄生インダクタンス					
Q11, Q12, Q15, Q16	シリーズFET							
Q13, Q14, Q17, Q18	シャントFET							

【図1】



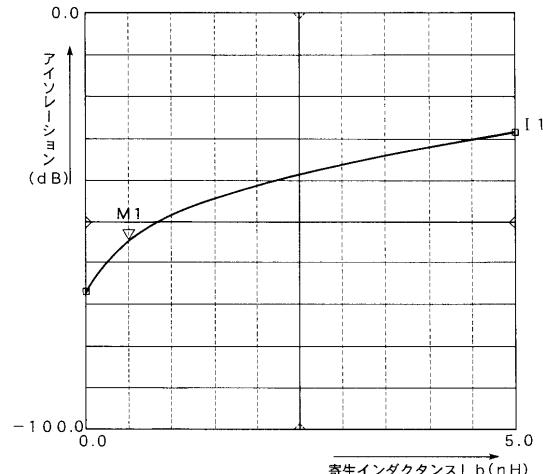
本発明の一実施形態を示す回路図

【図2】



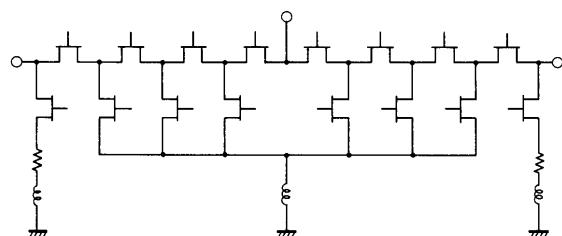
本発明に係るスイッチ IC の実装構造を示す概念図

【図3】



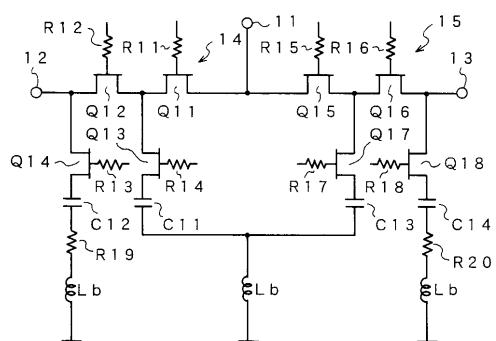
本発明に係るアイソレーション特性図

【図4】



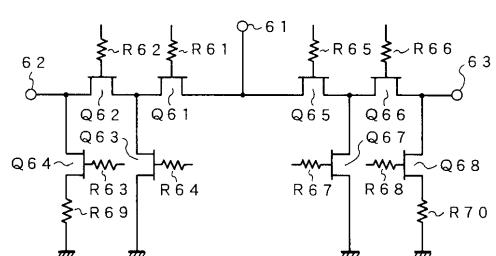
本発明の変形例を示す回路図

【図5】



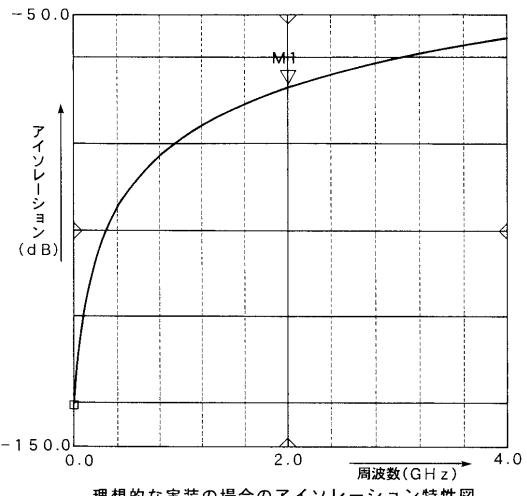
本発明の他の変形例を示す回路図

【図6】



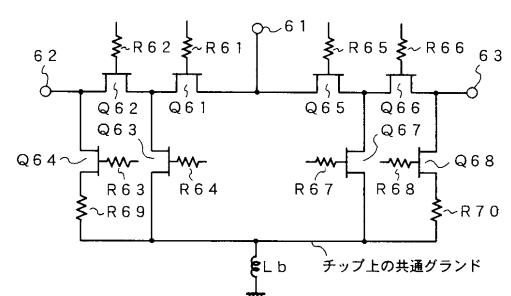
理想的な実装の場合の回路図

【図7】



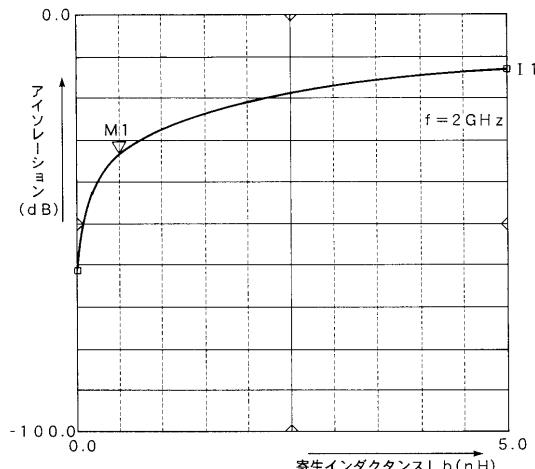
理想的な実装の場合のアイソレーション特性図

【図8】



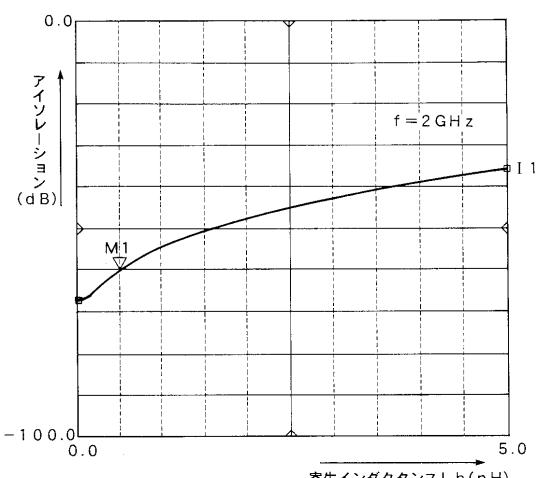
一従来例を示す回路図

【図 9】



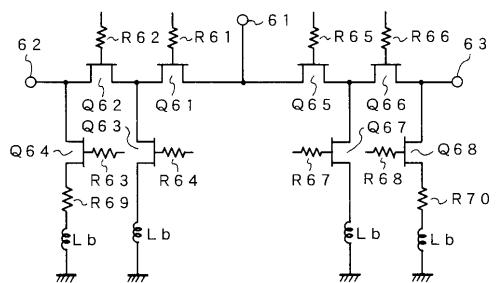
—従来例に係るアイソレーション特性図

【図 11】



他の従来例に係るアイソレーション特性図

【図 10】



他の従来例を示す回路図

フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H03K 17/00-17/70

H01P 1/10-1/195