



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I570850 B

(45)公告日：中華民國 106 (2017) 年 02 月 11 日

(21)申請案號：101107470

(22)申請日：中華民國 101 (2012) 年 03 月 06 日

(51)Int. Cl. : *H01L21/8242(2006.01)**H01L27/088 (2006.01)**H01L27/108 (2006.01)**H01L29/12 (2006.01)**H01L29/78 (2006.01)**H01L29/786 (2006.01)*

(30)優先權：2011/03/10 日本

2011-052448

2011/05/19 日本

2011-112648

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：松林大介 MATSUBAYASHI, DAISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200949944A

TW 201101498A

CN 101196656A

CN 101907807A

US 2009/0152506A1

US 2009/0197379A1

審查人員：修宇鋒

申請專利範圍項數：30 項 圖式數：17 共 74 頁

(54)名稱

記憶體裝置及其製造方法

MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME

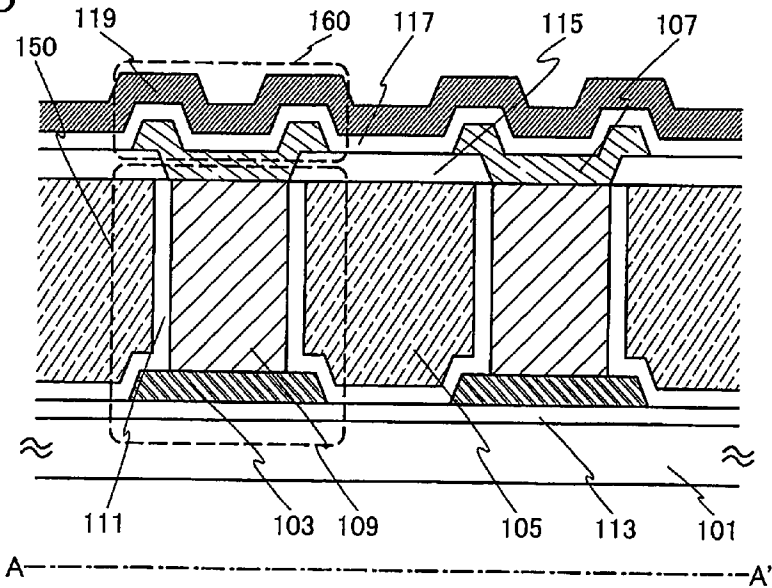
(57)摘要

一種在面積上儘可能小並具有極長資料保持週期的記憶體裝置。將具有極低漏電流的電晶體使用為記憶體裝置中之記憶體元件的胞元電晶體。此外，為降低記憶體胞元的面積，將該電晶體形成為使得其源極及汲極在位元線及字線彼此相交的區域中堆疊在垂直方向上。另外，將電容器堆疊在該電晶體之上。

A memory device that is as small in area as possible and has an extremely long data retention period. A transistor with extremely low leakage current is used as a cell transistor of a memory element in a memory device. Moreover, in order to reduce the area of a memory cell, the transistor is formed so that its source and drain are stacked in the vertical direction in a region where a bit line and a word line intersect each other. Further, a capacitor is stacked above the transistor.

指定代表圖：

圖 1B



符號簡單說明：

- 101 . . . 基材
- 103 . . . 位元線
- 105 . . . 字線
- 107 . . . 電容器電極
- 109 . . . 半導體層
- 111 . . . 閘極絕緣層
- 113 . . . 基底絕緣層
- 115、117 . . . 絕緣層
- 119 . . . 電容器線
- 150 . . . 胞元電晶體
- 160 . . . 電容器

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101107470

H01L 21/8242 (2006.01)

※申請日：101 年 03 月 06 日

※IPC 分類：

27/088 (2006.01)

27/108 (2006.01)

一、發明名稱：(中文／英文)

29/12 (2006.01)

記憶體裝置及其製造方法

29/78 (2006.01)

Memory device and method for manufacturing the same

29/186 (2006.01)

二、中文發明摘要：

一種在面積上儘可能小並具有極長資料保持週期的記憶體裝置。將具有極低漏電流的電晶體使用為記憶體裝置中之記憶體元件的胞元電晶體。此外，為降低記憶體胞元的面積，將該電晶體形成為使得其源極及汲極在位元線及字線彼此相交的區域中堆疊在垂直方向上。另外，將電容器堆疊在該電晶體之上。

三、英文發明摘要：

A memory device that is as small in area as possible and has an extremely long data retention period. A transistor with extremely low leakage current is used as a cell transistor of a memory element in a memory device. Moreover, in order to reduce the area of a memory cell, the transistor is formed so that its source and drain are stacked in the vertical direction in a region where a bit line and a word line intersect each other. Further, a capacitor is stacked above the transistor.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件代表符號簡單說明：

101：基 材

103：位 元 線

105：字 線

107：電 容 器 電 極

109：半 導 體 層

111：閘 極 絕 緣 層

113：基 底 絕 緣 層

115、117：絕 緣 層

119：電 容 器 線

150：胞 元 電 晶 體

160：電 容 器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明相關於使用半導體性質的記憶體裝置及製造該記憶體裝置的方法。

【先前技術】

廣泛使用之記憶體裝置的典型範例係動態隨機存取記憶體（DRAM），其係由一電容器及一電晶體組成（也稱為胞元電晶體）。

已習知地使用平面電晶體形成 DRAM。最近，因為电路的小型化，採用使用在其中將閘極三維地配置以防止由於短通道效應導致的漏電流之凹通道陣列電晶體（RCAT）的方法（非專利文件 1）。

[參考文件]

非專利文件 1：K. Kim，「用於低於 50nm 之 DRAM 及 NAND 快閃記憶體製造的技術」，Technical Digest of International Electron Devices Meeting，pp.333-336，2005。

【發明內容】

在習知 DRAM 中，當讀出資料時，電容器中的電荷消失；因此，每次讀出資料時，需要另一寫入操作。再者，即使電晶體未受選擇，包括在儲存元件中的電晶體具有漏電流且電荷流入或流出電容器，使得資料保持週期甚短。

因此，在預定間隔需要另一寫入操作（更新操作）。

此外，隨著記憶體裝置的更高積體度，需要縮減記憶體元件的面積。然而，除了藉由縮減電路線寬外，更行增加積體度對上述平面電晶體及 RCAT、其變化係困難的。使用此種習知技術之記憶體元件的面積係 $8F^2$ 或以上（ F ：最小特徵尺寸）或 $6F^2$ 或以上。因此期待實現更小面積，例如， $4F^2$ 的技術。

本發明有鑑於上述技術背景而產生。因此本發明之一實施例的目的係提供在面積上儘可能地小並具有極長資料保持週期的記憶體裝置。

為實現上述目標，本發明聚焦在將具有極低漏電流的電晶體使用為記憶體裝置中之記憶體元件的胞元電晶體。此外，為降低記憶體胞元的面積，將該電晶體形成為使得其源極及汲極在位元線及字線彼此相交的區域中堆疊在垂直方向上。另外，將電容器堆疊在該電晶體之上。

亦即，本發明的一實施例係將胞元電晶體及電容器堆疊在基材上方的記憶體裝置。胞元電晶體包括在位元線上方的半導體層，以及與該半導體層之側表面接觸的閘極絕緣層。以閘極絕緣層位於半導體層的部分側表面及字線之間的方式，以字線覆蓋該半導體層的至少部分側表面。電容器包括與該半導體層之頂表面接觸的電容器電極、在電容器電極上方的絕緣層、以及在絕緣層上方的電容器佈線。胞元電晶體中的半導體層係使用具有比矽更寬之能帶隙的半導體材料形成。

以上述方式，將胞元電晶體形成在位元線及字線彼此相交的區域中，並將電容器形成為與胞元電晶體重疊；因此，記憶體元件佔據的基材面積可極小。另外，在胞元電晶體中，將其能帶隙比矽之能帶隙更寬的半導體材料使用為將通道形成於其中的半導體層，因此胞元電晶體的截止狀態電流減少且資料保持週期可極長。

根據本發明的另一實施例，上述記憶體裝置中的半導體層係使用具有大於或等於 2.5eV 且少於或等於 4eV 之能帶隙的材料形成。

根據本發明的另一實施例，上述記憶體裝置中的半導體層係使用氧化物半導體形成。

特別係當將具有在上述範圍中之能帶隙的半導體使用為將胞元電晶體中之通道形成於其中的半導體層時，胞元電晶體的截止狀態電流可極低。

根據本發明的另一實施例，記憶體裝置另外包括組態成驅動胞元電晶體並位於位元線下方的驅動器電路。

藉由如上述地將驅動器電路設置在位元線下方，可減少由記憶體元件佔據的面積。驅動器電路使用單晶半導體形成為佳。

本發明的一實施例係包括下列步驟之製造記憶體裝置的方法：將位元線形成在絕緣表面上；藉由使用具有較矽為寬之能帶隙的半導體材料，將半導體層形成在位元線上方；形成覆蓋該位元線及該半導體層的閘極絕緣層；以該閘極絕緣層位於該半導體層的部分側表面及該字線之間的

方式，形成覆蓋該半導體層之至少部分側表面的字線；將該閘極絕緣層的一部分移除，以曝露該半導體層的頂表面；形成與該半導體層之該頂表面接觸的電容器電極；且形成待堆疊在該電容器電極上方的絕緣層及電容器佈線。

根據上述製造方法，可能製造在面積上非常小並具有極長資料保持週期的記憶體元件。

在此說明書等中，可能將位元線視為係連接至感測放大器等的佈線或其電位係藉由感測放大器等放大的佈線。可能將字線視為係連接至胞元電晶體之閘極的佈線。

本發明可提供在面積上儘可能地小且具有極長資料保持週期的半導體記憶體裝置。

【實施方式】

將參考該等隨附圖式詳細地描述實施例。須注意本發明未受限於以下描述，且熟悉本發明之人士將輕易地理解可無須脫離本發明之精神及範圍而產生各種變化及修改。因此，不應將本發明解釋為受限於下列實施例的描述。須注意在下文描述之本發明的結構中，相同部位或具有相似功能之部位在不同圖式中係以相同的參考數字代表，且不重覆此種部位的描述。

須注意在描述於此說明書中的各圖式中，在部分情形中為了清楚而將各組件的尺寸、層厚度、或區域誇大。因此，比例不必受限於描繪於圖式中的比例。

在此說明書中，胞元電晶體的源極係指在位元線側上

的電極或區域，且胞元電晶體的汲極係指在電容器側上的電極或區域。

(實施例 1)

在此實施例中，將參考圖 1A 及 1B 及圖 6 描述係本發明之一實施例的半導體記憶體裝置之結構的範例。

圖 1A 係記憶體裝置 100 的示意頂視圖。圖 1B 係沿著圖 1A 之線 A-A' 的示意橫剖面圖。須注意爲了清楚，電容器線 119 未明顯地描繪於圖 1A 中。

記憶體裝置 100 包括配置成彼此平行的複數條位元線 103 及垂直於位元線 103 的複數條字線 105。將胞元電晶體 150 及電容器 160 堆疊在位元線 103 與字線 105 彼此重疊的區域中。

將胞元電晶體 150 形成在覆蓋基材 101 之表面的基底絕緣層 113 上方。在胞元電晶體 150 中，將半導體層 109 及電容器電極 107 堆疊在位元線 103 上方。以閘極絕緣層 111 位於其間的方式以字線 105 覆蓋半導體層 109 的側表面。胞元電晶體 150 因此係在其中覆蓋半導體層 109 的側表面之字線 105 的功能如同閘極、與半導體層 109 的底表面接觸之位元線 103 的功能如同源極、且與半導體層 109 之頂表面接觸的電容器電極 107 之功能如同汲極的垂直電晶體。

圖 6 係沿著線 B-B' 的示意橫剖面圖，該線係沿著圖 1A 的位元線 103 切割。如圖 6 描繪的，以閘極絕緣層 111

位於其間之方式不中斷地形成字線 105，以覆蓋半導體層 109 的側表面，使得可將相同電位施用至連接至一字線 105 且配置在一行中的複數個胞元電晶體 150。藉由絕緣層將相鄰字線 105 彼此絕緣。

將電容器 160 堆疊在胞元電晶體 150 之上，且係由電容器電極 107、電容器線 119、以及插於電容器電極 107 及電容器線 119 之間的絕緣層 117 組成。

為寫入資料，以下列方式將電荷保持在電容器 160 中：將胞元電晶體 150 開啓、且對應於位元線 103 及電容器線 119 之間的電位差之電流經由形成在半導體層 109 中的通道流至電容器電極 107。然後，將胞元電晶體 150 關閉，從而可保持寫入資料。

當待讀出資料時，將胞元電晶體 150 開啓，使得對應於保持在電容器 160 中的電荷之電流經由形成在半導體層 109 中的通道流至位元線 103。因此，藉由連接至位元線 103 的讀出電路，諸如，感測放大器，偵測位元線 103 之電位在此時的改變；因此，可偵測該資料。

胞元電晶體 150 及電容器 160 在字線 105 方向上的寬度可與位元線 103 的寬度實質相同。胞元電晶體 150 及電容器 160 在位元線 103 方向上的寬度可與字線 105 的寬度實質相同。因此，由胞元電晶體 150 及電容器 160 佔據的基材 101 之表面的面積可極小。

可藉由改變半導體層 109 的厚度控制胞元電晶體 150 的通道長度。因此，即使當位元線 103、及字線 105 等的

寬度因爲小型化而極小時，胞元電晶體 150 可具有給定通道長度，使得短通道效應可減少。

在可將短通道效應減少的情形中，雖然取決於閘極絕緣層 111 的厚度，胞元電晶體 150 之通道長度爲半導體層 109 的對角或直徑之長度的，例如，10 倍或以上爲佳，20 倍或以上更佳。

須注意圖 1A 及 1B 及圖 6 顯示的半導體層 109 爲稜形形狀；或者，半導體層 109 可能係圓柱形狀的。例如，當半導體層 109 爲稜形形狀時，接近半導體層 109 的側表面形成之通道的有效寬度可甚大，使得胞元電晶體 150 的導通狀態電流可增加。相反地，當半導體層 109 爲圓柱形狀時，其側表面沒有凸起且因此將閘極電場均勻地施加至該側表面；因此，胞元電晶體 150 可具有高可靠度。爲更行增加導通狀態電流，半導體層 109 之底表面的形狀可能係，例如，包含大於 180° 之至少一內角的多邊形（凹多邊形），諸如，星形多邊形。

雖然圖 1A 及 1B 及圖 6 描繪字線 105 以閘極絕緣層 111 位於其間的方式覆蓋半導體層 109 之側表面，必需將字線 105 設置成覆蓋半導體層 109 的至少部分側表面。例如，當僅將字線 105 設置在半導體層 109 之沿著字線 105 的側表面之一者上時，可增加在位元線 103 方向上的積體度。另一方面，當字線 105 如圖 1A 及 1B 及圖 6 所描繪地覆蓋半導體層 109 的側表面時，胞元電晶體 150 的有效通道寬度可甚大，結果可增加導通狀態電流。

此處，將具有極低截止狀態電流的電晶體使用為胞元電晶體 150 使電容器 160 可能將電荷保持長時間。因此，在記憶體裝置 100 中，間隔規律的資料重寫操作（更新操作）係不必要的或更新操作的頻率可極低；因此，記憶體裝置 100 的功能可實質如同非揮發性記憶體裝置。

具有極低截止狀態電流之電晶體的範例係在其中將具有較矽更寬之能帶隙的半導體使用為形成通道之半導體層的電晶體。具有較矽更寬之能帶隙的半導體之範例係化合物半導體，諸如，氧化物半導體及氮化物半導體。

具體地說，矽的能帶隙（ 1.1eV ）未高至足以提供非常高的截止電阻。必需使用具有範圍從 2.5eV 至 4eV 之能帶隙的寬能帶隙半導體，從 3eV 至 3.8eV 為佳。例如，可能使用氧化物半導體，諸如，氧化銦或氧化鋅、氮化物半導體，諸如，氮化鎵、或硫醚半導體，諸如，硫醚鋅等。

例如，可將在其中將氧化物半導體層使用為形成通道之半導體層 109 的電晶體使用為胞元電晶體 150。

因為胞元電晶體 150 係具有極低截止狀態電流的電晶體，可減少用於保持電荷之電容器 160 的尺寸。另外，隨著電容器 160 之尺寸的減少，可減少用於資料寫入及讀取所需的時間，使得記憶體裝置 100 可用高速操作。

如上文描述的，例示於此實施例中的記憶體裝置 100 係包括由胞元電晶體 150 及電容器 160 組成且在基材 101 的表面佔據非常小面積之記憶體元件的記憶體裝置。此外，將具有極低截止狀態電流之電晶體使用為胞元電晶體

150 使記憶體裝置 100 具有極長資料保持週期變得可能。

此實施例可視情況與揭示於此說明書中之任何其他實施例組合。

(實施例 2)

在此實施例中，將參考圖 2A 至 2C 及圖 3A 及 3B 描述製造例示於實施例 1 中之記憶體裝置 100 的方法。

在此實施例中，除少數例外，僅描述大綱。細節可參考製造半導體積體電路的已知技術。

首先，將基底絕緣層 113 形成在基材 101 上方。

雖然在可使用為基材 101 的材料上並無特別限制，該材料至少必需具有高至足以承受稍後實施之熱處理的耐熱性。例如，基材 101 可係藉由熔化處理或浮式法處理形成的玻璃基材、石英基材、半導體基材、或陶瓷基材等。在使用玻璃基材且待於稍後實施之熱處理的溫度甚高的情形中，使用其應變點為 730℃ 或更高的玻璃基材為佳。

基底絕緣層 113 具有禁止雜質從基材 101 擴散的功能。例如，可能藉由沈積法，諸如，CVD 或濺鍍，形成氧化物絕緣膜或氮化物絕緣膜等。當將半導體基材使用為基材 101 時，基底絕緣層 113 可能藉由基材之表面的熱氧化形成。若無需要，不必形成基底絕緣層 113。

然後，將位元線 103 形成在基底絕緣層 113 上方。位元線 103 係以導電膜係藉由沈積法，諸如，濺鍍或 CVD 形成並藉由已知的光微影法處理之此種方式形成。

用於導電膜之材料的範例係選自鋁、鉻、銅、鉬、鈦、鉬、及鎢等的元素；將任何此等元素包含為成份的合金；以及組合地包含任何此等元素的合金。該導電膜可能具有單層結構或二或多層的堆疊結構。具體地說，可能將耐火金屬膜，諸如，鉻、鉬、鈦、鉬、或鎢，堆疊在鋁、或銅等之金屬膜的底及頂側之一者或二者上。另外，可能使用選自錳、鎂、鋅、鈹、釹、及鈳之一或多種材料。

然後，將半導體膜 129 形成為覆蓋基底絕緣層 113 及位元線 103。此處，鑒於位元線 103 上方之半導體膜 129 的厚度在稍後的平坦化步驟中受縮減，將半導體膜 129 預先形成為使得其厚度可大於胞元電晶體的通道長度為佳。在此實施例中，藉由濺鍍，具體地說，藉由使用 In-Ga-Zn-基質氧化物半導體靶材的濺鍍形成作為半導體膜 129 的氧化物半導體膜。

須注意用於氧化物半導體膜的材料並未受限於上文。氧化物半導體至少包含銦（In）或鋅（Zn）為佳。特別係氧化物半導體包含 In 及 Zn 為佳。

作為用於降低包含氧化物半導體的電晶體之電性特徵中的變化之穩定劑，包含選自鎵（Ga）、錫（Sn）、鈪（Hf）、鋁（Al）、以及鑷系元素之一或多者為佳。

鑷系元素有鑷（La）、鈰（Ce）、鐑（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、鉕（Tb）、鐳（Dy）、鈹（Ho）、鉕（Er）、鈳（Tm）、鐳（Yb）、以及鑷（Lu）。

包含一種金屬之氧化物半導體的範例係氧化銦、氧化錫、以及氧化鋅。

包含二種金屬之氧化物半導體的範例係 In-Zn-基質氧化物、Sn-Zn-基質氧化物、Al-Zn-基質氧化物、Zn-Mg-基質氧化物、Sn-Mg-基質氧化物、In-Mg-基質氧化物、以及 In-Ga-基質氧化物。

包含三種金屬之氧化物半導體的範例係 In-Ga-Zn-基質氧化物（也稱為 IGZO）、In-Sn-Zn-基質氧化物、Sn-Ga-Zn-基質氧化物、In-Al-Zn-基質氧化物、In-Hf-Zn-基質氧化物、In-La-Zn-基質氧化物、In-Ce-Zn-基質氧化物、In-Pr-Zn-基質氧化物、In-Nd-Zn-基質氧化物、In-Sm-Zn-基質氧化物、In-Eu-Zn-基質氧化物、In-Gd-Zn-基質氧化物、In-Tb-Zn-基質氧化物、In-Dy-Zn-基質氧化物、In-Ho-Zn-基質氧化物、In-Er-Zn-基質氧化物、In-Tm-Zn-基質氧化物、In-Yb-Zn-基質氧化物、In-Lu-Zn-基質氧化物、Al-Ga-Zn-基質氧化物、以及 Sn-Al-Zn-基質氧化物。

包含四種金屬之氧化物半導體的範例係 In-Sn-Ga-Zn-基質氧化物、In-Hf-Ga-Zn-基質氧化物、In-Al-Ga-Zn-基質氧化物、In-Sn-Al-Zn-基質氧化物、In-Sn-Hf-Zn-基質氧化物、以及 In-Hf-Al-Zn-基質氧化物。

此處須注意，例如，In-Ga-Zn-基質氧化物係指將 In、Ga、以及 Zn 包含為其主成份的氧化物，且在 In、Ga、以及 Zn 的比率上無特別限制。該 In-Ga-Zn-基質氧化物可能包含 In、Ga、以及 Zn 以外的金屬元素。

或者，氧化物半導體膜可使用藉由將 SiO_2 加至任何上述金屬氧化物而得到的氧化物半導體形成。

或者，氧化物半導體膜可使用以化學方程式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的氧化物半導體形成。此處，M 代表選自 Ga、Al、Mn、以及 Co 之一或多種金屬元素。

例如，可能使用具有 $\text{In} : \text{Ga} : \text{Zn}=1 : 1 : 1$ 或 $\text{In} : \text{Ga} : \text{Zn}=2 : 2 : 1$ 之原子比率的 In-Ga-Zn-基質氧化物，或具有接近上述原子比率之原子比率的氧化物。

或者，可能使用具有 $\text{In} : \text{Sn} : \text{Zn}=1 : 1 : 1$ 、 $\text{In} : \text{Sn} : \text{Zn}=2 : 1 : 3$ 、或 $\text{In} : \text{Sn} : \text{Zn}=2 : 1 : 5$ 之原子比率的 In-Sn-Zn-基質氧化物，或具有接近上述原子比率之原子比率的氧化物。

對上文給定之材料並無限制，可依據所需之半導體特徵（例如，遷移率、臨界電壓、及變異）使用具有適當組成的材料。為得到所需的半導體特徵，將載體密度、雜質濃度、缺陷密度、金屬元素對氧的原子比率、原子間距、及密度等設定成適當值為佳。

例如，在使用 In-Sn-Zn-基質氧化物的情形中，可相對輕易地得到高遷移率。然而，即係使用 In-Ga-Zn-基質氧化物，遷移率可藉由減少大量缺陷密度而增加。

須注意敘述「具有 $\text{In} : \text{Ga} : \text{Zn}=a : b : c$ ($a+b+c=1$) 之原子比率的氧化物組成與具有 $\text{In} : \text{Ga} : \text{Zn}=A : B : C$ ($A+B+C=1$) 之原子比率的氧化物組成接近」係指 a 、 b 、以及 c 滿足下列關係： $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ ，其中 r 係

，例如，0.05。其他氧化物也是如此。

氧化物半導體可能係單晶或非單晶之任一者。

非單晶氧化物半導體可能係非晶或多晶之任一者。另外，氧化物半導體可能具有在非晶部中包括晶體部的結構。因為非晶結構具有許多缺陷，非晶結構較佳。

非晶狀態的氧化物半導體可相對容易地具有平坦表面。因此，當使用非晶狀態的氧化物半導體形成電晶體時，可減少介面散射，並可相對容易地得到相對高的遷移率。

在具有結晶度的氧化物半導體中，可更行降低該體積中的缺陷。當改善表面平坦性時，可得到比非晶狀態中的氧化物半導體之遷移率更高的遷移率。為改善表面平坦性，將氧化物半導體形成在平坦表面上為佳。具體地說，可能將氧化物半導體形成在具有 1nm 或以下之平均表面粗糙度 (R_a) 的表面上，0.3nm 或以下為佳，0.1nm 或以下更佳。

須注意 R_a 係藉由將由 JIS B 0601 界定之中心線平均粗糙度擴展至三維以可應用至平面而得到。再者，可將 R_a 表示為參考表面對特定表面之偏差的絕對值的平均值並由方程式 1 界定。

[方程式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

須注意在方程式 1 中， S_0 代表量測表面（由座標 (x_1 ,

$y_1)$ 、 (x_1, y_2) 、 (x_2, y_1) 、以及 (x_2, y_2)) 表示之四點界定的矩形區域) 的面積，且 Z_0 代表量測表面的平均高度。另外， R_a 可使用原子力顯微鏡 (AFM) 量測。

此處，例如，以防止雜質混入濺鍍靶材及用於沈積之氣體的此種方式，將氧化物半導體膜形成為包含儘可能少之雜質為佳，諸如鹼金屬，氫原子、氫分子、水、羥基、或氫化合物。此外，當在沈積期間將沈積設備充份地真空化並在加熱基材的同時沈積氧化物半導體膜時，可降低包括在已沈積之氧化物半導體膜中的雜質濃度。在沈積氧化物半導體之後，可能實施熱處理以消除氧化物半導體膜中的濕氣或氫。該熱處理可在氧化物半導體膜沈積之後的任何時間實施。

其次，將絕緣膜 143 形成在半導體膜 129 上方。待將絕緣膜 143 使用為用於蝕刻半導體膜 129 以形成半導體層 109 的硬遮罩；因此，將具有對半導體膜 129 之高蝕刻選擇性及具有大至足以承受蝕刻的厚度之材料使用為絕緣膜 143。

之後，將光阻 141 形成在絕緣膜 143 上並與其接觸且與稍後成為半導體層 109 之區域重疊。圖 2A 描繪此階段的示意橫剖面圖。

然後，藉由在未以光阻 141 覆蓋的區域中蝕刻絕緣膜 143，形成硬遮罩 145。光阻 141 可能在硬遮罩 145 形成之後移除。之後，在未以硬遮罩 145 覆蓋之區域中的半導體膜 129 受各向異性蝕刻，因此得到半導體層 109。此處，

選擇幾乎不蝕刻硬遮罩 145、位元線 103、以及基底絕緣層 113 的蝕刻條件。

針對蝕刻半導體膜 129 實施在不蝕刻硬遮罩 145 之條件下的各向異性蝕刻為佳，且形成的半導體層 109 具有實質柱狀（包括圓柱形狀及多邊稜形形狀）為佳。例如，若半導體層 109 具有圓錐形或角錐形形狀，已形成之胞元電晶體 150 的有效通道寬度在逐漸接近汲極時（電容器電極）漸少；因此，導通狀態電流減少。

此處，在光阻 141 未在硬遮罩 145 形成之後移除的情形中，在形成半導體層 109 之後將光阻 141 移除。

其次，將絕緣膜 147 形成為覆蓋基底絕緣層 113、位元線 103、半導體層 109、以及硬遮罩 145 的曝露部。因為將部分的絕緣膜 147 稍後作為閘極絕緣層 111 使用，將絕緣膜 147 形成為使得與半導體層 109 之側表面接觸的部分具有均勻厚度。絕緣膜 147 可藉由沈積法，諸如 CVD 或濺鍍，形成。使含氫原子之雜質，諸如，水、氫、及氫化合物，在絕緣膜 147 以及在絕緣膜 147 及半導體層 109 間之界面的量充份地小為佳。

例如，絕緣膜 147 可係單層或包含氧化矽、氧化氮化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、氧化釷、矽酸鉛（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、加入氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、或加入氮的鋁化鉛（加入氮的 $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））之層的堆疊。

圖 2B 描繪此階段的示意橫剖面圖。

然後，形成字線 105。首先，將厚導電膜沈積成填充未形成半導體層 109 的區域。該導電膜可藉由沈積法，諸如，濺鍍或 CVD，使用與形成位元線 103 之導電膜的材料相似之材料形成。之後，將導電膜的表面平坦化。此處，當曝露絕緣膜 147 或硬遮罩 145 時，停止平坦化步驟。

藉由已知的光微影法選擇性地蝕刻導電膜，因此形成與位元線 103 垂直之字線 105 的型樣。

然後，將厚絕緣膜形成為填充字線 105 之間的空間（未描繪），並於之後，將絕緣膜的表面平坦化。當半導體層 109 曝露時，將平坦化步驟停止。因此，在該平坦化步驟中，將半導體層 109 上方的硬遮罩 145 及部分的絕緣膜 147 移除。

經由上述步驟，形成字線 105 及閘極絕緣層 111。圖 2C 描繪此階段的示意橫剖面圖。

其次，將絕緣層 115 形成為覆蓋字線 105 之表面及閘極絕緣層 111 的頂表面。絕緣層 115 係以係藉由沈積法，諸如，CVD 或濺鍍，形成絕緣膜，然後選擇性地蝕刻以曝露半導體層 109 的此種方式形成。

之後，形成與半導體層 109 之頂表面接觸的電容器電極 107。電容器電極 107 可用藉由沈積法，諸如，CVD 或濺鍍，形成覆蓋絕緣層 115 及半導體層 109 之導電膜，然後選擇性地蝕刻之此種方式形成。圖 3A 描繪此階段的示意橫剖面圖。形成電容器電極 107 的導電膜可使用與形成位元線 103 之導電膜的材料相似之材料形成。

其次，形成絕緣層 117 及電容器線 119，使得電容器 160 形成在半導體層 109 上方（見圖 3B）。

首先，藉由沈積法，諸如，CVD，形成絕緣層 117，並形成與絕緣層 117 接觸的電容器線 119。形成電容器線 119 的導電膜可使用與形成位元線 103 之導電膜的材料相似之材料形成。此處，電容器 160 的電容可隨著絕緣層 117 的厚度越小並隨著用於絕緣層 117 之材料的介電常數越高而增加。須注意可能將電容器 160 形成為具有相對小的電容，因為在此實施例中製造之胞元電晶體 150 的截止狀態電流極低。

隨著胞元電晶體 150 的截止狀態電流更低，亦即，隨著胞元電晶體 150 的截止電阻更高，電容器 160 的電容可更小。例如，當胞元電晶體 150 的截止電阻為使用矽之一般 DRAM 的 100 倍高時，即使電容器 160 的電容減少至百分之一，該記憶體裝置可用相同頻率的更新操作運作。另一方面，當電容器 160 的電容與習知 DRAM 相同時，可將更新操作的頻率減少至百分之一；因此，可急劇地減少該裝置的功率消耗。

胞元電晶體 150 的截止電阻與在形成通道之半導體層 109 中的熱激發載體的濃度成反比。因為即使在沒有由施體或受體導致之載體的狀態中（亦即，即使在本質半導體的情形中），矽的能帶隙為 1.1eV ，熱激發載體在室溫（ 300K ）下的濃度約為 $1 \times 10^{11} \text{cm}^{-3}$ 。

另一方面，在其能帶隙為 3.2eV 之半導體的情形中，

熱激發載體的濃度約為 $1 \times 10^{-7} \text{ cm}^{-3}$ 。當電子遷移率相同時，電阻與載體濃度成反比；因此，其能帶隙為 3.2 eV 之半導體的電阻比矽之電阻高 18 個數量級。

包含此種寬能帶隙半導體的胞元電晶體 150 可具有極低的截止狀態電流，使得保持在電容器 160 中的電荷可保持極長時間。因此，可減少電容器 160 的電容，此外，可消除更新操作或顯著地降低頻率。

經由上述步驟，可能製造包括許多記憶體元件的記憶體裝置 100，該等記憶體元件在基材表面上佔據非常小的面積。再者，經由上述步驟製造的記憶體裝置 100 可具有極長的資料保持週期；因此，在記憶體裝置 100 中，不需要資料更新操作或資料更新操作的頻率非常低。

此實施例可視情況與揭示於此說明書中之任何其他實施例組合。

（實施例 3）

此實施例描述具有非晶部及晶體在 c -軸方向上對準之晶體部的 CAAC-OS（ c -軸對準晶體氧化物半導體）。

CAAC-OS 係新的氧化物半導體。

當從 a - b 平面、頂表面、或介面方向上觀看時，CAAC-OS 具有 c -軸對準及三角形或六角形原子配置。

在 CAAC-OS 中，在 c -軸方向上，以疊層方式配置金屬原子，或以層疊方式配置金屬原子及氧原子。

另外，在 CAAC-OS 中， a -軸或 b -軸的方向在 a - b 平

面上改變（圍繞 c-軸的旋轉結構）。

CAAC-OS 在廣義上係非單晶的。

當從垂直於 a-b 平面的方向上觀看時，CAAC-OS 具有三角形、六角形、正三角形、或正六角形的原子配置。

此外，CAAC-OS 係具有當從垂直於 c-軸方向的方向上觀看時，金屬原子係以層疊方式配置或金屬原子及氧原子係以層疊方式配置之相位的氧化物。

CAAC-OS 不係單晶，但並不意謂著 CAAC 僅由非晶成份組成。

雖然 CAAC-OS 包括結晶部（晶體部），在部分情形中，一晶體部及另一晶體部之間的邊界並不清楚。

可能以氮取代係 CAAC-OS 的構成物之氧的一部分。

包括在 CAAC-OS 中之晶體部的 c-軸可能在一方向上對準（例如，與形成 CAAC-OS 之基材的表面或與 CAAC-OS 之表面垂直的方向）。

包括在 CAAC-OS 中的晶體部之 a-b 平面的法線可能在一方向上對準（例如，與形成 CAAC-OS 之基材的表面或與 CAAC-OS 之表面垂直的方向）。

依據其組成等，CAAC-OS 可係導體、半導體、或絕緣體。取決於其組成等，CAAC-OS 傳輸或不傳輸可見光。

例如，當使用電子顯微鏡從垂直於膜表面或基材表面的方向上觀看時，形成為膜形的 CAAC-OS 具有三角形或六角形的原子配置。

另外，當以電子顯微鏡觀察該膜的橫剖面時，金屬原子係以疊層方式配置或金屬原子及氧原子（或氮原子）係以疊層方式配置。

將參考圖 7A 至 7E、圖 8A 至 8C、以及圖 9A 至 9C 描述 CAAC-OS 之晶體結構的範例。

在圖 7A 至 7E、圖 8A 至 8C 以及圖 9A 至 9C 中，'垂直方向對應於 c-軸方向且垂直於 c-軸方向的平面對應於 a-b 平面。

在此實施例中，「上半部」及「下半部」係指在 a-b 平面上方的上半部及在 a-b 平面下方的下半部（相關於 a-b 平面的上半部及下半部）。

圖 7A 描繪一個六配位 In 原子及鄰近該 In 原子的六個四配位氧（在下文中稱為四配位 O）原子的結構 A。

在此說明書中，將僅顯示鄰近於一金屬原子之氧原子的結構稱為小基團。

結構 A 實際上係八面體結構，但為了簡化而描繪為平面結構。

三個四配位 O 原子存在於結構 A 的上半部及下半部各半部中。結構 A 中的小基團的電荷為 0。

圖 7B 描繪包括一個五配位 Ga 原子、鄰近 Ga 原子的三個三配位氧（在下文中稱為三配位 O）原子、以及鄰近 Ga 原子的二個四配位 O 原子的結構 B。

所有該等三個三配位 O 原子存在於 a-b 平面上。一個四配位 O 原子存在於結構 B 的上半部及下半部各半部中。

In 原子也可具有結構 B，因為 In 原子可具有五個配位基。結構 B 中的小基團的電荷為 0。

圖 7C 描繪包括一個四配位 Zn 原子及鄰近 Zn 原子之四個四配位 O 原子的結構 C。

在結構 C 中，一個四配位 O 原子存在於上半部中，且三個四配位 O 原子存在於下半部中。結構 C 中的小基團的電荷為 0。

圖 7D 描繪包括一個六配位 Sn 原子及鄰近 Sn 原子之六個四配位 O 原子的結構 D。

在結構 D 中，三個四配位 O 原子存在於上半部及下半部各半部中。

結構 D 中的小基團的電荷為 +1。

圖 7E 描包括二 Zn 原子的結構 E。

在結構 E 中，一個四配位 O 原子存在於上半部及下半部各半部中。結構 E 中的小基團的電荷為 -1。

在此實施例中，複數個小基團形成中基團，且複數個中基團形成大基團（也稱為單位胞元）。

於下文描述小基團之間的鍵結規則。

在圖 7A 中相關於六配位 In 原子在上半部的三個 O 原子各者在朝下方向上具有三個鄰近 In 原子，且在下半部的三個 O 原子各者在朝上方向上具有三個鄰近 In 原子。

在圖 7B 中相關於五配位 Ga 原子在上半部的一個 O 原子在朝下方向上具有一鄰近 Ga 原子，且在下半部的一個 O 原子在朝上方向上具有一鄰近 Ga 原子。

在圖 7C 中相關於四配位 Zn 原子在上半部的一個 O 原子在朝下方向上具有一鄰近 Zn 原子，且在下半部的三個 O 原子各者在朝上方向上具有三個鄰近 Zn 原子。

以此方式，在金屬原子上方的四配位 O 原子的數量等於鄰近且低於該等四配位 O 原子之金屬原子的數量；相似地，在金屬原子下方的四配位 O 原子的數量等於鄰近且高於該等四配位 O 原子之金屬原子的數量。

因為四配位 O 原子的配位數量為 4，鄰近且低於 O 原子之金屬原子的數量及鄰近且高於 O 原子之金屬原子的數量之和為 4。

因此，當高於金屬原子之四配位 O 原子的數量及低於另一金屬原子之四配位 O 原子的數量之和為 4 時，包括該等金屬原子的二種小基團可彼此鍵結。

原因描述如下。例如，在經由在下半部的三個四配位 O 原子鍵結六配位金屬（In 或 Sn）原子的情形中，將其鍵結至五配位金屬（Ga 或 In）原子或四配位金屬（Zn）原子。

經由在 c-軸方向上的四配位 O 原子將其配位數為 4、5、或 6 的金屬原子鍵結至另一金屬原子。

此外，中基團也可藉由組合複數個小基團使得疊層結構之總電荷為 0 的不同方式形成。

圖 8A 描繪包括在 In-Sn-Zn-O-基質材料之疊層結構中的中基團 A 的模型。

圖 8B 描繪包括三個中基團的大基團 B。

圖 8C 描繪從 c-軸方向觀察之顯示於圖 8B 中的疊層結構的原子配置。

在中基團 A 中，爲了簡化而將三配位 O 原子省略，並僅將四配位 O 原子的數量顯示在圓中。

例如，以圓圈起的 3 表示相關於 Sn 原子存在於上半部及下半部各半部中的三個四配位 O 原子。

相似地，在中基團 A 中，以圓圈起的 1 表示相關於 In 原子存在於上半部及下半部各半部中的一個四配位 O 原子。

此外，在中基團 A 中，顯示鄰近於在下半部中的一個四配位 O 原子及在上半部中之三個四配位 O 原子的 Zn 原子，以及鄰近於在上半部中的一個四配位 O 原子及在下半部中之三個四配位 O 原子的 Zn 原子。

在包括在 In-Sn-Zn-O-基質材料之疊層結構中的中基團 A 中，以從頂部開始的次序，將鄰近於在上半部及在下半部各半部中之三個四配位 O 原子的 Sn 原子鍵結至鄰近於在上半部及在下半部各半部中之一個四配位 O 原子的 In 原子。

將 In 鍵結至鄰近於在上半部中之三個四配位 O 原子的 Zn 原子。

經由相關於 Zn 原子在下半部中的一個四配位 O 原子，將 Zn 原子鍵結至鄰近於在上半部及下半部各半部中之三個四配位 O 原子的 In 原子。

將 In 原子鍵結至包括二 Zn 原子並鄰近於在上半部中

之一個四配位 O 原子的小基團。

經由相關於小基團在下半部中的一個四配位 O 原子，將小基團鍵結至鄰近於在上半部及下半部各半部中之三個四配位 O 原子的 Sn 原子。

鍵結複數個此種中基團以形成大基團。

此處，可將用於三配位 O 原子之一鍵的電荷及用於四配位 O 原子之一鍵的電荷分別假設為 -0.667 及 -0.5。

例如，（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、以及（五配位或六配位）Sn 原子的電荷分別為 +3、+2、以及 +4。因此，包括 Sn 原子之小基團的電荷為 +1。

因此，需要藉由其將 +1 之電荷抵消的 -1 電荷，以形成包括 Sn 原子的疊層結構。

可將如結構 E 中之包括二 Zn 原子的小基團提供為具有 -1 之電荷的結構。

例如，使用包括二 Zn 原子的一小基團，可抵消包括 Sn 原子之一小基團的電荷，使得疊層結構的總電荷可為 0。

具體地說，藉由重覆大基團 B，可得到 In-Sn-Zn-O-基質晶體（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。

可藉由組成方程式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （m 係 0 或自然數）表示 In-Sn-Zn-O-基質晶體的疊層結構。

變數 m 甚大為佳，因為變數 m 越大，In-Sn-Zn-O-基質晶體的結晶度越高。

使用 In-Sn-Zn-O-基質材料以外之氧化物半導體的情形也係如此。

例如，圖 9A 描繪包括在 In-Ga-Zn-O-基質材料之疊層結構中的中基團 L 的模型。

在包括在 In-Ga-Zn-O-基質材料之疊層結構中的中基團 L 中，以從頂部開始的次序，將鄰近於在上半部及在下半部各半部中之三個四配位 O 原子的 In 原子鍵結至鄰近於在上半部中之一個四配位 O 原子的 Zn 原子。

經由相關於 Zn 原子在下半部中的三個四配位 O 原子，將 Zn 原子鍵結至鄰近於在上半部及下半部各半部中之一個四配位 O 原子的 Ga 原子。

經由相關於 Ga 原子在下半部中的一個四配位 O 原子，將 Ga 原子鍵結至鄰近於在上半部及下半部各半部中之三個四配位 O 原子的 In 原子。

鍵結複數個此種中基團以形成大基團。

圖 9B 描繪包括三個中基團的大基團 M。

圖 9C 描繪從 c-軸方向觀察之顯示於圖 9B 中的疊層結構的原子配置。

此處，因為（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、以及（五配位）Ga 原子的電荷分別為 +3、+2、以及 +3，包括任何 In 原子、Zn 原子、以及 Ga 原子之小基團的電荷為 0。

結果，具有此等小基團的組合之中基團的總電荷始終為 0。

為形成 In-Ga-Zn-O-基質材料的疊層結構，大基團可不僅使用中基團 L，也使用在其中 In 原子、Ga 原子、以及 Zn 原子的配置與中基團 L 之配置不同的中基團形成。

此實施例可視情況與揭示於此說明書中之任何其他實施例組合。

(實施例 4)

因為各種原因，絕緣閘極電晶體的實際量測的場效遷移率低於其固有遷移率，其不僅在使用氧化物半導體的情形中發生。

遷移率降低的原因之一係在半導體內側的缺陷或在半導體及絕緣膜間之界面的缺陷。使用 Levinson 模型，理論上可基於無缺陷存在於半導體內側的假設計算場效遷移率。

假設電位障壁（諸如，晶界）存在於半導體中，可藉由方程式 2 表示以 μ 代表之半導體的已量測場效遷移率，其中該半導體的固有遷移率為 μ_0 。

[方程式 2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在該方程式中，E 代表電位障壁的高度、k 代表波茲曼常數、且 T 代表絕對溫度。

另外，在將電位障壁歸因於缺陷的假設下，電位障壁的高度可藉由根據 Levinson 模型的方程式 3 表示。

[方程式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在方程式中， e 代表基本電荷、 N 代表通道中之每單位面積的平均缺陷密度、 ϵ 代表半導體的介電係數、 n 代表通道中之每單位面積的載體數、 C_{ox} 代表每單位面積的電容、 V_g 代表閘極電壓、且 t 代表通道的厚度。

在半導體層的厚度少於或等於 30nm 的情形中，可將通道厚度視為與半導體層的厚度相同。

藉由方程式 4 表示線性區域中的汲極電流 I_d 。

[方程式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在方程式中， L 代表通道長度且 W 代表通道寬度，且在此範例中， L 及 W 各者均為 10 μm 。

此外， V_d 代表汲極電壓。

將方程式 4 的二側除以 V_g ，然後將二側取對數，產生方程式 5。

[方程式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

方程式 5 的右側係 V_g 的函數。

從方程式 5 發現可從以 $\ln(I_d/V_g)$ 作為縱座標並以 $1/V_g$ 作為橫座標取得之線的斜率得到平均缺陷密度 N 。

亦即，平均缺陷密度可從電晶體的 I_d - V_g 特徵估算。

其中之銦 (In)、錫 (Sn)、以及鋅 (Zn) 的比率為

1 : 1 : 1 之氧化物半導體的平均缺陷密度 N 約為 $1 \times 10^{12}/\text{cm}^2$ 。

在以此方式等得到之缺陷密度的基礎上，可計算出 μ_0 為 $120 \text{ cm}^2/\text{Vs}$ 。

包括缺陷之 In-Sn-Zn 氧化物的量測遷移率約為 $35 \text{ cm}^2/\text{Vs}$ 。

然而，假設沒有缺陷存在於氧化物半導體內側及氧化物半導體與絕緣膜之間的介面，將氧化物半導體的遷移率 μ_0 估算為 $120 \text{ cm}^2/\text{Vs}$ 。

須注意即使當沒有缺陷存在於半導體內側時，在通道及閘極絕緣層間之介面的散射影響電晶體的運輸性質。換言之，藉由方程式 6 表示在與通道及閘極絕緣層之間的介面距離 x 之位置的遷移率 μ_1 。

[方程式 6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

在方程式中， D 代表閘極方向上的電場，且 B 及 G 係常數。 B 及 G 的值可從實際量測結果得到；根據上述量測結果， B 係 $4.75 \times 10^7 \text{ cm/s}$ 且 G 係 10 nm （表面散射的影響所到達的深度）。

當 D 增加時（亦即，當閘極電壓增加時），方程式 6 的第二項增加且因此遷移率 μ_1 減少。

圖 10 顯示其通道形成在沒有缺陷在半導體內側之理想氧化物半導體中的電晶體之遷移率 μ 的計算結果 E 。

將由 Synopsys, Inc. 製造的裝置模擬軟體 Sentaurus

Device 用於該計算。

針對該計算，將氧化物半導體的能帶隙、電子親和力、相對介電係數、以及厚度分別設定為 2.8 eV 、 4.7 eV 、15、以及 15 nm 。

該等值係根據藉由濺鍍形成的氧化物半導體之薄膜的量測得到。

另外，將電晶體之閘極、源極、以及汲極的工作函數分別設定為 5.5 eV 、 4.6 eV 、以及 4.6 eV 。

將閘極絕緣層的厚度設定為 100 nm ，並將其之相對介電係數設定為 4.1。通道長度及通道寬度均為 $10\text{ }\mu\text{m}$ ，並將汲極電壓 V_d 設定為 0.1 V 。

如計算結果 E 所示，遷移率在略多於 1 V 的閘極電壓時具有多於 $100\text{ cm}^2/\text{Vs}$ 的尖峰，並在閘極電壓變得更高時減少，因為介面散射的影響增加。

為減少介面散射，在原子層級上使半導體層的表面平坦為佳（原子層平坦度）。

計算使用具有此種遷移率的氧化物半導體製造之小型電晶體的特徵。

用於計算的電晶體包括在其中將通道形成區域設置在一對 n-型半導體區域之間的氧化物半導體膜。

針對該計算，將該對 n-型半導體區域的電阻設定為 $2 \times 10^{-3}\text{ }\Omega\text{ cm}$ 。

針對該計算，將通道長度設定為 33 nm 並將通道寬度設定為 40 nm 。

另外，將側壁設置在閘極電極的側面上。

計算係在與該側壁重疊之半導體區域的部分係移位區域的條件下實施。

將由 Synopsys, Inc.製造的裝置模擬軟體 Sentaurus Device 用於該計算。

圖 11A 至 11C 顯示電晶體之汲極電流 (I_d ，以實線表示) 與遷移率 (μ ，以虛線表示) 的閘極電壓 (V_g ：在閘極及源極之間的電位差) 相依性。

汲極電流 I_d 係在汲極電壓 (汲極及源極之間的電位差) 為 +1V 的假設下計算，且遷移率 μ 係在汲極電壓為 +0.1V 的假設下計算。

圖 11A 顯示閘極絕緣層的厚度為 15nm 時的計算結果。

圖 11B 顯示閘極絕緣層的厚度為 10nm 時的計算結果。

圖 11C 顯示閘極絕緣層的厚度為 5nm 時的計算結果。

當閘極絕緣層越薄時，截止狀態的汲極電流 I_d (截止狀態電流) 特別顯著地減少。

相反地，在遷移率 μ 的尖峰值及導通狀態中的汲極電流 I_d (導通狀態電路) 中並無異常改變。

圖 12A 至 12C 顯示移位長度 (側壁長度) L_{off} 為 5nm 的電晶體之汲極電流 I_d (以實線表示) 及遷移率 μ (以虛線表示) 的閘極電壓 V_g 相依性。

汲極電流 I_d 係在汲極電壓為 $+1V$ 的假設下計算，且遷移率 μ 係在汲極電壓為 $+0.1V$ 的假設下計算。

圖 12A 顯示閘極絕緣層的厚度為 $15nm$ 時的計算結果。

圖 12B 顯示閘極絕緣層的厚度為 $10nm$ 時的計算結果。

圖 12C 顯示閘極絕緣層的厚度為 $5nm$ 時的計算結果。

圖 13A 至 13C 顯示移位長度（側壁長度） L_{off} 為 $15nm$ 的電晶體之汲極電流 I_d （以實線表示）及遷移率 μ （以虛線表示）的閘極電壓相依性。

汲極電流 I_d 係在汲極電壓為 $+1V$ 的假設下計算，且遷移率 μ 係在汲極電壓為 $+0.1V$ 的假設下計算。

圖 13A 顯示閘極絕緣層的厚度為 $15nm$ 時的計算結果。

圖 13B 顯示閘極絕緣層的厚度為 $10nm$ 時的計算結果。

圖 13C 顯示閘極絕緣層的厚度為 $5nm$ 時的計算結果。

在任何該等結構中，當閘極絕緣層較薄時，截止狀態電流顯著地減少，然而在遷移率 μ 的尖峰值及導通狀態電流中並無異常改變。

遷移率 μ 的尖峰值在圖 11A 至 11C 中約為 $80cm^2/Vs$ 、在圖 12A 至 12C 中約為 $60cm^2/Vs$ 、且在圖 13A 至 13C 中

約為 $40\text{ cm}^2/\text{Vs}$ ；因此，當移位長度 L_{off} 增加時，遷移率 μ 的尖峰減少。

截止狀態電流也是如此。

當移位長度 L_{off} 增加時，導通狀態電流也減少；然而，導通狀態電流的減少遠緩於截止狀態電流的減少。

另外，任何該等圖式均顯示在閘極電壓約為 1 V 時，汲極電流超過記憶體元件等所需的 $10\mu\text{A}$ 。

此實施例可視情況與揭示於此說明書中之任何其他實施例組合。

（實施例 5）

藉由在加熱基材時沈積氧化物半導體或藉由在氧化物半導體膜沈積之後的熱處理，包括包含 In 、 Sn 、以及 Zn 之氧化物半導體的電晶體可具有有利特徵。

氧化物半導體包含各者為 5 原子百分比或以上的 In 、 Sn 、以及 Zn 為佳。

在沈積包含 In 、 Sn 、以及 Zn 的氧化物半導體膜之後藉由刻意地加熱基材，可增加電晶體的場效遷移率。

再者， n -通道電晶體的臨界電壓可在正方向上偏移。

n -通道電晶體之臨界電壓的正偏移使用於保持 n -通道電晶體截止之電壓的絕對值減少，使得可減少電力消耗。

另外，藉由臨界電壓的正偏移， n -通道電晶體可變成常態截止電晶體，使得臨界電壓為 0 V 或以上。

將於下文描述使用包含 In 、 Sn 、以及 Zn 之氧化物半

導體的電晶體之特徵。

(樣本 A 至 C 的共同條件)

在下列條件下，在基材上方將氧化物半導體膜形成爲具有 15nm 的厚度：使用具有 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 之組成比率的靶材；氣體流動率爲 $\text{Ar}/\text{O}_2=6/9\text{sccm}$ ；沈積壓力爲 0.4 帕；且沈積功率爲 100W。

其次，將氧化物半導體膜蝕刻爲島形。

然後，在氧化物半導體膜上方將鎢層沈積形成爲具有 50nm 的厚度並受蝕刻，使得源極電極及汲極電極形成。

其次，藉由使用矽烷氣體 (SiH_4) 及一氧化二氮 (N_2O) 的電漿強化 CVD 將氮氧化矽膜 (SiON) 形成爲具有 100nm 之厚度的閘極絕緣層。

然後，以下列方式形成閘極電極：將氮化鉭層形成爲 15nm 的厚度；將鎢層形成爲 135nm 的厚度；並蝕刻該等層。

另外，藉由電漿強化 CVD 將氮氧化矽膜 (SiON) 形成至 300nm 的厚度並將聚醯亞胺膜形成至 $1.5\mu\text{m}$ 的厚度，從而形成層間絕緣層。

其次，以下列方式形成用於量測的焊墊：將接點孔形成在層間絕緣層中；將第一鈦膜形成至 50nm 的厚度；將鋁膜形成至 100nm 的厚度；將第二鈦膜形成至 50nm 的厚度；並蝕刻該等膜。

以此方式，製造具有電晶體的半導體裝置。

(樣本 A)

在樣本 A 中，在沈積氧化物半導體膜的期間未對基材實施加熱。

此外，在樣本 A 中，未在沈積氧化物半導體膜之後及蝕刻氧化物半導體膜之前實施熱處理。

(樣本 B)

在樣本 B 中，使用加熱至 200℃ 的基材沈積氧化物半導體膜。

另外，在樣本 B 中，未在沈積氧化物半導體膜之後及蝕刻氧化物半導體膜之前實施熱處理。

在加熱基材時沈積氧化物半導體膜，以將在氧化物半導體膜中作為施體使用的氫移除。

(樣本 C)

在樣本 C 中，使用加熱至 200℃ 的基材沈積氧化物半導體膜。

另外，在樣本 C 中，在沈積氧化物半導體膜之後且在蝕刻氧化物半導體膜之前，在氮大氣中以 650℃ 實施一小時的熱處理，然後在氧大氣中以 650℃ 實施一小時的熱處理。

在氮大氣中以 650℃ 實施一小時的熱處理以將在氧化物半導體膜中作為施體使用的氫移除。

藉由移除氫的熱處理也將在氧化物半導體膜中作為施體使用的氧移除，在氧化物半導體膜中導致作為載體使用的氧空洞。

因此，在氧大氣中以 650°C 實施一小時的熱處理以減少氧空洞。

(樣本 A 至 C 之電晶體的特徵)

圖 14A 顯示樣本 A 的初始特徵。

圖 14B 顯示樣本 B 的初始特徵。

圖 14C 顯示樣本 C 的初始特徵。

樣本 A 之電晶體的場效遷移率為 $18.8\text{cm}^2/\text{Vs}$ 。

樣本 B 之電晶體的場效遷移率為 $32.2\text{cm}^2/\text{Vs}$ 。

樣本 C 之電晶體的場效遷移率為 $34.5\text{cm}^2/\text{Vs}$ 。

根據使用穿透式電子顯微鏡 (TEM) 觀察藉由與樣本 A 至 C 之沈積方法相似的方法形成之氧化物半導體膜的橫剖面，在藉由與其基材在沈積期間受加熱的樣本 B 及樣本 C 之沈積方式相似的沈積方式形成的樣本中觀察到結晶體。

另外，意外地，其基材在沈積期間受加熱的樣本具有非晶部及具有 c-軸晶體定向的晶體部。

在習知多晶中，晶體部中的晶體並未對準且在不同方向上係點。此意謂著其基材在沈積期間受加熱的樣本具有新奇結構。

圖 14A 至 14C 的比較使理解於沈積期間或之後在基材

上實施的熱處理可將作為施體的氫元素移除，因此 n-通道電晶體的臨界電壓在正方向上移位。

亦即，相較於未於沈積期間加熱基材之樣本 A 的臨界電壓，於沈積期間加熱基材之樣本 B 的臨界電壓在正方向上移位。

此外，從在沈積期間加熱基材之樣本 B 及樣本 C 的比較發現，具有在沈積之後的熱處理之樣本 C 的臨界電壓在正方向上比不具有在沈積之後的熱處理之樣本 B 的臨界電壓移位更多。

當熱處理的溫度越高，越容易將輕元素移除，諸如，氫；因此，當熱處理的溫度越高時，越可能移除氫。

因此，藉由在沈積期間或沈積之後將更行增加熱處理的溫度，臨界電壓可能可更往正方向上移位。

（樣本 B 及樣本 C 之閘極 BT 壓力測試的結果）

在樣本 B（不具有在沈積後的熱處理）及樣本 C（具有在沈積後的熱處理）上實施閘極 BT 壓力測試。

首先，以 25℃ 的基材溫度及 10V 的 V_{ds} 量測各電晶體的 $V_{gs}-I_{ds}$ 特徵，以量測加熱及施加高正電壓之前的電晶體特徵。

其次，將基材溫度設定為 150℃ 並將 V_{ds} 設定為 0.1V

。

之後，將 20V 的 V_{gs} 施加至閘極絕緣層並保持 1 小時

。

然後，將 V_{gs} 設定為 $0V$ 。

其次，以 $25^{\circ}C$ 的基材溫度及 $10V$ 的 V_{ds} 量測各電晶體的 $V_{gs}-I_{ds}$ 特徵，以量測加熱及施加高正電壓之後的電晶體特徵。

如上文描述之在加熱及施加高正電壓之前及之後的電晶體之特徵的比較稱為正 BT 測試。

另一方面，首先，以 $25^{\circ}C$ 的基材溫度及 $10V$ 的 V_{ds} 量測各電晶體的 $V_{gs}-I_{ds}$ 特徵，以量測加熱及施加高負電壓之前的電晶體特徵。

然後，將基材溫度設定為 $150^{\circ}C$ 並將 V_{ds} 設定為 $0.1V$ 。

其次，將 $-20V$ 的 V_{gs} 施加至閘極絕緣層並保持 1 小時。

其次，將 V_{gs} 設定為 $0V$ 。

然後，以 $25^{\circ}C$ 的基材溫度及 $10V$ 的 V_{ds} 量測各電晶體的 $V_{gs}-I_{ds}$ 特徵，以量測加熱及施加高負電壓之後的電晶體特徵。

如上文描述之在加熱及施加高負電壓之前及之後的電晶體之特徵的比較稱為負 BT 測試。

圖 15A 顯示樣本 B 之正 BT 測試的結果。圖 15B 顯示樣本 B 之負 BT 測試的結果。

圖 16A 顯示樣本 C 之正 BT 測試的結果。圖 16B 顯示樣本 C 之負 BT 測試的結果。

雖然正 BT 測試及負 BT 測試係用於判定電晶體之退

化度的測試，從圖 15A 及圖 16A 發現臨界電壓可藉由至少實施正 BT 測試而在正方向上移位。

特別係圖 15A 揭露出正 BT 測試使電晶體成為常態截止電晶體。

因此發現除了電晶體之製程中的熱處理外，實施正 BT 測試使提昇臨界電壓在正方向上的移位變得可能，且因此可製造常態截止電晶體。

圖 17 顯示樣本 A 之電晶體的截止狀態電流與在量測時之基材溫度（絕對溫度）的倒數之間的關係。

在圖 17 中，水平軸代表藉由將量測時之基材溫度的倒數乘以 1000 所得到的值（ $1000/T$ ）。

圖 17 中的電流量係通道寬度中的每微米電流量。

在 125°C 之基材溫度的截止狀態電流少於或等於 $1 \times 10^{-19}\text{A}$ （ $1000/T$ 約為 2.51）。

在 85°C 之基材溫度的截止狀態電流少於或等於 $1 \times 10^{-20}\text{A}$ （ $1000/T$ 約為 2.79）。

換言之，發現相較於包含矽半導體的電晶體，包含氧化物半導體之電晶體的截止狀態電流極低。

當溫度減少時，截止狀態電流減少；明顯地在常溫下的截止狀態電流仍較低。

此實施例可視情況與揭示於此說明書中之任何其他實施例組合。

（實施例 6）

在此實施例中，將參考圖 4 及圖 5 描述在其中將記憶體元件堆疊在形成半導體電路之基材上方的記憶體裝置之範例。

圖 4 係記憶體裝置 200 的示意橫剖面圖。在記憶體裝置 200 中，使用用於形成半導體積體電路之已知技術將用於驅動記憶體元件，諸如，感測放大器及解碼器，之電路（驅動器電路 203）形成在單晶半導體基材 201 的表面上方。將胞元電晶體層 205 形成在驅動器電路 203 上方，並將電容器層 207 形成在胞元電晶體層 205 上方。

可依據實施例 2 形成描繪於圖 4 中的胞元電晶體及電容器。

經由接點插頭將胞元電晶體的位元線電性連接至位於其下方的驅動器電路 203。因此，經由共同位元線將從驅動器電路 203 輸出的電位訊號輸入至各胞元電晶體。

雖然未描繪，以相似方式經由接點插頭等將胞元電晶體層 205 中的字線電性連接至驅動器電路 203。因此，可依據從驅動器電路 203 輸出的電位控制胞元電晶體的導通/截止狀態。

在具有此種結構的記憶體裝置 200 中，胞元電晶體係由位於胞元電晶體下方的驅動器電路 203 控制，因此可實施寫入及讀取操作。

以上述方式將積體胞元電晶體層 205 及電容器層 207 堆疊在單晶半導體基材 201 上方，因此可提供在基材表面上佔據非常小面積之更高積體度的記憶體裝置 200。

此處，可另外將胞元電晶體層及電容器層堆疊在形成在胞元電晶體層 205 及電容器層 207 上方的絕緣層上方。

圖 5 描繪作為堆疊胞元電晶體層之結構的範例之記憶體裝置 220 的示意橫剖面圖。

在記憶體裝置 220 中，將胞元電晶體層 205a、電容器層 207a、胞元電晶體層 205b、以及電容器層 207b 以此次序堆疊在形成在單晶半導體基材 201 之表面上方的驅動器電路 203 上方。

圖 5 描繪包括經由接點插頭將係自基材算起的第二層之胞元電晶體層 205b 中的位元線電性連接至驅動器電路 203 之區域的示意橫剖面圖。

將絕緣層設置在電容器層 207a 及胞元電晶體層 205b 之間。為減少產生在電容器層中的電容器佈線及位元線之間以及該電容器佈線及字線之間的寄生電容，可能將絕緣層形成為具有足夠大的厚度或使用具有低介電常數的絕緣材料形成。

須注意此實施例例示堆疊二層由胞元電晶體及電容器組成之記憶體元件的結構；然而，對此並無限制，可使用三或多層的堆疊。此外，此處顯示將第二層中的胞元電晶體堆疊在第一層中的胞元電晶體之正上方的結構；或者，第二層中的胞元電晶體可能在平行於基材表面的方向上移位。

如上文所述，在具有在其中記憶體元件係以絕緣層位於其間的方式堆疊之多層結構的記憶體裝置 220 中，由記

憶體胞元佔據之基材表面的面積減少；因此，可提供高度積體的記憶體裝置 220。

此實施例可視情況與揭示於此說明書中之任何其他實施例組合。

本申請案基於分別於 2011 年 3 月 10 日及 2011 年 5 月 19 日向日本特許廳申請的日本專利申請案編號第 2011-052448 號及第 2011-112648 號，該專利之教示全文以提及之方式併入本文中。

【圖式簡單說明】

在該等隨附圖式中：

圖 1A 及 1B 描繪根據本發明之一實施例的記憶體裝置；

圖 2A 至 2C 描繪根據本發明的一實施例之製造記憶體裝置的方法；

圖 3A 及 3B 描繪根據本發明的一實施例之製造記憶體裝置的方法；

圖 4 描繪根據本發明之一實施例的記憶體裝置；

圖 5 描繪根據本發明之一實施例的記憶體裝置；

圖 6 描繪根據本發明之一實施例的記憶體裝置；

圖 7A 至 7E 係氧化物半導體的範例；

圖 8A 至 8C 係氧化物半導體的範例；

圖 9A 至 9C 係氧化物半導體的範例；

圖 10 描繪閘極電壓與場效遷移率之間的關係；

圖 11A 至 11C 各者描繪閘極電壓與汲極電流之間的關係；

圖 12A 至 12C 各者描繪閘極電壓與汲極電流之間的關係；

圖 13A 至 13C 各者描繪閘極電壓與汲極電流之間的關係；

圖 14A 至 14C 各者描繪電晶體的特徵；

圖 15A 及 15B 各者描繪電晶體的特徵；

圖 16A 及 16B 各者描繪電晶體的特徵；且

圖 17 描繪電晶體之截止狀態電流的溫度相依性。

【主要元件符號說明】

100、200、220：記憶體裝置

101：基材

103：位元線

105：字線

107：電容器電極

109：半導體層

111：閘極絕緣層

113：基底絕緣層

115、117：絕緣層

119：電容器線

129：半導體膜

141：光阻

143、147：絕緣膜

145：硬遮罩

150：胞元電晶體

160：電容器

201：單晶半導體基材

203：驅動器電路

205、205a、205b：胞元電晶體層

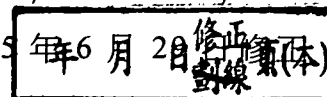
207、207a、207b：電容器層

I_d ：汲極電流

V_g ：閘極電壓

空白頁

105.6.29



七、申請專利範圍：

1. 一種記憶體裝置，包含：

絕緣表面；

電晶體，在該絕緣表面上方，該電晶體包含位元線、半導體層、閘極絕緣層、以及字線，該閘極絕緣層夾於該半導體層之側面及該字線之間；以及

電容器，與該電晶體重疊，該電容器包含夾於電容器電極及電容器線之間的絕緣層，該電容器電極與該半導體層電性接觸，

其中該半導體層之頂表面、該閘極絕緣層之頂表面、以及該字線之頂表面係在相同之水平面中，

其中該位元線、該半導體層、該電容器電極、該絕緣層、以及該電容器線係以此次序堆疊，且

其中該半導體層包含具有比矽更寬之能帶隙的半導體材料。

2. 一種半導體裝置，包含：

絕緣表面；

第一導電層，形成在該絕緣表面上方；

半導體層，形成在該第一導電層上方並與其電性接觸；

第二導電層，形成在該半導體層上方並與其電性接觸；

絕緣層，形成在該第二導電層上方；

第三導電層，形成在該絕緣層上方並與該第二導電層

及該半導體層重疊；

第四導電層，面對該半導體層的側面；以及
閘極絕緣層，夾於該第四導電層及該半導體層之間，
其中該半導體層之頂表面、該閘極絕緣層之頂表面、
以及該第四導電層之頂表面係在相同之水平面中，以及
其中該半導體層包含具有比矽更寬之能帶隙的半導體材料。

3. 如申請專利範圍第 2 項的半導體裝置，

其中該第一導電層、該第二導電層、以及該第四導電層分別形成包括作為通道形成層的該半導體層之電晶體的源極、汲極、以及閘極；且

其中該第二導電層及該第三導電層形成電容器的一對相對電極。

4. 一種記憶體裝置，包含：

絕緣表面；

第一電晶體，在該絕緣表面上方，該第一電晶體包含第一位元線、在該第一位元線上方的半導體層的第一部位、第一電容器電極、以及閘極絕緣層的第一部位，該半導體層的該第一部位夾於該第一位元線與該第一電容器電極之間並與其電性接觸；

第二電晶體，在該絕緣表面上方，該第二電晶體包含第二位元線、在該第二位元線上方的該半導體層的第二部位、第二電容器電極、以及該閘極絕緣層的第二部位，該半導體層的該第二部位夾於該第二位元線與該第二電容器

電極之間並與其電性接觸；

字線，面對該半導體層的該第一部位之側面與該半導體層的該第二部位之側面，該閘極絕緣層的該第一部位與該閘極絕緣層的該第二部位分別地夾於該半導體層的該第一部位與該半導體層的該第二部位以及該字線之間；

絕緣層，覆蓋該第一電容器電極與該第二電容器電極；

電容器線，在該絕緣層上方；電容器，包含該第一電容器電極、該絕緣層、以及該電容器線；

其中該字線填充除了由該閘極絕緣層所佔據之體積外，分開該半導體層的該第一部位與該半導體層的該第二部位之空間，以及

其中該半導體層包含具有比矽更寬之能帶隙的半導體材料。

5. 一種記憶體裝置，包含：

絕緣表面；

第一電晶體，在該絕緣表面上方，該第一電晶體包含第一位元線、在該第一位元線上方的半導體層的第一部位、第一電容器電極、以及閘極絕緣層的第一部位，該半導體層的該第一部位夾於該第一位元線與該第一電容器電極之間並與其電性接觸；

第二電晶體，在該絕緣表面上方，該第二電晶體包含第二位元線、在該第二位元線上方的該半導體層的第二部位、第二電容器電極、以及該閘極絕緣層的第二部位，該

半導體層的該第二部位夾於該第二位元線與該第二電容器電極之間並與其電性接觸；

字線，面對該半導體層的該第一部位之側面與該半導體層的該第二部位之側面，該閘極絕緣層的該第一部位與該閘極絕緣層的該第二部位分別地夾於該半導體層的該第一部位與該半導體層的該第二部位以及該字線之間；

絕緣層，覆蓋該第一電容器電極與該第二電容器電極；

電容器線，在該絕緣層上方；

電容器，包含該第一電容器電極、該絕緣層、以及該電容器線；

其中該字線填充除了由該閘極絕緣層所佔據之體積外，分開該半導體層的該第一部位與該半導體層的該第二部位之空間，

其中該半導體層之頂表面、該閘極絕緣層之頂表面、以及該字線之頂表面係在相同之水平面中，以及

其中該半導體層包含具有比矽更寬之能帶隙的半導體材料。

6. 如申請專利範圍第 4 項或第 5 項的記憶體裝置，

其中該字線完全地填充除了由該閘極絕緣層所佔據之該體積外，分開該半導體層的該第一部位與該半導體層的該第二部位之該空間。

7. 如申請專利範圍第 1 項或第 5 項的記憶體裝置，其中該閘極絕緣層之該頂表面及該字線之該頂表面係藉由

當該閘極絕緣層之該頂表面及該字線之該頂表面與該半導體層之頂表面係在相同之水平面中時停止之平坦化步驟所形成。

8. 如申請專利範圍第 2 項的半導體裝置，其中該閘極絕緣層之該頂表面及該第四導電層之該頂表面係藉由當該閘極絕緣層之該頂表面及該第四導電層之該頂表面與該半導體層之頂表面係在相同之水平面中時停止之平坦化步驟所形成。

9. 如申請專利範圍第 1 項、第 4 項及第 5 項中任一項所述的記憶體裝置，

其中該半導體層包含具有大於或等於 2.5eV 且少於或等於 4eV 之能帶隙的材料。

10. 如申請專利範圍第 2 項的半導體裝置，

其中該半導體層包含具有大於或等於 2.5eV 且少於或等於 4eV 之能帶隙的材料。

11. 如申請專利範圍第 1 項、第 4 項及第 5 項中任一項所述的記憶體裝置，

其中該半導體層已藉由沈積薄膜半導體材料而形成。

12. 如申請專利範圍第 2 項的半導體裝置，

其中該半導體層已藉由沈積薄膜半導體材料而形成。

13. 如申請專利範圍第 1 項、第 4 項及第 5 項中任一項所述的記憶體裝置，

其中該半導體層包含氧化物半導體。

14. 如申請專利範圍第 2 項的半導體裝置，

其中該半導體層包含氧化物半導體。

15. 如申請專利範圍第 1 項、第 4 項及第 5 項中任一項所述的記憶體裝置，

其中該半導體層包含 c-軸對準晶體氧化物半導體。

16. 如申請專利範圍第 2 項的半導體裝置，

其中該半導體層包含 c-軸對準晶體氧化物半導體。

17. 如申請專利範圍第 1 項之記憶體裝置，另外包含形成在半導體基材上方的驅動器電路，

其中將該電晶體及該電容器形成在該驅動器電路上方並功能性地連接至該驅動器電路。

18. 如申請專利範圍第 4 項或第 5 項的記憶體裝置，另外包含形成在半導體基材上方的驅動器電路，其中將該第一電晶體、該第二電晶體、以及該電容器形成在該驅動器電路上方並功能性地連接至該驅動器電路。

19. 如申請專利範圍第 2 項之半導體裝置，另外包含形成在半導體基材上方的驅動器電路，

其中將該第一導電層及該第二導電層形成在該驅動器電路上方並功能性地連接至該驅動器電路。

20. 如申請專利範圍第 1 項、第 4 項及第 5 項中任一項所述的記憶體裝置，

其中該半導體層為稜形形狀或圓柱形狀的，且

其中該字線面對該半導體層之所有側面。

21. 如申請專利範圍第 2 項的半導體裝置，

其中該半導體層為稜形形狀或圓柱形狀的，且

其中該第四導電層面對該半導體層之所有側面或全體側面。

22. 如申請專利範圍第 1 項的記憶體裝置，

其中將該電晶體及該電容器包括在記憶體胞元中，且

其中，在該記憶體胞元中，隔離該電容器的最低部與該電容器之最高部的距離小於該記憶體胞元的寬度。

23. 如申請專利範圍第 2 項的半導體裝置，

其中該第二導電層及該第三導電層至少部分地包括在記憶體胞元中，且

其中，在該記憶體胞元中，隔離該第二導電層之最低底表面與該第三導電層的最高頂表面之距離小於該記憶體胞元的寬度。

24. 如申請專利範圍第 2 項的半導體裝置，

其中該半導體裝置係記憶體裝置。

25. 一種製造半導體裝置的方法，包括下列步驟：

將位元線形成在絕緣表面上方；

將半導體層堆疊在該位元線上，該半導體層係稜形形狀或圓柱形狀的，並包含具有較矽為寬之能帶隙的半導體材料；

形成覆蓋該位元線及該半導體層的第一絕緣膜；

以該絕緣膜夾於其間的方式，形成覆蓋該半導體層之至少部分側面的字線；

藉由將該第一絕緣膜的一部分移除以形成閘極絕緣層，以曝露該半導體層的頂表面；

形成與該半導體層之該頂表面接觸的電容器電極；且將電容器絕緣層及電容器線以該次序堆疊在該電容器電極上方。

26. 根據申請專利範圍第 25 項之用於製造半導體裝置的方法，

其中將該閘極絕緣層的一部分移除以曝露該半導體層的頂表面，係藉由平坦化該閘極絕緣層的頂表面直至該閘極絕緣層的該頂表面與該半導體層的頂表面係在相同之水平面中所執行。

27. 一種製造半導體裝置的方法，包括下列步驟：

將位元線形成在絕緣表面上方；

將半導體層堆疊在該位元線上，該半導體層係稜形形狀或圓柱形狀的，並包含具有較矽為寬之能帶隙的半導體材料；

形成覆蓋該位元線及該半導體層的第一絕緣膜；

將導電膜沉積成填充於該半導體層未形成之區域；

選擇性地蝕刻該導電膜，藉此形成字線；

形成第二絕緣膜以填充介於該等字線間之空間；

平坦化該第一絕緣膜的表面直至該半導體層被曝露，藉此形成閘極絕緣層；

形成與該半導體層之該頂表面接觸的電容器電極；以及

將該電容器絕緣層與電容器線依序堆疊於該電容器電極上方。

28. 根據申請專利範圍第 25 項或第 27 項之用於製造半導體裝置的方法，

其中該半導體層係氧化物半導體層。

29. 根據申請專利範圍第 25 項或第 27 項之用於製造半導體裝置的方法，

其中該半導體層係 c-軸對準晶體氧化物半導體。

30. 如申請專利範圍第 25 項或第 27 項之用於製造半導體裝置的方法，該半導體層的形成包括下列步驟：

將氧化物半導體膜沈積在已加熱基材上；

蝕刻該半導體層以形成該半導體層，且

在該蝕刻步驟之前執行熱處理。

圖 1B

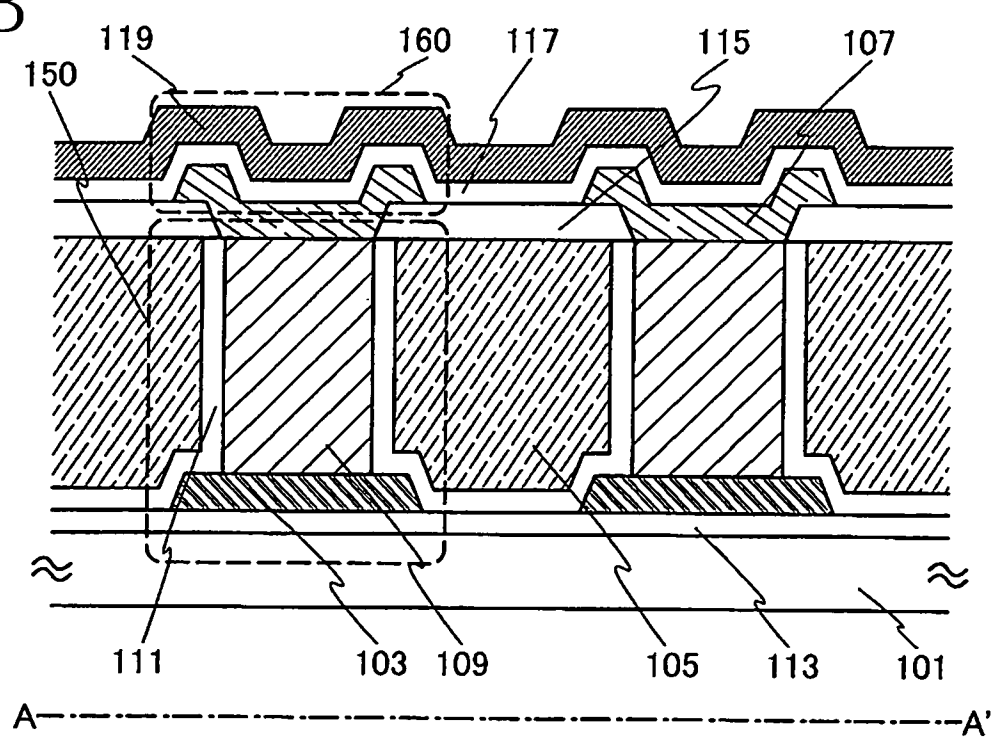


圖 2A

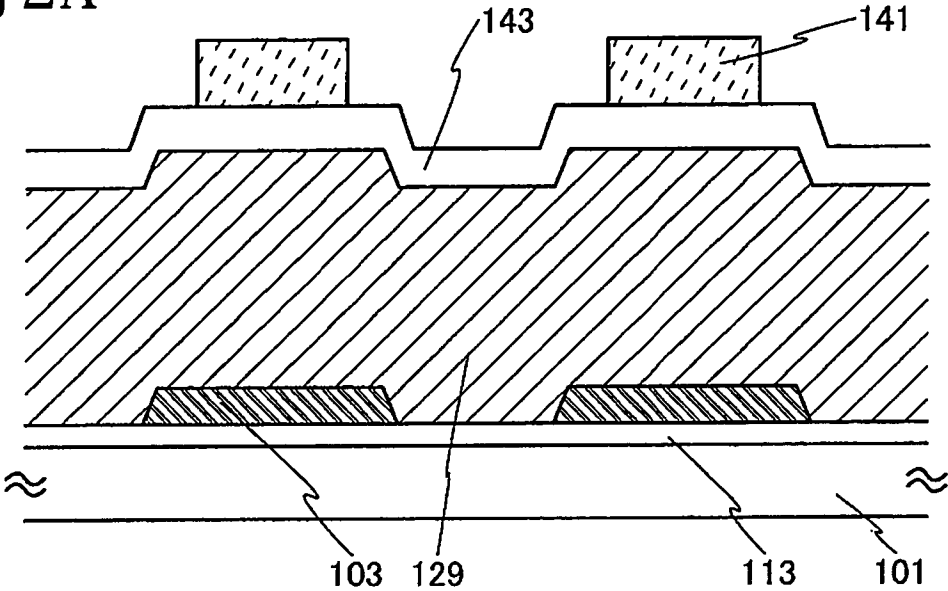


圖 2B

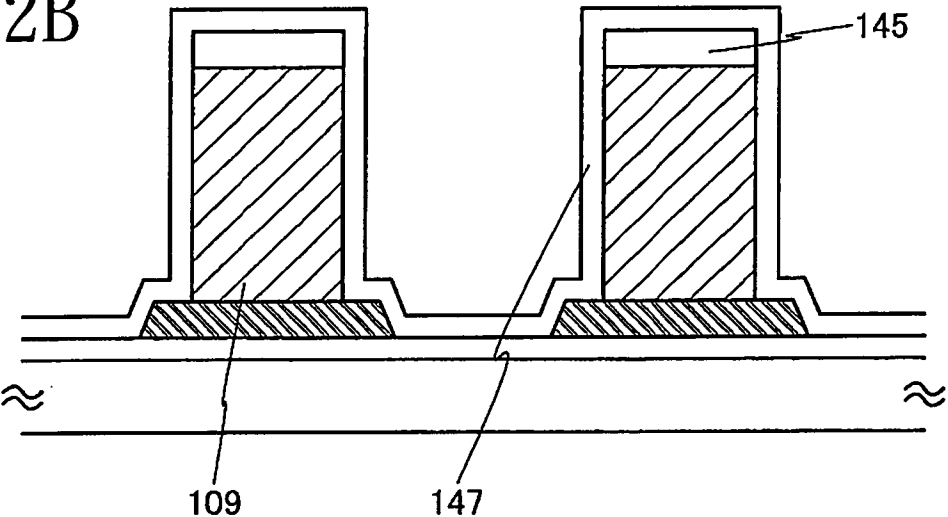


圖 2C

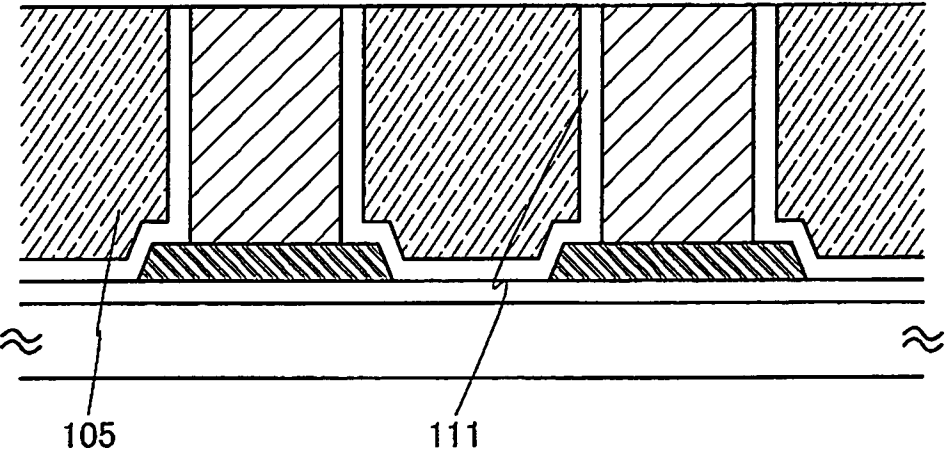


圖 3A

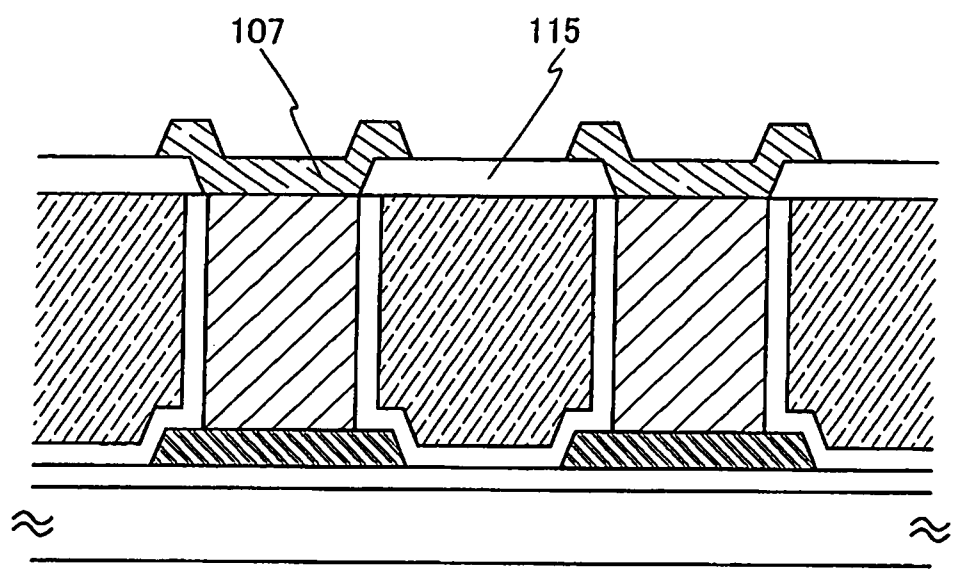


圖 3B

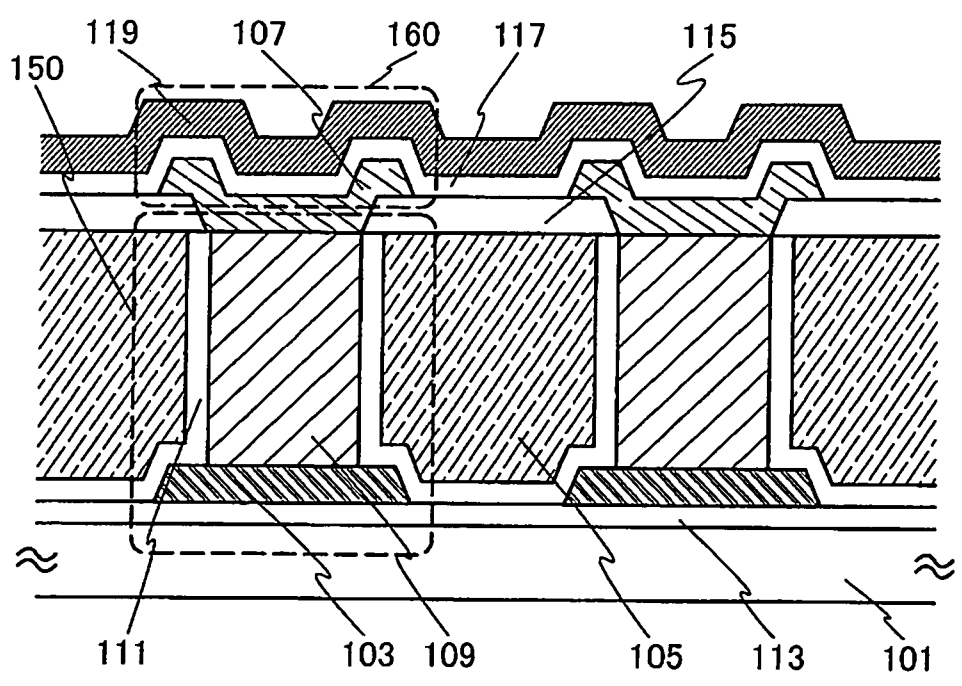


圖 4

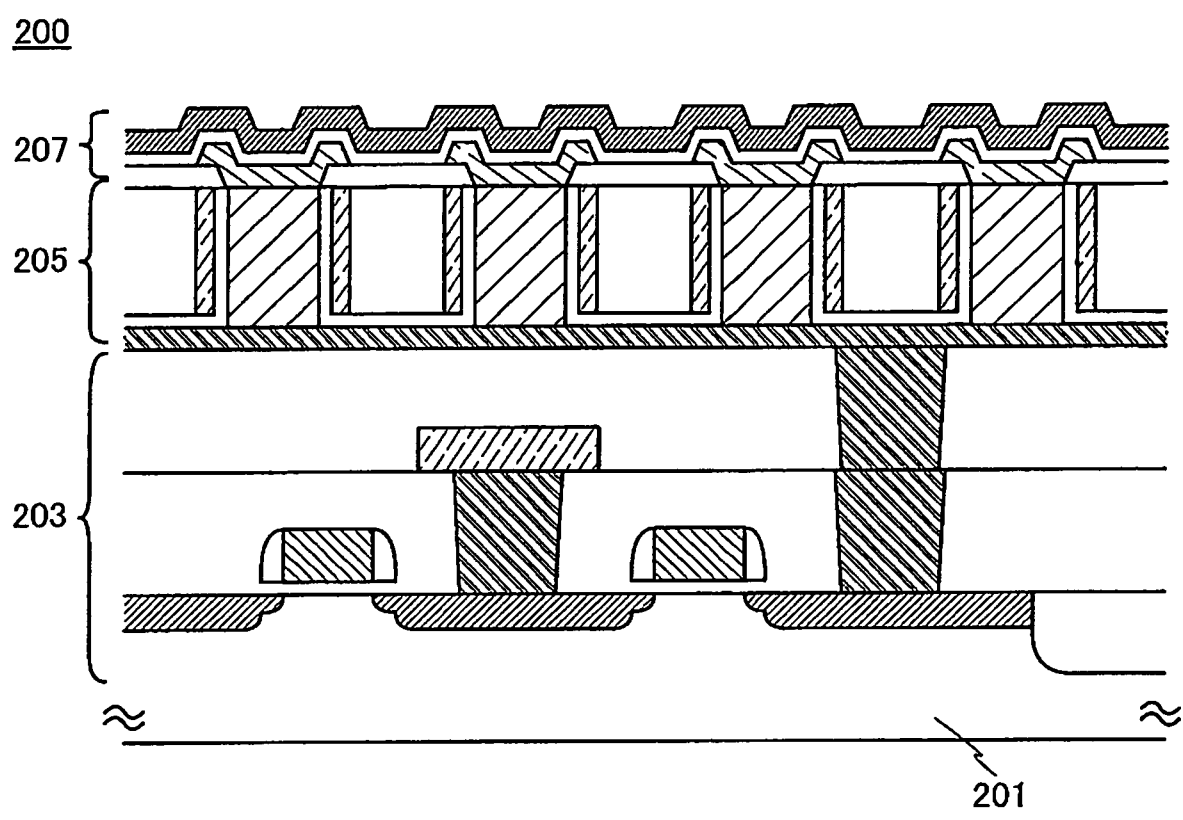


圖 5

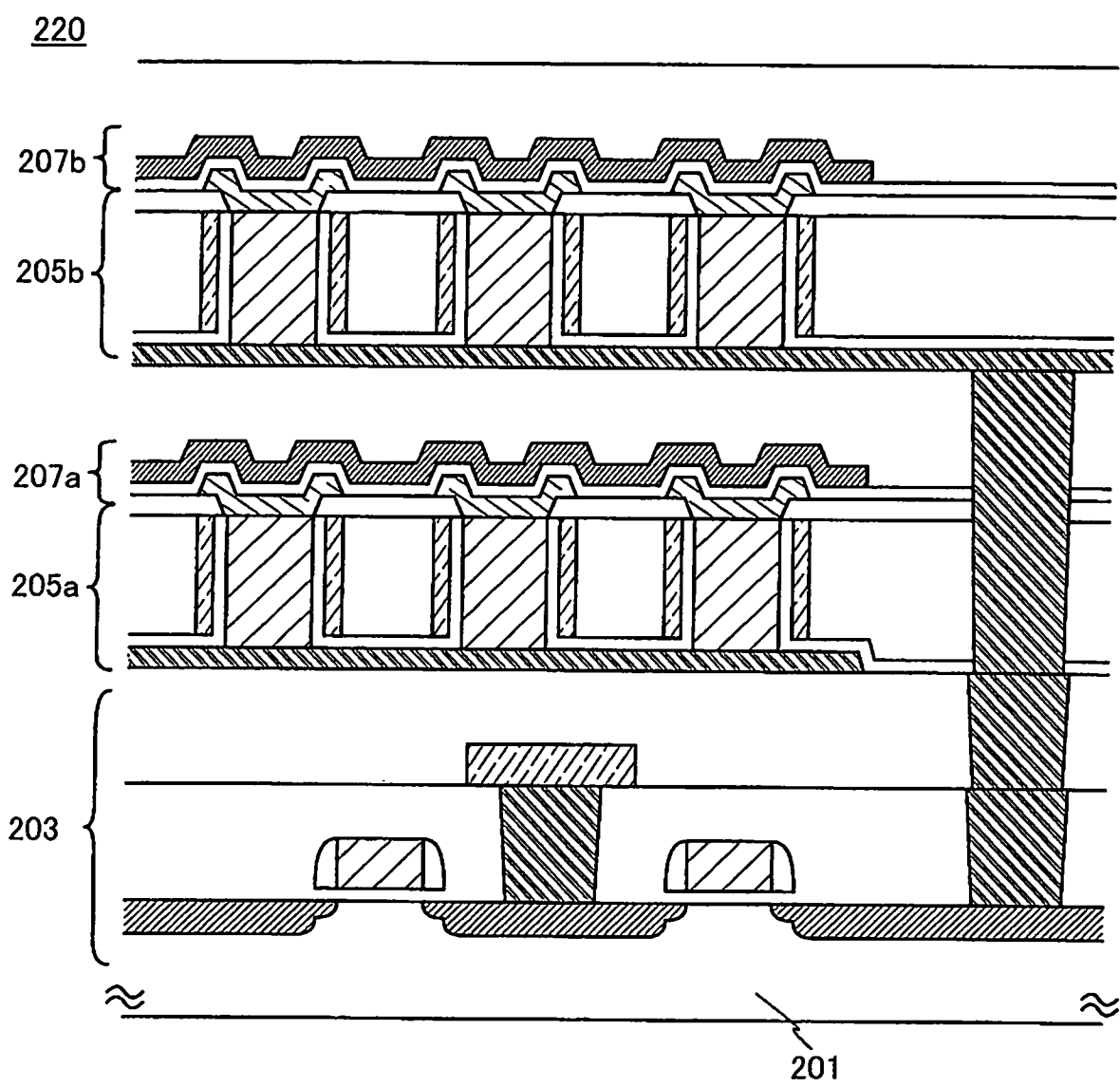


圖6

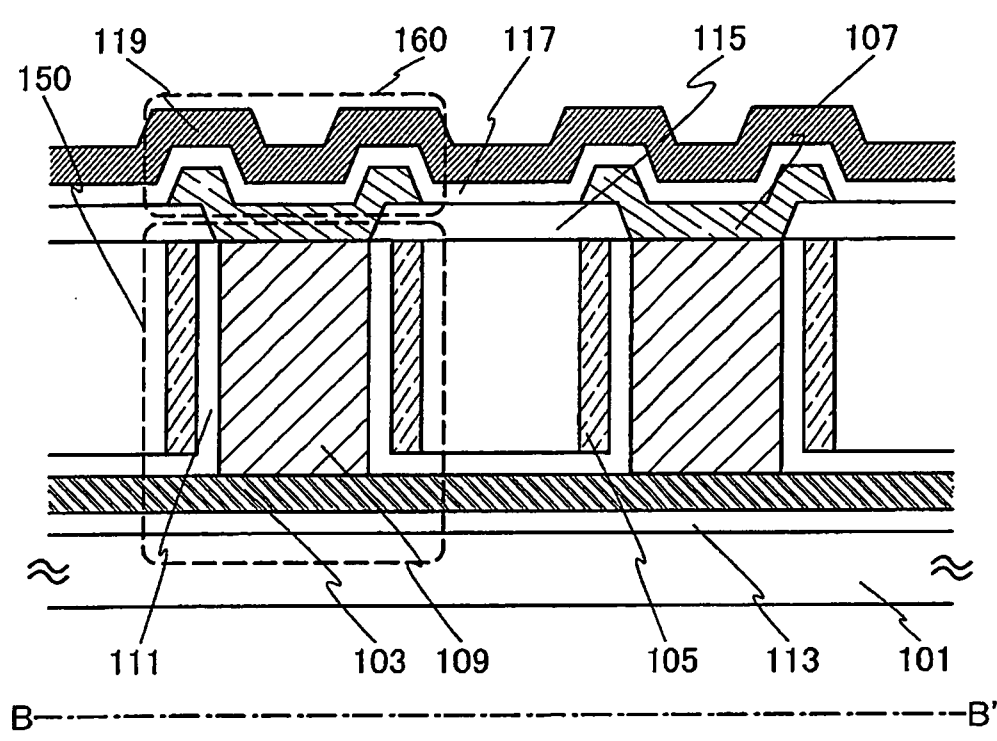


圖 7A

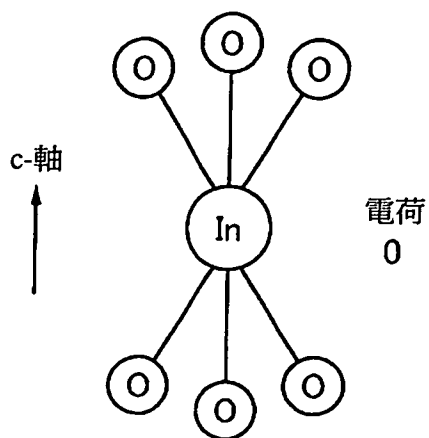


圖 7D

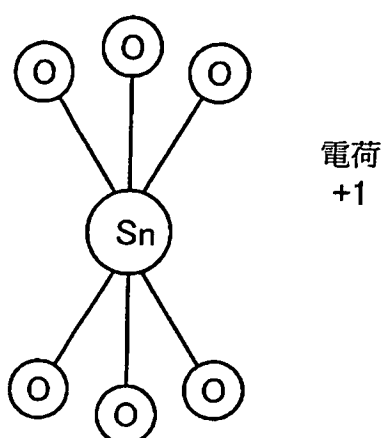


圖 7B

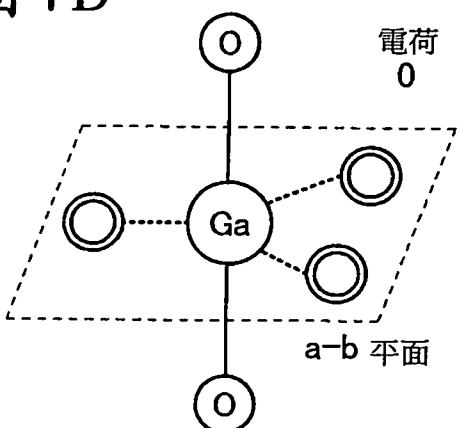


圖 7E

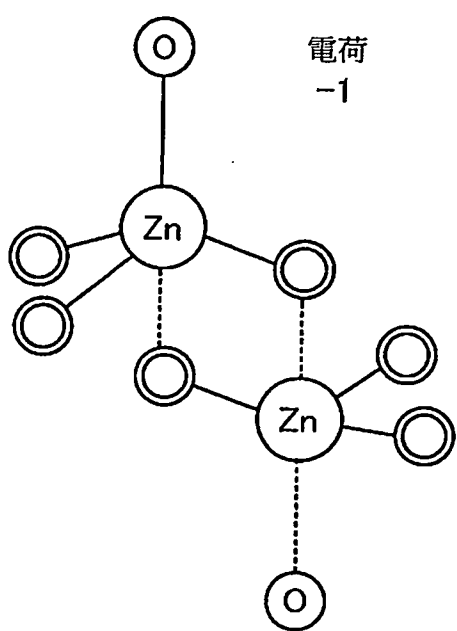


圖 7C

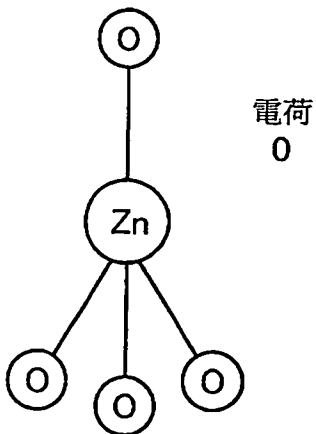


圖 8A

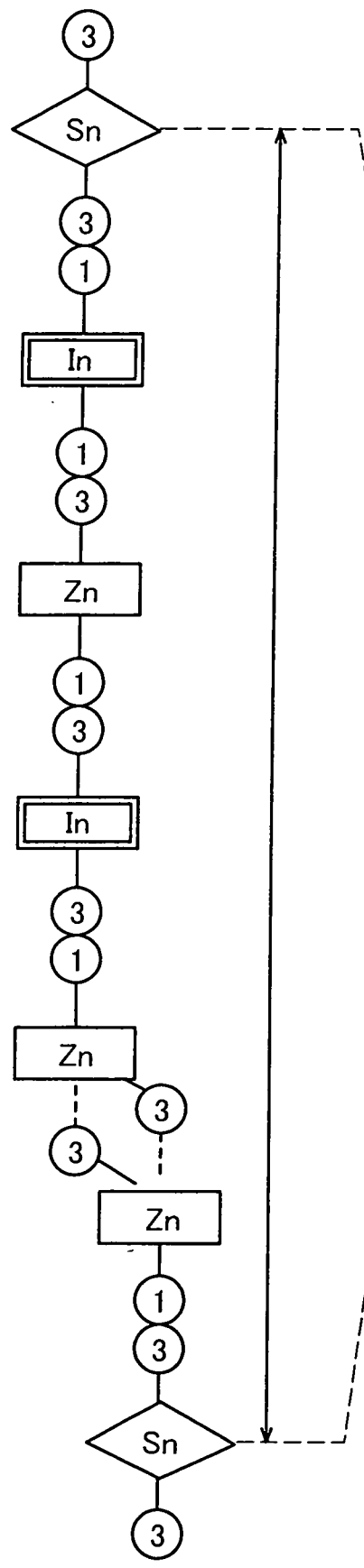
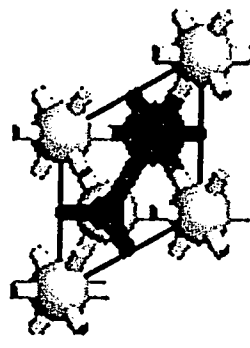


圖 8B



圖 8C



- In
- Sn
- ◐ Zn
- 0

圖 9A

圖 9B

圖 9C

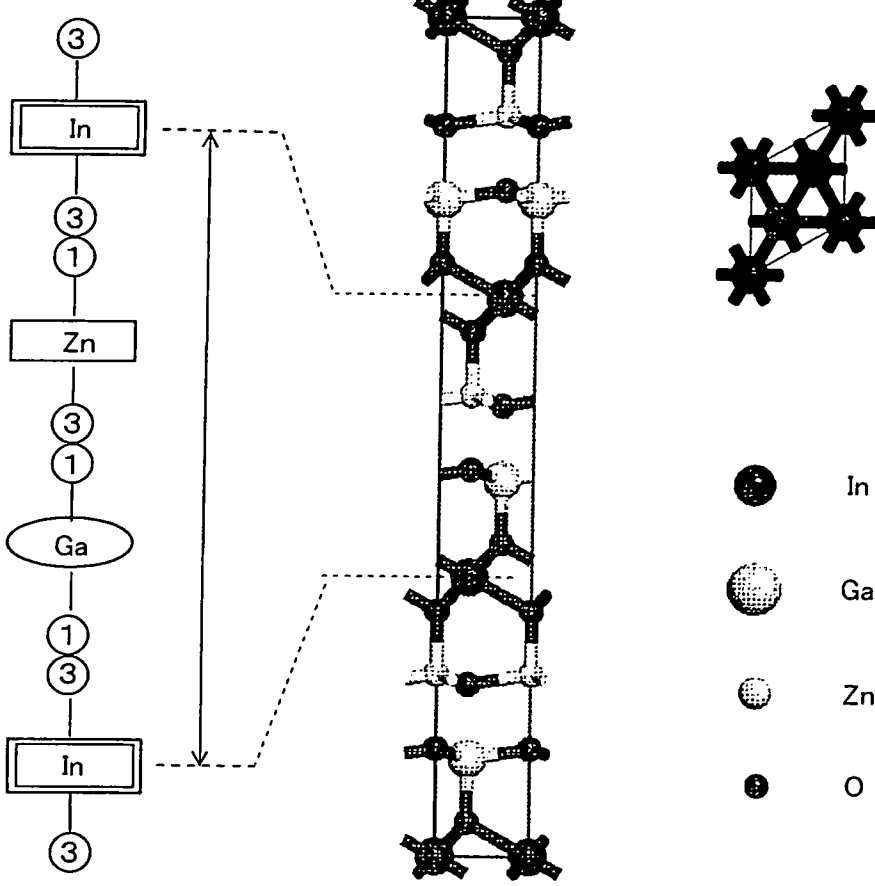


圖 10

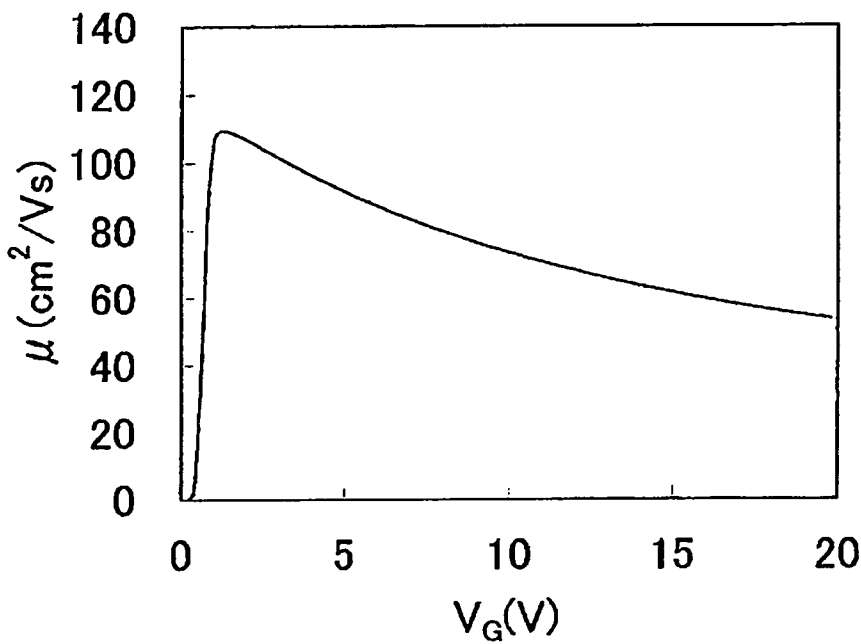


圖 11A

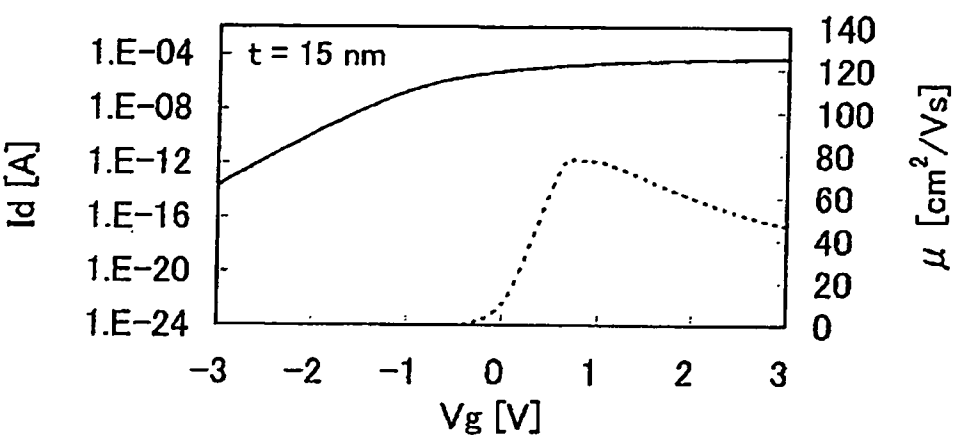


圖 11B

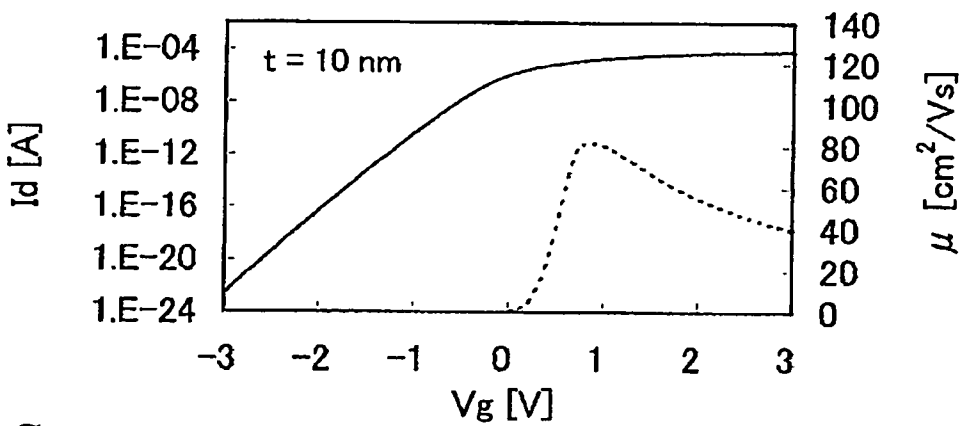


圖 11C

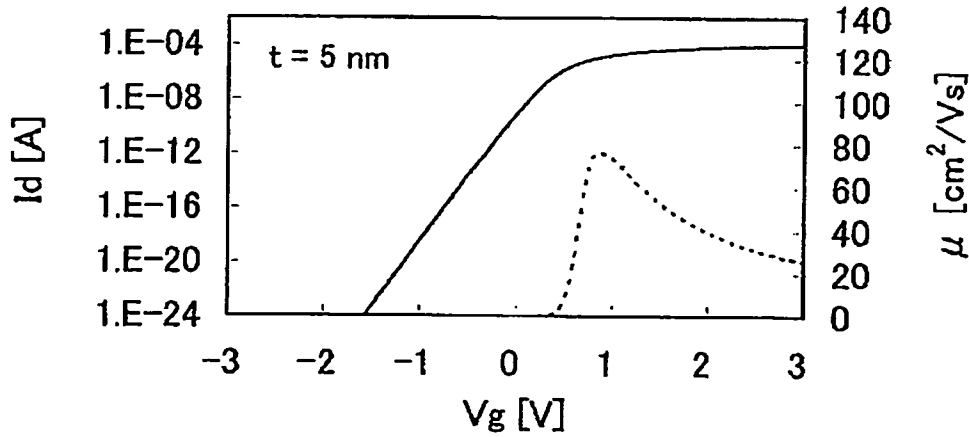


圖 12A

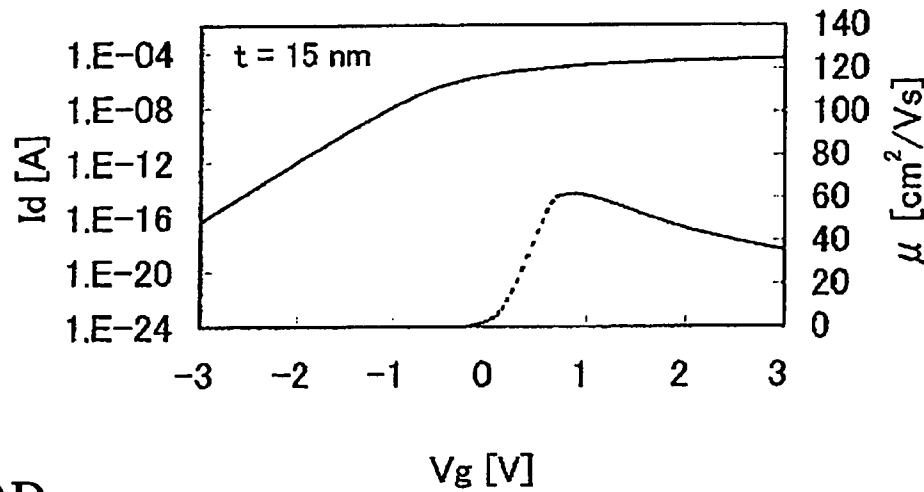


圖 12B

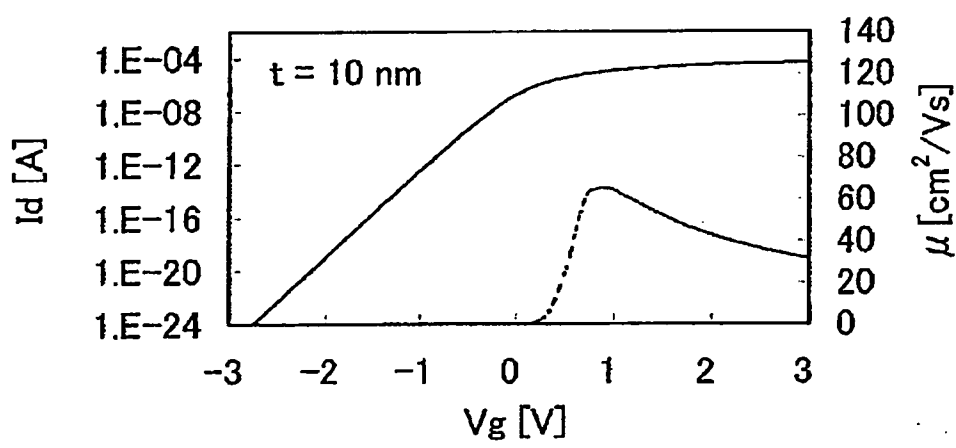


圖 12C

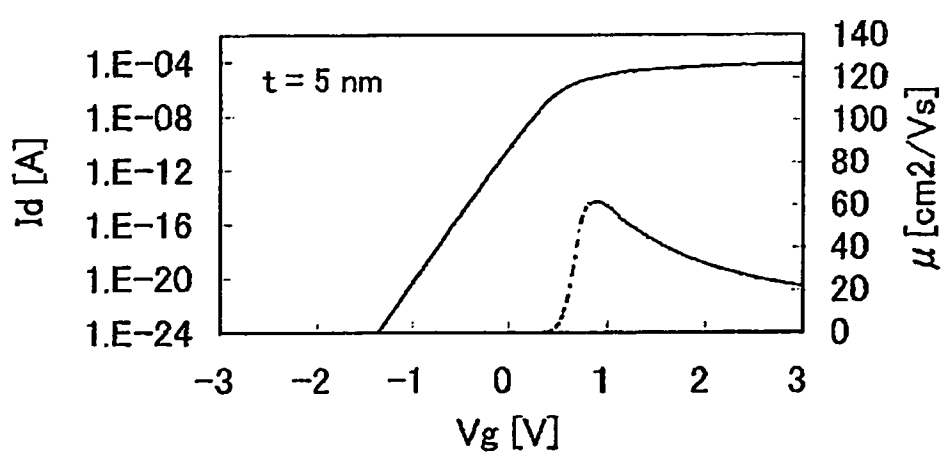


圖 13A

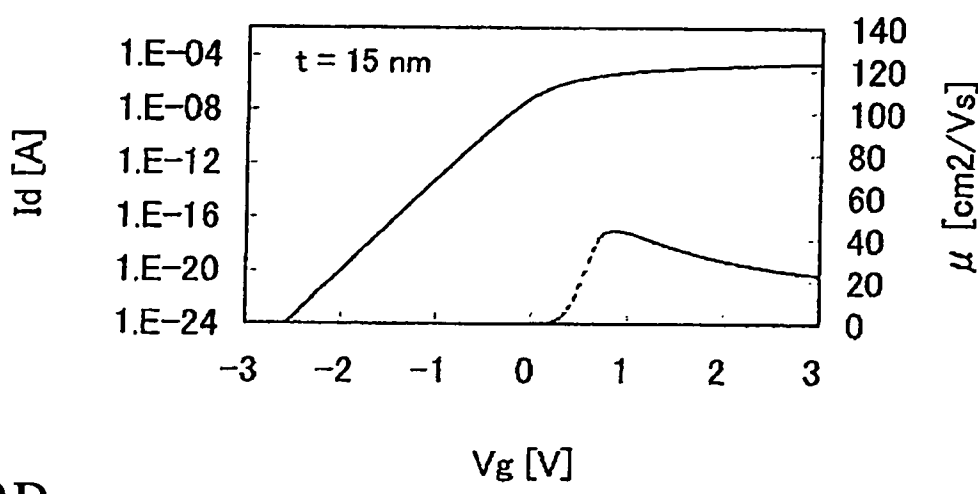


圖 13B

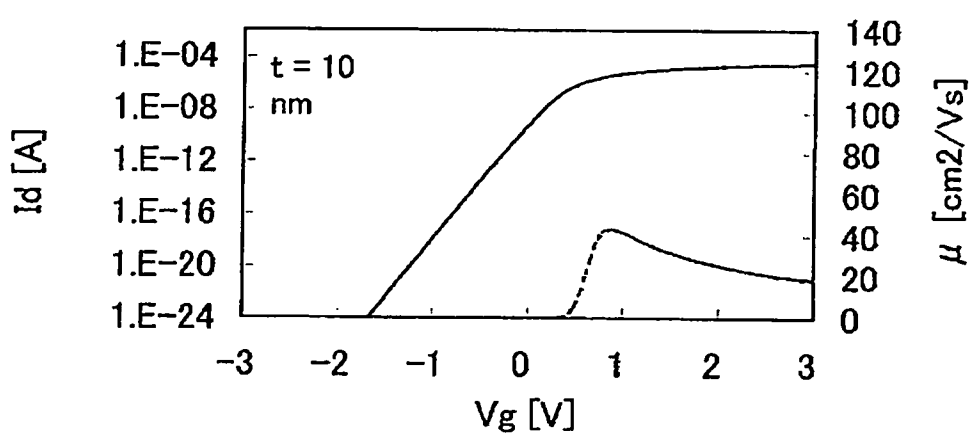


圖 13C

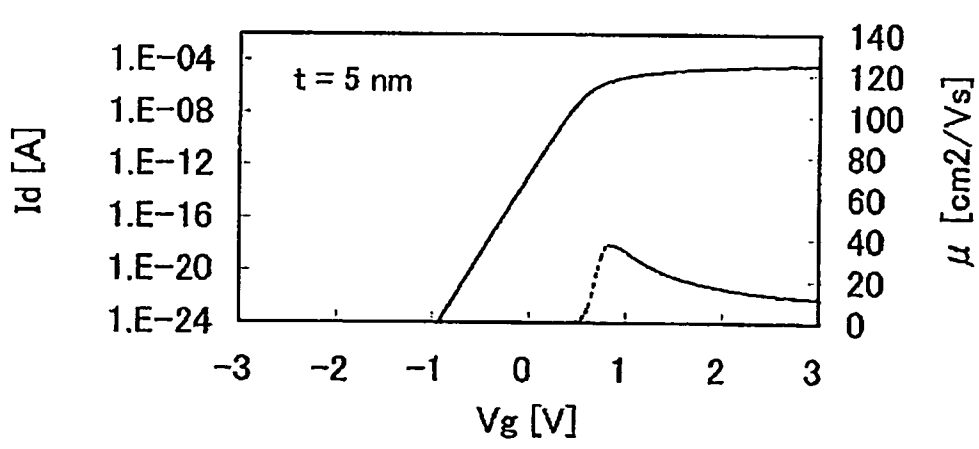


圖 14A

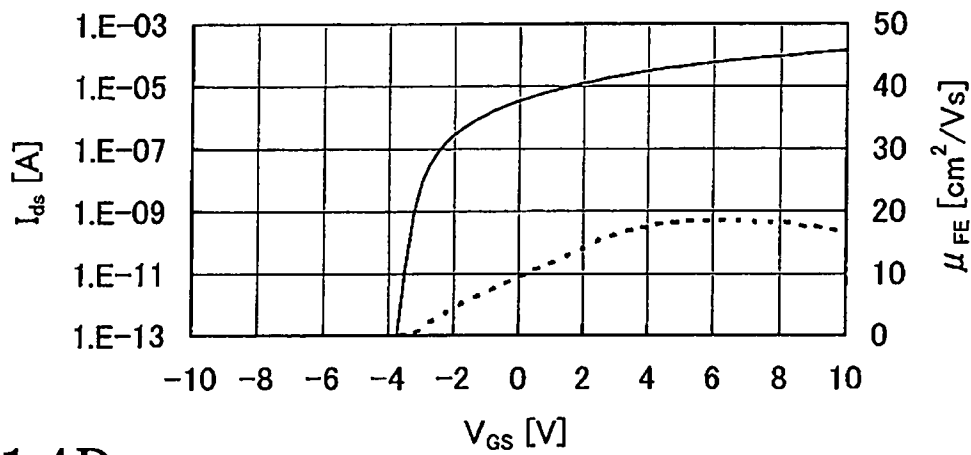


圖 14B

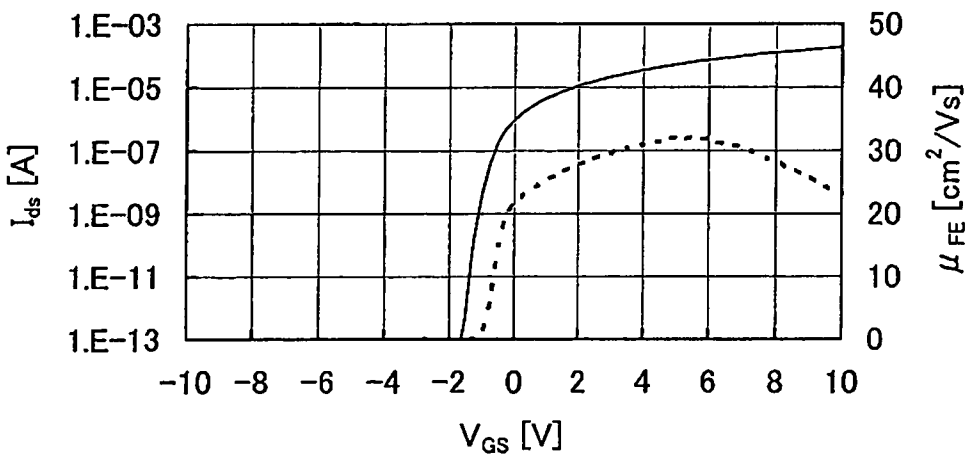


圖 14C

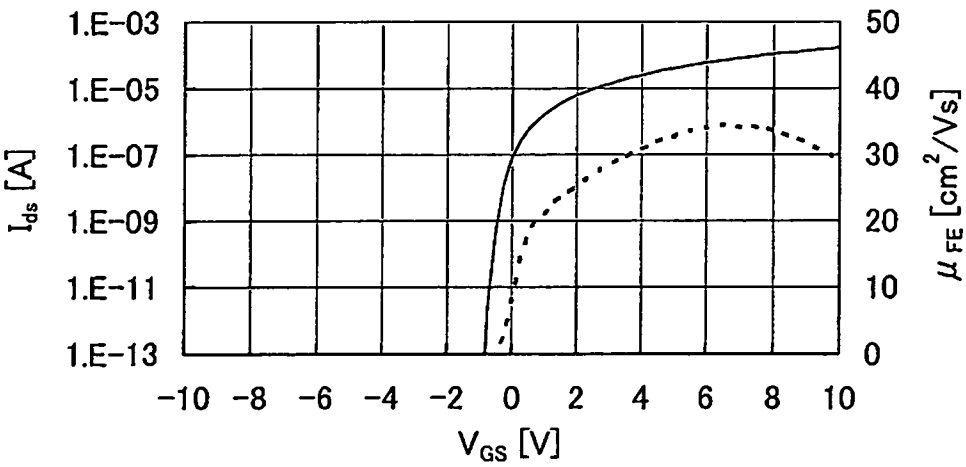


圖 15A

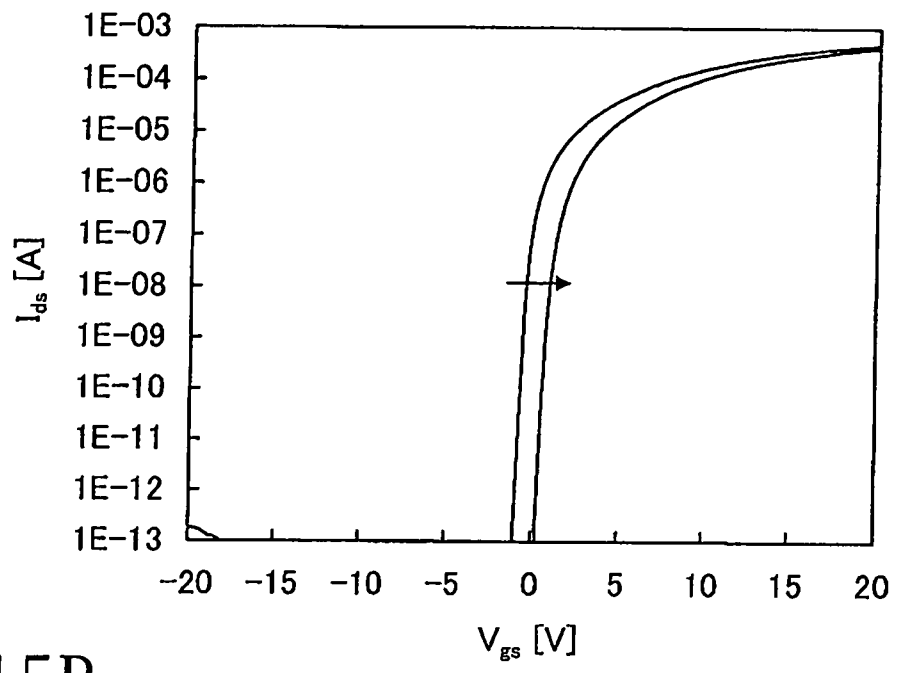


圖 15B

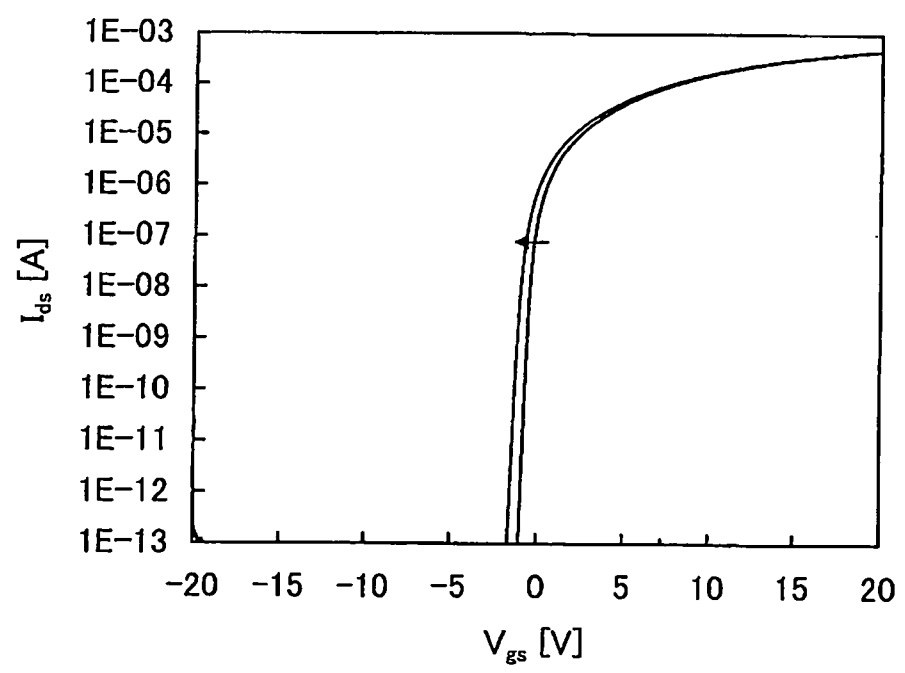


圖 16A

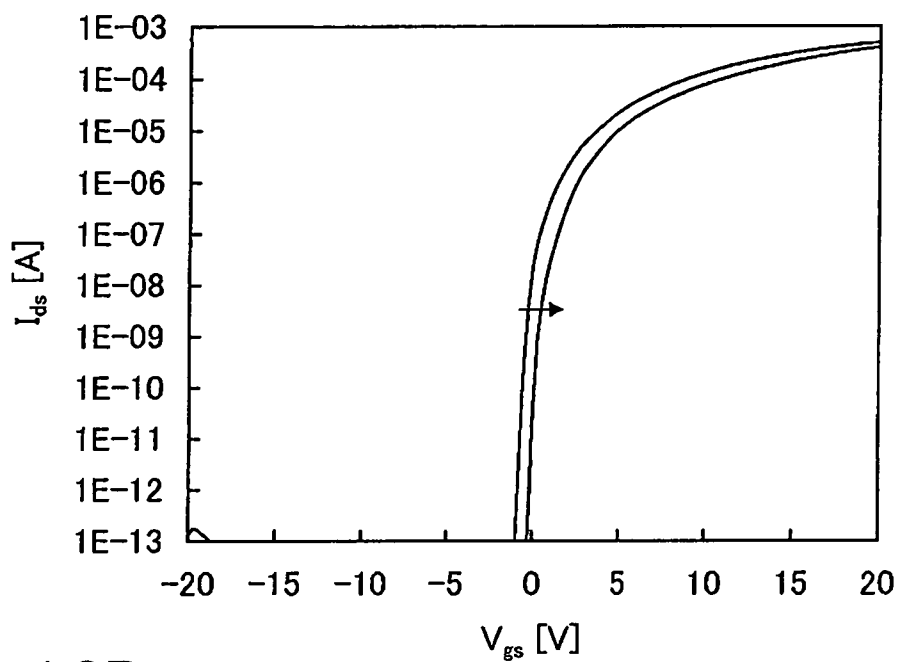


圖 16B

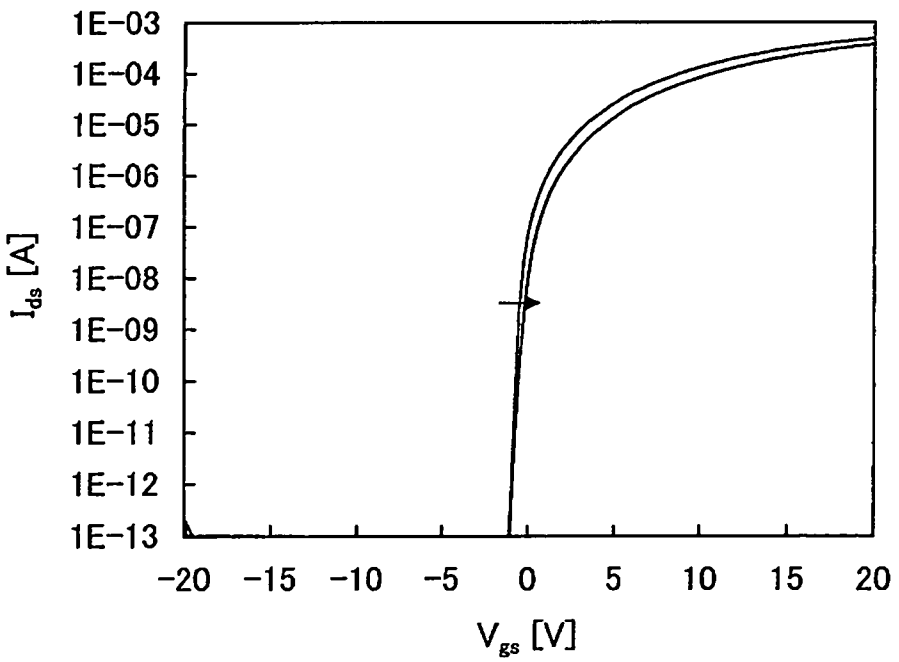


圖17

