

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2023년 12월 14일 (14.12.2023) WIPO | PCT



(10) 국제공개번호

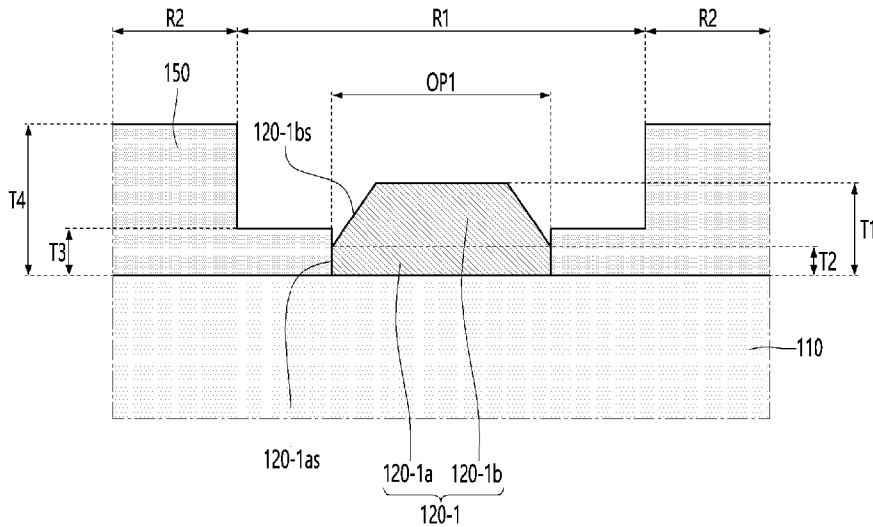
WO 2023/239224 A1

- (51) 국제특허분류: *H05K 3/28* (2006.01) *H01L 23/498* (2006.01)
H05K 3/10 (2006.01) *H01L 23/00* (2006.01)
H01L 23/13 (2006.01)
- (21) 국제출원번호: PCT/KR2023/008033
- (22) 국제출원일: 2023년 6월 12일 (12.06.2023)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2022-0070917 2022년 6월 10일 (10.06.2022) KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR).
- (72) 발명자: 라세웅 (NA, Se Woong); 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR). 김상일 (KIM, Sang Il); 07796 서울특별시 강서구 마곡중앙10로 30, Seoul (KR).
- (74) 대리인: 허용록 (HAW, Yong Noke); 06252 서울특별시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

(54) Title: CIRCUIT BOARD, AND SEMICONDUCTOR PACKAGE COMPRISING SAME

(54) 발명의 명칭: 회로기판 및 이를 포함하는 반도체 패키지

[도5]



(57) Abstract: A circuit board according to an embodiment comprises: an insulating layer; a first circuit pattern disposed on the insulating layer; and a first protective layer which is disposed on the insulating layer and includes a first open portion vertically overlapping the first circuit pattern, wherein the first protective layer includes a first region, which includes the first open portion and has a first thickness, and a second region, which does not include the first open portion and has a second thickness greater than the first thickness. The first thickness of the first region is less than a third thickness of the first circuit pattern, and the inner surface of the first region constituting the first open portion includes a first inner surface in direct contact with the outer surface of the first circuit pattern, and a second inner surface spaced apart from the outer surface of the first circuit pattern.



WO 2023/239224 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 실시 예에 따른 회로 기판은 절연층; 상기 절연층 상에 배치된 제1 회로 패턴; 및 상기 절연층 상에 배치되고, 상기 제1 회로 패턴과 수직으로 중첩되는 제1 오픈 부분을 포함하는 제1 보호층을 포함하고, 상기 제1 보호층은 상기 제1 오픈 부분을 포함하고, 제1 두께를 가지는 제1 영역과, 상기 제1 오픈 부분을 포함하지 않으며, 상기 제1 두께보다 큰 제2 두께를 갖는 제2 영역을 포함하고, 상기 제1 영역의 상기 제1 두께는 상기 제1 회로 패턴의 제3 두께보다 작고, 상기 제1 오픈 부분을 구성하는 상기 제1 영역의 내측면은, 상기 제1 회로 패턴의 외측면과 직접 접촉하는 제1 내측면과, 상기 제1 회로 패턴의 외측면과 이격되는 제2 내측면을 포함한다.

명세서

발명의 명칭: 회로기판 및 이를 포함하는 반도체 패키지 기술분야

[1] 실시 예는 회로 기판 및 이를 포함하는 반도체 패키지에 관한 것이다.

배경기술

[2] 전자 부품의 소형화, 경량화 및 집적화가 가속화되면서, 회로의 선폭이 미세화되고 있다. 특히, 반도체 칩의 디자인롤이 나노미터 스케일로 집적화됨에 따라, 반도체 칩을 실장하는 패키지 기판 또는 회로 기판의 회로 선폭이 수 마이크로미터 이하로 미세화되고 있다.

[3] 회로 기판의 회로 집적도를 증가시키기 위해서(즉, 회로 선폭을 미세화하기 위해서) 다양한 공법들이 제안된 바 있다. 예를 들어, 동 도금 후 패턴을 형성하기 위해 식각하는 단계에서의 회로 선폭의 손실을 방지하기 위한 목적에서 에스에이피(SAP: semi-additive process) 공법과, 엠에스에이피(MSAP: modified semi-additive process) 등이 제안되었다

[4] 이후, 보다 미세한 회로 패턴을 구현하기 위해서 동박을 절연층 내에 매립하는 임베디드 트레이스(ETS: embeded trace substrate) 공법이 당업계에서 사용되고 있다. ETS 공법은 동박 회로를 절연층 표면에 돌출시켜 형성하는 대신에, 이를 절연층 내로 매립하는 타입으로 제조하기 때문에, 애칭으로 인한 회로 손실이 없어 회로 피치를 미세화하는데 유리하다.

[5] 한편, 상기와 같은 회로 기판에는 칩이 실장되거나, 외부 장치의 메인 보드와 결합되어 패키지 기판을 구성한다.

[6] 이를 위해 상기 회로 기판의 최외곽에 배치된 보호층에는 홈부가 형성되고, 상기 홈부 내에는 상기 칩의 실장이나 상기 메인 보드의 결합을 위한 솔더 볼이 배치된다. 또한, 상기 패키지 기판은 상기 솔더볼 상에 칩을 실장하거나 메인 보드를 결합한 후 이를 몰딩하는 몰딩층을 형성하는 것에 의해 제조될 수 있다.

[7] 그러나, 종래 기술에 따르면 상기 회로 기판 상에 상기 솔더 볼을 배치함에 따라, 상기 솔더볼 및 상기 솔더볼과 결합되는 금속층 사이에는 금속접합층(IMC: Inter Metallic Contact)이 형성된다. 이때, 패키지 기판의 제조 공정에서, 상기 몰딩층 형성을 위한 몰딩액 주입 시, 상기 몰딩액 주입 압력에 의한 데미지가 상기 금속접합층(IMC)에 전달되고, 이에 따라 상기 금속접합층(IMC)에 크랙이 발생하는 문제가 있다. 그리고, 상기 금속접합층(IMC)에 크랙이 발생하는 경우, 상기 금속접합층(IMC)의 분리로 인해, 상기 칩이나 상기 메인보드가 상기 회로 기판으로 분리되는 신뢰성 문제가 발생한다.

[8] 이에 따라, 상기 몰딩액 주입 압력에 의해 상기 금속접합층(IMC)에 전달되는 데미지를 최소화할 수 있는 구조가 요구되고 있다.

발명의 상세한 설명

기술적 과제

- [9] 실시 예는 새로운 구조의 회로 기판 및 이를 포함하는 반도체 패키지를 제공한다.
- [10] 또한, 실시 예는 금속 접합층(IMC)의 신뢰성을 향상시킬 수 있는 회로 기판 및 이를 포함하는 반도체 패키지를 제공한다.
- [11] 또한, 실시 예는 접속부와 패드 사이의 접촉 면적을 상승할 수 있는 회로 기판 및 이를 포함하는 반도체 패키지를 제공한다.
- [12] 제안되는 실시 예에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [13] 실시 예에 따른 회로 기판은 절연층; 상기 절연층 상에 배치된 제1 회로 패턴; 및 상기 절연층 상에 배치되고, 상기 제1 회로 패턴과 수직으로 중첩되는 제1 오픈 부분을 포함하는 제1 보호층을 포함하고, 상기 제1 보호층은 상기 제1 오픈 부분을 포함하고, 제1 두께를 가지는 제1 영역과, 상기 제1 오픈 부분을 포함하지 않으며, 상기 제1 두께보다 큰 제2 두께를 갖는 제2 영역을 포함하고, 상기 제1 영역의 상기 제1 두께는 상기 제1 회로 패턴의 제3 두께보다 작고, 상기 제1 오픈 부분을 구성하는 상기 제1 영역의 내측면은, 상기 제1 회로 패턴의 외측면과 직접 접촉하는 제1 내측면과, 상기 제1 회로 패턴의 외측면과 이격되는 제2 내측면을 포함한다.
- [14] 또한, 상기 제1 영역의 상기 제2 내측면은, 상기 제1 영역의 상기 제1 내측면과 연결되며, 상기 제1 내측면이 가지는 경사에 대응하는 경사를 가진다.
- [15] 또한, 상기 제2 영역의 상기 제2 두께는 상기 제1 회로 패턴의 상기 제3 두께보다 크다.
- [16] 또한, 상기 제1 회로 패턴은, 상기 제1 회로 패턴의 상면을 향할수록 폭이 감소하는 영역을 포함하고, 상기 제1 영역의 상기 제2 내측면은 상기 제1 회로 패턴의 상기 폭이 감소하는 영역의 외측면과 이격된다.
- [17] 또한, 상기 제1 영역의 상기 제1 두께는, 상기 제1 회로 패턴의 상기 제3 두께의 20% 내지 90%의 범위를 만족한다.
- [18] 또한, 상기 제1 회로 패턴은, 상기 절연층의 상면에 배치되고, 외측면이 상기 제1 영역의 상기 제1 내측면과 접촉하는 제1 파트; 및 상기 제1 파트 상에 배치되고, 외측면이 상기 제1 보호층과 접촉하지 않는 제2 파트를 포함하고, 상기 제2 파트는 상기 제1 파트의 폭보다 작은 폭을 가지는 영역을 포함한다.
- [19] 또한, 상기 제1 오픈 부분의 폭은 상기 제1 파트의 폭에 대응된다.
- [20] 또한, 상기 제1 파트는 상기 제1 영역의 상기 제1 두께의 20% 내지 90%의 범위의 제4 두께를 가진다.

- [21] 또한, 상기 제2 파트의 외측면은 상기 제2 파트의 상면을 향할수록 폭이 점진적으로 감소하는 직선의 경사를 가진다.
- [22] 또한, 상기 제2 파트의 외측면은, 상기 제2 파트의 상면을 향할수록 폭이 감소하는 특정 곡률의 곡선의 경사를 가진다.
- [23] 또한, 상기 제2 파트 중 상기 제1 파트와 가장 인접한 부분의 폭은, 상기 제1 파트 중 상기 제2 파트와 가장 인접한 부분의 폭보다 작으며, 상기 제1 회로 패턴은 상기 제1 파트와 상기 제2 파트 사이에 구비되는 단차부를 포함한다.
- [24] 또한, 상기 제2 파트의 외측면은, 상기 제2 파트의 상면을 향할수록 폭이 감소하는 경사 또는 상기 제2 파트의 상면을 향할수록 폭의 변화가 없는 경사를 가진다.
- [25] 또한, 상기 제2 파트는, 제1 경사를 가지는 외측면을 갖는 제1 서브 파트와, 상기 제1 경사와 다른 제2 경사를 갖는 외측면을 갖는 제2 서브 파트를 포함한다.
- [26] 또한, 상기 제1 보호층은, 상기 제1 영역과 상기 제2 영역 사이의 경계에 구비되고, 상기 제1 보호층의 내측 방향으로 패인 패임부를 포함한다.
- [27] 또한, 상기 회로 기판은 상기 제1 회로 기판 상에 배치된 표면 처리층을 더 포함하고, 상기 표면 처리층의 최하단은, 상기 제1 영역의 상면보다 낮게 위치한다.
- [28] 또한, 상기 표면 처리층의 적어도 일부는, 상기 제1 영역의 상기 제2 내측면과 접촉한다.
- [29] 또한, 상기 제1 파트의 외측면의 표면 거칠기는, 상기 제2 파트의 외측면의 표면 거칠기와 다르다.
- [30] 한편, 실시 예에 따른 반도체 패키지는 절연층; 상기 절연층 상에 배치된 제1 회로 패턴; 상기 절연층 상에 배치되고, 상기 제1 회로 패턴과 수직으로 중첩되는 제1 오픈 부분을 포함하는 제1 보호층; 상기 제1 보호층의 상기 제1 오픈 부분과 수직으로 중첩된 상기 제1 회로 패턴 상에 배치된 제1 접속부; 및 상기 제1 접속부 상에 실장된 반도체 소자를 포함하고, 상기 제1 보호층은 상기 제1 오픈 부분을 포함하고, 제1 두께를 가지는 제1 영역과, 상기 제1 오픈 부분을 포함하지 않으며, 상기 제1 두께보다 큰 제2 두께를 갖는 제2 영역을 포함하고, 상기 제1 영역의 상기 제1 두께는 상기 제1 회로 패턴의 제3 두께보다 작고, 상기 제1 오픈 부분을 구성하는 상기 제1 영역의 내측면과 상기 제1 회로 패턴의 외측면 사이에는 크레비스가 형성되고, 상기 제1 접속부의 적어도 일부는 상기 크레비스 내에 배치된다.
- [31] 또한, 상기 제1 보호층은, 상기 제1 영역과 상기 제2 영역 사이의 경계에 구비되고, 상기 제1 보호층의 내측 방향으로 패인 패임부를 포함하고, 상기 제1 접속부의 적어도 일부는 상기 패임부 내에 배치된다.

발명의 효과

- [32] 실시 예는 절연층, 상기 절연층 상에 배치된 제1 회로 패턴 및 상기 절연층 상에 배치되고 상기 제1 회로 패턴과 수직으로 중첩되는 제1 오픈 부분을 포함하는 제1 보호층을 포함한다.

- [33] 즉, 상기 제1 보호층은 상기 제1 오픈 부분을 포함하고, 상기 제1 오픈 부분에 인접한 제1 영역을 포함한다. 또한, 상기 제1 보호층은 상기 제1 영역에 인접한 제2 영역을 포함한다. 이때, 상기 제1 영역의 상면의 높이는 상기 제2 영역의 상면의 높이보다 낮다. 바람직하게, 상기 제1 영역의 상면의 높이는 상기 제1 회로 패턴의 상면의 높이보다 낮다. 이를 통해 실시 예는 보호층의 노광 해상력에 의해 보호층이 배치되지 않는 영역에 상기 제1 오픈 부분을 가지는 제1 영역 및 제2 영역을 포함하는 제1 보호층을 배치한다. 그리고, 상기 제1 영역은 상기 제1 회로 패턴과 실질적으로 동일한 폭을 가지는 제1 오픈 부분을 포함하면서, 상기 제1 회로 패턴의 주위를 둘러싸며 배치된다.
- [34] 따라서, 실시 예는 다양한 스트레스에 의해 발생하는 데미지로부터 상기 제1 회로 패턴을 안정적으로 보호할 수 있다. 이를 통해 실시 예는 상기 제1 회로 패턴의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [35] 이때, 상기 제1 보호층의 상기 제1 영역의 내측면과 상기 제1 회로 패턴의 외측면 사이에는 크레비스가 형성될 수 있다.
- [36] 구체적으로, 상기 제1 영역의 내측면은 상기 제1 회로 패턴의 외측면과 접촉하는 제1 내측면과 상기 제1 회로 패턴의 외측면과 접촉하지 않으면서 상기 크레비스를 통해 제1 회로 패턴의 외측면으로부터 이격된 제2 내측면을 포함한다.
- [37] 그리고, 실시 예는 상기 크레비스 내에 표면 처리층 및/또는 솔더가 배치될 수 있도록 한다. 이를 통해 실시 예는 상기 솔더의 배치에 의해 형성되는 금속 접합층과 상기 제1 보호층의 최상면 사이의 거리를 증가시킬 수 있다. 따라서, 실시 예는 상기 금속 접합층의 크랙 발생 가능성을 획기적으로 감소시킬 수 있고, 이에 따른 회로 기판 및 반도체 패키지의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [38] 나아가, 실시 예는 상기 제1 보호층의 두께를 증가하지 않으면서, 상기 크레비스를 이용하여 상기 거리를 증가시킬 수 있다. 따라서, 실시 예는 회로 기판 및 반도체 패키지의 슬립화를 구현할 수 있다.
- [39] 또한, 상기 제1 회로 패턴의 외측면은 상기 제1 보호층의 제1 영역의 외측면과 접촉하는 제1 외측면과, 상기 제1 보호층과 접촉하지 않는 제2 외측면을 포함한다. 그리고, 상기 제2 외측면의 표면 거칠기는 상기 제1 외측면의 표면 거칠기보다 클 수 있다. 이를 통해 실시 예는 상기 제2 외측면 상에 배치되는 상기 표면 처리층과 상기 제1 회로 패턴 사이의 밀착력을 확보할 수 있고, 이에 따른 회로 기판 및 이를 포함하는 반도체 패키지의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [40] 또한, 실시 예는 상기 제1 영역의 두께를 조절하여 상기 제1 영역과 상기 제2 영역 사이의 경계에 내측 방향으로 패인 패임부가 형성되도록 한다. 그리고, 상기 패임부는 솔더 본딩 공정에서, 솔더와 같은 접속부로 채워질 수 있다. 그리고, 상기 패임부 내에 배치된 접속부는 앵커 기능을 할 수 있으며, 이를 통해 상기 접속부와 상기 제1 회로 패턴 사이의 접합력을 향상시킬 수 있다.

도면의 간단한 설명

- [41] 도 1은 비교 예에 따른 회로 기판을 나타낸 도면이다.
- [42] 도 2는 도 1의 비교 예에서의 금속접합층(IMC)의 신뢰성 문제를 설명하기 위한 도면이다.
- [43] 도 3은 실시 예에 따른 회로 기판을 나타낸 단면도이다.
- [44] 도 4는 도 3의 회로 기판에 구비된 제1 회로 패턴을 나타낸 평면도이다.
- [45] 도 5는 제1 실시 예에 따른 제1 보호층의 제1 오픈 부분 및 제1 회로 패턴을 나타낸 단면도이다.
- [46] 도 6은 도 5의 제1 회로 패턴 상에 표면 처리층이 배치된 상태의 단면도이다.
- [47] 도 7은 실시 예에 따른 제1 보호층의 제2 오픈 부분 및 제2 회로 패턴을 나타낸 단면도이다.
- [48] 도 8은 제2 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [49] 도 9는 제3 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [50] 도 10은 제4 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [51] 도 11은 제5 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [52] 도 12는 실시 예에 따른 반도체 패키지를 나타낸 단면도이다.
- [53] 도 13 내지 도 18은 실시 예에 따른 회로 기판의 제조 방법을 제조 공정 순으로 나타낸 단면도이다.

발명의 실시를 위한 최선의 형태

- [54] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시 예를 설명함에 있어 관련된 공지 기술에 대한 구체적인 설명이 본 명세서에 개시된 실시 예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [55] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [56] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급될 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있

을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[57] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[58] 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[59] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예를 상세하게 설명하면 다음과 같다.

[60]

[61] - 비교 예 -

[62] 실시 예의 설명에 앞서, 본원의 실시 예의 회로 기판과 비교되는 비교 예에 대해 설명하기로 한다.

[63] 도 1은 비교 예에 따른 회로 기판을 나타낸 도면이고, 도 2는 도 1의 비교 예에서의 금속접합층(IMC)의 신뢰성 문제를 설명하기 위한 도면이다.

[64] 도 1을 참조하면, 비교 예에 따른 회로 기판은 절연층(10), 회로 패턴층(20), 보호층(30), 표면 처리층(40) 및 솔더(50)를 포함한다.

[65] 비교 예에서의 회로 기판은 칩(미도시)이나 외부 기판(미도시)을 부착하기 위해 회로 패턴층(20) 상에 솔더(50)가 배치된 구조를 가진다.

[66] 비교 예의 회로 기판은 절연층(10)을 포함한다. 또한, 비교 예의 회로 기판은 절연층(10) 상에 배치되는 회로 패턴층(20)을 포함한다. 상기 회로 패턴층(20)은 패드 및 트레이스를 포함한다. 상기 패드는 상기 회로 패턴층 중 상기 칩이나 외부 기판과의 접합을 위해 솔더(50)가 배치되는 전극 패턴을 의미한다. 상기 트레이스는 상기 복수의 패드 사이를 연결하는 가느다란 신호 라인을 의미할 수 있다.

[67] 또한, 비교 예의 회로 기판은 절연층(10) 상에 배치되는 보호층(30)을 포함한다.

[68] 상기 보호층(30)은 개구부를 포함한다. 구체적으로, 보호층(30)은 상기 회로 패턴층(20) 중 솔더(50)가 배치될 패드의 상면을 부분적으로 노출한다. 예를 들어, 상기 보호층(30)의 개구부는 상기 솔더(50)가 배치될 공간을 제공한다.

[69] 상기 보호층(30)의 개구부 내에는 표면 처리층(40)이 배치된다. 상기 표면 처리층(40)은 상기 보호층(30)의 개구부와 수직으로 중첩된 회로 패턴층(20) 상에 배치된다.

[70] 상기 표면 처리층(40)은 일정 두께를 가질 수 있다.

[71] 한편, 상기 표면 처리층(40) 상에는 상기 보호층(30)의 개구부를 채우며 솔더(50)가 배치된다. 이때, 상기 표면 처리층(40)과 상기 솔더(50)는 이종물질로 구성

되며, 상기 표면 처리층(40)과 상기 솔더(50) 사이의 계면에는 금속접합층(IMC)이 형성된다.

- [72] 이때, 비교 예에서의 상기 보호층(30)의 상면은 상기 금속 접합층(IMC)과 인접하게 위치한다. 이때, 상기 보호층(30)은 회로 기판의 사용 환경에서 열적 스트레스에 의해 수축 및 팽창이 발생한다. 그리고 상기 수축 및 팽창은 상기 보호층(30)의 상면 및 상기 개구부의 내벽을 따라 상기 금속 접합층(IMC)에 전달된다.
- [73] 또한, 상기 회로 기판은 상기 솔더(50) 상에 칩이나 외부 장치의 메인 기판을 접합하고, 그에 따라 상기 칩이나 메인 기판을 몰딩하는 몰딩층(미도시)을 형성하는 공정을 진행한다. 이때, 상기 몰딩층의 형성 공정은 상기 보호층(30) 상에 몰딩액을 주입하는 것에 의해 이루어진다. 이때, 이때 상기 몰딩층의 형성 공정 시에 상기 몰딩액 주입을 위해 일정 압력이 가해지며, 상기 가해지는 압력은 상기 보호층(30)의 개구부의 내벽을 따라 상기 금속접합층(IMC)에 전달된다.
- [74] 이때, 상기와 같이 비교 예에서는 상기 보호층(30)의 상면과 상기 금속접합층(IMC)이 인접하게 위치하고, 그에 따라 상기 발생하는 스트레스나 압력은 상기 금속 접합층(IMC)에 그대로 전달된다.
- [75] 도 2에 도시된 바와 같이, 상기 스트레스나 압력이 상기 금속 접합층(IMC)에 전달되는 경우, 상기 전달되는 압력에 의해 상기 금속 접합층(IMC)에 크랙이 발생할 수 있다. 또한, 상기 금속 접합층(IMC)에 크랙이 발생하는 경우, 상기 솔더(50)가 상기 표면 처리층(40)으로부터 분리되는 물리적 신뢰성 문제가 발생한다.
- [76] 또한, 상기 솔더(50)가 상기 표면 처리층(40)으로부터 분리되는 경우, 상기 솔더(50) 상에 연결된 칩이나 메인 보드도 상기 회로 기판으로부터 분리되며, 이에 따른 제품 신뢰성에 문제가 발생한다.
- [77] 나아가, 상기 회로 기판 상에 배치되는 반도체 소자에서 제공되는 기능이 증가하고, 이에 의해 상기 회로 기판 상에 배치되는 반도체 소자의 개수 또는 상기 반도체 소자에 구비되는 단자의 개수가 증가하고 있다.
- [78] 따라서, 상기 회로 패턴층은 상기 반도체 소자의 실장을 위해 미세화가 요구된다. 그러나 상기 회로 패턴층이 미세화되어도, 상기 보호층(30)에 형성 가능한 개구부의 사이즈에는 한계가 있다. 따라서, 상기 개구부의 사이즈는 상기 보호층(30)의 노광 해상력에 의해 결정된다. 이때, 일반적으로 형성 가능한 상기 개구부의 최소 사이즈는 50 μ m 수준이다.
- [79] 이에 따라, 상기 반도체 소자와 연결되는 패드는 상기 개구부의 최소 사이즈의 한계에 의해 미세화가 어려운 문제가 있다.
- [80] 또한, 최근에는 상기 반도체 소자와 연결되는 패드 상에는 상기 보호층을 배치하지 않고, 이를 통해 상기 패드의 미세화를 구현한다. 그러나 상기 보호층이 배치되지 않는 영역에 배치된 트레이스는 상기 보호층에 의해 보호되지 않고, 이에 의한 물리적 신뢰성 및/또는 전기적 신뢰성 문제가 발생하고 있다.
- [81]

- [82] 이에 따라, 실시 예는 비교 예의 회로 기판이 가지는 물리적 신뢰성 문제를 해결하도록 한다. 구체적으로, 실시 예는 회로 기판의 두께 증가 없이, 상기 보호층의 상면과 상기 금속 접합층(IMC) 사이의 거리를 증가시키도록 한다. 구체적으로, 실시 예에서는 상기 보호층의 상면과 상기 금속 접합층(IMC) 사이를 연결하는 보호층의 개구부의 내벽의 거리를 증가시킬 수 있도록 한다.
- [83] 이를 통해 실시 예는 상기 발생하는 스트레스나 압력으로부터 상기 금속 접합층(IMC)을 안정적으로 보호할 수 있도록 하고, 이에 따른 상기 금속 접합층(IMC)의 물리적 신뢰성을 향상시킬 수 있도록 한다. 이를 통해 실시 예는 상기 금속 접합층의 물리적 신뢰성을 향상시킬 수 있도록 한다.
- [84] 나아가, 실시 예는 반도체 소자와 연결되는 패드를 미세화하면서, 상기 패드와 수직으로 중첩되는 개구부를 포함하는 보호층을 형성한다. 이를 통해 실시 예는 반도체 소자의 실장 영역에 배치되는 패드나 트레이스를 안정적으로 보호할 수 있도록 한다.
- [85]
- [86] -전자 디바이스-
- [87] 실시 예의 설명에 앞서, 실시 예의 반도체 패키지를 포함하는 전자 디바이스에 대해 간략하게 설명하기로 한다. 전자 디바이스는 메인 보드(미도시)를 포함한다. 상기 메인 보드는 다양한 부품들과 물리적 및/또는 전기적으로 연결될 수 있다. 예를 들어, 메인 보드는 실시 예의 반도체 패키지와 연결될 수 있다. 상기 반도체 패키지에는 다양한 반도체 소자가 실장될 수 있다.
- [88] 상기 반도체 소자는 능동소자 및/또는 수동소자를 포함할 수 있다. 능동소자는 소자 수백 내지 수백만 개 이상이 하나의 칩 안에 집적화된 집적회로(IC) 형태의 반도체칩일 수 있다. 반도체칩은 로직 칩, 메모리칩 등일 수 있다. 로직 칩은 센트럴 프로세서(CPU), 그래픽 프로세서(GPU) 등일 수 있다. 예를 들어, 로직 칩은 센트럴 프로세서(CPU), 그래픽 프로세서(GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 중 적어도 하나를 포함하는 AP 이거나, 또는 아날로그-디지털 컨버터, ASIC(application-specific IC) 등이거나, 또는 지금까지 나열한 것들의 특정 조합을 포함하는 칩 세트일 수 있다.
- [89] 메모리 칩은 HBM 등의 스택 메모리일 수 있다. 또한, 메모리 칩은 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩을 포함할 수 있다.
- [90] 한편, 실시 예의 반도체 패키지가 적용되는 제품군은 CSP(Chip Scale Package), FC-CSP(Flip Chip-Chip Scale Package), FC-BGA(Flip Chip Ball Grid Array), POP(Package On Package) 및 SIP(System In Package) 중 어느 하나일 수 있으나, 이에 한정되는 것은 아니다.
- [91] 또한, 상기 전자 디바이스는 스마트 폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network system), 컴퓨터

(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch), 오토모티브(Automotive) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이들 외에도 데이터를 처리하는 임의의 다른 전자기기일 수 있음은 물론이다.

[92]

[93] - 회로 기판 -

[94] 이하에서는 실시 예의 회로 기판에 대해 설명하기로 한다.

[95] 회로 기판은 반도체 소자 또는 칩이 실장되기 이전의 기판을 의미한다.

[96] 도 3은 실시 예에 따른 회로 기판을 나타낸 단면도이고, 도 4는 도 3의 회로 기판에 구비된 제1 회로 패턴을 나타낸 평면도이고, 도 5는 제1 실시 예에 따른 제1 보호층의 제1 오픈 부분 및 제1 회로 패턴을 나타낸 단면도이고, 도 6은 도 5의 제1 회로 패턴 상에 표면 처리층이 배치된 상태의 단면도이며, 도 7은 실시 예에 따른 제1 보호층의 제2 오픈 부분 및 제2 회로 패턴을 나타낸 단면도이다.

[97] 이하에서는 도 3 내지 도 7을 참조하여, 실시 예에 따른 회로 기판에 대해 설명하기로 한다.

[98] 실시 예의 회로 기판은 적어도 1개의 반도체 소자를 실장할 수 있는 실장 공간을 제공한다.

[99] 예를 들어, 제1 실시 예의 회로 기판은 1개의 반도체 소자를 실장하기 위한 실장 공간을 제공할 수 있고, 이와 다르게 2개 이상의 반도체 소자를 실장하기 위한 복수의 실장 공간을 제공할 수 있다.

[100] 또한, 제1 실시 예의 회로 기판에는 1개의 로직 칩이 실장될 수 있다. 또한, 제1 실시 예의 회로 기판에는 서로 다른 종류의 적어도 2개의 로직 칩이 실장될 수 있다. 또한, 제1 실시 예의 회로 기판에는 적어도 1개의 로직 칩 및 적어도 1개의 메모리 칩이 실장될 수 있다.

[101] 도 3을 참조하면, 제1 실시 예의 회로 기판(100)은 절연층(110)을 포함한다. 상기 절연층(110)은 1층 이상의 층수를 가질 수 있다. 바람직하게, 상기 절연층(110)은 다층 구조를 가질 수 있다. 이때, 도면상에는 상기 절연층(110)이 1층으로 구성되는 것으로 도시하였으나, 이에 한정되지 않는다. 예를 들어, 상기 절연층(110)은 수직 방향으로 적층 구조를 가지는 복수의 절연층을 포함할 수 있다.

[102] 이하에서는 설명의 편의를 위해 상기 절연층(110)을 1개의 층으로 도시하여 설명한다.

[103] 상기 절연층(110)은 리지드(rigid)하거나 또는 플렉서블(flexible)할 수 있다.

[104] 일 예로, 상기 절연층(110)은 프리프레그를 포함할 수 있다. 예를 들어, 상기 절연층(110)은 수지에 유리 섬유가 함침된 프리프레그일 수 있다. 상기 수지는 예로서 수지일 수 있으나, 이에 한정되는 것은 아니다.

[105] 또한, 상기 절연층(110)은 소다라임유리(soda lime glass) 또는 알루미늄실리케이트유리 등의 화학 강화/반강화유리를 포함할 수 있다. 예를 들어, 상기 절연층(110)은 폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene

terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC) 등의 강화 혹은 연성 플라스틱을 포함할 수 있다. 예를 들어, 절연층(110)은 사파이어를 포함할 수 있다. 예를 들어, 상기 절연층(110)은 광등방성 필름을 포함할 수 있다. 예를 들어, 상기 절연층(110)은 COC(Cyclic Olefin Copolymer), COP(Cyclic Olefin Polymer), 광등방 폴리카보네이트(polycarbonate, PC) 또는 광등방 폴리메틸메타크릴레이트(PMMA)를 포함할 수 있다. 예를 들어, 상기 절연층(110)은 무기 필러 및 절연 수지를 포함하는 재료로 형성될 수 있다. 예를 들어, 상기 절연층(110)은 열경화성 수지 또는 열가소성 수지에 실리카 또는 알루미늄의 무기필러가 배치된 구조를 가질 수 있다. 예를 들어, 상기 절연층(110)은 ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine), PID(Photo Imagable Dielectric resin), BT 등이 사용될 수 있다. 예를 들어, 상기 절연층(110)은 RCC(Resin coated copper)를 포함할 수 있다.

- [106] 상기 절연층(110)은 $10\mu\text{m}$ 내지 $60\mu\text{m}$ 의 범위의 두께를 가질 수 있다. 예를 들어, 상기 절연층(110)이 복수의 층을 포함하는 경우, 상기 복수의 층이 각각의 두께는 $10\mu\text{m}$ 내지 $60\mu\text{m}$ 의 범위를 만족할 수 있다. 바람직하게, 상기 절연층(110)은 $15\mu\text{m}$ 내지 $55\mu\text{m}$ 의 범위의 두께를 만족할 수 있다. 더욱 바람직하게, 상기 절연층(110)은 $18\mu\text{m}$ 내지 $52\mu\text{m}$ 의 범위의 두께를 만족할 수 있다.
- [107] 상기 절연층(110)의 두께는 두께 방향으로 상호 인접하게 배치된 복수의 회로 패턴층 사이의 수직 거리를 의미할 수 있다. 예를 들어, 절연층(110)의 두께는 제1 회로 패턴층(120) 및 제2 회로 패턴층(130) 사이의 수직 거리를 의미할 수 있다. 예를 들어, 절연층(110)의 두께는 상기 제1 회로 패턴층(120)의 하면과 제2 회로 패턴층(130)의 상면 사이의 수직 거리를 의미할 수 있다.
- [108] 상기 절연층(110)의 두께가 $10\mu\text{m}$ 미만이면, 회로 기판(100)의 휨 특성이 저하될 수 있다. 예를 들어, 상기 절연층(110)의 두께가 $10\mu\text{m}$ 미만이면, 상기 절연층(110)의 표면에 배치된 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)이 안정적으로 배치되지 못하고, 이에 따른 전기적 신뢰성 및/또는 물리적 신뢰성 문제가 발생할 수 있다. 또한, 상기 절연층(110)의 두께가 $10\mu\text{m}$ 미만이면, 상기 절연층(110) 상에 상기 제1 회로 패턴층(120) 또는 제2 회로 패턴층(130)을 형성하는 공정에서의 공정 특성이 저하될 수 있다.
- [109] 또한, 상기 절연층(110)의 두께가 $60\mu\text{m}$ 를 초과하면, 상기 회로 기판(100)의 전체적인 두께가 증가하고, 이에 따른 반도체 패키지의 두께가 증가할 수 있다. 또한, 상기 절연층(110)의 두께가 $60\mu\text{m}$ 를 초과하면, 상기 제1 회로 패턴층(120) 및/또는 제2 회로 패턴층(130)의 미세화가 어려울 수 있다. 예를 들어, 상기 절연층(110)의 두께가 $60\mu\text{m}$ 를 초과하면, 상기 제1 회로 패턴층(120) 및/또는 제2 회로 패턴층(130)의 폭 및 인접한 패턴 사이의 간격을 $12\mu\text{m}$ 이하, $10\mu\text{m}$ 이하, $8\mu\text{m}$ 이하 또는 $6\mu\text{m}$ 이하로 형성하기 어려울 수 있다. 그리고, 상기 제1 회로 패턴층(120) 및/또는 제2 회로 패턴층(130)의 미세화가 어려우면, 회로 집적도가 저하되고, 이에 따라 신호 전송 거리의 증가에 따른 신호 전송 손실이 증가할 수 있다.

- [110] 제1 실시 예의 회로 기관(100)은 절연층(110) 상에 배치된 회로 패턴층을 포함한다.
- [111] 예를 들어, 제1 실시 예의 회로 기관(100)은 절연층(110)의 상면에 배치된 제1 회로 패턴층(120)을 포함한다. 또한, 회로 기관(100)은 절연층(110)의 하면에 배치된 제2 회로 패턴층(130)을 포함한다.
- [112] 상기 제1 회로 패턴층(120)은 위치 또는 기능에 따라 복수의 회로 패턴으로 구분될 수 있다.
- [113] 예를 들어, 상기 제1 회로 패턴층(120)은 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2)을 포함할 수 있다. 상기 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2) 중 적어도 하나는 상기 회로 기관(100)의 반도체 소자 실장 영역에 배치될 수 있다.
- [114] 예를 들어, 상기 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2) 중 적어도 하나는 반도체 소자의 단자와 연결되는 실장 패드를 포함할 수 있다.
- [115] 또한, 상기 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2) 중 적어도 하나는 외부 기관과 결합되는 단자 패드를 포함할 수 있다.
- [116] 또한, 상기 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2) 중 적어도 하나는 인터포저 또는 전자 디바이스의 메인 보드와 결합되는 단자 패드를 포함할 수 있다. 이때, 상기 인터포저는 반도체 소자 기능을 포함하는 액티브 인터포저일 수 있다. 이와 다르게 상기 인터포저는 복수의 구성 요소 사이에서 신호 중계 기능을 하는 패시브 인터포저일 수 있다.
- [117] 한편, 상기 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2)은 이들의 폭에 의해 상호 구분될 수 있다. 예를 들어, 상기 제1 회로 패턴(120-1)은 상기 제2 회로 패턴(120-2)의 폭보다 상대적으로 작은 폭을 가질 수 있다.
- [118] 바람직하게, 상기 제1 회로 패턴(120-1)은 반도체 소자의 단자와 연결되는 실장 패드를 포함할 수 있다. 또한, 상기 제2 회로 패턴(120-2)은 외부 기관 등과 연결되는 단자 패드를 포함할 수 있다. 따라서, 상기 제1 회로 패턴(120-1)은 상기 반도체 소자의 단자에 대응하는 미세 패턴일 수 있다.
- [119] 이때, 최근 반도체 소자에서 제공되는 기능의 증가에 따라 상기 반도체 소자에 구비되는 단자의 개수 또는 회로 기관에 실장되는 반도체 소자의 개수가 증가하고 있다.
- [120] 따라서, 상기 제1 회로 패턴층(120)의 제1 회로 패턴(120-1)의 미세화가 요구된다. 그러나 비교 예에서는 상기 보호층의 오픈 부분의 사이즈 한계, 언더 컷, 및 금속 접합층의 신뢰성 문제로 인해 상기 제1 회로 패턴층(120)의 제1 회로 패턴(120-1)을 미세화하는데 한계가 있었다. 즉, 제1 회로 패턴(120-1)이 미세화되는 경우, 상기 제1 회로 패턴(120-1)의 폭에 대응하는 사이즈의 오픈 부분을 형성할 수 없거나, 상기 언더 컷에 의해 이웃하는 복수의 패턴들 사이가 솔더에 의해 서로 연결되거나, 상기 금속 접합층의 신뢰성이 더욱 감소하는 문제가 있다.
- [121] 즉, 상기 제1 회로 패턴(120-1)의 복수의 패턴들 사이의 간격이 감소하는 경우, 회로 집적도를 향상시킬 수 있다. 그러나 상기 복수의 패턴들 사이의 간격이 감

소하는 경우, 상기 복수의 패턴들에 대응하는 오픈 부분을 상기 제1 보호층(150)에 형성하지 못하는 문제가 발생할 수 있다.

[122] 또한, 상기 제1 회로 패턴(120-1)의 폭이 감소하거나, 복수의 패턴들 사이의 간격이 감소하는 경우, 금속 접합층의 접합 면적이 감소하고, 이에 의해 상기 금속 접합층의 물리적 신뢰성이 더욱 저하될 수 있다.

[123] 따라서, 실시 예는 상기 제1 보호층(150)이 오픈 부분을 포함하면서, 상기 제1 보호층(150)의 상면이 단차 구조를 가지도록 한다. 이를 통해 실시 예는 상기 제1 보호층(150)의 최상면과 상기 제1 회로 패턴(120-1) 사이의 거리를 최대한 증가시킨다. 구체적으로, 상기 금속 접합층의 물리적 신뢰성을 향상시키기 위해서는 상기 제1 보호층(150)의 최상면과 상기 제1 회로 패턴(120-1) 사이의 거리가 증가되어야 한다. 이를 위해, 상기 제1 보호층(150)의 두께를 증가시킬 수도 있다. 그러나, 상기 제1 보호층(150)의 두께가 증가하는 경우, 상기 제1 보호층(150)에 상기 제1 회로 패턴(120-1)에 대응하는 사이즈를 가진 오픈 부분을 형성하기 어려울 수 있다. 나아가, 상기 제1 보호층(150)의 두께가 증가하는 경우, 이에 따른 회로 기판의 두께가 증가하고, 이에 따른 반도체 패키지의 전체적인 두께가 증가하게 된다.

[124] 이에 따라, 실시 예에서는 상기 제1 보호층(150)의 두께를 증가시키지 않으면서, 상기 제1 보호층(150)과 상기 제1 회로 패턴(120-1) 사이에 구비되는 상기 제1 보호층(150)의 오픈 부분의 내벽의 길이를 증가시킨다.

[125] 이는, 이하에서 설명되는 제1 보호층(150)의 오픈 부분의 형상 및 상기 오픈 부분과 수직으로 중첩되는 제1 회로 패턴(120-1)의 형상에 의해 달성될 수 있다. 이에 대해서는 하기에서 더욱 상세히 설명한다.

[126] 한편, 회로 기판(100)의 절연층(110)이 복수의 층을 포함하는 경우, 상기 제1 회로 패턴층(120)은 절연층(110)의 복수의 층 중 최상층에 배치된 절연층의 상면에 배치될 수 있고, 상기 제2 회로 패턴층(130)은 절연층(110)의 복수의 층 중 최하층에 배치된 절연층의 하면에 배치될 수 있다. 예를 들어, 상기 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)은 외층 회로 패턴층을 나타낸 것일 수 있으나, 이에 한정되지 않는다.

[127] 한편, 상기 절연층(110)이 복수의 층을 포함하는 경우, 상기 복수의 층 사이에는 추가적인 내층 회로 패턴층이 배치될 수 있을 것이다.

[128] 도 4를 참조하면, 상기 제1 회로 패턴(120-1)은 로직 칩과 같은 반도체 소자가 실장되는 영역에 배치된다. 이에 따라, 상기 제1 회로 패턴(120-1)은 미세 패턴을 포함할 수 있다. 도 4의 (a)는 실시 예의 제1 보호층(150)이 제거된 상태의 제1 회로 패턴(120-1)을 나타낸 평면도이고, 도 4의 (b)는 도 4의 (a)의 A-A' 방향을 따른 단면도이다.

[129] 상기 제1 회로 패턴(120-1)은 반도체 소자의 단자 또는 인터포저의 패드에 대응하는 패드(120-11) 및 상기 패드(120-11)와 연결되는 트레이스(120-12)를 포함한다.

- [130] 상기 제1 회로 패턴(120-1)은 미세화가 요구된다. 예를 들어, 상기 제1 회로 패턴(120-1)은 제한된 공간 내에서 반도체 소자의 모든 단자 또는 인터포저의 모든 패드와 연결되면서, 이들 사이를 연결하는 트레이스를 배치해야 한다. 이에 따라, 상기 제1 회로 패턴(120-1)은 미세 패턴을 포함할 수 있다.
- [131] 또한, 5G, 사물인터넷(IOT, Internet of Things), 화질 증가, 통신 속도 증가 등의 이유로, 상기 제1 프로세서 칩 및 상기 제2 프로세서 칩 내에서의 단자의 개수가 점차 증가하고 있다. 이에 따라, 하나의 반도체 소자에서 모든 기능을 제공하지 못하거나, 하나의 반도체 소자에 구비되는 단자의 개수가 증가하고 있다.
- [132] 이에 따라, 상기 제1 회로 패턴(120-1)은 초미세화가 요구될 수 있다.
- [133] 상기 제1 회로 패턴(120-1)의 패드(120-11)는 상기 회로 기판상에 실장될 반도체 소자의 단자에 대응된다. 이에 따라, 상기 패드(120-11)의 개수는 상기 반도체 소자의 단자의 개수에 대응된다.
- [134] 상기 패드(120-11)는 제1 수평 방향으로의 폭과 상기 제1 수평 방향과 수직한 제2 수평 방향으로의 폭이 서로 다를 수 있다. 이때, 상기 패드(120-11)는 이웃하는 패드나 트레이스의 이격 방향으로의 폭이 상기 이격 방향과 수직한 방향으로의 폭보다 작을 수 있다. 그리고 상기 패드(120-11)의 폭 중 상기 이격 방향으로의 폭이 회로 집적도에 큰 영향을 준다. 상기 이격 방향은 상기 제1 수평 방향을 의미할 수 있다.
- [135] 즉, 상기 패드(120-11)는 상기 제1 수평 방향으로의 폭이 상기 제2 수평 방향으로의 폭보다 작은 타원형을 가질 수 있다. 다만, 실시 예는 이에 한정되지 않는다. 예를 들어, 상기 패드(120-11)는 전체적으로 상기 제1 수평 방향으로의 폭을 가진 원형 형상을 가질 수 있다.
- [136] 상기 패드(120-11)의 폭(W1)은 $3\mu\text{m}$ 내지 $30\mu\text{m}$ 일 수 있다. 예를 들어, 상기 패드(120-11)의 폭(W1)은 $4\mu\text{m}$ 내지 $28\mu\text{m}$ 일 수 있다. 예를 들어, 상기 패드(120-11)의 폭(W1)은 $5\mu\text{m}$ 내지 $25\mu\text{m}$ 일 수 있다.
- [137] 상기 패드(120-11)의 폭(W1)이 $3\mu\text{m}$ 보다 작으면, 상기 반도체 소자의 단자와 연결되는 접속부의 배치가 어려울 수 있다. 상기 패드(120-11)의 폭(W1)이 $3\mu\text{m}$ 보다 작으면, 상기 패드(120-11)와 상기 반도체 소자 사이의 연결 신뢰성이 저하될 수 있다. 상기 패드(120-11)의 폭(W1)이 $30\mu\text{m}$ 보다 크면, 제한된 공간 내에 상기 반도체 소자와 연결되는 패드들을 모두 배치하기 어려울 수 있다. 상기 패드(120-11)의 폭(W1)이 $30\mu\text{m}$ 보다 크면, 회로 기판의 사이즈가 증가할 수 있다. 상기 패드(120-11)의 폭(W1)이 $30\mu\text{m}$ 보다 크면, 이웃하는 패턴들 사이의 간격이 좁아지고, 이에 의해 회로 쇼트와 같은 신뢰성 문제가 발생할 수 있다.
- [138] 또한, 상기 제1 회로 패턴(120-1)은 상기 패드(120-11)와 연결되는 트레이스(120-12)를 포함한다. 상기 트레이스(120-12)는 상기 패드(120-11)와 연결되는 가늘고 긴 신호 라인을 의미할 수 있다. 또한, 상기 제1 회로 패턴(120-1) 상에 2개의 반도체 소자를 실장하는 경우, 상기 트레이스(120-12)는 상기 2개의 반도체 사이를 연결하는 신호 라인을 포함할 수 있다.

- [139] 이에 따라, 상기 트레이스(120-12)는 초미세화된 패턴을 포함할 수 있다. 예를 들어, 상기 트레이스(120-12)의 선폭(W2)은 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 범위를 만족할 수 있다. 예를 들어, 상기 트레이스(120-12)의 선폭(W2)은 $1.2\mu\text{m}$ 내지 $8\mu\text{m}$ 의 범위를 만족할 수 있다. 예를 들어, 상기 트레이스(120-12)의 선폭(W2)은 $1.5\mu\text{m}$ 내지 $7\mu\text{m}$ 의 범위를 만족할 수 있다. 상기 트레이스(120-12)의 선폭(W2)이 $1\mu\text{m}$ 보다 작으면, 상기 트레이스(120-12)의 저항이 증가하고, 이에 따른 반도체 소자와의 정상적인 통신이 어려울 수 있다. 또한, 상기 트레이스(120-12)의 선폭(W2)이 $1\mu\text{m}$ 보다 작으면, 일반적인 회로 패턴 제조 공정을 적용하기 어려울 수 있다. 상기 트레이스(120-12)의 선폭(W2)이 $1\mu\text{m}$ 보다 작으면, 다양한 요인에 의해 발생하는 스트레스에 의해 상기 트레이스(120-12)가 무너지는 물리적 신뢰성 문제가 발생할 수 있다. 상기 트레이스(120-12)의 선폭(W2)이 $10\mu\text{m}$ 보다 크면, 제한된 공간 내에서 상기 반도체 소자의 단자들과 연결되는 모든 신호 라인을 배치하기 어려울 수 있다. 예를 들어, 상기 트레이스(120-12)의 선폭(W2)이 $10\mu\text{m}$ 보다 크면, 제한된 공간 내에서 복수의 프로세서 칩 사이를 연결하기 위한 트레이스를 모두 배치하기 어려울 수 있다. 예를 들어, 상기 트레이스(120-12)의 선폭(W2)이 $10\mu\text{m}$ 보다 크면, 회로 집적도가 저하될 수 있다.
- [140] 한편, 상기 제1 회로 패턴(120-1)은 상호 일정 간격(W3) 이격될 수 있다. 상기 간격(W3)은 상기 제1 회로 패턴(120-1)의 패드(120-11)들 사이의 이격 간격을 의미할 수 있다. 또한, 상기 간격(W3)은 상기 제1 회로 패턴(120-1)의 트레이스들 사이의 이격 간격을 의미할 수 있다. 또한, 상기 간격(W3)은 상기 제1 회로 패턴(120-1)의 서로 인접한 패드(120-11)와 트레이스(120-12) 사이의 이격 간격을 의미할 수 있다.
- [141] 상기 간격(W3)은 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 범위를 가질 수 있다. 상기 간격(W3)은 $1.2\mu\text{m}$ 내지 $8\mu\text{m}$ 의 범위를 가질 수 있다. 상기 간격(W3)은 $1.5\mu\text{m}$ 내지 $7\mu\text{m}$ 의 범위를 가질 수 있다. 상기 간격(W3)이 $1\mu\text{m}$ 보다 작으면, 상호 이웃하는 트레이스나 패드들이 서로 연결되어 전기적 쇼트가 발생하는 문제가 있다. 예를 들어, 상기 간격(W3)이 $10\mu\text{m}$ 보다 크면, 제한된 공간 내에서 복수의 프로세서 칩 사이를 연결하기 위한 트레이스를 모두 배치하기 어려울 수 있다.
- [142] 제1 실시 예의 회로 기관(100)은 관통 전극(140)을 포함할 수 있다. 상기 관통 전극(140)은 상기 절연층(110)을 관통할 수 있다. 바람직하게, 상기 관통 전극(140)은 상기 제1 회로 패턴층(120)과 제2 회로 패턴층(130) 사이를 전기적으로 연결하도록 상기 절연층(110)을 관통할 수 있다. 이때, 회로 기관(100)이 복수의 층 구조를 가지는 경우, 상기 관통 전극(140)은 수직 방향으로 이격되면서, 서로 이웃하는 회로 패턴층 사이를 전기적으로 연결할 수 있다.
- [143] 한편, 상기 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)은 전기적 신호를 전달하는 배선으로, 전기 전도성이 높은 금속 물질로 형성될 수 있다. 이를 위해, 상기 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)은 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu) 및 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물

질로 형성될 수 있다. 또한, 상기 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)은 본딩력이 우수한 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu), 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질을 포함하는 페이스트 또는 솔더 페이스트로 형성될 수 있다. 바람직하게, 상기 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)은 전기전도성이 높으면서 가격이 비교적 저렴한 구리(Cu)로 형성될 수 있다.

- [144] 상기 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.
- [145] 상기 제1 회로 패턴층(120)의 두께(T1, 도 5 참조)는 $5\mu\text{m}$ 내지 $30\mu\text{m}$ 의 범위를 만족할 수 있다. 바람직하게, 상기 제1 회로 패턴층(120)의 두께(T1)는 $6\mu\text{m}$ 내지 $25\mu\text{m}$ 의 범위를 만족할 수 있다. 더욱 바람직하게, 상기 제1 회로 패턴층(120)의 두께(T1)는 $7\mu\text{m}$ 내지 $20\mu\text{m}$ 의 범위의 두께를 가질 수 있다. 상기 제1 회로 패턴층(120)의 두께(T1)는 상기 제1 회로 패턴층(120)의 하면에서 상면까지의 수직 거리를 의미할 수 있다. 이때, 상기 제1 회로 패턴층(120)의 상면 또는 하면이 단차를 가지는 경우, 상기 제1 회로 패턴층(120)의 두께(T1)는 상기 제1 회로 패턴층(120)의 최하단에서 최상단까지의 수직 거리를 의미할 수 있다. 다만, 실시 예는 이에 한정되지 않는다. 예를 들어, 상기 제1 회로 패턴층(120)의 두께(T1)는 전체 영역에서의 평균 두께를 의미할 수도 있을 것이다.
- [146] 상기 제1 회로 패턴층(120)의 두께(T1)가 $5\mu\text{m}$ 미만인 경우에는 회로 패턴의 저항이 증가하고, 이에 따른 신호 전송 효율이 감소할 수 있다. 예를 들어, 상기 제1 회로 패턴층(120)의 두께(T1)가 $5\mu\text{m}$ 미만인 경우에는 신호 전송 손실이 증가할 수 있다. 예를 들어, 상기 제1 회로 패턴층(120)의 두께(T1)가 $30\mu\text{m}$ 를 초과하는 경우에는 상기 제1 회로 패턴층(120)의 선폭이 증가하고, 이에 따른 회로 집적도가 감소할 수 있다.
- [147] 한편, 상기 제2 회로 패턴층(130)의 두께는 상기 제1 회로 패턴층(120)의 두께(T1)에 대응할 수 있다.
- [148] 상기 관통 전극(140)은 상기 절연층(110)을 관통하는 관통 홀 내부를 전도성 물질로 충전하여 형성할 수 있다.
- [149] 상기 관통 홀은 기계, 레이저 및 화학 가공 중 어느 하나의 가공 방식에 의해 형성될 수 있다. 상기 관통 홀이 기계 가공에 의해 형성되는 경우에는 밀링(Milling), 드릴(Drill) 및 라우팅(Routing) 등의 방식을 사용할 수 있다. 또한, 상기 관통 홀이 레이저 가공에 의해 형성되는 경우에는 UV나 CO_2 레이저 방식을 사용할 수 있다. 또한, 상기 관통 홀이 화학 가공에 의해 형성되는 경우에는 아미노실란, 케톤류 등을 포함하는 약품을 이용할 수 있다.
- [150] 한편, 제1 실시 예의 회로 기판(100)은 보호층을 포함할 수 있다.

- [151] 예를 들어, 회로 기판(100)은 절연층(110) 상에 배치된 제1 보호층(150)을 포함할 수 있다. 예를 들어, 회로 기판(100)은 절연층(110) 하에 배치된 제2 보호층(160)을 포함할 수 있다.
- [152] 상기 제1 보호층(150) 및 제2 보호층(160)은 레지스트(resist)층일 수 있다. 바람직하게, 상기 제1 보호층(150) 및 제2 보호층(160)은 유기 고분자 물질을 포함하는 솔더 레지스트층일 수 있다. 일 예로, 상기 제1 보호층(150) 및 제2 보호층(160)은 에폭시 아크릴레이트 계열의 수지를 포함할 수 있다. 자세하게, 상기 제1 보호층(150) 및 제2 보호층(160)은 수지, 경화제, 안료, 용매, 필러, 첨가제, 아크릴 계열의 모노머 등을 포함할 수 있다.
- [153] 상기 제1 보호층(150) 및 제2 보호층(160)의 각각의 두께는 제1 회로 패턴층(120) 및 제2 회로 패턴층(130)의 각각의 두께보다 클 수 있다.
- [154] 다시 말해서, 상기 제1 보호층(150)의 두께는 상기 제1 회로 패턴층의 두께보다 클 수 있다. 또한, 상기 제2 보호층(160)의 두께는 상기 제2 회로 패턴층(130)의 두께보다 클 수 있다.
- [155] 상기 제1 보호층(150)의 두께는 상기 제1 보호층(150)의 오픈 부분을 포함하지 않는 영역에서, 상기 제1 보호층(150)의 하면에서 상면까지의 수직 거리를 의미할 수 있다. 예를 들어, 제1 보호층(150)의 두께는 상기 제1 보호층(150)의 제2 영역(R2, 도 5 참조)에서의 두께(T4, 도 5 참조)를 의미할 수 있다.
- [156] 상기 제1 보호층(150)의 두께(T4)는 $6.7\mu\text{m}$ 내지 $35.0\mu\text{m}$ 의 범위를 만족할 수 있다. 바람직하게, 상기 제1 보호층(150)의 두께(T1)는 $7.3\mu\text{m}$ 내지 $32\mu\text{m}$ 의 범위를 만족할 수 있다. 더욱 바람직하게, 상기 제1 보호층(150)의 두께(T1)는 $8.0\mu\text{m}$ 내지 $30\mu\text{m}$ 의 범위를 만족할 수 있다.
- [157] 상기 제1 보호층(150)의 두께가 $30\mu\text{m}$ 를 초과하면, 회로 기판의 두께 및 반도체 패키지의 두께가 증가할 수 있다. 또한, 상기 제1 보호층(150)의 두께가 $6.7\mu\text{m}$ 미만이면, 상기 제1 회로 패턴층이 안정적으로 보호되지 않을 수 있고, 이에 의해 전기적 신뢰성 또는 물리적 신뢰성이 저하될 수 있다.
- [158] 또한, 상기 제2 보호층(160)은 상기 제1 보호층(150)의 두께에 대응하는 두께를 가질 수 있으나, 이에 한정되는 것은 아니다.
- [159] 한편, 상기 제1 보호층(150)은 적어도 하나의 오픈 부분을 포함한다. 또한, 상기 제2 보호층(160)은 적어도 하나의 오픈 부분을 포함한다.
- [160] 상기 제1 보호층(150)은 제1 오픈 부분(OP1)을 포함할 수 있다. 예를 들어, 상기 제1 보호층(150)은 상기 제1 회로 패턴(120-1)과 수직으로 중첩되는 제1 오픈 부분(OP1)을 포함할 수 있다.
- [161] 또한, 상기 제1 보호층(150)은 제2 오픈 부분(OP2)을 포함할 수 있다. 예를 들어, 상기 제1 보호층(150)은 상기 제2 회로 패턴(120-2)과 수직으로 중첩되는 제2 오픈 부분(OP2)을 포함할 수 있다.
- [162] 또한, 상기 제2 보호층(160)은 상기 제2 회로 패턴층(130)과 수직으로 중첩되는 적어도 하나의 제3 오픈 부분을 포함할 수 있다.

- [163] 그리고, 상기 제1 보호층(150)은 복수의 영역으로 구분될 수 있다.
- [164] 상기 제1 보호층(150)은 상기 제1 오픈 부분(OP1)을 포함하는 제1 영역(R1)을 포함할 수 있다. 또한, 상기 제1 보호층(150)은 상기 제1 오픈 부분(OP1)을 포함하지 않으면서 상기 제1 영역(R1)에 인접한 제2 영역(R2)을 포함할 수 있다.
- [165] 또한, 상기 제1 보호층(150)은 상기 제2 오픈 부분(OP2)을 포함하는 제3 영역(R3)을 포함할 수 있다. 또한, 상기 제1 보호층(150)은 상기 제2 오픈 부분(OP2)을 포함하지 않으면서 상기 제3 영역(R3)에 인접한 제4 영역(R4)을 포함할 수 있다.
- [166] 이때, 상기 제2 영역(R2) 및 제4 영역(R4)은 상기 제1 오픈 부분(OP1) 및 제2 오픈 부분(OP2)을 포함하지 않는 영역이다. 그리고, 상기 제1 보호층(150)에서의 상기 제2 영역(R2) 및 제4 영역(R4)은 서로 연결된 하나의 영역을 구성할 수 있다. 따라서, 상기 제1 보호층(150)의 일부 영역은 제2 영역(R2) 및 제4 영역(R4) 중 어느 하나를 의미할 수 있고, 이와 다르게 제2 영역(R2) 및 제4 영역(R4)을 모두 의미할 수도 있다.
- [167] 이하에서는 상기 제1 보호층(150)에 형성되는 제1 오픈 부분(OP1) 및 제2 오픈 부분(OP2)과 함께, 상기 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2)의 형상에 대해 구체적으로 설명한다.
- [168] 도 5를 참조하면, 상기 제1 보호층(150)은 제1 오픈 부분(OP1)을 포함한다.
- [169] 상기 제1 오픈 부분(OP1)은 상기 제1 회로 패턴(120-1)에 대응할 수 있다. 구체적으로, 상기 제1 보호층(150)은 상기 제1 회로 패턴(120-1)과 수직으로 중첩되는 상기 제1 오픈 부분(OP1)을 포함할 수 있다.
- [170] 상기 제1 오픈 부분(OP1)은 상기 제1 보호층(150)의 제1 영역(R1)에서, 상기 제1 회로 패턴(120-1)의 상면을 노출하는 영역을 의미할 수 있다. 예를 들어, 상기 제1 오픈 부분(OP1)은 상기 제1 보호층(150)의 제1 영역(R1)에서, 상기 제1 회로 패턴(120-1)과 수직으로 중첩되는 영역을 의미할 수 있다.
- [171] 이때, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)는 상기 제1 회로 패턴(120-1)의 두께(T1)보다 작다. 이에 의해, 상기 제1 오픈 부분(OP1)은 상기 제1 회로 패턴(120-1)이 배치된 영역에서, 상기 제1 회로 패턴(120-1)에 의해 상기 제1 보호층(150)이 배치되지 않은 영역을 의미할 수 있다.
- [172] 따라서, 상기 제1 보호층(150)의 제1 오픈 부분(OP1)의 폭은 상기 제1 회로 패턴(120-1)의 폭에 대응할 수 있다. 여기에서, 대응한다는 것은 상기 제1 보호층(150)의 제1 오픈 부분(OP1)의 폭과 제1 회로 패턴(120-1)의 폭의 차이가 $2\mu\text{m}$ 이하, $1.5\mu\text{m}$ 이하, $1.0\mu\text{m}$ 이하, $0.8\mu\text{m}$ 이하, 또는 $0.5\mu\text{m}$ 이하인 것을 의미할 수 있다.
- [173] 바람직하게, 상기 제1 보호층(150)은 상기 제1 회로 패턴(120-1)의 상면을 덮은 상태에서, 상기 제1 회로 패턴(120-1)의 두께 미만으로 상기 제1 보호층(150)을 씨닝(thinning)하는 것에 의해 형성된다. 이때, 상기 씨닝되는 영역은 상기 제1 보호층(150)의 제1 영역(R1)이라 할 수 있다. 그리고, 상기 씨닝된 상기 제1 보호층(150)의 상기 제1 영역(R1) 중 상기 회로 패턴(120-1)이 배치된 영역(또는 상기 제1 회로 패턴과 수직으로 중첩된 영역)을 상기 제1 오픈 부분(OP1)이라고 할 수 있

다. 이에 따라, 상기 제1 보호층(150)의 상기 제1 오픈 부분(OP1)의 폭은 상기 제1 회로 패턴(120-1)의 폭과 동일할 수 있다. 바람직하게, 상기 제1 보호층(150)의 상기 제1 오픈 부분(OP1)의 폭은 상기 제1 회로 패턴(120-1)의 하면의 폭과 동일할 수 있다. 이에 따라, 상기 제1 보호층(150)은 상기 제1 오픈 부분(OP1)을 포함하면서, 상기 제1 회로 패턴(120-1)의 측면의 일부를 덮으며 배치될 수 있다.

- [174] 구체적으로, 상기 제1 보호층(150)은 상기 제1 오픈 부분(OP1)이 형성된 위치를 기준으로 복수의 영역으로 구분될 수 있다.
- [175] 예를 들어, 상기 제1 보호층(150)은 상기 제1 오픈 부분(OP1)을 포함하며 상기 제1 오픈 부분(OP1)과 인접한 제1 영역(R1)을 포함한다. 또한, 상기 제1 보호층(150)은 상기 제1 영역(R1)에 인접하면서 상기 제1 영역(R1)과 단차를 가지는 제2 영역(R2)을 포함할 수 있다.
- [176] 상기 제1 보호층(150)의 상기 제1 영역(R1)은 상기 제1 회로 패턴(120-1)과 수직으로 중첩되는 제1 오픈 부분(OP1)을 포함한다. 바람직하게, 상기 제1 보호층(150)의 상기 제1 영역(R1)은 상기 제1 회로 패턴(120-1)의 하면의 폭과 동일한 제1 오픈 부분(OP1)을 포함한다.
- [177] 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상면의 높이는 상기 제2 영역(R2)의 상면의 높이와 다르다. 바람직하게, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)는 상기 제1 보호층(150)의 상기 제2 영역(R2)의 두께(T4)보다 작다.
- [178] 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)는 상기 제1 회로 패턴(120-1)의 두께(T1)를 기준으로 결정될 수 있다. 바람직하게, 상기 제1 보호층(150)의 제1 영역(R1)의 두께(T3)는 상기 제1 회로 패턴(120-1)의 두께(T1)보다 작다.
- [179] 예를 들어, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)는 상기 제1 회로 패턴(120-1)의 두께(T1)의 20% 내지 90%의 범위를 만족할 수 있다. 바람직하게, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)는 상기 제1 회로 패턴(120-1)의 두께(T1)의 25% 내지 85%의 범위를 만족할 수 있다. 더욱 바람직하게, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)는 상기 제1 회로 패턴(120-1)의 두께(T1)의 27% 내지 83%의 범위를 만족할 수 있다.
- [180] 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)가 상기 제1 회로 패턴(120-1)의 두께(T1)의 20% 미만이면, 상기 제1 회로 패턴(120-1)의 물리적 및/또는 전기적 신뢰성이 저하될 수 있다. 구체적으로, 상기 제1 보호층(150)의 상기 제1 영역(R1)은 미세 패턴인 상기 제1 회로 패턴(120-1)의 패드(120-11) 및/또는 트레이이스(120-12)를 지지하는 기능을 할 수 있다. 그리고, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)가 상기 제1 회로 패턴(120-1)의 두께(T1)의 20% 미만이면, 상기 지지 기능에 의한 효과가 미비할 수 있다.
- [181] 또한, 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)가 상기 제1 회로 패턴(120-1)의 두께(T1)의 90%를 초과하면, 상기 제1 회로 패턴(120-1)의 상면의 일부

에 상기 제1 보호층(150)의 잔류 레진이 존재할 수 있다. 그리고, 상기 제1 회로 패턴(120-1)의 상면에 상기 제1 보호층(150)의 잔류 레진이 존재하는 경우, 상기 제1 회로 패턴(120-1)의 전기적 신뢰성이 저하될 수 있다.

- [182] 이때, 상기 제1 보호층(150)의 상기 제1 영역(R1)은 상기 제1 회로 패턴(120-1)의 측면의 일부를 덮으며 배치된다.
- [183] 이때, 상기 제1 회로 패턴(120-1)은 상면을 향할수록 폭이 변화하는 영역을 포함할 수 있다. 바람직하게, 상기 제1 회로 패턴(120-1)은 상기 제1 회로 패턴(120-1)의 상면을 향할수록 폭이 감소하는 영역을 포함할 수 있다. 이때, 상기 제1 회로 패턴(120-1)에서, 상기 폭이 감소하기 시작하는 위치는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상면보다 낮게 위치할 수 있다.
- [184] 이에 따라, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면(바람직하게, 상기 제1 영역(R1)에 형성된 제1 오픈 부분(OP1)의 측벽)의 적어도 일부는 상기 제1 회로 패턴(120-1)의 측면과 접촉하지 않을 수 있다. 예를 들어, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면과 상기 제1 회로 패턴(120-1)의 외측면 사이에는 크레비스(crevice)가 형성될 수 있다. 구체적으로, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 하면에 인접하고 상기 제1 회로 패턴(120-1)의 외측면과 접촉하는 제1 내측면을 포함할 수 있다. 또한, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상면에 인접하고, 상기 제1 회로 패턴(120-1)의 외측면과 접촉하지 않는 또는 이격되는 제2 내측면을 포함할 수 있다. 그리고, 상기 크레비스(crevice)는 상기 제1 회로 패턴(120-1)의 외측면과 상기 제1 보호층(150)의 상기 제1 영역(R1)의 제2 내측면 사이에 구비될 수 있다.
- [185] 이때, 상기 크레비스(crevice)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상기 제2 내측면에 의해 형성되는 것이 아니라, 상기 제1 회로 패턴(120-1)의 상기 외측면에 의해 형성될 수 있다. 예를 들어, 상기 크레비스(crevice)는 상기 제1 회로 패턴(120-1)의 외측면의 적어도 일부가 내측 방향으로 꺾인 것에 의해 제공될 수 있다. 다만, 실시 예는 이에 한정되지 않는다. 예를 들어, 상기 크레비스(crevice)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상기 제2 내측면이 내측 방향으로 꺾인 것에 의해 형성될 수 있고, 이들의 조합에 의해서도 형성될 수 있을 것이다.
- [186] 다만, 이하에서는 상기 크레비스(crevice)가 상기 제1 회로 패턴(120-1)의 외측면의 일부가 내측 방향으로 꺾인 것에 의해 형성되는 것으로 하여 설명한다.
- [187] 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상기 제1 내측면과 제2 내측면은 서로 연결된다. 이때, 상기 제1 보호층(150)의 제1 영역(R1)의 상기 제1 내측면의 경사는 상기 제2 내측면의 경사에 대응할 수 있다. 예를 들어, 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상기 제1 및 제2 내측면은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 하면에 대해 수직인 경사를 가질 수 있다.

- [188] 상기 제1 회로 패턴(120-1)은 두께 방향으로 복수의 파트로 구분될 수 있다. 예를 들어, 상기 제1 회로 패턴(120-1)의 패드(120-11) 및/또는 트레이스(120-12)는 두께 방향으로 복수의 파트로 구분될 수 있다.
- [189] 상기 제1 회로 패턴(120-1)은 상기 절연층(110)의 상면에 인접한 제1 파트(120-1a)를 포함할 수 있다. 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 상면의 폭은 상기 제1 파트(120-1a)의 하면의 폭에 대응할 수 있다. 여기에서, 대응한다는 것은, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 상면과 하면의 폭 차이가 $2\mu\text{m}$ 이하, $1.5\mu\text{m}$ 이하, $1.0\mu\text{m}$ 이하, $0.8\mu\text{m}$ 이하, 또는 $0.5\mu\text{m}$ 이하인 것을 의미할 수 있다.
- [190] 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 폭은 상기 제1 보호층(150)의 상기 제1 영역(R1)에 형성된 제1 오픈 부분(OP1)의 폭에 대응할 수 있다. 바람직하게, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 폭은 상기 제1 오픈 부분(OP1)의 폭과 동일할 수 있다.
- [191] 따라서, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 외측면(120-1as)은 상기 제1 보호층(150)과 직접 접촉할 수 있다. 바람직하게, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 외측면(120-1as)은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상기 제1 내측면과 직접 접촉할 수 있다.
- [192] 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 외측면(120-1as)은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상기 제1 내측면이 가지는 경사에 대응하는 경사를 가질 수 있다. 예를 들어, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 외측면은 상기 제1 회로 패턴(120-1)의 하면에 대해 수직할 수 있으나, 이에 한정되는 것은 아니다.
- [193] 이때, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 최상단은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상면보다 낮게 위치할 수 있다. 예를 들어, 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)보다 작을 수 있다.
- [194] 이때, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)에 의해 결정될 수 있다.
- [195] 구체적으로, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)의 20% 내지 90%의 범위를 만족할 수 있다. 바람직하게, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)의 25% 내지 85%의 범위를 만족할 수 있다. 더욱 바람직하게, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)의 27% 내지 83%의 범위를 만족할 수 있다.
- [196] 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)가 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)의 20% 미만이면, 상기 제1 회로 패턴(120-1)의 외측면과 상기 제1 보호층(150)의 제1 영역(R1)의 내측면 사이의 접촉

면적이 감소하고, 이에 따른 상기 제1 회로 패턴(120-1)의 물리적 신뢰성 및/또는 전기적 신뢰성이 저하될 수 있다. 또한, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)가 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)의 20% 미만이면, 상기 크레비스(crevice)의 깊이가 커지고, 이에 의해 상기 제1 회로 패턴(120-1) 상에 배치되는 접속부의 물리적 신뢰성이 저하될 수 있다. 예를 들어, 상기 크레비스(crevice)의 깊이가 커지면, 상기 접속부의 두께 편차가 커지고, 이에 따른 반도체 소자의 실장 공정성이 저하될 수 있다. 또한, 상기 크레비스(crevice)의 깊이가 커지면, 상기 접속부의 도포량이 증가하고, 이에 따른 상기 접속부의 강성이 저하될 수 있다.

- [197] 또한, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)가 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)의 90%를 초과하면, 상기 크레비스(crevice)의 깊이가 감소하고, 이에 따른 상기 크레비스(crevice)에 의해 나타나는 효과가 미비할 수 있다. 예를 들어, 상기 크레비스는 상기 제1 회로 패턴(120-1) 상에 배치되는 표면 처리층(170, 도 6 참조)의 최하단과 상기 제1 보호층(150)의 제2 영역(R2)의 상면 사이의 거리를 증가시키기 위해 형성된다. 이때, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 두께(T2)가 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)의 90%를 초과하면, 상기 거리 증가 효과가 미비하고, 이에 따라 상기 접속부를 배치함에 따라 형성되는 금속 접합층에 크랙이 발생하는 등과 같은 물리적 신뢰성 문제가 발생할 수 있다.
- [198] 한편, 상기 제1 회로 패턴(120-1)은 상기 제1 파트(120-1a) 상에 배치되는 제2 파트(120-1b)를 포함한다. 상기 제2 파트(120-1b)의 상면은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상면보다 높게 위치한다. 또한, 상기 제2 파트(120-1b)의 하면은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 상면보다 낮게 위치한다.
- [199] 상기 제1 회로 패턴(120-1)의 상기 제2 파트(120-1b)는 폭이 변화하는 영역을 포함한다.
- [200] 구체적으로, 상기 제1 회로 패턴(120-1)의 상기 제2 파트(120-1b)는 상기 제1 파트(120-1a)로부터 멀어질수록 폭이 감소할 수 있다.
- [201] 예를 들어, 상기 제1 회로 패턴(120-1)의 제2 파트(120-1b)는 상기 제1 파트(120-1a)의 외측면(120-1as)과 연결되는 외측면(120-1bs)을 포함한다.
- [202] 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 파트(120-1a)의 외측면(120-1as)이 가지는 경사와 다른 경사를 가진다. 예를 들어, 상기 제1 파트(120-1a)의 외측면(120-1as)은 폭의 변화가 없는 경사를 가질 수 있다.
- [203] 그리고, 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 파트(120-1a)로부터 멀어질수록 폭이 점진적으로 감소하는 경사를 가질 수 있다.
- [204] 예를 들어, 상기 제2 파트(120-1b)의 외측면(120-1bs)은 폭이 점진적으로 감소하는 특정 기울기를 가진 직선일 수 있다. 이때, 도 5에서는 상기 제2 파트(120-1b)의 외측면(120-1bs)이 특정 기울기를 가지는 직선인 것으로 도시하였으나, 이에 한정되지는 않는다. 예를 들어, 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상면

을 향할수록 폭이 감소하는 특정 곡률을 가질 수 있다. 그리고, 상기 곡률을 가지는 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 보호층(150)의 상기 제1 영역(R1)을 향하여 볼록한 형상을 가질 수 있고, 이와 다르게 상기 제1 보호층(150)의 상기 제1 영역(R1)으로부터 멀어지는 상기 제2 파트(120-1b)의 내측을 향하여 오목한 형상을 가질 수 있다.

- [205] 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 보호층(150)과 접촉하지 않는다. 예를 들어, 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면과 접촉하지 않는다. 예를 들어, 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면으로부터 이격된다. 예를 들어, 상기 제2 파트(120-1b)의 외측면(120-1bs)과 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면 사이에는 크레비스가 형성된다.
- [206] 그리고, 실시 예는 상기 제1 회로 패턴(120-1)과 상기 제1 보호층(150) 사이에 형성되는 상기 크레비스를 이용하여 회로 기판 및 이를 포함하는 반도체 패키지의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [207] 예를 들어, 도 6을 참조하면, 상기 제1 회로 패턴(120-1) 상에는 표면 처리층(170)이 배치된다. 상기 표면 처리층(170)은 유기 솔더 보존제(OSP: Organic Solderability Preservative)일 수 있다.
- [208] 이때, 상기 표면 처리층(170)은 상기 제1 회로 패턴(120-1)의 표면에 배치된다. 예를 들어, 상기 표면 처리층(170)은 상기 제1 보호층(150)의 상기 제1 오픈 부분(OP1)을 통해 노출된 상기 회로 패턴(120-1)의 표면에 배치된다. 예를 들어, 상기 표면 처리층(170)은 상기 제1 회로 패턴(120-1)의 상기 제2 파트(120-1b)의 상면 및 외측면(120-1bs)에 배치된다. 이에 따라, 상기 표면 처리층(170)의 최하단은 상기 제1 회로 패턴(120-1)과 상기 제1 보호층(150)의 제1 영역(R1) 사이에 형성된 크레비스 내에 위치한다. 이를 통해, 실시 예는 상기 제1 보호층(150)의 상기 제2 영역(R2)의 상면과 상기 표면 처리층(170)의 최하단 사이의 제1 보호층(150)의 측벽의 거리 또는 길이를 증가시킬 수 있다. 따라서, 실시 예는 상기 표면 처리층(170) 상에 솔더와 같은 접속부를 배치한 것에 의해 형성되는 금속 접합층의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [209] 한편, 상기 크레비스는 상기 표면 처리층(170)을 형성하는 과정에서, 상기 제1 회로 패턴(120-1)의 상면 및 외측면의 일부를 전처리하는 것에 의해 형성될 수 있다. 예를 들어, 상기 전처리 공정에서, 상기 제1 회로 패턴(120-1)의 상기 제2 파트(120-1b)의 상면 및 외측면(120-1bs)의 에칭이 이루어질 수 있다. 따라서, 상기 제2 파트(120-1b)의 외측면(120-1bs)과 상기 제1 보호층(150)의 제1 영역(R1)의 내측면에 사이에 상기 에칭에 따른 크레비스가 형성될 수 있다.
- [210] 따라서, 상기 제1 회로 패턴(120-1)의 외측면은 영역에 따라 서로 다른 거칠기를 가질 수 있다.

- [211] 예를 들어, 상기 제1 회로 패턴(120-1)의 상기 제1 파트(120-1a)의 외측면(120-1as)은 제1 표면 거칠기를 가질 수 있다. 이때, 상기 제1 파트(120-1a)의 외측면(120-1as)의 제1 표면 거칠기는 이와 접촉하는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 내측면의 표면 거칠기에 대응할 수 있다.
- [212] 한편, 상기 제1 회로 패턴(120-1)의 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 표면 거칠기와 다른 제2 표면 거칠기를 가질 수 있다. 바람직하게, 상기 제1 회로 패턴(120-1)의 상기 제2 파트(120-1b)의 외측면(120-1bs)은 상기 제1 파트(120-1a)의 외측면(120-1as)의 제1 표면 거칠기보다 큰 제2 표면 거칠기를 가질 수 있다.
- [213] 이를 통해 실시 예는 상기 표면 처리층(170)과 상기 제1 회로 패턴(120-1) 사이의 밀착력을 확보할 수 있고, 이에 따른 회로 기판 및 이를 포함하는 반도체 패키지의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [214] 한편, 상기 제1 보호층(150)은 패임부(153)를 포함할 수 있다. 상기 패임부(153)는 상기 제1 보호층(150)의 상기 제1 영역(R1)과 제2 영역(R2)의 경계에 형성될 수 있다. 상기 패임부(153)는 상기 제1 보호층(150)의 상기 제1 영역(R1)의 두께(T3)가 감소하는 경우에, 상기 경계에 형성될 수 있다. 예를 들어, 상기 패임부(153)는 상기 제1 영역(R1)과 제2 영역(R2) 사이의 경계에서, 상기 제1 보호층(150)의 경화가 완전히 이루어지지 않음에 의해 형성될 수 있다. 그리고, 실시 예는 상기 제1 영역(R1)의 두께(T3)를 조절하는 것에 의해 상기 패임부(153)의 수평 방향으로의 길이를 최소화할 수 있다.
- [215] 다만, 실시 예는 상기 제1 영역(R1)의 두께(T3)를 조절하여, 상기 패임부(153)가 일정 수준의 수평 방향으로의 길이를 가지고 상기 경계에 구비되도록 한다. 그리고, 상기 패임부(153)는 추후 솔더 본딩 공정에서, 솔더와 같은 접속부로 채워질 수 있다. 그리고, 상기 패임부(153) 내에 배치된 접속부는 앵커 기능을 할 수 있으며, 이를 통해 상기 접속부와 상기 제1 회로 패턴(120-1) 사이의 접합력을 향상시킬 수 있다.
- [216] 한편, 도 7을 참조하면, 상기 제1 보호층(150)은 제2 오픈 부분(OP2)을 포함한다. 이때, 상기 제2 오픈 부분(OP2)은 상기 제1 오픈 부분(OP1)과 다른 형상을 가질 수 있다. 예를 들어, 상기 제2 오픈 부분(OP2)은 SMD 타입의 오픈 부분일 수 있다.
- [217] 예를 들어, 상기 제2 오픈 부분(OP2)은 상기 제2 회로 패턴(120-2)과 수직으로 중첩된다. 이때, 상기 제2 오픈 부분(OP2)은 상기 제2 회로 패턴(120-2)의 상면과 부분적으로 수직으로 중첩된다. 예를 들어, 상기 제2 회로 패턴(120-2)의 상면 중 일부는 상기 제1 보호층(150)에 의해 덮이고, 나머지 일부는 상기 제2 오픈 부분(OP2)을 통해 노출될 수 있다.
- [218] 이때, 상기 제1 보호층(150)은 상기 제2 오픈 부분(OP2)을 포함하고, 상기 제2 오픈 부분(OP2)에 인접한 제3 영역(R3)을 포함할 수 있다. 상기 제3 영역(R3)은 상기 제2 오픈 부분(OP2)을 포함하면서, 상기 제2 회로 패턴(120-2)과 수직으로

중첩되는 영역을 의미할 수 있다. 또한, 상기 제1 보호층(150)은 상기 제3 영역(R3)과 인접한 제4 영역(R4)을 포함할 수 있다. 이때, 상기 제1 보호층(150)의 상기 제3 영역(R3)의 상면은 상기 제4 영역(R4)의 상면과 동일 높이를 가질 수 있다. 예를 들어, 상기 제1 보호층(150)의 상기 제3 영역(R3)의 상면은 상기 제4 영역(R4)의 상면과 단차를 가지지 않을 수 있다. 예를 들어, 상기 제1 보호층(150)의 상기 제3 영역(R3)의 상면은 상기 제4 영역(R4)의 상면과 동일 평면 상에 위치할 수 있다. 즉 상기 제2 회로 패턴(120-2)은 상기 제1 회로 패턴(120-1) 대비 대면적 패턴이다. 따라서, 상기 제2 회로 패턴(120-2)과 수직으로 중첩되는 제2 오픈 부분(OP2)은 상기 제1 오픈 부분(OP1)과 같은 구조를 가지지 않아도, 금속 접합층의 신뢰성이 유지될 수 있다.

[219] 따라서, 상기 제2 회로 패턴(120-2)에는 표면 처리층(미도시)의 형성을 위한 전처리 공정에서, 상기 제2 회로 패턴(120-2)의 상면의 일부가 에칭되는 것에 의한 리세스(120-2R)를 포함할 수 있다. 그리고, 상기 리세스(120-2R)의 수평 방향으로의 폭은 상기 제2 오픈 부분(OP2)의 폭보다 클 수 있다. 예를 들어, 상기 리세스(120-2R)의 일부는 상기 제2 오픈 부분(OP2)과 수직으로 중첩되고, 나머지 일부는 상기 제1 보호층(150)의 상기 제3 영역(R3)과 수직으로 중첩된다. 이에 따라, 표면 처리층 또는 솔더와 같은 접속부는 상기 리세스(120-2R) 내로 침투할 수 있다. 이를 통해, 실시 예는 상기 리세스(120-2R)로 침투한 표면 처리층 또는 접속부가 앵커 기능을 할 수 있고, 이를 통해 상기 제2 회로 패턴(120-2)과 표면 처리층 또는 솔더 사이의 접합력을 더욱 향상시킬 수 있다.

[220]

[221] 실시 예는 절연층, 상기 절연층 상에 배치된 제1 회로 패턴 및 상기 절연층 상에 배치되고 상기 제1 회로 패턴과 수직으로 중첩되는 제1 오픈 부분을 포함하는 제1 보호층을 포함한다.

[222] 즉, 상기 제1 보호층은 상기 제1 오픈 부분을 포함하고, 상기 제1 오픈 부분에 인접한 제1 영역을 포함한다. 또한, 상기 제1 보호층은 상기 제1 영역에 인접한 제2 영역을 포함한다. 이때, 상기 제1 영역의 상면의 높이는 상기 제2 영역의 상면의 높이보다 낮다. 바람직하게, 상기 제1 영역의 상면의 높이는 상기 제1 회로 패턴의 상면의 높이보다 낮다. 이를 통해 실시 예는 보호층의 노광 해상력에 의해 보호층이 배치되지 않는 영역에 상기 제1 오픈 부분을 가지는 제1 영역 및 제2 영역을 포함하는 제1 보호층을 배치한다. 그리고, 상기 제1 영역은 상기 제1 회로 패턴과 실질적으로 동일한 폭을 가지는 제1 오픈 부분을 포함하면서, 상기 제1 회로 패턴의 주위를 둘러싸며 배치된다.

[223] 따라서, 실시 예는 다양한 스트레스에 의해 발생하는 데미지로부터 상기 제1 회로 패턴을 안정적으로 보호할 수 있다. 이를 통해 실시 예는 상기 제1 회로 패턴의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.

[224] 이때, 상기 제1 보호층의 상기 제1 영역의 내측면과 상기 제1 회로 패턴의 외측면 사이에는 크레비스가 형성될 수 있다.

- [225] 구체적으로, 상기 제1 영역의 내측면은 상기 제1 회로 패턴의 외측면과 접촉하는 제1 내측면과 상기 제1 회로 패턴의 외측면과 접촉하지 않으면서 상기 크레비스를 통해 제1 회로 패턴의 외측면으로부터 이격된 제2 내측면을 포함한다.
- [226] 그리고, 실시 예는 상기 크레비스 내에 표면 처리층 및/또는 솔더가 배치될 수 있도록 한다. 이를 통해 실시 예는 상기 솔더의 배치에 의해 형성되는 금속 접합층과 상기 제1 보호층의 최상면 사이의 거리를 증가시킬 수 있다. 따라서, 실시 예는 상기 금속 접합층의 크랙 발생 가능성을 획기적으로 감소시킬 수 있고, 이에 따른 회로 기판 및 반도체 패키지의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [227] 나아가, 실시 예는 상기 제1 보호층의 두께를 증가하지 않으면서, 상기 크레비스를 이용하여 상기 거리를 증가시킬 수 있다. 따라서, 실시 예는 회로 기판 및 반도체 패키지의 슬립화를 구현할 수 있다.
- [228] 또한, 상기 제1 회로 패턴의 외측면은 상기 제1 보호층의 제1 영역의 외측면과 접촉하는 제1 외측면과, 상기 제1 보호층과 접촉하지 않는 제2 외측면을 포함한다. 그리고, 상기 제2 외측면의 표면 거칠기는 상기 제1 외측면의 표면 거칠기보다 클 수 있다. 이를 통해 실시 예는 상기 제2 외측면 상에 배치되는 상기 표면 처리층과 상기 제1 회로 패턴 사이의 밀착력을 확보할 수 있고, 이에 따른 회로 기판 및 이를 포함하는 반도체 패키지의 물리적 신뢰성 및/또는 전기적 신뢰성을 향상시킬 수 있다.
- [229] 또한, 실시 예는 상기 제1 영역의 두께를 조절하여 상기 제1 영역과 상기 제2 영역 사이의 경계에 내측 방향으로 패인 패임부가 형성되도록 한다. 그리고, 상기 패임부는 솔더 본딩 공정에서, 솔더와 같은 접속부로 채워질 수 있다. 그리고, 상기 패임부 내에 배치된 접속부는 앵커 기능을 할 수 있으며, 이를 통해 상기 접속부와 상기 제1 회로 패턴 사이의 접합력을 향상시킬 수 있다.
- [230]
- [231] 이하에서는 다른 실시 예에 따른 회로 기판에 대해 설명한다.
- [232] 이하에서 설명되는 회로 기판은 도 5에 도시된 제1 회로 기판의 실시 예와 유사하며, 제1 회로 패턴의 형상에 있어 상이할 수 있다. 따라서, 이하에서의 다른 실시 예의 회로 기판의 설명에서는 제1 회로 패턴의 형상을 중심으로 설명하기로 한다.
- [233] 도 8은 제2 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [234] 도 8을 참조하면, 제2 실시 예의 회로 기판은 절연층(210), 제1 회로 패턴(220-1) 및 제1 보호층(250)을 포함한다.
- [235] 상기 제1 보호층(250)은 제1 오픈 부분(OP1)을 포함한다. 예를 들어, 상기 제1 보호층(250)은 상기 제1 오픈 부분(OP1)을 포함하며 상기 제1 오픈 부분(OP1)과 인접한 제1 영역(R1)을 포함한다. 또한, 상기 제1 보호층(250)은 상기 제1 영역(R1)에 인접하면서 상기 제1 영역(R1)과 단차를 가지는 제2 영역(R2)을 포함할 수 있다.

- [236] 또한, 상기 제1 회로 패턴(220-1)은 제1 파트(220-1a) 및 제2 파트(220-1b)를 포함한다.
- [237] 여기에서, 상기 절연층(210) 및 제1 보호층(250)은 제1 실시 예의 절연층(110) 및 제1 보호층(150)과 구조를 가진다. 이에 따라, 이의 설명은 생략하기로 한다.
- [238] 제1 회로 패턴(220-1)의 제1 파트(220-1a)는 제1 실시 예의 제1 회로 패턴(110-1)의 제1 파트(120-1a)와 동일한 구조를 가진다. 이에 따라, 이의 설명도 생략하기로 한다.
- [239] 한편, 상기 제1 회로 패턴(220-1)의 제2 파트(220-1b)는 상기 제1 파트(220-1a) 상에 배치된다. 이때, 상기 제2 파트(220-1b)는 상기 제1 파트(220-1a)와 단차를 가질 수 있다.
- [240] 구체적으로, 제1 실시 예에서의 상기 제1 파트(120-1a)는 제2 파트(120-1b)와 단차를 가지지 않았다. 즉, 제1 실시 예에서의 상기 제1 파트(120-1a) 중 상기 제2 파트(120-1b)와 가장 인접한 부분에서의 폭은 상기 제2 파트(120-1b) 중 상기 제1 파트(120-1a)와 가장 인접한 부분에서의 폭과 동일하였다.
- [241] 이와 다르게, 제2 실시 예에서의 상기 제2 파트(220-1b)는 상기 제1 파트(220-1a)와 단차를 가질 수 있다. 구체적으로, 상기 제2 파트(220-1b) 중 상기 제1 파트(220-1a)와 가장 인접한 부분에서의 폭은 상기 제1 파트(220-1a) 중 상기 제2 파트(220-1b)와 가장 인접한 부분에서의 폭과 다를 수 있다. 더욱 구체적으로, 상기 제2 파트(220-1b) 중 상기 제1 파트(220-1a)와 가장 인접한 부분에서의 폭은 상기 제1 파트(220-1a) 중 상기 제2 파트(220-1b)와 가장 인접한 부분에서의 폭보다 작다.
- [242] 이에 따라, 상기 제1 회로 패턴(220-1)의 상기 제1 파트(220-1a)와 상기 제2 파트(220-1b) 사이에는 단차부(220-1ST)가 구비될 수 있다. 상기 단차부(220-1ST)는 상기 제1 회로 패턴(220-1)의 상기 제1 파트(220-1a)와 상기 제2 파트(220-1a) 사이의 폭의 차이로 인해, 상기 제1 파트(220-1a)의 상면의 일부가 노출된 부분을 의미할 수 있다. 즉, 상기 제1 파트(220-1a)의 상면은 상기 제2 파트(220-1b) 및 상기 제1 보호층(250)과 접촉하지 않는다.
- [243] 그리고, 상기 제2 파트(220-1b)의 외측면(220-1bs)은 상기 제1 파트(220-1a)로부터 멀어질수록 폭이 점진적으로 감소하는 경사를 가질 수 있다.
- [244] 예를 들어, 상기 제2 파트(220-1b)의 외측면(220-1bs)는 폭이 점진적으로 감소하는 특정 기울기를 가진 직선일 수 있으나, 이에 한정되는 것은 아니다.
- [245] 예를 들어, 상기 제2 파트(220-1b)의 외측면(220-1bs)은 상면을 향할수록 폭이 감소하는 특정 곡률을 가질 수 있다. 그리고, 상기 곡률을 가지는 제2 파트(220-1b)의 외측면(220-1bs)은 외측으로 볼록한 형상을 가질 수 있고, 이와 다르게 내측으로 오목한 형상을 가질 수 있다.
- [246]
- [247] 도 9는 제3 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [248] 도 9를 참조하면, 제3 실시 예의 회로 기판은 절연층(310), 제1 회로 패턴(320-1) 및 제1 보호층(350)을 포함한다.

- [249] 상기 제1 보호층(350)은 제1 오픈 부분(OP1)을 포함한다. 예를 들어, 상기 제1 보호층(350)은 상기 제1 오픈 부분(OP1)을 포함하며 상기 제1 오픈 부분(OP1)과 인접한 제1 영역(R1)을 포함한다. 또한, 상기 제1 보호층(350)은 상기 제1 영역(R1)에 인접하면서 상기 제1 영역(R1)과 단차를 가지는 제2 영역(R2)을 포함할 수 있다.
- [250] 또한, 상기 제1 회로 패턴(320-1)은 제1 파트(320-1a) 및 제2 파트(320-1b)를 포함한다.
- [251] 여기에서, 상기 절연층(310) 및 제1 보호층(350)은 제1 실시 예의 절연층(110) 및 제1 보호층(150)과 구조를 가진다. 이에 따라, 이의 설명은 생략하기로 한다.
- [252] 제1 회로 패턴(320-1)의 제1 파트(320-1a)는 제1 실시 예의 제1 회로 패턴(110-1)의 제1 파트(120-1a)와 동일한 구조를 가진다. 이에 따라, 이의 설명도 생략하기로 한다.
- [253] 한편, 상기 제1 회로 패턴(320-1)의 제2 파트(320-1b)는 상기 제1 파트(320-1a) 상에 배치된다. 이때, 상기 제2 파트(320-1b)는 상기 제1 파트(320-1a)와 단차를 가질 수 있다.
- [254] 즉, 상기 제2 파트(320-1b) 중 상기 제1 파트(320-1a)와 가장 인접한 부분에서의 폭은 상기 제1 파트(320-1a) 중 상기 제2 파트(320-1b)와 가장 인접한 부분에서의 폭과 다를 수 있다. 구체적으로, 상기 제2 파트(320-1b) 중 상기 제1 파트(320-1a)와 가장 인접한 부분에서의 폭은 상기 제1 파트(320-1a) 중 상기 제2 파트(320-1b)와 가장 인접한 부분에서의 폭보다 작다.
- [255] 이에 따라, 상기 제1 회로 패턴(320-1)의 상기 제1 파트(320-1a)와 상기 제2 파트(320-1b) 사이에는 단차부(320-1ST)가 구비될 수 있다. 상기 단차부(320-1ST)는 상기 제1 회로 패턴(320-1)의 상기 제1 파트(320-1a)와 상기 제2 파트(320-1a) 사이의 폭의 차이로 인해, 상기 제1 파트(320-1a)의 상면의 일부가 노출된 부분을 의미할 수 있다. 즉, 상기 제1 파트(320-1a)의 상면은 상기 제2 파트(320-1b) 및 상기 제1 보호층(350)과 접촉하지 않는다.
- [256] 그리고, 상기 제2 파트(320-1b)는 상기 제1 파트(320-1a)로부터 멀어질수록 폭의 변화가 없을 수 있다. 예를 들어, 상기 제2 파트(320-1b)의 외측면(320-1bs)는 폭의 변화가 없으면서, 상기 제1 회로 패턴(320-1)의 하면에 대해 수직할 직선일 수 있다.
- [257]
- [258] 도 10은 제4 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [259] 도 10을 참조하면, 제4 실시 예의 회로 기판은 절연층(410), 제1 회로 패턴(420-1) 및 제1 보호층(450)을 포함한다.
- [260] 상기 제1 보호층(450)은 제1 오픈 부분(OP1)을 포함한다. 예를 들어, 상기 제1 보호층(450)은 상기 제1 오픈 부분(OP1)을 포함하며 상기 제1 오픈 부분(OP1)과 인접한 제1 영역(R1)을 포함한다. 또한, 상기 제1 보호층(450)은 상기 제1 영역

(R1)에 인접하면서 상기 제1 영역(R1)과 단차를 가지는 제2 영역(R2)을 포함할 수 있다.

- [261] 또한, 상기 제1 회로 패턴(420-1)은 제1 파트(420-1a) 및 제2 파트(420-1b)를 포함한다.
- [262] 여기에서, 상기 절연층(410) 및 제1 보호층(450)은 제1 실시 예의 절연층(110) 및 제1 보호층(150)과 구조를 가진다. 이에 따라, 이의 설명은 생략하기로 한다.
- [263] 제1 회로 패턴(420-1)의 제1 파트(420-1a)는 제1 실시 예의 제1 회로 패턴(110-1)의 제1 파트(120-1a)와 동일한 구조를 가진다. 이에 따라, 이의 설명도 생략하기로 한다.
- [264] 한편, 상기 제1 회로 패턴(420-1)의 제2 파트(420-1b)는 상기 제1 파트(420-1a) 상에 배치된다.
- [265] 이때, 상기 제2 파트(420-1b)는 복수의 서브 파트로 구분될 수 있다.
- [266] 예를 들어, 상기 제2 파트(420-1b)는 외측면의 형상 또는 경사를 기준으로 복수의 서브 파트로 구분될 수 있다.
- [267] 상기 제2 파트(420-1b)는 상기 제1 파트(420-1a) 상에 배치되는 제1 서브 파트(420-1b1)를 포함한다. 또한, 상기 제2 파트(420-1b)는 제1 서브 파트(420-1b1) 상에 배치되는 제2 서브 파트(420-1b2)를 포함할 수 있다.
- [268] 이때, 상기 제1 서브 파트(420-1b1) 및 제2 서브 파트(420-1b2)의 수직 단면은 서로 다른 형상을 가질 수 있다. 예를 들어, 상기 제1 서브 파트(420-1b1) 및 제2 서브 파트(420-1b2)의 외측면은 서로 다른 경사를 가질 수 있다.
- [269] 상기 제1 서브 파트(420-1b1)의 외측면(420-1b1s)은 특정 곡률을 가지는 곡선일 수 있다. 따라서, 상기 제1 서브 파트(420-1b1)는 상기 곡선이 가지는 곡률을 기준으로, 상기 제1 파트(420-1a)로부터 멀어질수록 폭이 감소할 수 있다. 그리고, 상기 곡률을 가지는 상기 제1 서브 파트(420-1b1)의 외측면(420-1b1s)은 외측으로 볼록한 형상을 가질 수 있고, 이와 다르게 내측으로 오목한 형상을 가질 수 있다.
- [270] 상기 제2 서브 파트(420-1b2)의 외측면(420-1b2s)은 상기 제1 서브 파트(420-1b1)로부터 멀어질수록 폭이 점진적으로 감소하는 경사를 가질 수 있다.
- [271] 예를 들어, 상기 제2 서브 파트(420-1b2)의 외측면(420-1b2s)은 폭이 점진적으로 감소하는 특정 기울기를 가진 직선일 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 제2 서브 파트(420-1b2)의 외측면(420-1b2s)은 특정 곡률을 가질 수 있다. 그리고, 상기 곡률을 가지는 상기 제2 서브 파트(420-1b2)의 외측면(420-1b2s)은 외측으로 볼록한 형상을 가질 수 있고, 이와 다르게 내측으로 오목한 형상을 가질 수 있다.
- [272]
- [273] 도 11은 제5 실시 예에 따른 회로 기판을 나타낸 도면이다.
- [274] 도 15를 참조하면, 제5 실시 예의 회로 기판은 절연층(510), 제1 회로 패턴(520-1) 및 제1 보호층(550)을 포함한다.

- [275] 상기 제1 보호층(550)은 제1 오픈 부분(OP1)을 포함한다. 예를 들어, 상기 제1 보호층(550)은 상기 제1 오픈 부분(OP1)을 포함하며 상기 제1 오픈 부분(OP1)과 인접한 제1 영역(R1)을 포함한다. 또한, 상기 제1 보호층(550)은 상기 제1 영역(R1)에 인접하면서 상기 제1 영역(R1)과 단차를 가지는 제2 영역(R2)을 포함할 수 있다.
- [276] 또한, 상기 제1 회로 패턴(520-1)은 제1 파트(520-1a) 및 제2 파트(520-1b)를 포함한다.
- [277] 여기에서, 상기 절연층(510) 및 제1 보호층(550)은 제1 실시 예의 절연층(110) 및 제1 보호층(150)과 구조를 가진다. 이에 따라, 이의 설명은 생략하기로 한다.
- [278] 제1 회로 패턴(520-1)의 제1 파트(520-1a)는 제1 실시 예의 제1 회로 패턴(110-1)의 제1 파트(120-1a)와 동일한 구조를 가진다. 이에 따라, 이의 설명도 생략하기로 한다.
- [279] 한편, 상기 제1 회로 패턴(520-1)의 제2 파트(520-1b)는 상기 제1 파트(520-1a) 상에 배치된다.
- [280] 이때, 상기 제2 파트(520-1b)는 복수의 서브 파트로 구분될 수 있다.
- [281] 예를 들어, 상기 제2 파트(520-1b)는 외측면의 형상 또는 경사를 기준으로 복수의 서브 파트로 구분될 수 있다.
- [282] 상기 제2 파트(520-1b)는 상기 제1 파트(520-1a) 상에 배치되는 제1 서브 파트(520-1b1)를 포함한다. 또한, 상기 제2 파트(520-1b)는 제1 서브 파트(520-1b1) 상에 배치되는 제2 서브 파트(520-1b2)를 포함할 수 있다.
- [283] 이때, 상기 제1 서브 파트(520-1b1) 및 제2 서브 파트(520-1b2)의 수직 단면은 서로 다른 형상을 가질 수 있다. 예를 들어, 상기 제1 서브 파트(520-1b1) 및 제2 서브 파트(520-1b2)의 외측면은 서로 다른 경사를 가질 수 있다.
- [284] 상기 제1 서브 파트(520-1b1)의 외측면(520-1b1s)은 특정 곡률을 가지는 곡선일 수 있다. 따라서, 상기 제1 서브 파트(520-1b1)는 상기 곡선이 가지는 곡률을 기준으로, 상기 제1 파트(520-1a)로부터 멀어질수록 폭이 감소할 수 있다. 그리고, 상기 곡률을 가지는 상기 제1 서브 파트(520-1b1)의 외측면(520-1b1s)은 외측으로 볼록한 형상을 가질 수 있고, 이와 다르게 내측으로 오목한 형상을 가질 수 있다.
- [285] 상기 제2 서브 파트(520-1b2)는 상기 제1 서브 파트(520-1b1)로부터 멀어질수록 폭이 변화가 없을 수 있다.
- [286] 예를 들어, 제2 서브 파트(520-1b2)의 외측면(520-1b2s)은 상기 제1 회로 패턴(520-1)의 하면에 대해 수직할 수 있다.
- [287]
- [288] - 반도체 패키지 -
- [289] 도 12는 실시 예에 따른 반도체 패키지를 나타낸 단면도이다.
- [290] 도 12를 참조하면, 실시 예의 반도체 패키지는 도 5, 도 8, 도 9, 도 10 및 도 11에 도시된 회로 기판 중 어느 하나의 회로 기판을 포함할 수 있다. 또한, 상기 회로 기판은 다층 구조를 가질 수 있다.

- [291] 실시 예의 반도체 패키지는 제1 접속부(610)를 포함한다. 즉, 회로 패턴의 회로 패턴층은 반도체 소자(6420)의 실장 영역에 대응하게 배치된 패드들을 포함한다. 상기 패드는 제1 회로 패턴층의 제1 회로 패턴(120-1)의 패드(120-11)를 의미할 수 있다.
- [292] 상기 제1 접속부(610)는 육면체 형상을 가질 수 있다. 상기 제1 접속부(610)의 단면은 사각형 형상을 포함할 수 있다. 상기 제1 접속부(610)의 단면은 직사각형 또는 정사각형을 포함할 수 있다. 예를 들어, 상기 제1 접속부(610)는 구형 형상을 포함할 수 있다. 예를 들어, 상기 제1 접속부(610)의 단면은 원형 형상 또는 반원 형상을 포함할 수 있다. 예를 들어, 상기 제1 접속부(610)의 단면은 부분적으로 또는 전체적으로 라운드진 형상을 포함할 수 있다. 상기 제1 접속부(610)의 단면 형상은 일측면에서 평면이고, 다른 일측면에서 곡면일 수 있다. 상기 제1 접속부(610)는 솔더 볼일 수 있으나, 이에 한정되는 것은 아니다. 한편, 상기 제1 접속부(610)의 적어도 일부는 상기 크레비스 내에 배치될 수 있다.
- [293] 실시 예의 반도체 패키지는 상기 제1 접속부(610) 상에 배치된 구성을 포함한다. 상기 제1 접속부(610) 상에 배치된 구성은 반도체 소자일 수 있고, 이와 다르게 인터포저일 수 있다. 이하에서는 상기 제1 접속부(610) 상에 배치된 구성이 반도체 소자(620)인 것으로 하여 설명한다.
- [294] 상기 반도체 소자(620)는 로직 칩일 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 반도체 소자(620)는 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 중 어플리케이션 프로세서(AP) 칩일 수 있다. 상기 반도체 소자(620)는 하면에 단자(625)를 포함한다. 그리고, 상기 반도체 소자(620)의 단자(625)는 상기 제1 접속부(610)를 통해 상기 회로 기판의 회로 패턴층에 연결된다.
- [295] 또한, 반도체 패키지는 언더필(630)을 포함할 수 있다. 상기 언더필(630)은 상기 회로 기판 상에서 상기 반도체 소자(620)의 주위를 덮으며 배치될 수 있다. 다만, 상기 언더필(630)은 선택적으로 생략될 수 있을 것이다. 예를 들어, 반도체 패키지는 상기 언더필(630)이 생략되면서, 상기 언더필(630)의 기능을 몰딩층(650)에서 수행할 수도 있을 것이다.
- [296] 상기 반도체 패키지는 제2 접속부(640)를 포함할 수 있다. 상기 제2 접속부(640)는 상기 회로 기판의 제1 회로 패턴층 상에 배치된다. 예를 들어, 상기 제2 접속부(640)는 제1 회로 패턴층(120)의 제2 회로 패턴(120-2) 상에 배치될 수 있다.
- [297] 상기 제2 접속부(640)는 범프일 수 있다. 일 예로, 상기 제2 접속부(640)는 솔더 범프일 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 제2 접속부(640)는 포스트 범프일 수 있다. 예를 들어, 상기 제2 접속부(640)는 구리 포스트 및 상기 구리 포스트 상에 배치된 솔더 범프를 포함할 수 있다. 상기 제2 접속부(640)의 상면은 상기 반도체 소자(620)의 상면보다 높게 위치할 수 있다. 이를 통해, 상기 제2 접속부(640) 상에 배치되는 외부 기판(600)의 결합 공정에서 상기 반도체 소자(620)가 손상되는 것을 방지할 수 있다.

- [298] 상기 반도체 패키지는 몰딩층(650)을 포함할 수 있다. 상기 몰딩층(650)은 상기 회로 기판 상에 배치된 구성들을 몰딩할 수 있다.
- [299] 상기 몰딩층(650)은 EMC(Epoxy Mold Compound)일 수 있으나, 이에 한정되는 것은 아니다. 상기 몰딩층(650)은 저유전율을 가질 수 있다. 예를 들어, 상기 몰딩층(650)의 유전율(Dk)은 0.2 내지 10일 수 있다. 예를 들어, 상기 몰딩층(650)의 유전율(Dk)은 0.5 내지 8일 수 있다. 예를 들어, 상기 몰딩층(650)의 유전율(Dk)은 0.8 내지 5일 수 있다. 이에 따라, 실시 예에서는 상기 몰딩층(650)이 저유전율을 가지도록 하여, 상기 반도체 소자(620)에서 발생하는 열의 방열 특성을 높일 수 있다. 상기 몰딩층(650)은 개구를 포함할 수 있다. 예를 들어, 상기 몰딩층(650)은 상기 제2 접속부(640)의 상면과 수직 방향으로 중첩되는 개구를 포함할 수 있다.
- [300] 반도체 패키지는 제3 접속부(660)를 포함한다.
- [301] 상기 제3 접속부(660)는 상기 회로 기판의 최하측에 배치된 회로 패던층 하에 배치될 수 있다. 상기 제3 접속부(660)는 실시 예의 반도체 패키지를 별도의 외부 기판(예를 들어, 전자 디바이스의 메인 보드)에 연결하기 위한 솔더일 수 있으나, 이에 한정되는 것은 아니다.
- [302] 반도체 패키지는 외부 기판(700)을 포함한다. 상기 외부 기판(700)은 실시 예의 회로 기판과 결합되는 별도의 기판을 의미할 수 있다. 예를 들어, 상기 회로 기판에 배치된 반도체 소자(620)는 CPU나 GPU와 같은 로직 칩일 수 있고, 상기 외부 기판(700)은 상기 로직 칩과 연결되는 메모리 칩이 배치된 메모리 기판을 의미할 수 있다. 상기 외부 기판(700)은 메모리 칩에 대응하는 반도체 소자(780)가 배치된 메모리 기판과 상기 회로 기판 사이를 연결하는 인터포저일 수 있다.
- [303] 상기 외부 기판(700)은 절연층(710), 회로층(720), 관통 전극(730), 상부 보호층(740) 및 하부 보호층(750)을 포함할 수 있다. 그리고, 상기 외부 기판(700)은 제 4 접속부(760)를 포함할 수 있다. 상기 제4 접속부(760)는 상기 외부 기판(700) 과 상기 제3 접속부(740) 사이에 배치될 수 있다.
- [304] 또한, 반도체 패키지는 제5 접속부(770)를 포함할 수 있다. 제5 접속부(770)는 상기 외부 기판(700) 상에 배치될 수 있다.
- [305] 반도체 패키지는 반도체 소자(780)를 포함할 수 있다. 상기 반도체 소자(780)는 상기 제5 접속부(770)를 통해 상기 외부 기판(700) 상에 실장될 수 있다. 상기 반도체 소자(780)는 메모리 칩일 수 있으나, 이에 한정되는 것은 아니다. 상기 반도체 소자(780)의 단자(785)는 상기 제5 접속부(770)를 통해 상기 외부 기판(700)과 전기적으로 연결될 수 있다. 이때, 상기 반도체 소자(780)가 플립칩 방식으로 실장되는 것으로 도시하였으나, 이에 한정되는 않는다. 상기 반도체 소자(780)는 스택 메모리 칩일 수 있고, 이에 따라 별도의 와이어와 같은 연결부재를 통해 상기 외부 기판(700)과 전기적으로 연결될 수 있다.
- [306]
- [307] -제조 방법-
- [308] 이하에서는 실시 예에 따른 회로 기판의 제조 방법에 대해 설명하기로 한다.

- [309] 도 13 내지 도 18은 실시 예에 따른 회로 기판의 제조 방법을 제조 공정 순으로 나타낸 단면도이다.
- [310] 도 13을 참조하면, 실시 예에서는 절연층(110)을 준비한다.
- [311] 이후, 실시 예는 상기 절연층(110)의 상면 및 하면을 관통하는 관통 홀(VH)을 형성한다.
- [312] 다음으로, 도 14를 참조하면 실시 예는 상기 절연층(110) 상에 상기 관통 홀(VH)을 채우는 관통 전극(140)을 형성할 수 있다. 또한, 실시 예는 상기 절연층(110)의 상면에 제1 회로 패턴(120-1) 및 제2 회로 패턴(120-2)을 포함하는 제1 회로 패턴층(120)을 형성할 수 있다. 또한, 실시 예는 상기 절연층(120)의 하면에 제2 회로 패턴층(130)을 형성할 수 있다.
- [313] 이후, 도 15를 참조하면, 실시 예는 상기 절연층(120)의 상에 제1 레지스트층(R1)을 형성한다. 이때, 상기 제1 레지스트층(R1)은 상기 제1 보호층(150)에 오픈 부분이 형성되기 이전의 보호층을 의미할 수 있다. 상기 제1 레지스트층(R1)은 솔더 레지스트층일 수 있으나, 이에 한정되는 것은 아니다.
- [314] 또한, 실시 예는 상기 절연층(120)의 하에 제2 레지스트층(R2)을 형성한다. 이때, 상기 제2 레지스트층(R2)은 제2 보호층(160)에 오픈 부분이 형성되기 이전의 보호층을 의미할 수 있다. 상기 제2 레지스트층(R2)은 솔더 레지스트층일 수 있으나, 이에 한정되는 것은 아니다.
- [315] 다음으로, 도 16을 참조하면, 실시 예는 상기 제1 레지스트층(R1)을 노광하며, 제1 노광 패턴(ER1) 및 제2 노광 패턴(ER2)을 형성하는 공정을 진행할 수 있다. 상기 제1 노광 패턴(ER1) 및 제2 노광 패턴(ER2)은 상기 제1 레지스트층(R1)에서 오픈 부분이 형성될 영역에 대응하게 형성될 수 있다.
- [316] 또한, 실시 예는 상기 제2 레지스트층(R2)을 노광하여 제3 노광 패턴(ER3)을 형성하는 공정을 진행할 수 있다.
- [317] 다음으로, 도 17을 참조하면, 실시 예는 상기 제1 내지 제3 노광 패턴(ER1, ER2, ER3)이 형성됨에 따라, 상기 제1 레지스트층(R1) 및 제2 레지스트층(R2)에서 상기 제1 내지 제3 노광 패턴(ER1, ER2, ER3)을 제외한 나머지 영역을 경화하는 공정을 진행할 수 있다. 이후, 실시 예는 상기 제1 내지 제3 노광 패턴(ER1, ER2, ER3)에 대응하는 영역의 두께를 목표 두께로 줄이는 씨닝(thinning) 공정을 진행할 수 있다.
- [318] 상기 씨닝 공정은 테트라메틸암모늄하이드록시드(TMAH) 또는 트리메틸-2-하이드록시에틸암모늄하이드록사이드(콜린) 등이 함유된 유기 알칼리성 화합물을 이용하여 진행될 수 있다.
- [319] 이를 통해 실시 예는 상기 제1 보호층(150)에 제1 오픈 부분(OP1) 및 제2 오픈 부분(OP2)을 각각 형성할 수 있다.
- [320] 이후, 실시 예는 OSP 전처리를 진행할 수 있다. 그리고, 상기 OSP 전처리가 진행됨에 따라 상기 제1 보호층(150)으로 덮이지 않은 상기 제1 회로 패턴(120-1)

- [321] 의 외측면의 일부가 에칭으로 제거될 수 있다. 이를 통해, 상기 제1 보호층(150)과 상기 제1 회로 패턴(120-1) 사이에는 크레비스가 형성될 수 있다. 또한, 상기 OSP 전처리하는 상기 제2 오픈 부분(OP2)과 수직으로 중첩되는 상기 제2 회로 패턴(120-2)의 상면에서도 진행될 수 있다. 이에 의해, 상기 제2 회로 패턴(120-2)의 상면에는 상기 OSP 전처리에 의해 리세스(120-2R)가 형성될 수 있다.
- [322] 한편, 상술한 발명의 특징을 갖는 회로기판이 스마트폰, 서버용 컴퓨터, TV 등의 IT 장치나 가전제품에 이용되는 경우, 신호 전송 또는 전력 공급 등의 기능을 안정적으로 할 수 있다. 예를 들어, 본 발명의 특징을 갖는 회로기판이 반도체 패키지 기능을 수행하는 경우, 반도체 칩을 외부의 습기나 오염 물질로부터 안전하게 보호하는 기능을 할 수 있고, 누설전류 혹은 단자 간의 전기적인 단락 문제나 혹은 반도체 칩에 공급하는 단자의 전기적인 개방의 문제를 해결할 수 있다. 또한, 신호 전송의 기능을 담당하는 경우 노이즈 문제를 해결할 수 있다. 이를 통해, 상술한 발명의 특징을 갖는 회로기판은 IT 장치나 가전제품의 안정적인 기능을 유지할 수 있도록 함으로써, 전체 제품과 본 발명이 적용된 회로기판은 서로 기능적 일체성 또는 기술적 연동성을 이룰 수 있다.
- [323] 상술한 발명의 특징을 갖는 회로기판이 차량 등의 운송 장치에 이용되는 경우, 운송 장치로 전송되는 신호의 왜곡 문제를 해결할 수 있고, 또는 운송 장치를 제어하는 반도체 칩을 외부로부터 안전하게 보호하고, 누설전류 혹은 단자 간의 전기적인 단락 문제나 혹은 반도체 칩에 공급하는 단자의 전기적인 개방의 문제를 해결하여 운송 장치의 안정성을 더 개선할 수 있다. 따라서, 운송 장치와 본 발명이 적용된 회로기판은 서로 기능적 일체성 또는 기술적 연동성을 이룰 수 있다.
- [324] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [325] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 절연층;
 상기 절연층 상에 배치된 제1 회로 패턴; 및
 상기 절연층 상에 배치되고, 상기 제1 회로 패턴과 수직으로 중첩되는 제1
 오픈 부분을 포함하는 제1 보호층을 포함하고,
 상기 제1 보호층은 상기 제1 오픈 부분을 포함하고, 제1 두께를 가지는 제
 1 영역과,
 상기 제1 오픈 부분을 포함하지 않으며, 상기 제1 두께보다 큰 제2 두께를
 갖는 제2 영역을 포함하고,
 상기 제1 영역의 상기 제1 두께는 상기 제1 회로 패턴의 제3 두께보다 작
 고,
 상기 제1 오픈 부분을 구성하는 상기 제1 영역의 내측면은,
 상기 제1 회로 패턴의 외측면과 직접 접촉하는 제1 내측면과,
 상기 제1 회로 패턴의 외측면과 이격되는 제2 내측면을 포함하는,
 회로 기판.
- [청구항 2] 제1항에 있어서,
 상기 제1 영역의 상기 제2 내측면은,
 상기 제1 영역의 상기 제1 내측면과 연결되며, 상기 제1 내측면이 가지는
 경사에 대응하는 경사를 가지는,
 회로 기판.
- [청구항 3] 제1항에 있어서,
 상기 제2 영역의 상기 제2 두께는 상기 제1 회로 패턴의 상기 제3 두께보
 다 큰,
 회로 기판.
- [청구항 4] 제1항에 있어서,
 상기 제1 회로 패턴은,
 상기 제1 회로 패턴의 상면을 향할수록 폭이 감소하는 영역을 포함하고,
 상기 제1 영역의 상기 제2 내측면은 상기 제1 회로 패턴의 상기 폭이 감소
 하는 영역의 외측면과 이격되는,
 회로 기판.
- [청구항 5] 제1항 내지 제4항 중 어느 한 항에 있어서,
 상기 제1 영역의 상기 제1 두께는,
 상기 제1 회로 패턴의 상기 제3 두께의 20% 내지 90%의 범위를 만족하는,
 회로 기판.
- [청구항 6] 제5항에 있어서,
 상기 제1 회로 패턴은,

상기 절연층의 상면에 배치되고, 외측면이 상기 제1 영역의 상기 제1 내측면과 접촉하는 제1 파트; 및

상기 제1 파트 상에 배치되고, 외측면이 상기 제1 보호층과 접촉하지 않는 제2 파트를 포함하고,

상기 제2 파트는 상기 제1 파트의 폭보다 작은 폭을 가지는 영역을 포함하는,

회로 기판.

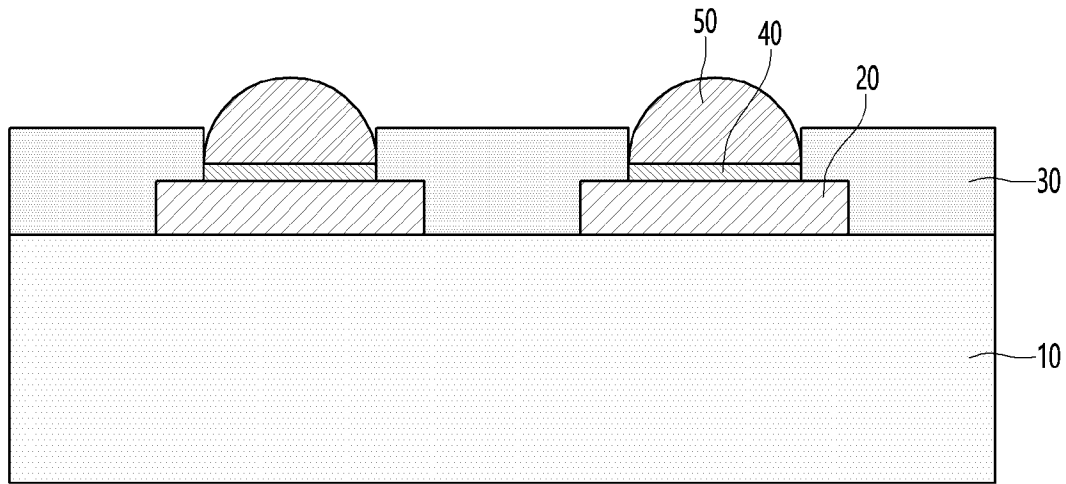
[청구항 7] 제6항에 있어서,
상기 제1 오픈 부분의 폭은 상기 제1 파트의 폭에 대응되는,
회로 기판.

[청구항 8] 제6항에 있어서,
상기 제1 파트는 상기 제1 영역의 상기 제1 두께의 20% 내지 90%의 범위의 제4 두께를 가지는,
회로 기판.

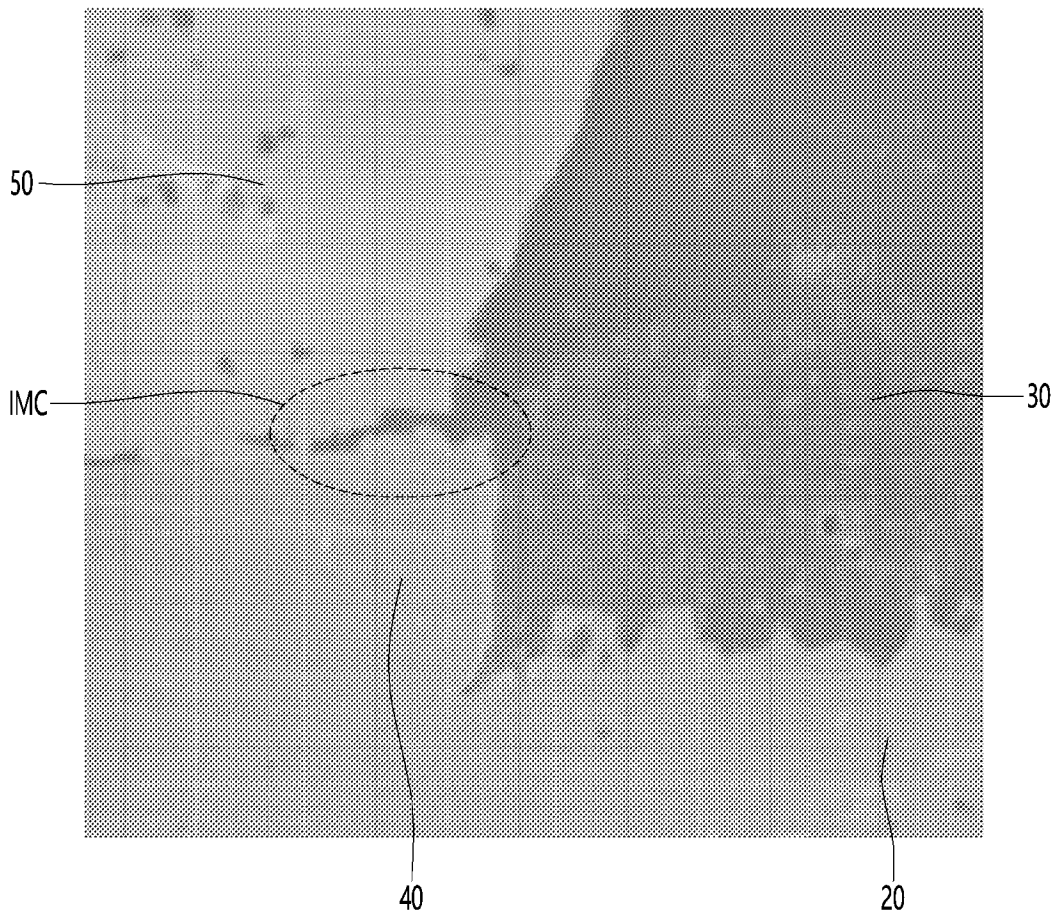
[청구항 9] 제6항에 있어서,
상기 제2 파트의 외측면은,
상기 제2 파트의 상면을 향할수록 폭이 점진적으로 감소하는 직선의 경사를 가지는,
회로 기판.

[청구항 10] 제6항에 있어서,
상기 제2 파트의 외측면은,
상기 제2 파트의 상면을 향할수록 폭이 감소하는 특정 곡률의 곡선의 경사를 가지는,
회로 기판.

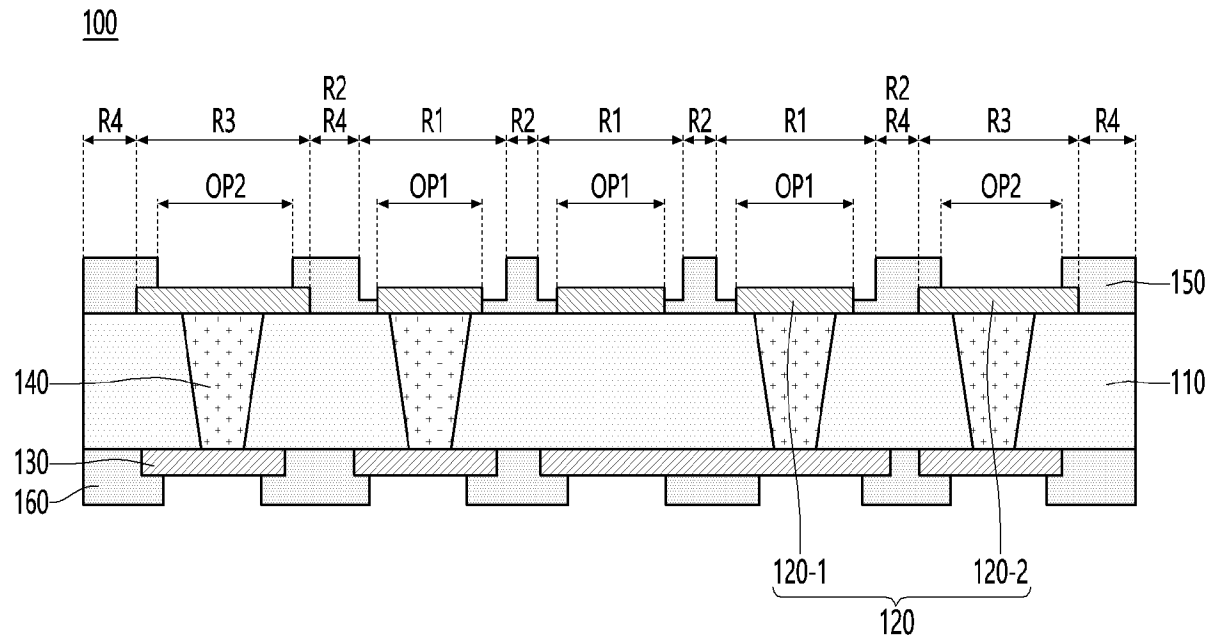
[도1]



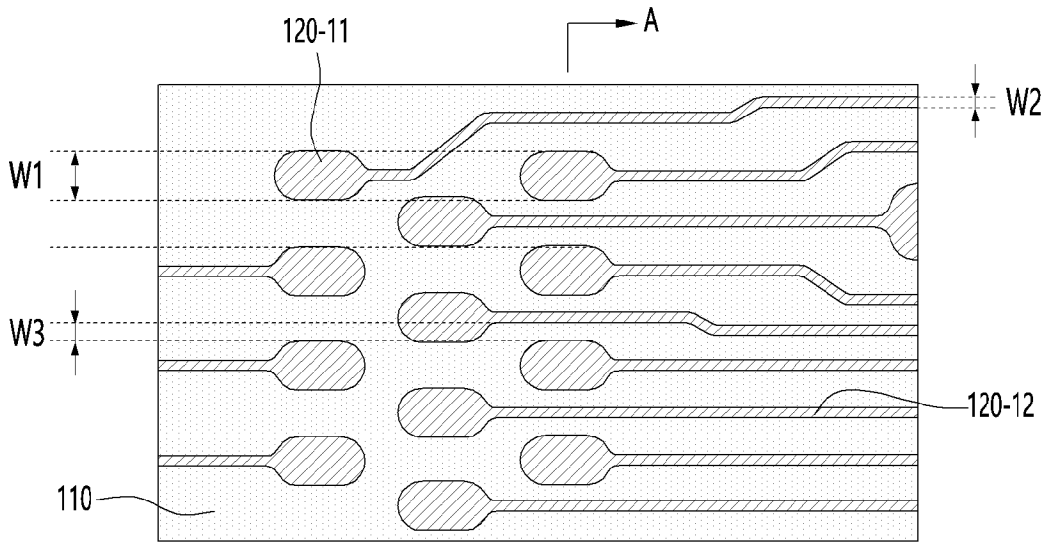
[도2]



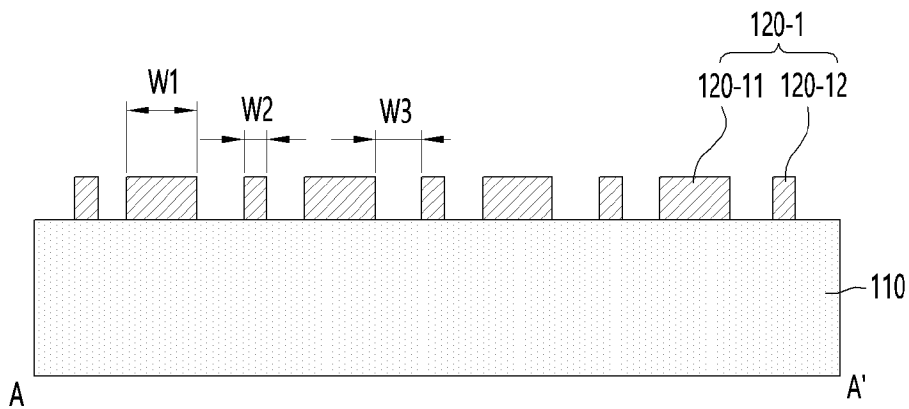
[도3]



[도4]

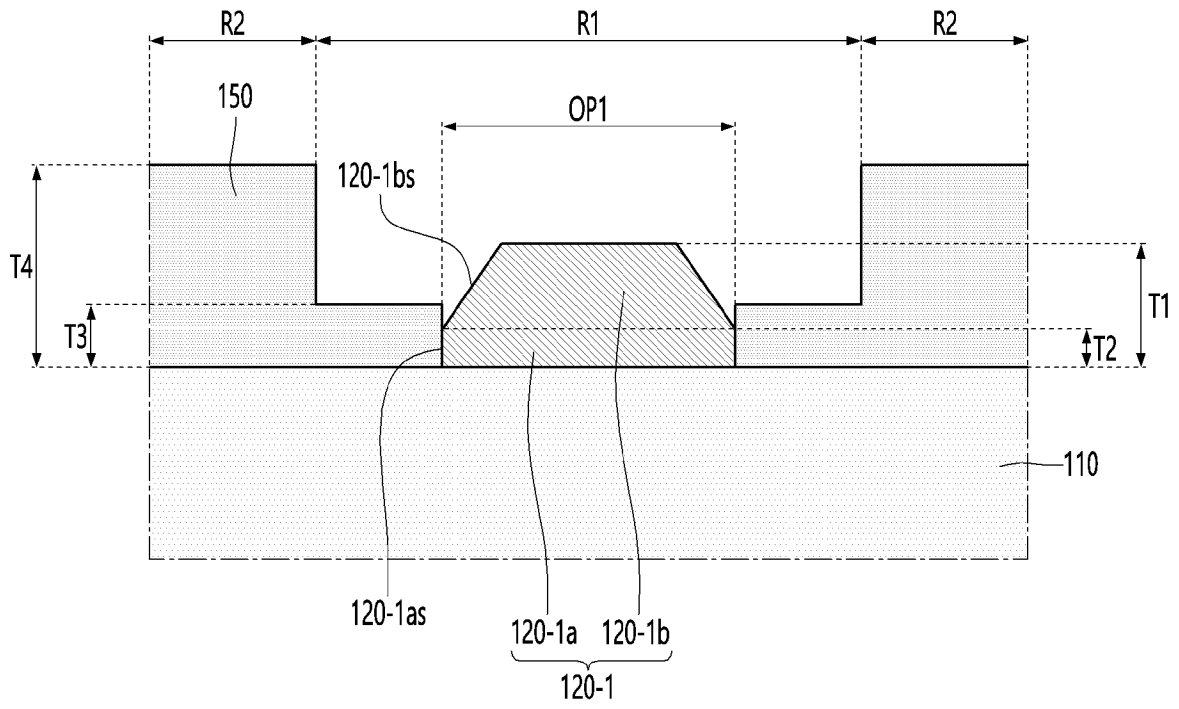


(a)

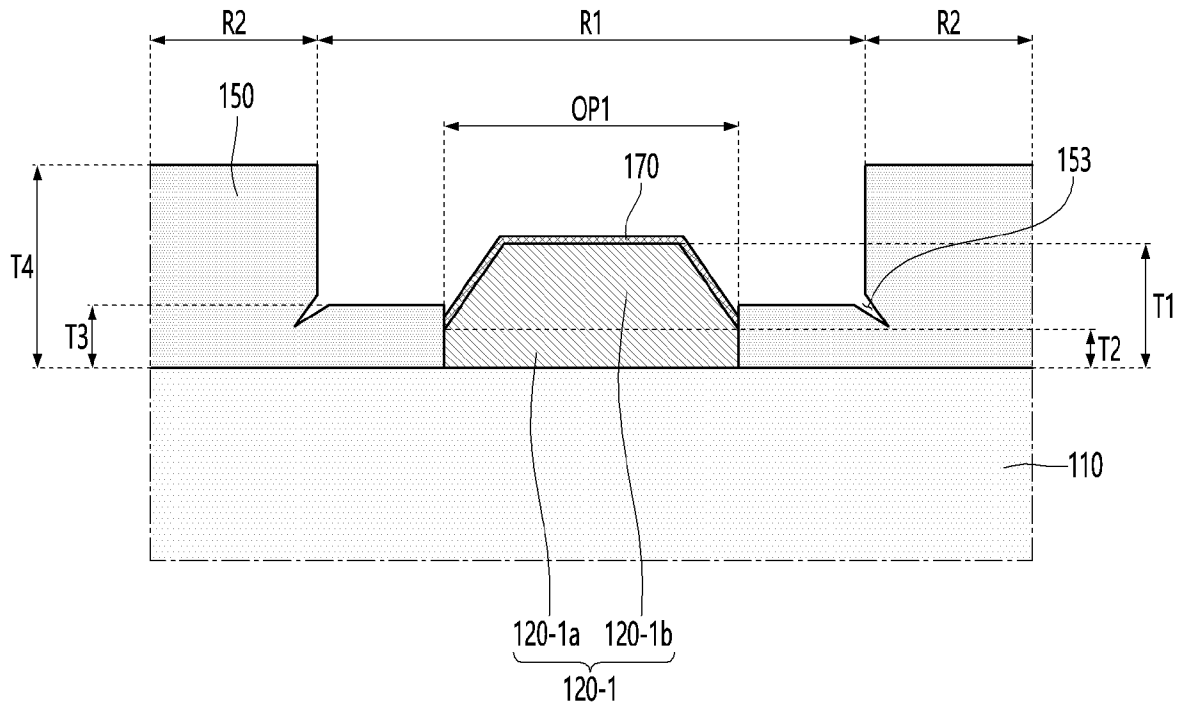


(b)

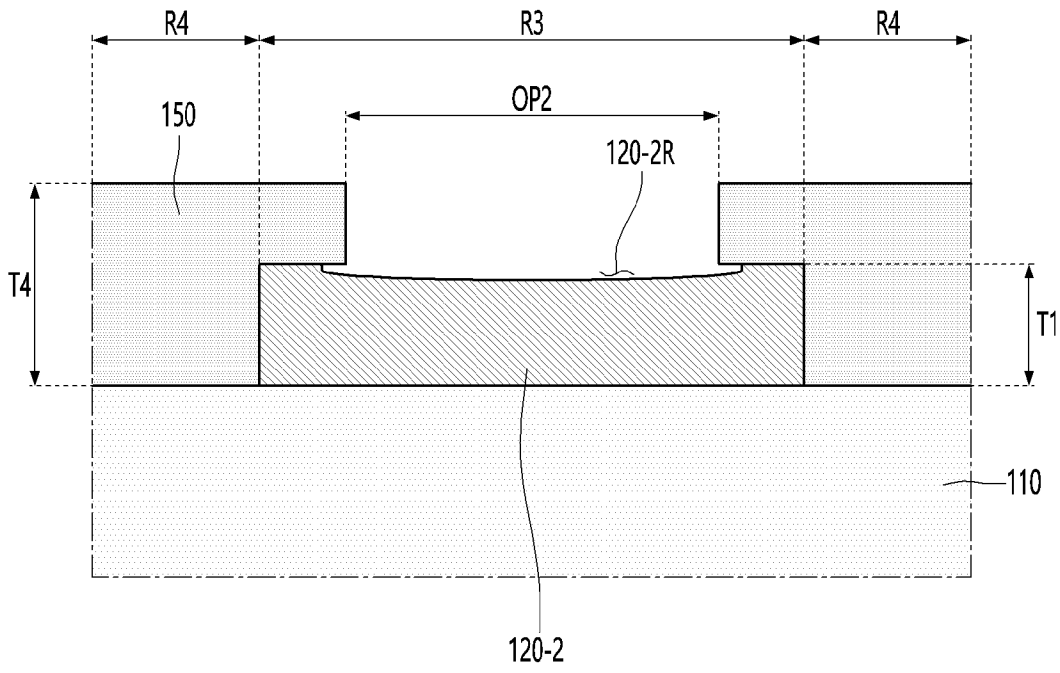
[도5]



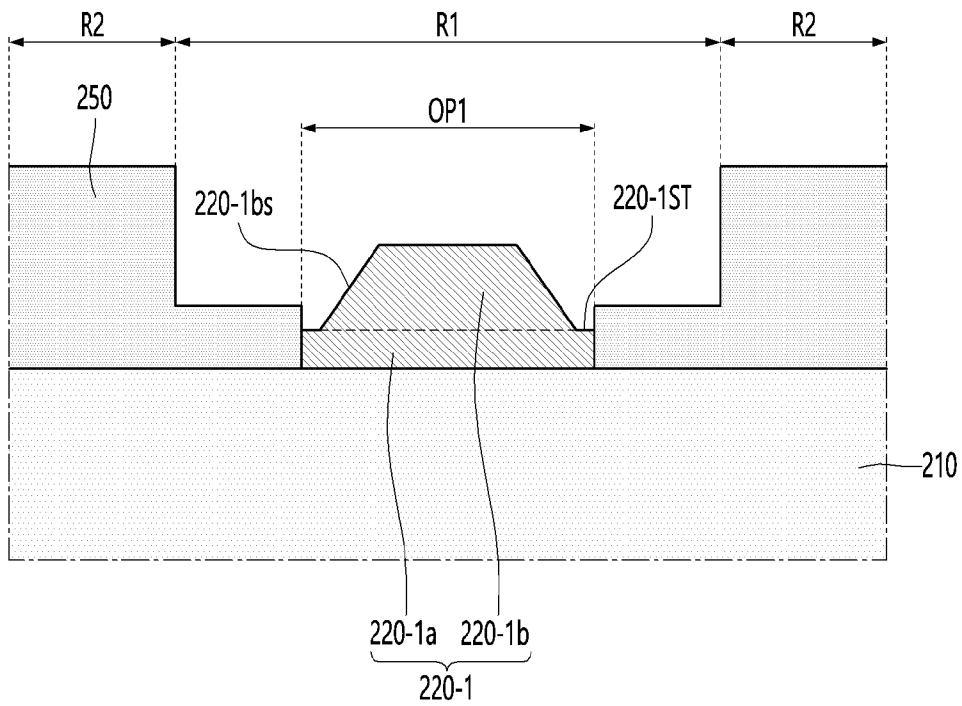
[도6]



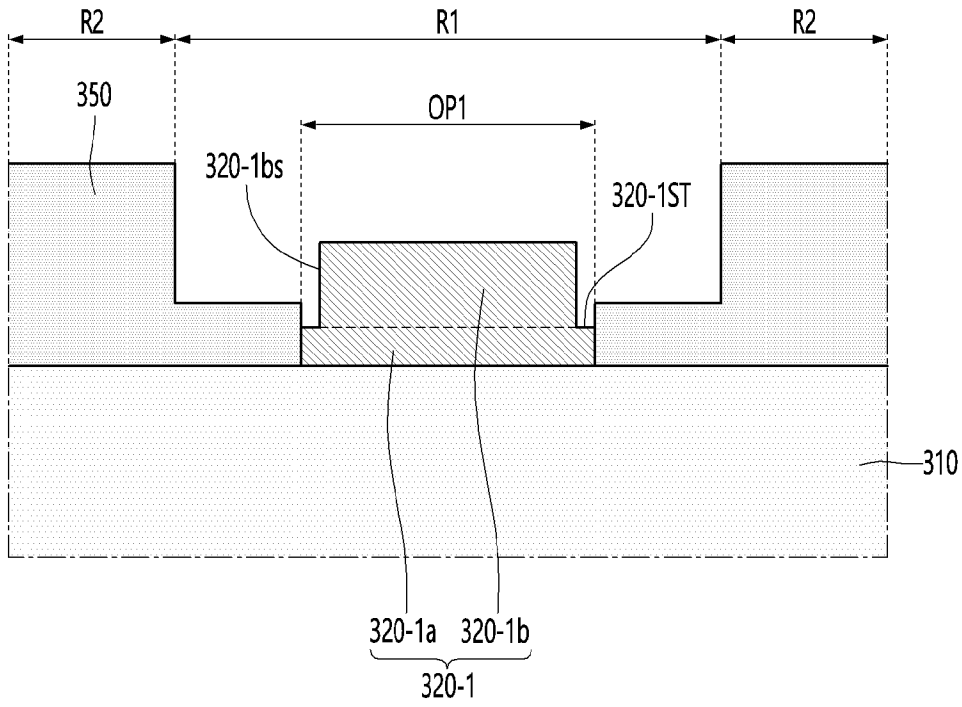
[도7]



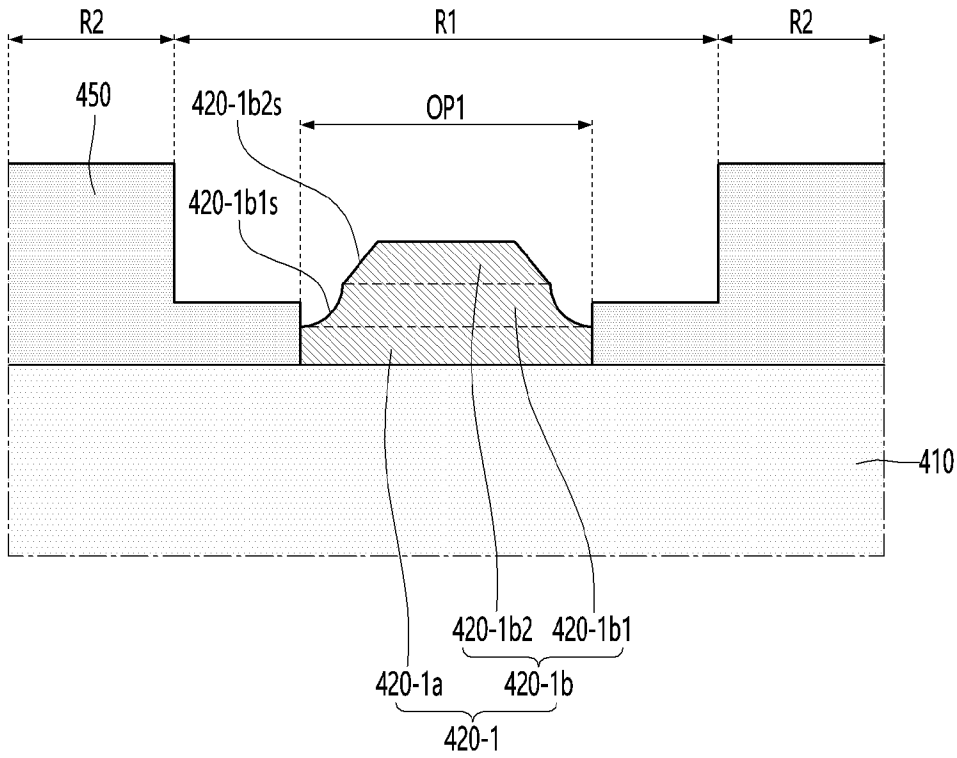
[도8]



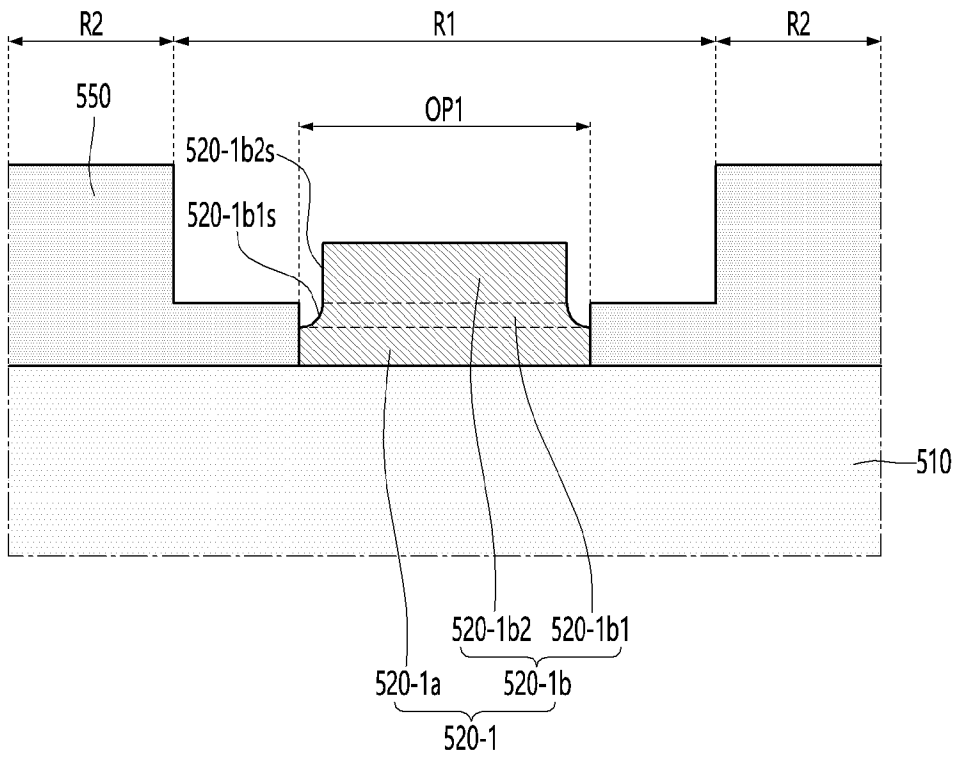
[도9]



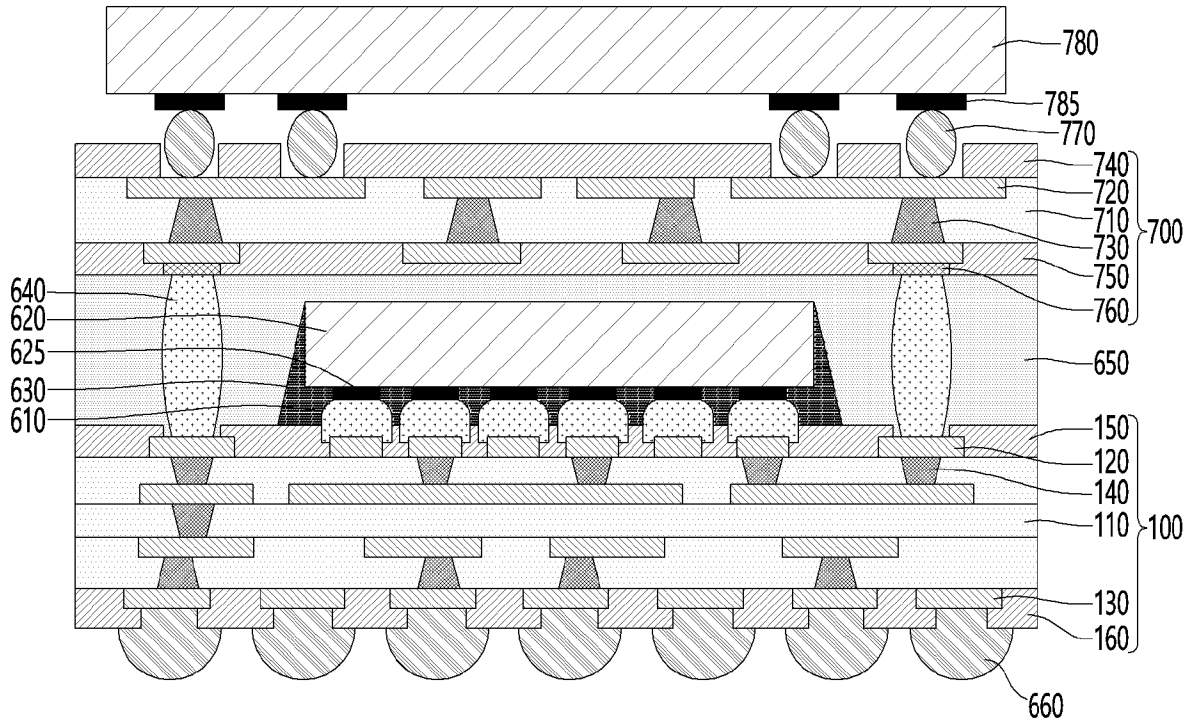
[도10]



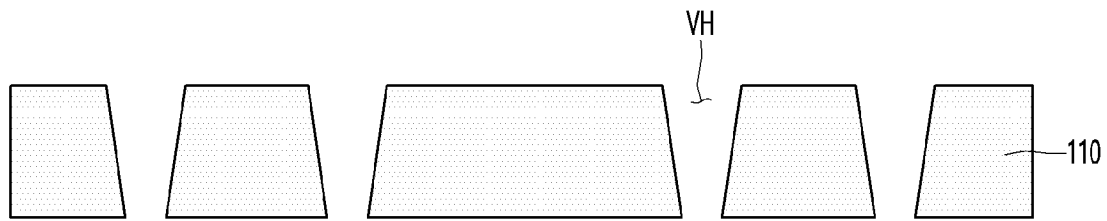
[도 11]



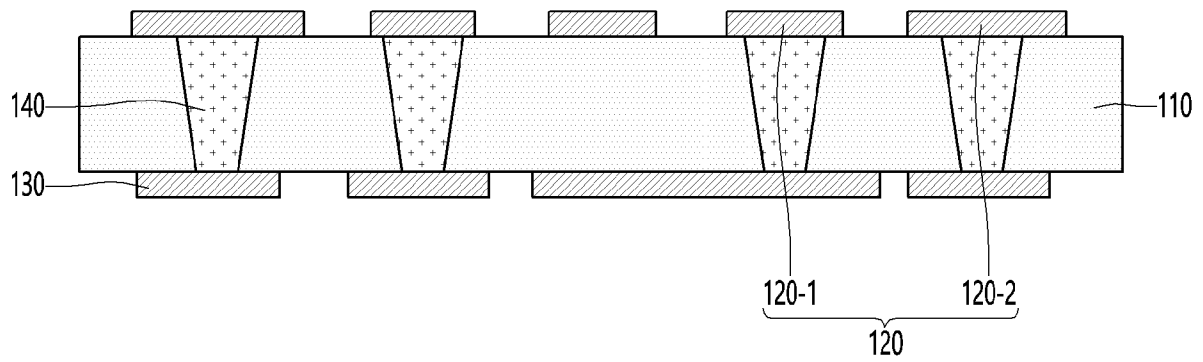
[도 12]



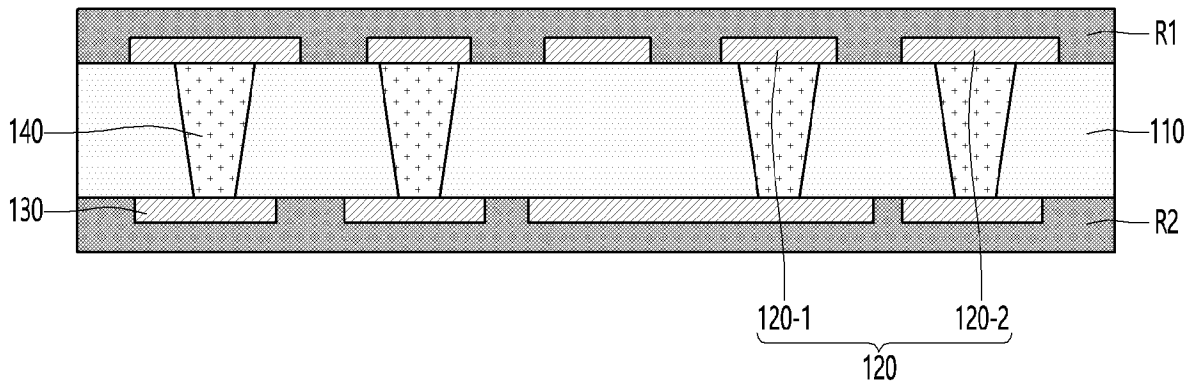
[도 13]



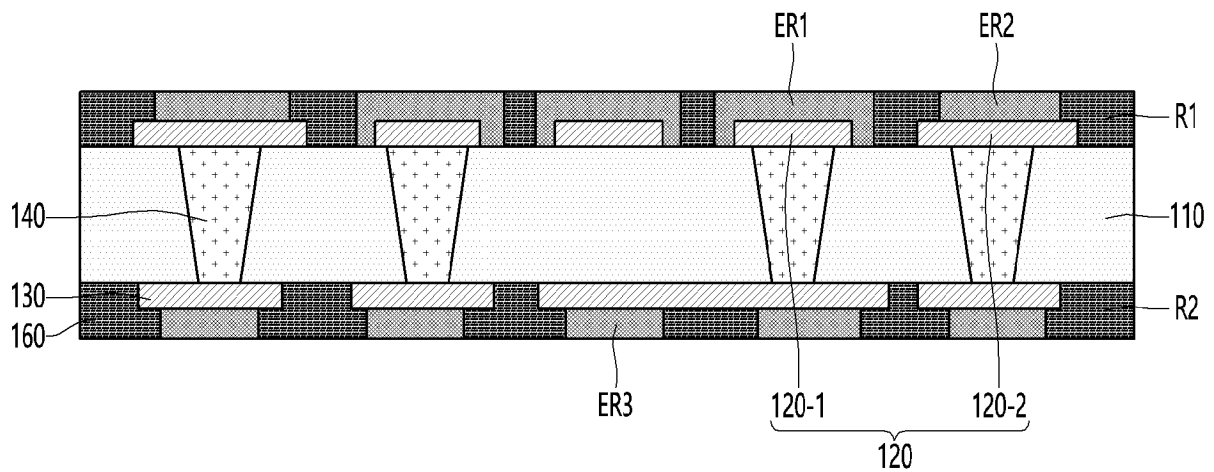
[도 14]



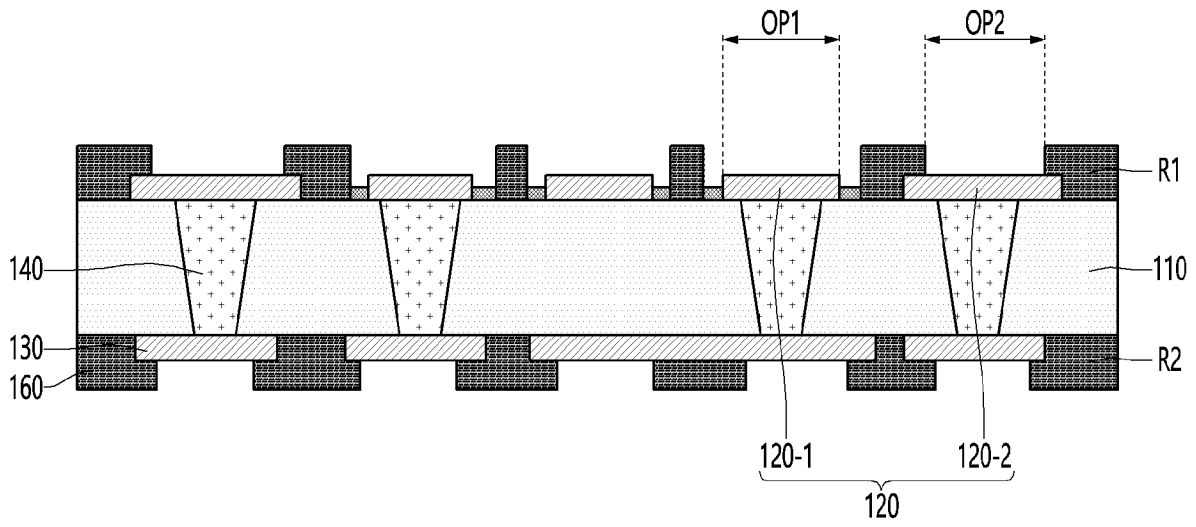
[도 15]



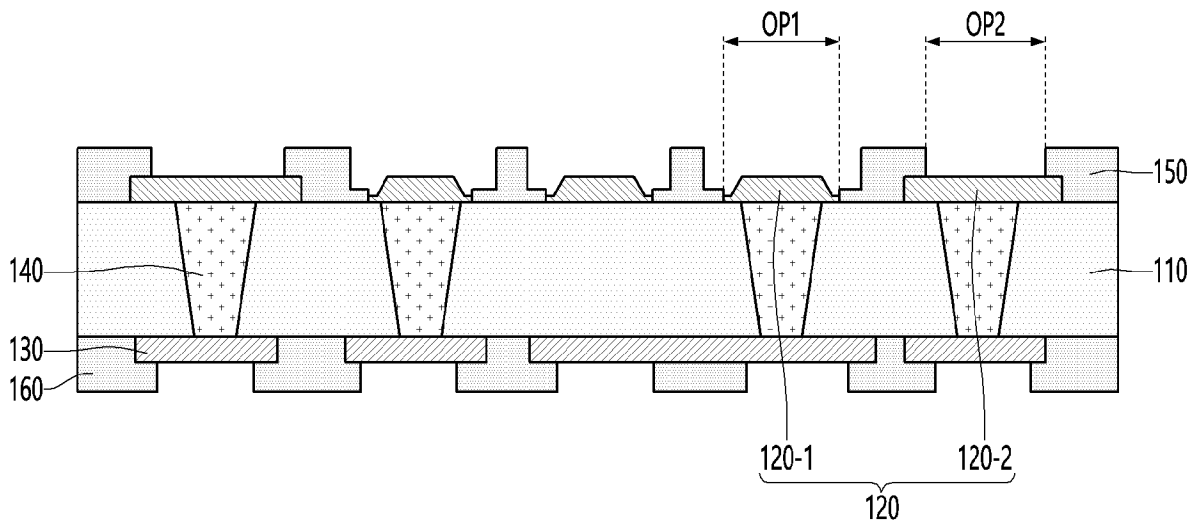
[도 16]



[도 17]



[도 18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/008033

A. CLASSIFICATION OF SUBJECT MATTER		
H05K 3/28(2006.01)i; H05K 3/10(2006.01)i; H01L 23/13(2006.01)i; H01L 23/498(2006.01)i; H01L 23/00(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H05K 3/28(2006.01); H01L 23/12(2006.01); H05K 1/02(2006.01); H05K 1/18(2006.01); H05K 3/06(2006.01); H05K 3/34(2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 회로 패턴(circuit pattern), 오픈 부분(opening area), 보호층(protecting layer), 두께 (thickness), 내측면(inner surface), 이격(separation)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2021-0114196 A (LG INNOTEK CO., LTD.) 23 September 2021 (2021-09-23) See paragraphs [0083]-[0176] and figures 3-4.	1-10
Y	KR 10-1555460 B1 (NGK SPARK PLUG COMPANY LIMITED) 23 September 2015 (2015-09-23) See paragraphs [0030]-[0034] and figures 2-3 and 16-17.	1-10
A	KR 10-2013-0008346 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 22 January 2013 (2013-01-22) See paragraphs [0054]-[0100] and figures 1-10.	1-10
A	KR 20-2020-0000700 U (MITSUBISHI PAPER MILLS LTD.) 02 April 2020 (2020-04-02) See entire document.	1-10
A	JP 11-191670 A (VICTOR CO. OF JAPAN LTD. et al.) 13 July 1999 (1999-07-13) See entire document.	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 15 September 2023		Date of mailing of the international search report 15 September 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/008033

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
KR	10-2021-0114196	A	23 September 2021	None	
KR	10-1555460	B1	23 September 2015	CN	104206034 A 10 December 2014
				CN	104206034 B 06 February 2018
				EP	2816878 A1 24 December 2014
				EP	2816878 B1 16 February 2022
				JP	2013-239603 A 28 November 2013
				JP	5341227 B1 13 November 2013
				KR	10-2015-0008150 A 21 January 2015
				TW	201404268 A 16 January 2014
				TW	1599292 B 11 September 2017
				US	2015-0027750 A1 29 January 2015
				US	9560739 B2 31 January 2017
				WO	2013-171964 A1 21 November 2013
KR	10-2013-0008346	A	22 January 2013	KR	10-1847163 B1 09 April 2018
KR	20-2020-0000700	U	02 April 2020	CN	107846786 B 05 March 2021
				JP	2018-139319 A 06 September 2018
				KR	10-2082641 B1 28 February 2020
				TW	1700974 B 01 August 2020
				WO	2014-199890 A1 18 December 2014
JP	11-191670	A	13 July 1999	JP	3856414 B2 13 December 2006

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H05K 3/28(2006.01)i; H05K 3/10(2006.01)i; H01L 23/13(2006.01)i; H01L 23/498(2006.01)i; H01L 23/00(2006.01)i																				
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H05K 3/28(2006.01); H01L 23/12(2006.01); H05K 1/02(2006.01); H05K 1/18(2006.01); H05K 3/06(2006.01); H05K 3/34(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 회로 패턴(circuit pattern), 오픈 부분(opening area), 보호층(protecting layer), 두께(thickness), 내측면(inner surface), 이격(separation)																				
C. 관련 문헌 <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">카테고리*</th> <th style="width:70%;">인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th style="width:20%;">관련 청구항</th> </tr> </thead> <tbody> <tr> <td style="text-align:center;">Y</td> <td>KR 10-2021-0114196 A (엔지이노텍 주식회사) 2021.09.23 단락 [0083]-[0176] 및 도면 3-4 참조.</td> <td style="text-align:center;">1-10</td> </tr> <tr> <td style="text-align:center;">Y</td> <td>KR 10-1555460 B1 (니혼도꾸슈도교 가부시키키가이사) 2015.09.23 단락 [0030]-[0034] 및 도면 2-3, 16-17 참조.</td> <td style="text-align:center;">1-10</td> </tr> <tr> <td style="text-align:center;">A</td> <td>KR 10-2013-0008346 A (삼성전기주식회사) 2013.01.22 단락 [0054]-[0100] 및 도면 1-10 참조.</td> <td style="text-align:center;">1-10</td> </tr> <tr> <td style="text-align:center;">A</td> <td>KR 20-2020-0000700 U (미쓰비시 세이시 가부시키키가이사) 2020.04.02 문헌 전체 참조.</td> <td style="text-align:center;">1-10</td> </tr> <tr> <td style="text-align:center;">A</td> <td>JP 11-191670 A (VICTOR CO. OF JAPAN LTD. 등) 1999.07.13 문헌 전체 참조.</td> <td style="text-align:center;">1-10</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	Y	KR 10-2021-0114196 A (엔지이노텍 주식회사) 2021.09.23 단락 [0083]-[0176] 및 도면 3-4 참조.	1-10	Y	KR 10-1555460 B1 (니혼도꾸슈도교 가부시키키가이사) 2015.09.23 단락 [0030]-[0034] 및 도면 2-3, 16-17 참조.	1-10	A	KR 10-2013-0008346 A (삼성전기주식회사) 2013.01.22 단락 [0054]-[0100] 및 도면 1-10 참조.	1-10	A	KR 20-2020-0000700 U (미쓰비시 세이시 가부시키키가이사) 2020.04.02 문헌 전체 참조.	1-10	A	JP 11-191670 A (VICTOR CO. OF JAPAN LTD. 등) 1999.07.13 문헌 전체 참조.	1-10
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																		
Y	KR 10-2021-0114196 A (엔지이노텍 주식회사) 2021.09.23 단락 [0083]-[0176] 및 도면 3-4 참조.	1-10																		
Y	KR 10-1555460 B1 (니혼도꾸슈도교 가부시키키가이사) 2015.09.23 단락 [0030]-[0034] 및 도면 2-3, 16-17 참조.	1-10																		
A	KR 10-2013-0008346 A (삼성전기주식회사) 2013.01.22 단락 [0054]-[0100] 및 도면 1-10 참조.	1-10																		
A	KR 20-2020-0000700 U (미쓰비시 세이시 가부시키키가이사) 2020.04.02 문헌 전체 참조.	1-10																		
A	JP 11-191670 A (VICTOR CO. OF JAPAN LTD. 등) 1999.07.13 문헌 전체 참조.	1-10																		
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.																				
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																				
국제조사의 실제 완료일 <p style="text-align:center;">2023년09월15일 (15.09.2023)</p>	국제조사보고서 발송일 <p style="text-align:center;">2023년09월15일 (15.09.2023)</p>																			
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 <p style="text-align:right;">이강하</p> 전화번호 +82-42-481-5003																			

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2021-0114196 A	2021/09/23	없음	
KR 10-1555460 B1	2015/09/23	CN 104206034 A	2014/12/10
		CN 104206034 B	2018/02/06
		EP 2816878 A1	2014/12/24
		EP 2816878 B1	2022/02/16
		JP 2013-239603 A	2013/11/28
		JP 5341227 B1	2013/11/13
		KR 10-2015-0008150 A	2015/01/21
		TW 201404268 A	2014/01/16
		TW I599292 B	2017/09/11
		US 2015-0027750 A1	2015/01/29
		US 9560739 B2	2017/01/31
		WO 2013-171964 A1	2013/11/21
KR 10-2013-0008346 A	2013/01/22	KR 10-1847163 B1	2018/04/09
KR 20-2020-0000700 U	2020/04/02	CN 107846786 B	2021/03/05
		JP 2018-139319 A	2018/09/06
		KR 10-2082641 B1	2020/02/28
		TW I700974 B	2020/08/01
		WO 2014-199890 A1	2014/12/18
JP 11-191670 A	1999/07/13	JP 3856414 B2	2006/12/13