

【公報種別】特許公報の訂正

【部門区分】第7部門第3区分

【発行日】令和4年6月6日(2022.6.6)

【特許番号】特許第7065780号(P7065780)

【登録日】令和4年4月28日(2022.4.28)

【特許公報発行日】令和4年5月12日(2022.5.12)

【年通号数】登録公報(特許)2022-081

【出願番号】特願2018-546844(P2018-546844)

【訂正要旨】特許権者の住所の誤載により、下記のとおり全文を訂正する。

10

【国際特許分類】

*H 0 4 L 43/00(2022.01)*

【F I】

H 0 4 L 43/00

【記】別紙のとおり

20

30

40

50

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7065780号  
(P7065780)

(45)発行日 令和4年5月12日(2022.5.12)

(24)登録日 令和4年4月28日(2022.4.28)

(51)国際特許分類 F I  
H 0 4 L 43/00 (2022.01) H 0 4 L 43/00

請求項の数 11 (全18頁)

(21)出願番号	特願2018-546844(P2018-546844)	(73)特許権者	590000248
(86)(22)出願日	平成29年2月24日(2017.2.24)		コーニンクレッカ フィリップス エヌ
(65)公表番号	特表2019-508977(P2019-508977 A)		ヴェ Koninklijke Philips N.V.
(43)公表日	平成31年3月28日(2019.3.28)		オランダ国 5 6 5 6 アーヘー アイン
(86)国際出願番号	PCT/EP2017/054263		ドーフエン ハイテック キャンパス 5
(87)国際公開番号	WO2017/153181	(74)代理人	110001690
(87)国際公開日	平成29年9月14日(2017.9.14)		特許業務法人M&Sパートナーズ
審査請求日	令和2年2月21日(2020.2.21)	(72)発明者	ブラサナ クマル ジャグルス
(31)優先権主張番号	16159293.6		オランダ国 5 6 5 6 アーエー アイン
(32)優先日	平成28年3月9日(2016.3.9)	(72)発明者	ドーフエン ハイ テック キャンパス 5
(33)優先権主張国・地域又は機関	欧州特許庁(EP)		アボ アンテネ アレム
			オランダ国 5 6 5 6 アーエー アイン
			ドーフエン ハイ テック キャンパス 5
			最終頁に続く

(54)【発明の名称】 デジタル通信システムにおけるパケット開始検出のための方法及び装置

(57)【特許請求の範囲】

【請求項 1】

パケット開始情報を含む入力データを受信する入力部と、  
 基準パケット開始情報のそれぞれの部分集合と受信した前記パケット開始情報のそれぞれの部分集合との間で一致があるかどうかを判定する第1のステージであって、受信した前記パケット開始情報の部分集合の各々及び前記基準パケット開始情報の前記それぞれの部分集合に対して前記判定することを繰り返し、前記基準パケット開始情報の前記それぞれの部分集合と受信した前記パケット開始情報の前記それぞれの部分集合との間で一致があればカウンタの値が変更される第1のステージと、  
 前記第1のステージと並列に配置される第2のステージであって、受信した前記パケット開始情報の前記それぞれの部分集合を前記基準パケット開始情報の前記それぞれの部分集合の反転と比較する第2のステージと、  
 前記第2のステージ又は前記第1のステージの判定に依存してパケット開始検出出力を提供する出力部であって、前記カウンタの前記値と閾値との比較に依存してパケット開始検出出力を提供する出力部とを備え、

前記出力部は、前記パケット開始検出出力が前記第1のステージの判定に依存しているか又は前記第2のステージの判定に依存しているかを示す情報を出力する、パケット開始検出器。

【請求項 2】

前記基準パケット開始情報のどのそれぞれの部分集合が前記第1のステージによって使用

されるかを制御するカウンタを備える、請求項 1 に記載の packets 開始検出器。

【請求項 3】

前記閾値が各部分集合に対して設定可能である、請求項 1 又は 2 に記載の packets 開始検出器。

【請求項 4】

前記第 1 のステージが、受信した前記 packets 開始情報の部分集合と前記基準 packets 開始情報の前記それぞれの部分集合との間でそれぞれの排他的論理和を行う排他的論理和機能を含む、請求項 1 から 3 のいずれか一項に記載の packets 開始検出器。

【請求項 5】

前記第 1 のステージが、前記排他的論理和の出力を加算して合計した出力を第 1 の比較器に提供する加算器機能を含み、前記第 1 の比較器は、前記合計した出力と閾値とを比較する、請求項 4 に記載の packets 開始検出器。

10

【請求項 6】

前記出力部は、前記第 1 のステージによって前記 packets 開始情報の全ての部分集合が一致すると判定された場合、packets 開始検出出力を出力する、請求項 1 から 5 のいずれか一項に記載の packets 開始検出器。

【請求項 7】

前記 packets 開始情報の全ての部分集合が一致すると判定されたかどうかを判定し、そうであれば前記出力部によって前記 packets 開始検出出力が出力されるようにするための第 2 の比較器を備える、請求項 6 に記載の packets 開始検出器。

20

【請求項 8】

請求項 1 から 7 のいずれか一項に記載の packets 開始検出器を備える、身体結合装置。

【請求項 9】

受信した packets 開始情報の第 1 の部分集合を受け取るステップと、  
前記受信した packets 開始情報の前記第 1 の部分集合を基準のそれぞれの第 1 の部分集合と比較して、一致があるかどうかを判定する第 1 の判定を行うステップと、  
前記受信した packets 開始情報の前記第 1 の部分集合を前記基準のそれぞれの前記第 1 の部分集合の反転と比較して、一致があるかどうかを判定する第 2 の判定を行うステップと、  
一致が判定されればカウンタの値を変更するステップと、

前記受信した packets 開始情報の後続の部分集合及び前記基準の packets 開始情報のそれぞれの部分集合に対して前記受け取るステップ及び比較するステップを繰り返すステップと、

30

前記カウンタの前記値と閾値とを比較するステップに依存して packets 開始検出出力を提供するステップとを有し、

前記 packets 開始検出出力を提供するステップは、前記 packets 開始検出出力が前記第 1 の判定に依存しているか又は前記第 2 の判定に依存しているかを示す情報を出力するステップを含む、packets 開始を検出する方法。

【請求項 10】

前記比較するステップが、前記受信した packets 開始情報の前記第 1 の部分集合に関しては第 1 の閾値を、及び前記受信した packets 開始情報の少なくとも 1 つの他の部分集合に関しては第 2 の異なる閾値を使用するステップを有する、請求項 9 に記載の方法。

40

【請求項 11】

前記 packets 開始情報の全ての部分集合が一致すると判定されれば packets 開始検出出力を提供するステップを有する、請求項 9 又は 10 に記載の方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

いくつかの実施形態は、排他的ではないが特に身体結合装置で使用するためのパケット開始(SOP)検出のための方法及び装置に関する。

**【背景技術】****【0002】**

身体結合通信(BCC)又は身体ベース通信が、電気電子技術者協会(IEEE)の802.15.6タスクグループによって標準化されるように、ボディエリアネットワーク(BAN)の基礎として提案されている。BCCは、人間又は動物の身体にある又は近接している複数の装置間で情報の交換を許容する。これは、体表面への低エネルギー電界の容量又はガルバニック結合によって達成されることができる。

10

**【0003】**

身体結合通信(BCC)システムにおいて、ユーザの身体にわたって信号を介して送信装置から受信器装置に情報が送信される。身体結合通信は、情報を送信するために電界を活用する。

**【0004】**

身体結合通信(BCC)は通信路として人体を使用する。それは、人体と接触している装置間でその人体にわたってワイヤレス通信を可能にする。信号は、空気を通しての代わりに身体にわたって伝達される。そのため、通信は、身体に近い領域に限定される。したがって、身体に位置する、接続される、又は近接して置かれる装置間で通信が可能である。

20

**【0005】**

ここで、知られているパケット開始(SOP)検出器203を図示する図6を参照する。パケット開始データを含むフィールドを有するデータパケット300が受信される。パケット開始検出器は、基準SOPデータを有する基準SOPバッファ601、受信したデータパケットからSOPを受け取るSOPバッファ602、及び比較回路603を有する。比較回路は、基準SOPと受信したSOPとの間で一致があるかどうかを判定し、適切な出力604を提供することになる。比較回路は、受信したメッセージにおけるSOPデータを検出するために並列マルチビット相関(PMBC)手法を使用する。

**【0006】**

米国特許出願公開第2012/027149号では、連続的に送られるシフトレジスタと単一の基準語との間で一致が検査される同期検出器を記載している。

30

**【0007】**

EP0549247では、奇数及び偶数フレーム同期シーケンスに対する比較の結果の論理和がとられるD2MACシステムのための同期検出器を記載している。

**【0008】**

特開昭6133040では、アナログ同期検出器を記載している。

**【0009】**

CA2215380では、同期検出器を有するコーディングシステム及び装置を記載している。

40

**【発明の概要】****【発明が解決しようとする課題】****【0010】**

この技法はいくつかの状況でうまく機能する。信号対雑音比が低い場合、検出は信頼できなくなることがあり、典型的な解決策はSOPをより長くすることである。しかしながら、SOPの増加した長さでは、SOP検出器の複雑度及び電力消費の増加が一定の用途で不利となる。

**【課題を解決するための手段】****【0011】**

一態様によれば、パケット開始情報を含む入力データを受信するように構成された入力部

50

と、基準パケット開始情報のそれぞれの部分集合と受信したパケット開始情報のそれぞれの部分集合との間で一致があるかどうかを判定するように構成された第1のステージであって、受信したパケット開始情報の部分集合の各々及び基準パケット開始情報のそれぞれの部分集合に対して上記判定することを繰り返すように構成され、基準パケット開始情報のそれぞれの部分集合と受信したパケット開始情報のそれぞれの部分集合との間で一致があればカウンタの値が変更される第1のステージと、第1のステージの上記判定することについての、カウンタの値と閾値との比較に依存してパケット開始検出力を提供するように構成された出力部とを備えるパケット開始検出器が提供される。

【0012】

より大きな長さのSOPが使用される場合、本発明のいくつかの実施形態は、より小型且つ/又は電力効率的なSOP検出器が提供されるのを許容する。これは、パケット開始情報の部分集合に注目するために同じ回路が使用されるからである。これは、必要とされる回路量が低減されることができるとを意味する。これは電力消費も低減させる。

10

【0013】

カウンタが、基準パケット開始情報のどのそれぞれの部分集合が第1のステージによって使用されるかを制御するように構成される。これは、基準パケット開始情報の各部分集合が正しい順序で使用されることを確実にする。他の実施形態において異なる論理が使用されることが認識されるべきである。

【0014】

基準パケット開始情報のそれぞれの部分集合と受信したパケット開始情報のそれぞれの部分集合との間で一致があればカウンタの値が変更される。カウンタはインクリメント又はデクリメントされる。このように、カウンタの所与の値が達成されると、SOPの全体が検査されたと判定されることができ。

20

【0015】

第1のステージは、一致があるかどうかを判定するために閾値を使用するように構成されており、閾値が各部分集合に対して設定可能である。これは、閾値が、例えば雑音レベルに応じて変更されることを可能にする。

【0016】

第1のステージは、受信したパケット開始情報部分集合とそれぞれの基準パケット開始情報部分集合との間でそれぞれの排他的論理和を行うように構成された排他的論理和機能を含む。排他的論理和機能は有利には、基準及び受信値が同じであるときに1つの値を、そして基準及び受信値が異なるときに異なる値を提供することになる。

30

【0017】

第1のステージは、排他的論理和機能の出力を加算して合計した出力を、第1の比較器に提供するように構成された加算器機能を含み、第1の比較器は、上記合計した出力と閾値とを比較するように構成される。有利には、排他的論理和機能の出力を合計することによって、基準及び受信したパケット開始情報間の一致の程度を示すことになる値が得られる。この値を閾値と比較することによって、情報のそれぞれの部分集合が一致であると考えられるか否かが簡単に判定されることができ。

【0018】

第1のステージは、パケット開始情報の全ての部分集合が一致すると判定されれば、出力部によってパケット開始検出力が出力されるように構成される。これは、いずれかのそれぞれの部分集合が一致しなければ、一致がないと考えられるという点で実装するのが簡単である。

40

【0019】

パケット開始検出器は、パケット開始の全ての部分集合が一致と判定されたかどうかを判定し、そうであれば出力部によってパケット開始検出力が出力されるようにするための第2の比較器を備える。

【0020】

パケット開始検出器は、第1のステージと並列に配置される第2のステージであって、受

50

信したパケット開始情報のそれぞれの部分集合を基準パケット開始情報のそれぞれの部分集合の反転と比較するように構成された第2のステージを備え、出力部は、第1のステージ又は第2のステージの上記判定することに依存してパケット開始検出力を提供するように構成される。これは、共通接地を有する装置に関して有用である。検出器はしたがって、受信したメッセージを反対極性であると解釈する（すなわち2進数の1は0と解釈され、その逆も同じである）。したがって、第2のステージを有することによって、SOP検出器は両方の可能な極性を考慮することができる。

【0021】

出力部は、パケット開始検出力が第1のステージ又は第2のステージの上記判定することに依存しているかを示す情報を出力するように構成される。いくつかの実施形態において、これは、パケットの内容を理解するために使用される。

10

【0022】

別の態様によれば、上記したようなパケット開始検出器を備える身体結合装置が提供される。身体結合装置は有利には、低電力装置であるべきであり、且ついくつかの実施形態によってサポートされるより長いパケット開始情報を必要とする比較的雑音が多い要件で動作される。

【0023】

別の態様によれば、受信したパケット開始情報の第1の部分集合を受け取るステップと、受信したパケット開始情報の第1の部分集合を基準のそれぞれの第1の部分集合と比較して、一致があるかどうかを判定するステップと、受信したパケット開始情報の後続の部分集合及び基準パケット開始情報のそれぞれの部分集合に対して上記受け取るステップ及び比較するステップを繰り返すステップと、上記比較するステップに依存してパケット開始検出力を提供するステップとを有するパケット開始を検出する方法が提供される。

20

【0024】

比較するステップは、一致があるかどうかを判定するために閾値を使用することを有する。

【0025】

比較するステップは、受信したパケット開始情報の第1の部分集合に関しては第1の閾値を、及び受信したパケット開始情報の少なくとも1つの他の部分集合に関しては第2の異なる閾値を使用することを有する。

【0026】

本方法は、パケット開始情報の全ての部分集合が一致すると判定されればパケット開始検出力を提供するステップを有する。

30

【0027】

本方法は、基準パケット開始情報のどのそれぞれの部分集合が使用されるかを制御するためにカウント値を使用するステップを有してもよい。

【0028】

本方法は、基準パケット開始情報のそれぞれの部分集合と受信したパケット開始情報のそれぞれの部分集合との間で一致があればカウント値を変更するステップを有する。

【0029】

本方法は、受信したパケット開始情報部分集合とそれぞれの基準パケット開始情報部分集合との間で排他的論理和機能を行うステップを有してもよい。

40

【0030】

本方法は、排他的論理和の結果を加算して合計した出力を提供する加算機能を行うステップと、合計した出力を閾値と比較するステップとを有してもよい。

【0031】

本方法は、基準パケット開始情報の反転を使用して上記方法を繰り返すステップを有してもよく、パケット開始検出力は、基準パケット開始情報又はその反転を使用する上記判定するステップに依存している。

【0032】

本方法は、パケット開始検出力が基準パケット開始情報又はその反転に依存しているか

50

を示す情報を提供するステップを有してもよい。

【 0 0 3 3 】

すなわち、本実施形態では、様々な雑音条件下の改善されたパケット開始 ( S O P ) 検出の方法を記載する。

【 0 0 3 4 】

ここで、いくつかの実施形態が単に例として且つ添付の図を参照して記載されることになる。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 身体結合通信 B C C システムの実施形態を概略的に図示する。

10

【 図 2 】 身体結合通信 B C C システムの送信及び受信のブロック図を概略的に図示する。

【 図 3 】 身体結合通信 B C C システムで使用されるデータパケットの実施形態を概略的に図示する。

【 図 4 】 身体結合通信 B C C システムアーキテクチャの実施形態を概略的に図示する。

【 図 5 】 身体結合通信 B C C 集積回路 I C システムアーキテクチャの実施形態を概略的に図示する。

【 図 6 】 知られているパケット開始 ( S O P ) 検出器を図示する。

【 図 7 】 実施形態に係るパケット開始検出器の実施形態を概略的に図示する。

【 図 8 】 実施形態の方法を図示する。

【 発明を実施するための形態 】

20

【 0 0 3 6 】

いくつかの実施形態は、パケット開始情報を含む入力データを受信するように構成された入力部と、基準パケット開始情報のそれぞれの部分集合と受信したパケット開始情報のそれぞれの部分集合との間で一致があるかどうかを判定するように構成された第 1 のステージであって、受信したパケット開始情報の部分集合の各々及び基準パケット開始情報のそれぞれの部分集合に対して判定することを繰り返すように構成された第 1 のステージと、第 1 のステージの判定することに依存してパケット開始検出出力を提供するように構成された出力部とを備えるパケット開始検出器を提供する。より大きな長さの S O P が使用される場合、本発明のいくつかの実施形態は、より小型且つ / 又は電力効率的な S O P 検出器が提供されるのを許容する。これは、パケット開始情報の部分集合に注目するために同じ回路が使用されるからである。これは、必要とされる回路量が低減されることができるとを意味する。これは電力消費も低減させる。

30

【 0 0 3 7 】

ここで、第 1 の B C C 装置 1 0 1 及び第 2 の B C C 装置 1 0 2 を備えるワイヤレスボディアリアネットワーク ( W B A N ) 1 0 0 を図示する図 1 を参照する。いくつかの実施形態において、3つ以上の B C C 装置が活用される。第 1 の B C C 装置 1 0 1 は、人 1 0 4 の身体における通信路 1 0 3 を介して第 2 の B C C 装置 1 0 2 と通信することができる。例えば、第 1 の B C C 装置 1 0 1 は送信器 2 0 1 を含み、第 2 の B C C 装置 1 0 2 は受信器 2 0 2 を含む。第 1 の B C C 装置 1 0 1 が送信器も受信器も有するか又は送信器だけを有してもよいことが認識されるべきである。第 2 の B C C 装置 1 0 2 は、送信器も受信器も有するか又は受信器だけを有してもよい。

40

【 0 0 3 8 】

ここで、B C C 通信システム 2 0 0 を概略的に図示する図 2 を参照する。いくつかの実施形態において、送信器 2 0 1 は、通信路 1 0 3 を介して受信器 2 0 2 にメッセージパケット 3 0 0 を送信する。いくつかの実施形態において、受信器 2 0 2 は、パケット開始 ( S O P ) 検出器 2 0 3 に受信したメッセージパケット 3 0 0 を渡す。メッセージパケット 3 0 0 が通信路 1 0 3 を介して送信器 2 0 1 から受信器 2 0 2 に伝わるにつれて、メッセージパケット 3 0 0 は、潜在的な B C C 通信路雑音要因 2 0 5 により雑音 2 0 4 が多くなる。典型的に、B C C 通信路雑音には 2 つの形態、連続雑音及びバースト雑音がある。連続雑音エラーはメッセージパケット全体にわたってランダムに拡散される。バースト雑音エ

50

ラーは連続ビットに影響する。

【0039】

ここで、送信器201から受信器202に送信されるデータパケット300の実施形態を図示する図3を参照する。いくつかの実施形態において、データパケット300は例えば、プリアンプル301、パケット開始(SOP)インジケータ302、パケット長インジケータ(PLI)303、データバイト304、巡回冗長検査305及びパケット終了インジケータ(EOP)306を備える。

【0040】

パケット長インジケータ(PLI)303は、パケット300に存在するデータバイト304の数について受信器202に情報を提供する。巡回冗長検査(CRC)305は、メッセージ(データバイト)304におけるエラーを検出するために活用される。データバイト304に先行するプリアンプル301は一連のゼロから成る。プリアンプルは100µs期間程度持続する。プリアンプル301は、クロック同期目的で後述することになるアナログフロントエンド(AFE)によって使用される。パケットの開始(SOP)302は、データパケット300の開始を識別するために受信器202によって使用される。SOP302が正しく検出されれば、それはパケット再送信の必要を低減させる。受信器がパケットの開始を検出することができなければ、パケット全体が失われ、情報を復元するためにその情報の再送信が必要とされる。再送信の数が低減されれば、これは通信スループット(実効データレート)を改善することになる。実効データレートは、受信器に達した情報の尺度である。実効データレートは、再送信及び喪失パケットによる全ての損失を考慮する。

10

20

【0041】

他の実施形態において他のデータパケット形式が使用されることが認識されるべきである。1つ又は複数のフィールドが省略されてもよい。1つ又は複数の追加フィールドが設けられてもよい。フィールドの順序は変更されてもよい。

【0042】

いくつかの実施形態は集積回路身体結合通信(BCC)送受信器を提供する。

【0043】

身体結合通信(BCC)システムの課題の1つは、比較的低電力動作で高堅牢性を達成することができる送受信器アーキテクチャの形態である。これはいくつかの実施形態によって達成される。

30

【0044】

身体結合システムは有利には低消費電力を伴う。低消費電力は例えば低熱放散を伴う傾向がある。これは、装置がユーザの皮膚に対して使用されている場合に有利である。低消費電力は、装置が再充電される必要がある、又はエネルギー供給が限られている(例えば運動又は太陽エネルギー)用途で有利である。

【0045】

実施形態は任意の他の適切な通信システムにおける用途を有する。通信システムは低消費電力を伴っても又は伴わなくてもよい。

【0046】

いくつかの実施形態は、送信器と受信器との間の距離が利用可能な電力と比較して比較的大きい場合に使用される。

40

【0047】

送受信器は、いくつかの実施形態において単一の集積回路によって実装される。他の実施形態において、送受信器は、より大きい機能又は装置に組み込まれる。いくつかの実施形態において、1つの装置が送信器を有し、別の装置が受信器を有する。いくつかの実施形態において、別々の送信器及び受信器が装置に設けられる。

【0048】

送受信器は比較的高データレート(例えば、1Mb/s)を達成する。

【0049】

50

送受信器は雑音に耐性がある。

【 0 0 5 0 】

パケット開始検出器は、関連回路のための面積及び / 又は必要電力に関して経済的である。身体結合通信装置の電力使用はいくつかの状況で関心事である。これは、いくつかの実施形態によって対処される。

【 0 0 5 1 】

ここで、身体結合通信 ( B C C ) 装置アーキテクチャ 4 0 0 の実施形態を図示する図 4 を参照する。いくつかの実施形態において、 B C C 装置アーキテクチャ 4 0 0 は、 B C C 送受信器集積回路 4 0 1、ホストプロセッサ 4 0 2、電極 4 0 3、並びにバッテリー及び電力管理モジュール 4 0 4 を備える。 B C C 送受信器集積回路 4 0 1 は、シリアルペリフェラルインタフェース 4 0 5 を介してホストプロセッサ 4 0 2 と通信する。電極 4 0 3 は身体と接触しており、信号を送受信するために使用される。バッテリー及び電力管理モジュール 4 0 4 は、 B C C 送受信器集積回路 4 0 1 及びホストプロセッサ 4 0 2 に接続される。

10

【 0 0 5 2 】

いくつかの実施形態において、ホストプロセッサ 4 0 2 は、 B C C 機能を使用して他の B C C 対応センサ / 装置と通信する装置の一部である。ホストプロセッサ 4 0 2 は ( 最初に ) 設定を構成し、そして B C C 集積回路送受信器 4 0 1 に、別の B C C 装置に送信されることになる関連又は他のデータを渡す。 B C C 集積回路 4 0 1 は、データをパケット化して送るように構成される。 B C C 集積回路は、データパケットからデータを受信及び抽出するように構成される。ホストプロセッサ 4 0 2 は次いで、シリアルペリフェラルインタフェース ( S P I ) 4 0 5 を介して B C C 集積回路 4 0 1 によって受信された抽出センサデータを読み取る。

20

【 0 0 5 3 】

ここで、身体結合通信 B C C 送受信器集積回路 4 0 1 の一実施形態を図示する図 5 を参照する。いくつかの実施形態において、 B C C 送受信器集積回路 4 0 1 は、アナログフロントエンド ( A F E ) 5 0 1 及びデジタルサブシステム 5 0 2 を備える。デジタルサブシステム 5 0 2 は、ホストインタフェース制御論理 5 0 3、システム制御論理 5 0 4、受信論理 5 0 5 及び送信論理 5 0 6 を備える。 A F E 5 0 1 は、電極 4 0 3 を駆動するためのインタフェーシング及びバッファリング、送信集積回路レベルのエンコーディング及びデコーディング、ローカルクロック同期、入力信号増幅などを扱う。デジタルサブシステム 5 0 2 は、送受信パケット処理、システム制御及びホストプロセッサインタフェーシングなどの機能を扱う。

30

【 0 0 5 4 】

B C C 受信器は、できる限り正確にパケット開始 ( S O P ) を検出するべきである。典型的に、 S O P が大きいほど、検出の精度は高くなる。いくつかの実施形態は、 6 4 / 1 2 8 ビットである S O P を使用する。しかしながら、これは例としてであり、 S O P のためにより小さい又はより大きいビット長が使用されてもよい。 S O P は、同期目的で使用される 1 0 0 0 ビットのプリアンブルによって先行される。プリアンブルは代替的に、このビット数より大きく又は小さくできる。例えば、プリアンブルは、 1 0 0 クロックサイクルより少なく又は多くできる。雑音の結果として、受信器は破損メッセージパケットを取り上げる。受信器は、したがって、 S O P パケットにおける破損ビットの存在にもかかわらず S O P パケットを正確に解釈することができなければならない。 S O P 検出器が許容することができ、なお且つ S O P パケットを正確に解釈することができる破損ビット数は、「閾値」又は「耐雑音性レベル」と呼ばれる。設定することができる閾値を有することは、システムが、主要オーバーホールに必要なしに 1 つの使用法から別の使用法に有利に適合されることを意味する。

40

【 0 0 5 5 】

実施形態において、受信器によって活用されることになる閾値は動的に設定される。有効な閾値が雑音に依存する一方、システムにおける実際の雑音レベルは演繹的に知られていない。実際の雑音 ( より高い又はより低い ) と一致しない閾値レベルは正確な検出を低減

50



理和機能を含む。排他的論理和機能は有利には、基準及び受信値が同じであるときに1つの値を、そして基準及び受信値が異なるときに異なる値を提供することになる。

【0064】

XOR演算子は、基準SOPバイトをSOPバイトの受信したバイトと効果的に比較する。8ビットXOR演算子703の出力は、バイトカウンタ705の入力が0であり且つ8ビットレジスタ702の入力が1である場合に1を生成することになり、その逆も同じである（受信したSOP値とそれぞれの基準SOP値との間の不一致を示す）。しかしながら入力が両方とも0であれば、又は両入力が1であれば（受信したSOP値とそれぞれの基準SOP値との間の一致を示す）、8ビットXOR演算子703の出力は0を生成することになる。XOR演算子703はしたがって、基準SOPと受信したSOPデータを比較して、一致があるかどうかを判定する。一致したビットは0値出力を提供することになる。

10

【0065】

第1のステージは、排他的論理和機能の出力を加算して合計した出力を、第1の比較器に提供するように構成された加算器機能を含み、第1の比較器は、上記合計した出力を閾値と比較するように構成される。有利には、排他的論理和機能の出力を合計することによって、基準及び受信したパケット開始情報間の一致の程度を示すこととなる値が得られる。この値を閾値と比較することによって、情報のそれぞれの部分集合が一致であると考えられるか否かが簡単に判定されることができる。

【0066】

1つの実施形態において、XOR演算子703の8ビット出力は次いで8ビットADD演算子706に渡される。このADD演算子は、XOR演算子からの8値出力を合計することになる。8ビットADD演算子706は和を、受け取った和を閾値入力719によって設定される第1の閾値と比較する比較器707に提供する。

20

【0067】

第1のステージはしたがって、一致があるかどうかを判定するために閾値を使用するように構成されており、閾値が各部分集合に対して設定可能である。これは、閾値が、例えば雑音レベルに応じて変更されることを可能にする。

【0068】

いくつかの実施形態において、閾値入力はバイトごとに変更されることができる。他の実施形態において、閾値入力はSOPごとに変更されることができる。他の実施形態において、閾値は制御される。いくつかの実施形態において、閾値は可変ではない。閾値は、いくつかの実施形態において、許容されることができ、なお且つ一致を提供することができる雑音量を決定することになる。

30

【0069】

パケット開始検出器は、パケット開始の全ての部分集合が一致と判定されたかどうかを判定し、そうであれば出力部によってパケット開始検出出力が出力されるようにするための第2の比較器を備える。

【0070】

ADD演算子706からの和が閾値以下であれば、機能ブロック708によって表されるように、バイトカウンタの値を1の値だけ増加させる出力が提供される。これは、信号のアサーションによって又は任意の他の適切なやり方であってもよく、また第2の比較器を介してであってもよい。出力は、第2の比較器713が、更新したバイトカウンタをm（この例では8）の値と比較して、SOPのバイトの全てがそれぞれの基準SOPと比較されたかどうかを判定するようにする。そうでなければ、第2の比較器の出力は、バイトカウンタが1だけインクリメントするようにすることになる。言い換えれば、基準及び受信したSOP間で一致があると思われ、且つ比較されたバイト数が最大量より少ないとの条件で、バイトカウンタがインクリメントされることになる。

40

【0071】

和が閾値より大きければ、機能709によって表される第1の比較器707の出力は、パ

50

イトカウンタをインクリメントしない。この出力は、機能ブロック 7 1 2 によって表されるように、クロックカウンタを 1 だけインクリメントすることになるクロックカウンタ機能 7 1 0 に提供される。これは、より詳細に後記される。他の実施形態において、カウンタが代わりにデクリメントされてもよいことが認識されるべきである。

【 0 0 7 2 】

第 1 のステージは、パケット開始情報の全ての部分集合が一致すると判定されれば、出力部によってパケット開始検出力が出力されるように構成される。これは、いずれかのそれぞれの部分集合が一致しなければ、一致がないと考えられるという点で実装するのが簡単である。

【 0 0 7 3 】

パケット開始検出器は、第 1 のステージと並列に配置される第 2 のステージであって、受信したパケット開始情報のそれぞれの部分集合を基準パケット開始情報のそれぞれの部分集合の反転と比較するように構成された第 2 のステージを備える。これは、共通接地を有する装置に関して有用である。検出器はしたがって、受信したメッセージを反対極性であると解釈する（すなわち 2 進数の 1 は 0 と解釈され、その逆も同じである）。したがって、第 2 のステージを有することによって、S O P 検出器は両方の可能な極性を考慮することができる。

【 0 0 7 4 】

B C C 受信器及び送信器は典型的に共通接地を有さず、そのため基準電圧が存在しない。受信器はしたがって、受信したメッセージを反対極性であると解釈する（すなわち 2 進数の 1 は 0 と解釈され、その逆も同じである）。したがって、S O P 検出器は、どちらの極性が受信されているかについて確信がないので、両方の可能な極性を考慮すべきである。前述したように、正常極性ブロック 7 1 8 及び反対極性ブロックがある。

【 0 0 7 5 】

反対極性ブロックにおいて基準 S O P の値を反転し、X O R 演算子 7 0 3 ' に反転した基準 S O P 値を出力するために、N O T 機能 7 2 1 が設けられる。

【 0 0 7 6 】

反対極性ブロックは正常極性ブロックと同じ機能及びブロックを有するが、それらの機能及びブロックは同じ参照番号及び添え字として ' で参照符がつけられる、例えば、7 0 3 ' である。

【 0 0 7 7 】

正常極性ブロックの第 2 の比較器の出力は、第 1 の O R ゲート 7 1 4 への入力として提供される。反対極性ブロックの第 2 の比較器の出力は、第 1 の O R ゲートへの第 2 の入力として提供される。第 2 の比較器の出力のいずれかが、S O P の全てのバイトが比較されたことを示すとき、O R ゲートの出力はハイであり同期出力 7 1 5 を提供することになる。これは、受信データの S O P が受信されたことを示す。

【 0 0 7 8 】

出力部は、パケット開始検出力が第 1 のステージ又は第 2 のステージの上記判定することに依存しているかを示す情報を出力するように構成される。いくつかの実施形態において、これは、パケットの内容を理解するために使用される。これは、回路がデータにおいて論理 1 を表すもの及び論理 0 を表すものを理解するのを可能にする。

【 0 0 7 9 】

第 2 の O R ゲート 7 1 6 も設けられる。この O R ゲートの出力は、第 1 の O R ゲートによって同期出力が提供されるときに、S O P が正常極性 S O P ブロック又は反対極性 S O P ブロックによって一致されたかを判定するために使用される。したがって、正常極性ブロックの第 2 の比較器 7 1 3 が全てのバイトが比較されたと判定すると、正常極性ブロックの第 2 の比較器 7 1 3 は第 2 の O R ゲート 7 1 6 に 0 を出力することになる。反対極性ブロックの第 2 の比較器 7 1 3 ' が全ての S O P バイトが比較されたと判定すると、反対極性ブロックの第 2 の比較器 7 1 3 ' は第 2 の O R ゲート 7 1 6 に 1 を出力することになる。したがって、第 2 の O R ゲートの出力は極性情報 7 1 7 を提供する。

10

20

30

40

50

## 【 0 0 8 0 】

値は次いで、正常極性ブロック 7 1 8 におけるバイトカウンタブロック 7 0 5 及び反対極性ブロック 7 2 0 におけるバイトカウンタブロック 7 0 5 ' に渡される。値が機能ブロック 7 0 8 に渡され、そしてバイトカウンタ 7 0 5 が 1 の値だけ増加されれば、値は次いで第 2 の閾値演算子 7 1 3 に渡され、ここで値が第 2 の閾値演算子 7 1 3 の値以下であれば、値は OR 演算子 7 1 4 に渡され、最終的に正常出力 7 1 5 を形成する。しかしながら、値が第 2 の閾値演算子 7 1 3 の値以下であれば、値は OR 演算子 7 1 6 に渡され、最終的に反対極性出力 7 1 7 を形成する。これらのステップは正常極性ブロック 7 1 8 で行われる。反対極性ブロック 7 2 0 も存在し、反対極性であるビットを除けば、以上に開示したのと同組のステップを有する。

10

## 【 0 0 8 1 】

いくつかの実施形態において、受信した SOP パケット 3 0 0 は 8 ビットセグメントに分割される。SOP 検出成功のためには、受信したビットにおいて 8 バイトが連続して検出されなければならない。例えば、2 つの 8 ビットレジスタ 7 0 2 及び 7 0 2 ' は、正常極性ブロック 7 1 8 のレジスタ 7 0 2 における各ビットをゼロに設定する ( 0 x 0 0 ) ことによって及び反対極性ブロック 7 2 0 のレジスタ 7 0 2 ' における各ビットを 1 に設定する ( 0 x F F ) ことによって初期化される。反対極性ブロック 7 2 0 のレジスタ 7 0 2 ' は、反対極性ブロック 7 2 0 の SOP の前のコード ( 例えばプリアンブル ) が 8 つのゼロで始まり、そのため各ビットをゼロに設定することによってレジスタを初期化することは第 1 バイトに対する誤った一致を引き起こすので、各ビットを 1 に設定することによって初期化される。反対極性ブロックのためのシフトレジスタは、誤った第 1 バイト一致を防止するために、残りのプリアンブルビット数が 8 より小さいときに必要とされる。より大きなビット数に関しては、1 つだけで十分であるように、両シフトレジスタは等しい値を有する。

20

## 【 0 0 8 2 】

いくつかの実施形態において、受信したビットは、クロックサイクルごとに 8 ビットレジスタ 7 0 2 及び 7 0 2 ' にシフトされる。第 1 のステージを示すゼロの初期値から始まって、現在の比較が行われるべきであるステージ数をカウントするために、クロックカウンタが使用される。各ステージは、ゼロに初期化されて SOP の第 1 バイトを示すバイトカウンタに 8 ビット一致成功のそれ自身の履歴を保存する。

## 【 0 0 8 3 】

例えば、第 1 クロックサイクルに対する正常極性ブロック 7 1 8 において、クロックカウンタの初期値 ( ゼロ ) はアルゴリズムの第 1 のステージを示す。第 1 の受信したビット 7 0 1 が 8 ビットレジスタ 7 0 2 ( 反対極性ブロック 7 2 0 ではレジスタ 7 0 2 ' ) の第 1 の ( 最下位ビット ) 位置にシフトされることになる一方、その他のビットは位置 1 つだけ上へ ( 最上位ビット位置に向けて ) シフトされる。レジスタ 7 0 2 の 8 ビットは次いで、SOP の b 番目のセグメントと比較され、ここで b の値はバイトカウンタによって示される。初期値が第 1 バイトを示すので、比較のために第 1 基準 SOP バイトが使用される。比較が閾値限界より低い誤差を生じれば、バイトカウンタはインクリメント又はその他リセットされる。

30

## 【 0 0 8 4 】

第 2 のクロックサイクルでは、次の受信したビットがレジスタ 7 0 2 ( 反対極性ブロック 7 2 0 ではレジスタ 7 0 2 ' ) にシフトされ、そしてクロックカウンタが 1 だけインクリメントされる。ここで、アルゴリズムの第 2 のステージは、そのバイトカウンタ値 ( 再び最初にゼロである ) を比較することによって実行され、それに応じてバイトカウンタを更新する。これが全ての 8 つのステージに対して続く。8 クロックサイクル後に、第 1 のステージが再び実行されるように、クロックカウンタ 7 1 2 はゼロにリセットされる。しかしながら今回は、レジスタ 7 0 2 ( 反対極性ブロック 7 2 0 ではレジスタ 7 0 2 ' ) の 8 ビットは基準 SOP の第 2 バイトと比較され ( 前回のバイトが一致である場合 ) 、それに応じてバイトカウンタが更新される。SOP の全ての 8 バイト又はセグメントが連続して検出されるまでこの工程が繰り返され、次いで同期信号 7 1 5 がハイ状態に設定される。同様

40

50

の動作が反対極性ブロック720において続き、相違点は検索したSOPセグメントが比較前に反転される(NOT721)ことである。SOPが検出されたブロックに基づいて、極性情報が生成される。

【0085】

いくつかの実施形態は比較的長いSOP、例えば64ビット又は128ビットとともに使用される。これは単に例としてであり、異なる実施形態において、異なる長さのSOPが使用される。

【0086】

SOPの実装が通信リンクの質を規定しており、それは、使用されるプロトコル、ビットレート、データ処理能力、再送信、雑音レベルなどといった1つ又は複数の態様に依存する。

10

【0087】

本実施形態において、8ステージ、8ビット相関器が図示されており、Nステージがnビットとともに使用され得ることが認識されるべきである。例えば、本実施形態は、64ビットSOPに対して8ステージ、8ビット半並列検出手法を活用する。例えば、別の実施形態は、128ビットSOPに対して16ステージ、16ビット半並列検出手法を活用する。さらに、様々なステージ数(Nステージ)が様々なビット数(nビット)とともに使用され得ることが認識されるべきである。

【0088】

いくつかの実施形態において、耐雑音性レベル(閾値)はバイトごとに適用される。いくつかの実施形態は、SOPパケット長にかかわらず低コスト8ビットXOR及びADDユニットの再利用を可能にする。これは、削減された(例えば2倍)物理的面積及び電力消費に至る。いくつかの実施形態においてバイトごとに雑音閾値を有することは、雑音レベルのより大きな変化にわたる高い割合の正確な検出を提供する固定最適閾値レベルを可能にする。

20

【0089】

いくつかの実施形態において、バイトごとの閾値条件が緩和される。比較されるバイトの例えば1つだけが閾値限界を超えることができてもよい。閾値限界を超えることができるバイト数は設計選択である。いくつかの実施形態において、これはSOPにおけるバイト数に依存している。いくつかの実施形態において、適用可能な閾値は一次バイト閾値より例えば1つ大きい。例えば、一次閾値がバイトごとに3であれば、欠陥バイトは4の閾値を満たさなければならない。SOPが例えば8バイトであれば、これはバイトの1つが閾値を満たすことができなくとも、依然SOPが検出されるのを可能にする。与えられる値が単に例としてであり、異なる実施形態において異なることが認識されるべきである。閾値実装は、バイト当たり所与の数を越えるビットが破損したときにフラグを与える論理を使用する。その場合、バイト全体が破損したと考えられる。閾値論理は、パケット全体が放棄される前に何個の破損バイトが認められるかを決定する。

30

【0090】

記載した実施形態において、論理機能の種類は、例えばXOR及びORである。これらは単に例としてであり、異なる実施形態が異なる論理機能を有する。

40

【0091】

記載した実施形態において、1及び0の値は特定の条件を示す。例えば、「1」は同期を示す。しかしながら、これが例としてであり、他の実施形態において他の「0」及び「1」が使用されることが認識されるべきである。

【0092】

記載した実施形態において、加算器機能が使用されたが、これは単に例としてである。異なる実施形態において、異なる機能が使用される。

【0093】

代替実施形態において、パケット開始検出器は、IEEE規格: IEEE 802.11b/g/n(WiFi)及びIEEE 802.15(ブルートゥース(登録商標))に応じ

50

たものなどの SOP 検出器を使用する任意の適切なデジタル通信システムのために提供される。他の実施形態は、IEEE 802.15.4 又は他の適切な低レートワイヤレスパーソナルエリアネットワークとともに使用される。

【0094】

いくつかの実施形態がデジタル領域で SOP 検出を使用することが認識されるべきである。

【0095】

いくつかの実施形態において、複雑な自動閾値調節論理の必要なしに閾値がユーザによって簡単に特定されることが認識されるべきである。

【0096】

いくつかの実施形態は、エンコードされもしないし、広がり機能を使用して拡散されもしない SOP を検出するために、単純な直接相関ベースの手法を使用する。

10

【0097】

1つの変形例において、受信した SOP の一部と基準 SOP との間の各比較に対して値が記憶される。値は、一致があれば1つの値を、そうでなければ異なる値を有することになる。SOP の全てが基準 SOP と比較されたとき、値は、SOP 全体が基準値と一致すると考えられるかどうかを判定するために使用される。これは、各比較に対する値が1つの値を有することを必要とする。他の実施形態において、1つの値を有することを必要とされる値の閾値数がある。

【0098】

別の変形例において、各比較に対する値は前回の比較値と累算される。累積値は、一致があるかどうかを判定するために閾値と比較される。

20

【0099】

上記した構成が、集積回路、チップセット、共に若しくは異なるパッケージにパッケージ化される1つ若しくは複数のダイ、個別の回路、又はこれらのオプションの任意の組合せによって少なくとも部分的に実装されることが認識されるべきである。

【0100】

いくつかの実施形態の方法を図示する図8を参照する。ステップS1では、受信したパケット開始情報の第1の部分集合が受け取られる。

【0101】

ステップS2では、受信 SOP 情報の受け取った第1の部分集合が基準 SOP 情報のそれぞれの第1の部分集合と比較される。

30

【0102】

ステップS3では、基準 SOP 情報の第1の部分集合と受信 SOP 情報の対応する第1の部分集合との間で一致があるかどうか判定される。いくつかの実施形態において、一致があるか否かに関する情報が記憶される。

【0103】

ステップS4では、受信 SOP 情報の別の部分集合があるかどうか判定される。そうであれば、次のステップはステップS5である。

【0104】

ステップS5では、受信 SOP 情報の次の部分集合が受け取られる。

40

【0105】

ステップS6では、受信 SOP 情報の次の部分集合が基準 SOP 情報のそれぞれの部分集合と比較される。

【0106】

ステップS7では、情報のそれぞれの基準 SOP 部分集合と情報の受信 SOP 部分集合との間で一致があるかどうか判定される。方法は次いでステップS4にループして戻る。

【0107】

受信 SOP 情報の部分集合がもうないことがステップS4で判定されれば、次のステップはステップS8である。ステップS8では、比較の全てが一致すれば、検出 SOP 出力が提供される。したがって、受け取った SOP 情報の部分集合の全てがそれぞれの基準 SOP

50

P情報と一致すれば、SOPが検出されたことを示す出力が提供される。

【0108】

一致があるか否かを判定するとき(ステップS3及びS7)、それぞれの閾値が設けられることが認識されるべきである。これは前記した通りである。

【0109】

異なる変形をもつ様々な実施形態が、ここに上記された。当業者がこれらの様々な実施形態及び変形の様々な要素を組み合わせてもよいことが留意されるべきである。

【0110】

そのような変更、変形及び改善は本開示の一部であるものと意図され、且つ本発明の範囲内であるものと意図される。したがって、上記の説明は単に例としてであり、限定的であるものとは意図されない。本発明は以下の請求項及びその等価物で定められるように限定されるのみである。

10

20

30

40

50

【図面】  
【図 1】

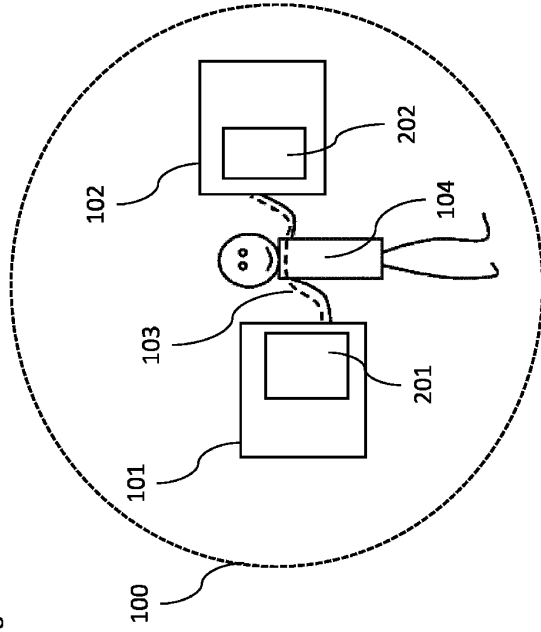


Figure 1

【図 2】

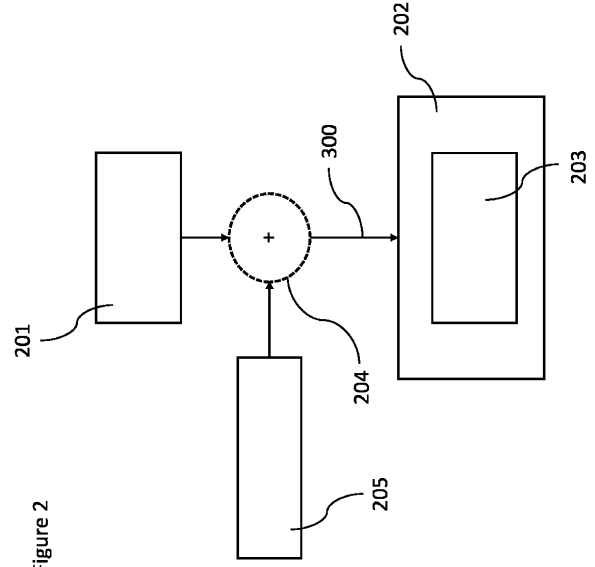


Figure 2

【図 3】

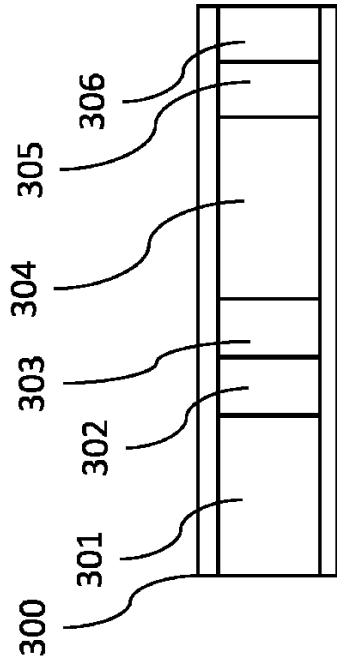


Figure 3

【図 4】

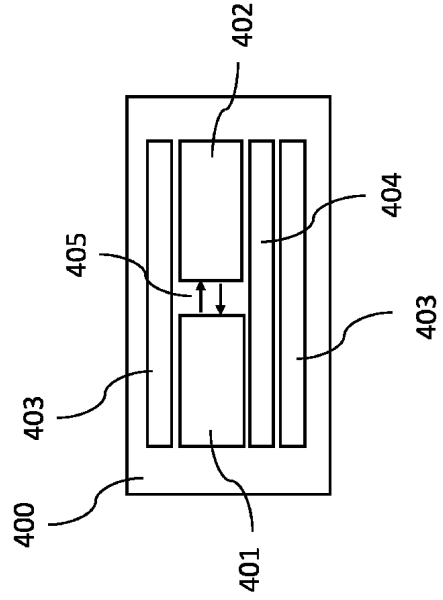


Figure 4

10

20

30

40

50

【 図 5 】

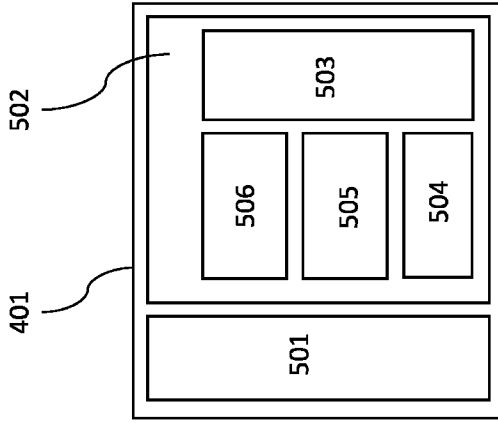


Figure 5

【 図 6 】

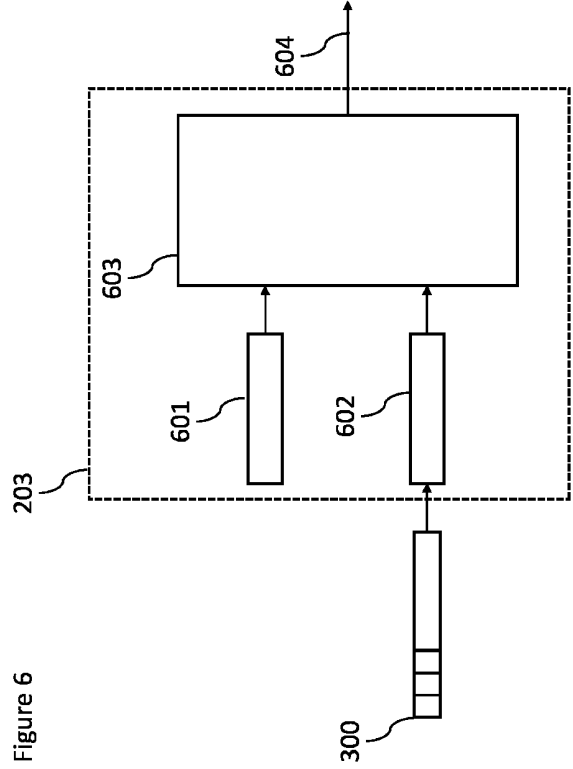


Figure 6

【 図 7 】

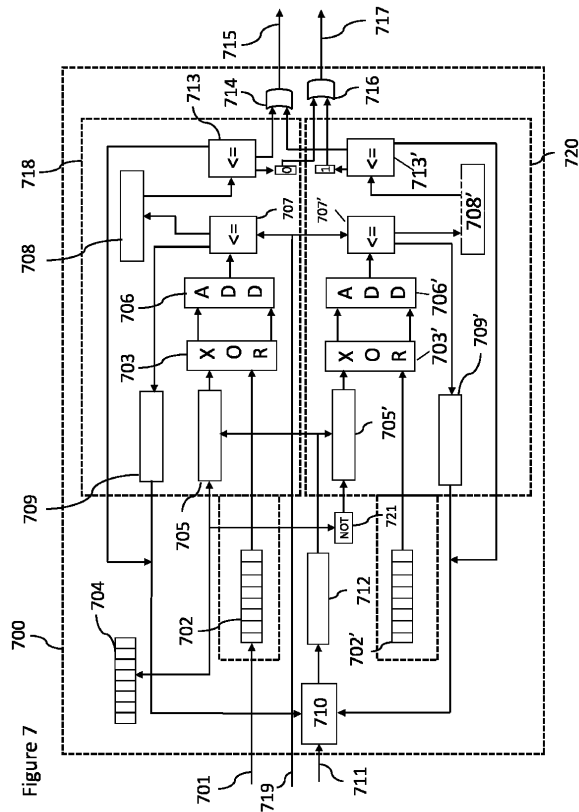


Figure 7

【 図 8 】

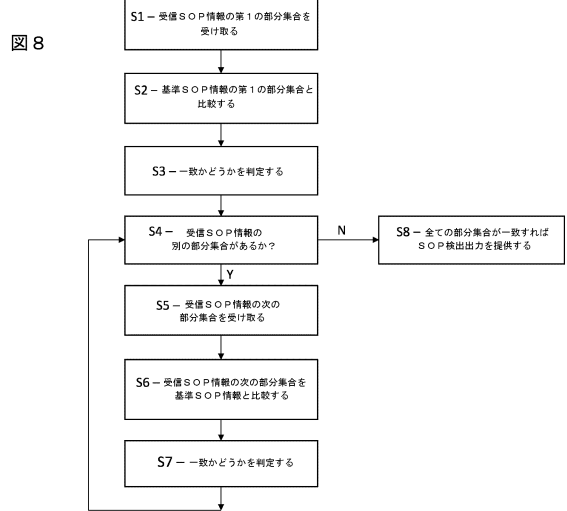


図 8

10

20

30

40

50

## フロントページの続き

- (72)発明者 アルノルドッセン ゲラルドゥス ヨハネス ヤコブス マリア  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5
- (72)発明者 オウゾウノフ ソティル フィリポフ  
オランダ国 5 6 5 6 アーエー アインドーフエン ハイ テック キャンパス 5
- 審査官 中川 幸洋
- (56)参考文献 米国特許出願公開第 2 0 1 3 / 0 0 0 3 8 8 6 ( U S , A 1 )  
国際公開第 2 0 0 9 / 0 7 5 4 2 0 ( W O , A 1 )  
特開平 0 1 - 1 6 0 2 3 2 ( J P , A )  
特開 2 0 1 3 - 0 5 1 6 1 3 ( J P , A )
- (58)調査した分野 (Int.Cl., D B 名)  
H 0 4 L 4 3 / 0 0