



등록특허 10-2407800



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월10일  
(11) 등록번호 10-2407800  
(24) 등록일자 2022년06월07일

- (51) 국제특허분류(Int. Cl.)  
*H01L 23/13* (2006.01) *H01L 21/76* (2006.01)  
*H01L 21/78* (2006.01) *H01L 23/28* (2006.01)  
*H01L 23/32* (2006.01) *H01L 23/485* (2006.01)  
*H01L 23/525* (2006.01) *H05K 3/46* (2006.01)
- (52) CPC특허분류  
*H01L 23/13* (2013.01)  
*H01L 21/76* (2013.01)
- (21) 출원번호 10-2020-7019198
- (22) 출원일자(국제) 2019년01월30일  
심사청구일자 2020년07월02일
- (85) 번역문제출일자 2020년07월02일
- (65) 공개번호 10-2020-0094780
- (43) 공개일자 2020년08월07일
- (86) 국제출원번호 PCT/JP2019/003169
- (87) 국제공개번호 WO 2019/155959  
국제공개일자 2019년08월15일
- (30) 우선권주장  
JP-P-2018-019434 2018년02월06일 일본(JP)

## (56) 선행기술조사문헌

JP2006222164 A\*  
 JP2010251682 A\*  
 JP2017162876 A\*  
 JP6203988 B1\*

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 12 항

심사관 : 김기한

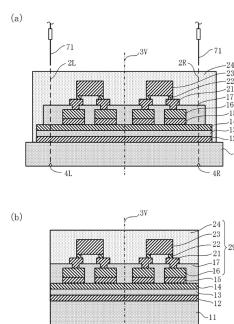
## (54) 발명의 명칭 반도체 장치의 제조 방법

## (57) 요약

본 발명의 반도체 장치의 제조 방법은 주면층에 박리층이 형성된 지지 기판을 준비하는 것, 지지 기판 위의 박리층보다 위에, 부분적으로 배선층을 형성하는 것, 반도체 칩의 패드가 배선층에 전기적으로 접속되도록 반도체 칩을 지지 기판 위에 배치하는 것, 배선층 및 반도체 칩을 포함함과 함께, 지지 기판 위의 박리층 또는 그것보다

(뒷면에 계속)

## 대 표 도 - 도3



위의 층과 접촉하는 밀봉층을 형성하고, 지지 기판 위에 반도체 칩, 배선층 및 밀봉층을 포함하는 중간 적층체를 형성하는 것, 중간 적층체를 형성한 후에, 지지 기판의 주변부를 절단하는 것, 및 주변부를 절단한 지지 기판에서 박리층을 경계로 하여 중간 적층체를 기계적으로 박리하는 것을 포함하는 것이다.

(52) CPC특허분류

*H01L 21/78* (2013.01)

*H01L 23/28* (2013.01)

*H01L 23/32* (2021.01)

*H01L 23/485* (2013.01)

*H01L 23/525* (2013.01)

*H05K 3/46* (2019.01)

---

## 명세서

### 청구범위

#### 청구항 1

주면측에 박리층이 형성된 지지 기판을 준비하는 것,

상기 지지 기판 위의 상기 박리층보다 위에, 부분적으로 배선층 및 층간 절연막을 형성하는 것,

반도체 칩의 패드의 적어도 일부가 상기 배선층의 적어도 일부에 전기적으로 접속되도록 상기 반도체 칩을 상기 지지 기판 위에 배치하는 것,

상기 배선층의 적어도 일부, 상기 층간 절연막의 적어도 일부, 및 상기 반도체 칩을 포함함과 함께, 상기 지지 기판의 상기 주면 상의 상기 박리층 또는 그것보다 위의 층과 접촉하고 상기 지지 기판의 상기 주면 이외의 면과 접촉하지 않는 밀봉층을 형성하고, 상기 지지 기판 위에 상기 반도체 칩 및 상기 배선층 및 상기 밀봉층을 포함하는 중간 적층체를 형성하는 것,

상기 중간 적층체를 형성한 후에, 상기 지지 기판의 주변부로서 상기 밀봉층이 형성되어 있는 부분을 절단하는 것,

상기 주변부를 절단한 상기 지지 기판에서 상기 박리층을 경계로 하여 상기 중간 적층체를 기계적으로 박리하는 것을 포함하는, 반도체 장치의 제조 방법.

#### 청구항 2

제 1 항에 있어서,

상기 지지 기판의 상기 주변부의 상기 절단은

상기 지지 기판의 주변부에 할단 예정선을 형성하는 것,

상기 지지 기판 위에 형성되어 있는 상기 박리층 및 상기 밀봉층을 상기 할단 예정선에 대응하는 위치에서 상기 지지 기판의 주면측에서 절단하는 것,

상기 지지 기판의 주변부를 상기 할단 예정선을 따라 할단하는 것을 포함하는, 반도체 장치의 제조 방법.

#### 청구항 3

제 2 항에 있어서,

상기 할단 예정선의 형성은 상기 지지 기판의 뒷면에 절단 홈을 형성함으로써 행하는, 반도체 장치의 제조 방법.

#### 청구항 4

제 3 항에 있어서,

상기 절단 홈의 형성은 상기 지지 기판 위에 상기 중간 적층체를 형성한 후에 행하는, 반도체 장치의 제조 방법.

#### 청구항 5

제 3 항에 있어서,

상기 절단 홈의 형성은 상기 지지 기판 위에 상기 배선층을 형성하기 전에 행하는, 반도체 장치의 제조 방법.

#### 청구항 6

제 2 항에 있어서,

상기 할단 예정선의 형성은 상기 박리층을 형성하기 전에 상기 지지 기판의 주면에 절단 홈을 형성함으로써 행

하는, 반도체 장치의 제조 방법.

### 청구항 7

제 2 항에 있어서,

상기 할단 예정선의 형성을 상기 지지 기판의 내부에 다른 부분과 비교하여 강도가 약한 부분을 형성함으로써 행하는, 반도체 장치의 제조 방법.

### 청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 지지 기판으로서, 상기 주면에 기판측으로부터 순서대로 금속층, 상기 박리층, 박동층이 형성되어 있는 지지 기판을 사용하는, 반도체 장치의 제조 방법.

### 청구항 9

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 배선층의 형성을 복수회 행하여, 다층 배선형의 배선층을 형성하는, 반도체 장치의 제조 방법.

### 청구항 10

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 지지 기판 위에 복수 병렬하여 상기 중간 적층체를 형성하고, 또한 상기 복수 병렬하여 형성된 상기 중간 적층체를 일체적으로 상기 지지 기판에서 박리함과 함께, 상기 박리 후에 상기 중간 적층체를 개별적으로 절단하는, 반도체 장치의 제조 방법.

### 청구항 11

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 중간 적층체 내에 상기 반도체 칩을 복수개 배치하는, 반도체 장치의 제조 방법.

### 청구항 12

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 중간 적층체 내에 상기 반도체 칩과 함께 수동 부품을 배치하는, 반도체 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 이른바 칩 라스트형(RDL 퍼스트형)의 반도체 장치는 일시적으로 사용하는 임시 지지 기판 위에 배선층 및 절연층을 형성하고, 반도체 칩을 배치하여 몰드한 후, 임시 지지 기판을 제거하는 공정을 거쳐 제조된다. 임시 지지 기판의 제거는 몰드된 반도체 칩, 배선층 및 절연층(이하, 이들을 총칭하여 중간 적층체라고 부름)에서 임시 지지 기판을 기계적으로 박리하여 분리함으로써 행해진다.

[0003] 특허문헌 1에는 표면 위에 밀착 금속층, 박리층, 반사 방지층 및 극박 구리층을 구비한 유리로 구성되는 캐리어(지지 기판)를 사용하는 프린트 배선판(반도체 장치)의 제조 방법이 개시된다.

### 선행기술문헌

### 특허문헌

[0004] (특허문헌 0001) 일본 특허 제6203988호 공보

## 발명의 내용

### 해결하려는 과제

[0005] 특허문헌 1은 지지 기판(캐리어) 위에 형성한 중간 적층체를 지지 기판의 전체면에 걸쳐 일괄적으로 지지 기판에서 박리하는 방법을 개시한다.

[0006] 그러나, 지지 기판의 주변부는 성막 조건이 불안정하기 때문에, 배선층이나 절연층을 안정적인 막 두께로 성막하는 것이 곤란하고, 또한 주변부에는 배선층의 형성을 위한 전기 도금 공정에서 금전 기구(금전용 전극)를 접촉시킬 필요가 있어, 이로 인해 흡집 등이 발생하기 쉽다.

[0007] 이 때문에, 지지 기판 위의 주변부도 포함하여 박리를 행하면, 배선층 및 절연층의 불균일성이나 흡집이 원인으로, 주변부에 박리 불균일이 발생할 우려가 있다. 그리고, 주변부의 박리 불균일이 반도체 칩과 배선층이 몰드된 중간 적층체가 형성되어 있는 기판의 중앙 부분의 박리에도 악영향을 미쳐, 중간 적층체 및 그 중간 적층체를 포함하는 반도체 장치의 수율을 저하시킬 우려가 있다.

### 과제의 해결 수단

[0008] (1) 본 발명의 제1 양태에 의한 반도체 장치의 제조 방법은 주면측에 박리층이 형성된 지지 기판을 준비하는 것, 상기 지지 기판 위의 상기 박리층보다 위에, 부분적으로 배선층을 형성하는 것, 반도체 칩의 패드의 적어도 일부가 상기 배선층의 적어도 일부에 전기적으로 접속되도록 상기 반도체 칩을 상기 지지 기판 위에 배치하는 것, 상기 배선층의 적어도 일부 및 상기 반도체 칩을 포함함과 함께, 상기 지지 기판 위의 상기 박리층 또는 그 것보다 위의 층과 접촉하는 밀봉층을 형성하고, 상기 지지 기판 위에 상기 반도체 칩 및 상기 배선층, 상기 밀봉층을 포함하는 중간 적층체를 형성하는 것, 상기 중간 적층체를 형성한 후에, 상기 지지 기판의 주변부를 절단하는 것, 및 상기 주변부를 절단한 상기 지지 기판에서 상기 박리층을 경계로 하여 상기 중간 적층체를 기계적으로 박리하는 것을 포함한다.

[0009] (2) 본 발명의 제2 양태에 의한 반도체 장치의 제조 방법은 제1 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 지지 기판의 상기 주변부의 상기 절단은 상기 지지 기판의 주변부에 할단 예정선을 형성하는 것, 상기 지지 기판 위에 형성되어 있는 상기 박리층 및 상기 밀봉층을 상기 할단 예정선에 대응하는 위치에서 상기 지지 기판의 주면측에서 절단하는 것, 상기 지지 기판의 주변부를 상기 할단 예정선을 따라 할단하는 것을 포함하는 것이 바람직하다.

[0010] (3) 본 발명의 제3 양태에 의한 반도체 장치의 제조 방법은 제2 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 할단 예정선의 형성은 상기 지지 기판의 뒷면에 절단 홈을 형성함으로써 행하는 것이 바람직하다.

[0011] (4) 본 발명의 제4 양태에 의한 반도체 장치의 제조 방법은 제3 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 절단 홈의 형성은 상기 지지 기판 위에 상기 중간 적층체를 형성한 후에 행하는 것이 바람직하다.

[0012] (5) 본 발명의 제5 양태에 의한 반도체 장치의 제조 방법은 제3 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 절단 홈의 형성은 상기 지지 기판 위에 상기 배선층을 형성하기 전에 행하는 것이 바람직하다.

[0013] (6) 본 발명의 제6 양태에 의한 반도체 장치의 제조 방법은 제2 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 할단 예정선의 형성은 상기 박리층을 형성하기 전에 상기 지지 기판의 주면에 절단 홈을 형성함으로써 행하는 것이 바람직하다.

[0014] (7) 본 발명의 제7 양태에 의한 반도체 장치의 제조 방법은 제2 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 할단 예정선의 형성은 상기 지지 기판의 내부에 다른 부분과 비교하여 강도가 약한 부분을 형성함으로써 행하는 것이 바람직하다.

[0015] (8) 본 발명의 제8 양태에 의한 반도체 장치의 제조 방법은 제1 내지 제7 중 어느 하나의 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 지지 기판으로서, 상기 주면에 기판측으로부터 순서대로 금속층, 상기 박리층, 박동층(薄銅層)이 형성되어 있는 지지 기판을 사용하는 것이 바람직하다.

[0016] (9) 본 발명의 제9 양태에 의한 반도체 장치의 제조 방법은 제1 내지 제7 중 어느 하나의 양태에 기재된 반도체

장치의 제조 방법에 있어서, 상기 배선층의 형성을 복수회 행하여, 다층 배선형의 배선층을 형성하는 것이 바람직하다.

[0017] (10) 본 발명의 제10 양태에 의한 반도체 장치의 제조 방법은 제1 내지 제7 중 어느 하나의 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 지지 기판 위에 복수 병렬하여 상기 중간 적층체를 형성하고, 또한 상기 복수 병렬하여 형성된 상기 중간 적층체를 일체적으로 상기 지지 기판에서 박리함과 함께, 상기 박리 후에 상기 중간 적층체를 개별적으로 절단하는 것이 바람직하다.

[0018] (11) 본 발명의 제11 양태에 의한 반도체 장치의 제조 방법은 제1 내지 제7 중 어느 하나의 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 중간 적층체 내에 상기 반도체 칩을 복수개 배치하는 것이 바람직하다.

[0019] (12) 본 발명의 제12 양태에 의한 반도체 장치의 제조 방법은 제1 내지 제7 중 어느 하나의 양태에 기재된 반도체 장치의 제조 방법에 있어서, 상기 중간 적층체 내에 상기 반도체 칩과 함께 수동 부품을 배치하는 것이 바람직하다.

### 발명의 효과

[0020] 본 발명에 의하면, 지지 기판의 주변부에 형성된 막의 불균일성이나 흡집에 상관없이 중간 적층체를 안정적으로 박리할 수 있다.

### 도면의 간단한 설명

[0021] 도 1은 본 발명의 제1 실시형태에 의한 반도체 장치의 제조 방법을 설명하는 도면이고, 전반의 공정을 나타내는 도면이다.

도 2는 본 발명의 제1 실시형태에 의한 반도체 장치의 제조 방법을 설명하는 도면이고, 도 1에 이어지는 공정을 나타내는 도면이다.

도 3은 본 발명의 제1 실시형태에 의한 반도체 장치의 제조 방법을 설명하는 도면이고, 도 2에 이어지는 공정을 나타내는 도면이다.

도 4는 본 발명의 제1 실시형태에 의한 반도체 장치의 제조 방법을 설명하는 도면이고, 도 3에 이어지는 공정을 나타내는 도면이다.

도 5는 본 발명의 제1 실시형태에 의한 반도체 장치의 제조 방법을 설명하는 도면이고, 도 4에 이어지는 공정을 나타내는 도면이다.

도 6은 본 발명의 제1 실시형태에 의한 반도체 장치의 제조 방법을 설명하는 도면이고, 지지 기판 위에 중간 적층체가 복수 병렬하여 형성된 상태를 나타내는 도면이다.

도 7은 변형예 1 내지 3에 의한 반도체 장치의 제조 방법을 설명하는 도면이고, 도 7(a)는 변형예 1을 설명하는 도면이고, 도 7(b)는 변형예 2를 설명하는 도면이고, 도 7(c)는 변형예 3을 설명하는 도면이다.

도 8은 본 발명의 제2 실시형태에 의한 반도체 장치의 제조 방법을 설명하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0022] (제1 실시형태)

[0023] 도 1 내지 도 6은 본 발명의 제1 실시형태에 의한 반도체 장치(30)의 제조 방법을 설명하기 위한 도면이다. 도 1 내지 도 5는 지지 기판(11) 위에 배선층(16), 반도체 칩(23), 밀봉층(24) 등으로 이루어지는 중간 적층체(29)를 형성해 가는 공정 등을 설명하는 단면도이고, 도 6은 지지 기판(11) 위에 중간 적층체(29)가 복수 병렬하여 형성된 상태를 나타내는 상면도이다. 단, 도 6에서는 후술하는 밀봉층(24) 등의 일부 부재는 도시를 생략하고 있다.

[0024] (제조 공정의 개요)

[0025] 도 6을 참조하여 본 예의 제조 공정의 개요를 설명한다.

[0026] 도 6에 나타내는 바와 같이, 본 예에서는 지지 기판(11)은 대략 정방형이고, 한 변이 100~300mm 정도이다. 그리고, 본 예에서는 도 6에 나타내는 바와 같이, 이 지지 기판(11) 위에 후술하는 밀봉층이나 반도체 칩 및 배선

층을 포함하는 중간 적층체(29)를 복수 병렬하여 형성한다.

[0027] 그 후, 도 6 중에 파선으로 나타낸 좌단 절단선(2L), 우단 절단선(2R), 상단 절단선(2U), 하단 절단선(2D)의 위치에서 지지 기판(11)의 주변부를 절단한다. 좌단 절단선(2L), 우단 절단선(2R), 상단 절단선(2U) 및 하단 절단선(2D)을 총칭하여 절단선(2)이라고 부른다.

[0028] 주변부를 절단한 후에, 지지 기판(11)으로부터, 복수 병렬하여 형성된 중간 적층체(29)를 일괄적으로 박리한다. 그 후, 복수 병렬된 중간 적층체(29)의 각각을 도 6에 파선으로 나타낸 복수의 세로 분리선(3V), 복수의 가로 분리선(3H)의 위치에서 분리(다이싱)한다. 세로 분리선(3V) 및 가로 분리선(3H)을 총칭하여 분리선(3)이라고 부른다.

[0029] 중간 적층체(29)는 후술하는 그 후의 공정을 거쳐, 반도체 장치(30)로서 완성된다. 절단선(2)의 위치 및 분리선(3)의 간격은 반도체 장치(30)의 크기(면적)에 따라 설정된다.

[0030] 이하, 도 1 내지 도 5를 참조하여, 지지 기판(11) 위에, 배선층(16), 반도체 칩(23), 밀봉층(24) 등으로 이루어지는 중간 적층체(29)를 형성하는 공정 및 반도체 장치(30)를 형성하는 공정을 설명한다.

[0031] (지지 기판)

[0032] 도 1(a)는 제조 공정의 초기에 있어서의 지지 기판(11)의 단면 구조를 나타내는 도면이다. 지지 기판(11)의 구성을 일본 특허 제6203988호 공보에 개시되는 캐리어가 부착된 동박과 동일한 구성이다. 지지 기판(11) 자체는 유리로 이루어지고, 그 주면(표면측의 면으로서, 도 중의 상방의 면)에 기판측으로부터 순서대로 밀착 금속층(12)과, 박리층(13)과, 반사 방지층(14)과, 박동층(15)이 형성되어 있다. 상기 각 층을 구성하는 재료나 두께도, 일본 특허 제6203988호 공보에 개시되는 캐리어가 부착된 동박과 동일한 구성이여도 된다.

[0033] 즉, 지지 기판(11) 자체는 유리로 이루어지고, 그 두께는 100~2000 $\mu\text{m}$ 가 바람직하다.

[0034] 밀착 금속층(12)은 지지 기판(11)과의 밀착성을 확보하는 점에서, Ti, Cr 및 Ni로 이루어지는 군에서 선택되는 적어도 1종의 금속으로 구성되는 층인 것이 바람직하고, 순금속이여도 되고, 합금이여도 된다. 밀착 금속층(12)의 두께는 10~300nm 정도가 바람직하다.

[0035] 박리층(13)은 주로 탄소를 포함하여 이루어지는 층인 것이 박리 용이성이나 막 형성성의 점 등에서 바람직하고, 보다 바람직하게는 주로 탄소 또는 탄화수소로 이루어지는 층이고, 더욱 바람직하게는 경질 탄소막인 아모르페스 카본으로 이루어진다. 박리층(13)의 두께는 1~20nm 정도가 바람직하다.

[0036] 반사 방지층(14)은 Cr, W, Ta, Ti, Ni 및 Mo로 이루어지는 군에서 선택되는 적어도 1종의 금속으로 구성된다. 반사 방지층(14)의 두께는 10~300nm 정도가 바람직하다. 또한, 반사 방지층(14)은 제조 공정에서의 배선층의 이미지 검사의 정밀도를 향상시키기 위해 설치한 층이기 때문에, 이미지에 의한 검사 공정이 필요하지 않은 경우 등에는 생략해도 상관없다.

[0037] 박동층(15)은 두께가 50~2000nm 정도인 구리를 주성분으로 하는 층이다. 박동층(15)은 진공 증착이나 스퍼터링 또는 도금에 의해 형성하는 것이 바람직하다.

[0038] 또한, 밀착 금속층(12), 박리층(13), 반사 방지층(14)에 대해서도, 스퍼터링 등으로 형성하는 것이 바람직하다.

[0039] 또한, 상기 조건에 적합한, 박리층(13) 등이 형성된 지지 기판(11)이 판매되고 있으면, 그것을 구입하여, 즉 준비하여 사용해도 된다.

[0040] (하단 패드의 형성)

[0041] 도 1(b)는 지지 기판(11) 위의 최상층인 박동층(15) 위에, 반도체 장치(30)의 일부가 되는 하단 패드(16)를 형성한 상태를 나타내고 있다. 하단 패드(16)의 형성에 있어서는 우선 박동층(15) 위의 전체면에 도시하지 않은 포토 레지스트층을 형성하고, 이 포토 레지스트층에 하단 패드(16)의 형상에 대응하는 원하는 패턴을 형성한다.

[0042] 그 후, 절단선(2)보다 외측의 지지 기판(11) 위의 박동층(15)에 급전용 전극을 장착하고, 지지 기판(11)을 도금 액에 침지하여 구리 도금 등의 전해 도금을 행함으로써, 박동층(15)이 노출되는 부분(즉, 포토 레지스트로 덮여 있지 않은 부분)에 하단 패드(16)를 형성한다. 그리고, 포토 레지스트를 제거한다.

[0043] 도 1(b)는 하단 패드(16)를 형성한 후에 포토 레지스트를 제거한 상태를 나타내고 있다.

[0044] 하단 패드(16)의 두께는 5~200 $\mu\text{m}$  정도가 바람직하고, 하단 패드(16)의 직경은 30~200 $\mu\text{m}$  정도가 바람직하다.

하단 패드(16)의 상면 형상은 원형이어도 되고, 다각형이어도 된다.

[0045] 하단 패드(16)와 후술하는 충간 절연막(17)의 밀착성을 향상시키기 위해, 하단 패드(16)의 표면 및 측면에 조면화 처리를 행하거나, 혹은 커플링제를 형성하여 양자의 밀착성을 향상시켜도 된다.

[0046] 또한, 상기 공정에 기초하여, 포토 레지스트에 형성하는 패턴의 형상에 의해, 하단 패드(16)와 동시에 지지 기판(11) 위의 상이한 2지점을 전기적으로 도통시키기 위한 배선을 형성할 수도 있다.

[0047] (충간 절연막의 형성)

[0048] 도 1(c)는 지지 기판(11) 위에 하단 패드(16)를 덮도록 충간 절연막(17)을 형성하고, 그 위에 드라이 필름 레지스트(19)를 형성한 상태를 나타내고 있다. 충간 절연막(17)의 재료로는 실리콘 필러를 80% 이상 함유하는 에폭시 수지 등을 사용한다. 충간 절연막(17)은 인쇄법이나 압축 성형법 또는 시트 형상의 수지 필름을 전공 라미네이트하는 방법으로 형성하고, 형성 후에 어느 정도의 경화 처리를 행한다.

[0049] 하단 패드(16)를 덮도록 충간 절연막(17)을 형성한 후, 충간 절연막(17)의 소정의 지점에 레이저 조사에 의한 어블레이션 등에 의해 비아 형성용 스루 홀(18)을 형성하고, 추가로 스루 홀 형성에 따른 잔사를 제거하는 디스미어 처리를 행한다. 그리고, 스루 홀(18)이 형성된 충간 절연막(17) 위에 무전해 도금 또는 스퍼터에 의해, 구리 등의 금속으로 이루어지는 도시하지 않은 도금 시드층을 형성한다.

[0050] 그리고, 그 위에 드라이 필름 레지스트(19)를 형성하고, 레이저 조사에 의한 어블레이션 등에 의해 드라이 필름 레지스트(19) 내의 소정의 지점으로서, 스루 홀(18)과 부분적으로 겹치는 지점에 개구(20)를 형성한다.

[0051] 도 1(c)는 개구(20)가 형성된 상태를 나타내고 있다.

[0052] (상단 패드의 형성)

[0053] 절단선(2)보다 외측의 지지 기판(11) 위의 충간 절연막(17) 위에 형성된 상기 도시하지 않은 도금 시드층에 금전용 전극을 장착한다. 그리고, 지지 기판(11)을 도금액에 침지하여 구리 도금 등의 전해 도금을 행함으로써, 스루 홀(18) 및 개구(20)의 내부에 구리 등의 금속을 퇴적시킴으로써, 비아 및 상단 패드(21)(이하, 합하여 상단 패드(21)라고 부름)를 형성한다.

[0054] 도 2(a)는 스루 홀(18) 및 개구(20)의 내부에 상단 패드(21)가 형성된 상태를 나타내고 있다.

[0055] 또한, 하단 패드(16)와 상단 패드(21)는 전부 도전성 부재이기 때문에, 이들을 배선층이라고 부르는 경우도 있다.

[0056] (예칭)

[0057] 그 후, 드라이 필름 레지스트(19)를 제거하고, 충간 절연막(17)의 경화 처리를 행한다. 또한, 충간 절연막(17) 위에 형성한 상기 도시하지 않은 도금 시드층의 제거(예칭)를 행한다. 이들의 제거는 공지된 일반적인 방법으로 행하면 된다.

[0058] (반도체 칩의 접합 및 밀봉)

[0059] 도 2(b)는 상기에서 형성한 지지 기판(11) 위의 적층물(하단 패드(16), 상단 패드(21) 및 충간 절연막(17)) 위에 반도체 칩(23)을 접합하고, 반도체 칩(23)을 밀봉층(24)으로 밀봉한 상태를 나타내고 있다.

[0060] 반도체 칩(23)의 접합에 있어서는 미리 반도체 칩(23)의 전극 단자로서 납땜한 구리 필러(22)를 형성해 두고, 각 구리 필러(22)가 소정의 상단 패드(21) 위에 겹치도록 반도체 칩(23)을 배치한다. 그리고, 구리 필러(22)와 상단 패드(21)를 플렉스제를 사용하여 가고정하고, 그 후 C4(Controlled Collapse Chip Connection) 접합한다.

[0061] 구리 필러(22)와 상단 패드(21)의 접합은 초음파 접합에 의해 행해도 된다. 또한, 반도체 칩(23)에는 납땜한 구리 필러(22) 대신에 땀납 볼 범프나 마이크로 솔더 범프를 형성해 두어도 된다.

[0062] 이 후, 반도체 칩(23) 및 지지 기판(11)의 주면(도 2(b) 중의 상측의 면)을 덮도록 컴프레션 몰드법 등에 의해 수지에 의한 밀봉층(24)을 형성한다. 밀봉층(24)은 하단 패드(16), 상단 패드(21) 및 충간 절연막(17)의 상면이나 측면도 덮고, 지지 기판(11) 위에 형성되어 있는 박리층(13) 또는 박리층(13)보다 상층에 있는 반사 방지층(14)도 덮는다.

[0063] 이상의 공정에 의해, 지지 기판(11) 위에는 밀봉층(24), 반도체 칩(23), 구리 필러(22), 배선층(상단 패드(21) 및 하단 패드(16)), 충간 절연막(17)으로 이루어지는 중간 적층체(29)가 형성된다.

[0064] (지지 기판의 주변부의 절단)

[0065] 중간 적층체(29)의 형성 후, 지지 기판(11)의 주변부를 절단한다. 즉, 지지 기판(11) 중, 도 6에 나타낸 상술한 절단선(2)보다 외측 부분을 절단한다.

[0066] 도 2(c)는 주변부의 절단을 위해 중간 적층체(29)가 형성된 주면을 아래측을 향하게 하여 배치한 지지 기판(11)을 나타내고 있다. 또한, 도 2(b)와 도 2(c)에서는 지지 기판(11)이 지면에 수직인 선을 회전 중심으로 하여 180도 회전되어 있기 때문에, 우단 절단선(2R)과 좌단 절단선(2L)의 위치 관계가 바뀌어 있다.

[0067] 주변부의 절단에 있어서는 먼저 지지 기판(11)의 뒷면(상기 주면과는 반대측의 면)의 우단 절단선(2R)과 좌단 절단선(2L)에 상당하는 부분에 스크라이빙 훈(70)에 의해 미소한 흡집인 절단 홈(4R, 4L)을 형성한다.

[0068] 동일하게, 지지 기판(11)의 뒷면의 상단 절단선(2U)과 하단 절단선(2D)에 상당하는 부분에도 절단 홈을 형성한다.

[0069] 도 3(a)는 주변부를 절단한 후에 상하를 정방향 회전시켜 배치한 지지 기판(11)을 나타내고 있다. 주변부를 절단한 후에 지지 기판(11)의 주면측의 밀봉층(24) 등의 적층물을, 다이싱소(71)를 사용하여 좌단 절단선(2L) 및 우단 절단선(2R)에 상당하는 부분에서 절단한다.

[0070] 동일하게, 상단 절단선(2U)과 하단 절단선(2D)에 상당하는 부분에서도 지지 기판(11)의 주면측의 밀봉층(24) 등의 적층물을 절단한다.

[0071] 다이싱소(71)에 의한 절단은 밀봉층(24), 중간 절연막(17), 반사 방지층(14), 박리층(13), 밀착 금속층(12)을 대상으로 하지만, 지지 기판(11)의 주면 근방에 부분적으로 새김눈이 들어가도 상관 없다. 절단된 적층물은 지지 기판(11)의 주변부(절단선(2)보다 외측)의 주면에 밀착되어 있기 때문에, 지지 기판(11)의 주변부가 지지 기판(11)과 연결되어 있는 이상, 절단해도 바로 지지 기판(11)으로부터 떨어지는 것은 아니다.

[0072] 이 상태의 지지 기판(11)에 대해 주변부(절단선(2)보다 외주부)에 격력을 가함으로써, 지지 기판(11)을 절단선(2)의 위치에서 할단(브레이크)한다.

[0073] 도 3(b)는 주변부를 할단한 상태의 지지 기판(11) 및 중간 적층체(29)를 나타낸다. 도 3(b)에 나타낸 바와 같이, 중간 적층체(29)의 절단면에는 박리층(13)의 단부가 명확하게 노출된다.

[0074] 또한, 절단 홈(4R, 4L)은 이 할단(브레이크)을 행하기 위해 형성하는 균열이기 때문에, 할단 예정선으로 볼 수도 있다.

[0075] (중간 적층체의 지지 기판에서의 박리)

[0076] 도 4(a)는 주변부를 할단한 지지 기판(11) 및 중간 적층체(29)를 박리 장치(80, 81)에 장착하고, 지지 기판(11)에서 중간 적층체(29)를 박리하는 상태를 나타내고 있다.

[0077] 박리 장치는 일례로서, 지지 기판(11)을 재치하는 재치대(80)와, 니들 등의 균열 이니시에이터(82)가 설치된 박리 아암(81)을 구비하는 장치이다.

[0078] 중간 적층체(29)의 박리에서는 우선 지지 기판(11)의 일방의 끝(도 4(b)에서는 우단)을 재치대(80) 위의 걸림부(80a)에 고정한다. 그리고, 균열 이니시에이터(82)의 선단을, 지지 기판(11) 위에 형성되어 있는 박리층(13)의 근방에 접촉시키고, 지지 기판(11) 위에 밀어 넣음으로써, 박리 개시점을 형성한다. 그리고, 박리 아암(81)을 재치대(80)에 대해, 도 7 우측 방향으로 상대 이동시킴으로써 중간 적층체(29)를 지지 기판(11)에서 박리한다.

[0079] 본 예에서는 지지 기판(11)과 중간 적층체(29) 사이에 박리층(13)이 형성되어 있기 때문에, 중간 적층체(29)를 박리층(13)을 경계면으로 하여 지지 기판(11)에서 균일하게 박리할 수 있다.

[0080] 이어서, 지지 기판(11)에서 박리한 중간 적층체(29)로부터 박리면에 잔존하는 박리층(13)의 잔해, 반사 방지층(14) 및 박동층(15)을 제거한다.

[0081] 도 4(b)는 지지 기판(11)에서 박리하고, 박리층(13)의 잔해, 반사 방지층(14), 박동층(15)을 제거한 중간 적층체(29)를 나타낸다. 박리층(13)의 잔해, 반사 방지층(14) 및 박동층(15)의 제거에 대해서도 예칭 등의 공지의 일반적인 제거 방법을 사용할 수 있다.

[0082] (땀납 볼의 형성)

[0083] 도 5(a)는 중간 적층체(29)의 하단 패드(16)에, 땀납 볼을 형성하기 위해 중간 절연막(17) 위에 솔더 레지스트

(25)를 형성하고, 하단 패드(16) 위의 솔더 레지스트(25)에 개구(27)를 형성한 상태를 나타내고 있다. 도 5(a)에서는 중간 적층체(29)는 도 4(b)에 나타낸 상태에서 회전(상하 반전)하여 나타내고 있다.

[0084] 이 후, 플러스를 솔더 레지스트(25)의 개구(27) 위에 도포하고, 땜납 볼(26)을 하단 패드(16) 위에 가고정하고, 그 후 리플로우를 행하여 땜납 볼(26)을 고정한다.

[0085] 도 5(b)는 땜납 볼(26)이 고정된 상태의 중간 적층체(29)를 나타내고 있다.

[0086] (다이싱)

[0087] 그 후, 복수 병렬하여, 즉 복수개가 연속한 상태의 중간 적층체(29)의 각각을 각 회로 테스터 등으로 테스트하고, 다이싱소를 사용하여 다이싱(개편화)한다.

[0088] 도 5(c)는 다이싱되어 완성된 상태의 반도체 장치(30)를 나타내고 있다.

[0089] 또한, 도 1 내지 도 5의 각 도면에서는 설명을 용이하게 하기 위해, 지지 기판(11)의 면내 방향의 길이에 대해 두께 방향의 길이를 확대하여 나타내고 있다.

[0090] 또한, 상기 제1 실시형태에서는 지지 기판(11) 위에는 좌우에 2개의 중간 적층체(29)를 형성하는 것으로 하고 있지만, 지지 기판(11) 위에 형성하는 중간 적층체(29)의 배열수는 이에 한정되는 것은 아니고, 보다 다수개의 중간 적층체(29)를 형성할 수 있다.

[0091] 또한, 제조하는 반도체 장치(30)의 용도에 따라서는 상기 솔더볼의 형성 공정을 생략해도 된다.

[0092] (변형예)

[0093] 이하, 도 7을 참조하여 변형예 1 내지 4에 대해 설명한다.

[0094] 이하의 변형예는 지지 기판(11)의 절단 방법에 관한 변형예이다. 따라서, 지지 기판(11)의 절단 방법 이외에 대해서는 상술한 제1 실시형태와 동일하기 때문에, 설명을 생략한다.

[0095] (변형예 1)

[0096] 도 7(a)는 변형예 1에서 사용하는 지지 기판(11a)을 나타낸다.

[0097] 지지 기판(11a)에는 상술한 제1 실시형태에서 사용하는 지지 기판(11)과 동일하게, 그 주면에 기판측부터 순서대로 밀착 금속층(12)과, 박리층(13)과, 반사 방지층(14)과, 박동층(15)이 형성되어 있다. 단, 그 이면(상기 주면과는 반대측의 면)에는 좌단 절단선(2L) 및 우단 절단선(2R) 등의 절단선(2)에 상당하는 위치에 미리 절단 홈(4aL 및 4aR)을 형성해 둔다.

[0098] 따라서, 본 변형예 1에서는 반도체 장치의 제조 공정 중에서 지지 기판(11a)의 뒷면에 절단 홈을 형성하는 공정(예를 들면, 도 (c) 참조)을 생략할 수 있다.

[0099] 절단 홈(4aL 및 4aR)과, 밀착 금속층(12), 박리층(13), 반사 방지층(14) 및 박동층(15)은 어느 것을 먼저 형성해도 상관 없다. 단, 절단 홈(4aL 및 4aR)은 지지 기판(11a) 위에 배선층(하단 패드(16))을 형성하기 전에 행하는 것이 바람직하다.

[0100] 또한, 변형예 1의 절단 홈(4aL 및 4aR)에 대해서도 상술한 제1 실시형태에서의 절단 홈(4L 및 4R)과 동일하게, 할단 예정선으로 볼 수도 있다.

[0101] (변형예 2)

[0102] 도 7(b)는 변형예 2에서 사용하는 지지 기판(11b)을 나타낸다.

[0103] 변형예 2에서는 지지 기판(11b)의 주면의 좌단 절단선(2L) 및 우단 절단선(2R) 등의 절단선(2)에 상당하는 위치에, 미리 절단 홈(4bL 및 4bR)을 형성해 둔다. 그리고, 그 후에 도시하지 않지만, 그 주면에 기판측으로부터 순서대로 밀착 금속층(12), 박리층(13)과, 반사 방지층(14)과, 박동층(15)을 형성해 둔다.

[0104] 지지 기판(11b)의 주면에 형성된 절단홈이어도, 뒷면에 형성된 절단 홈과 동일하게 할단(브레이크)의 개시점으로서 기능하기 때문에, 본 변형예 2에서도, 반도체 장치의 제조 공정 중에서 지지 기판(11b)의 뒷면에 절단 홈을 형성하는 공정을 생략할 수 있다.

[0105] 또한, 변형예 2의 절단 홈(4bL 및 4bR)에 대해서도 상술한 제1 실시형태에서의 절단 홈(4L 및 4R)과 동일하게,

할단 예정선으로 볼 수도 있다.

[0106] (변형 예 3)

[0107] 도 7(c)는 변형 예 3에서 사용하는 지지 기판(11c)을 나타낸다.

[0108] 지지 기판(11c)에는 상술한 제1 실시형태에서 사용하는 지지 기판(11)과 동일하게, 그 주면에 기판측으로부터 순서대로 박리층(12), 박리층(13)과, 반사 방지층(14)과, 박동층(15)이 형성되어 있다. 그리고, 지지 기판(11c)의 내부의, 좌단 절단선(2L) 및 우단 절단선(2R) 등의 절단선(2)에 상당하는 위치에는 다른 부분과 비교하여 강도가 약한 열화 부분(4cL 및 4cR)을 형성해 둔다.

[0109] 이 열화 부분(4cL 및 4cR)은 예를 들면, 유리제 지지 기판(11c)에 대해, 레이저를 열화 부분에 집광하여 조사함으로써 형성할 수 있다.

[0110] 열화 부분(4cL 및 4cR)이 할단(브레이크)의 개시점으로서 기능하기 때문에, 본 변형 예 3에서도 반도체 장치의 제조 공정 중에서 지지 기판(11c)의 뒷면에 절단 홈을 형성하는 공정을 삽입할 수 있다.

[0111] 또한, 변형 예 3의 열화 부분(4cL 및 4cR)에 대해서도 상술한 제1 실시형태에서의 절단 홈(4L 및 4R)과 동일하게, 할단 예정선으로 볼 수도 있다.

[0112] (변형 예 4)

[0113] 변형 예 4에서는 지지 기판(11)의 주변부의 절단에 있어서, 지지 기판(11)에 절단 홈을 설치하여 할단을 행하는 것이 아니라, 다이싱소를 사용하여 지지 기판(11) 전체를 절단한다.

[0114] 따라서, 변형 예 4에서는 상술한 제1 실시형태나 각 변형 예에 비해, 절단 홈을 형성하는 공정(예를 들면, 도 2(c) 참조)이나 할단 공정을 삽입할 수 있기 때문에, 절단 공정이 간략화된다.

[0115] (제1 실시형태 및 변형 예 1 내지 4의 효과)

[0116] 이상의 제1 실시형태 및 변형 예 1 내지 4에 의하면, 이하의 효과를 얻을 수 있다.

[0117] (1) 본 실시형태의 반도체 장치(30)의 제조 방법은 주면측에 박리층(13)이 형성된 지지 기판(11)을 준비하는 것, 지지 기판(11) 위의 박리층(13)보다 위에, 부분적으로 배선층(하단 패드(16), 상단 패드(21))을 형성하는 것, 반도체 칩(23)을 지지 기판(11) 위에 배치하는 것, 배선층(하단 패드(16), 상단 패드(21))의 적어도 일부 및 반도체 칩(23)을 포함함과 함께, 지지 기판(11) 위의 박리층(13) 또는 그것보다 위의 층과 접촉하는 밀봉층(24)을 형성하고, 지지 기판(11) 위에 반도체 칩(23) 및 배선층(16, 21), 밀봉층(24)을 포함하는 중간 적층체(29)를 형성하는 것, 중간 적층체(29)를 형성한 후에, 지지 기판(11)의 주변부를 절단하는 것, 주변부를 절단한 지지 기판(11)에서 박리층(13)을 경계로 하여 중간 적층체(29)를 기계적으로 박리하는 것을 포함하고 있다.

[0118] 이러한 제조 방법으로 했기 때문에, 지지 기판(11)의 주변부에 성막 불균일이나 전해 도금 전극의 접촉에 의한 흡집이 생겨도, 상기 악영향은 지지 기판(11)의 중앙부에 미치는 경우가 없어, 중간 적층체(29)를 안정적으로 지지 기판(11)에서 박리할 수 있다. 그 결과, 중간 적층체(29) 및 중간 적층체를 포함하는 반도체 장치의 수율을 향상시킬 수 있다.

[0119] (2) 또한, 지지 기판(11)의 주변부의 절단을, 지지 기판(11)의 주변부에 할단 예정선을 형성하는 것, 지지 기판(11) 위에 형성되어 있는 박리층(13) 및 밀봉층(24)을 할단 예정선에 대응하는 위치에서 지지 기판(11)의 주면측에서 절단하는 것, 지지 기판(11)의 주변부를 할단 예정선을 따라 할단하는 것을 거쳐 행함으로써, 더욱 안정적으로 지지 기판(11)의 주변부의 절단을 행할 수 있어, 한층 더 수율의 향상을 얻을 수 있다.

[0120] (3) 또한, 지지 기판(11)으로서, 그 주면에 기판측으로부터 순서대로 금속층(12), 박리층(13), 박동층(14)이 형성되어 있는 지지 기판을 사용함으로써, 박리층(13)으로부터의 박리를 보다 안정적으로 실현할 수 있다.

[0121] (4) 또한, 지지 기판(11) 위에, 복수 병렬하여 중간 적층체(29)를 형성하고, 또한 복수 병렬하여 형성된 중간 적층체(29)를 일체적으로 지지 기판(11)에서 박리함과 함께, 박리 후에 중간 적층체(29)를 개별적으로 절단하는 구조으로 함으로써, 생산 효율이 높은 제조 방법을 실현할 수 있다.

[0122] (제2 실시형태)

[0123] 도 8을 참조하여 반도체 장치(30a)의 제조 방법의 제2 실시형태를 설명한다.

[0124] 제2 실시형태에서는 형성하는 배선층의 층수가 3층이 된다. 또한, 이하에서 설명하는 부분을 제외하고는 제2 실

시형태에 있어서도 그 제조 공정은 상술한 제1 실시형태와 동일하다.

[0125] 본 변형예에서는 상술한 제1 실시형태에서 상단 패드(21)를 형성하고, 드라이 필름 레지스트(19)를 제거한 후에 (즉, 도 2(a)에 나타낸 상태에서 드라이 필름 레지스트(19)를 제거한 후에), 상단 패드(21) 및 충간 절연막(17) 위에 제2 충간 절연막(31)을 형성하고, 제2 충간 절연막(31)의 소정 부분에 스루 홀(32)을 형성한다.

[0126] 스루 홀(32) 형성 후의 제2 충간 절연막(31) 위에, 무전해 도금 또는 스퍼터에 의해, 구리 등의 금속으로 이루어지는 도시하지 않은 도금 시드층을 형성한다.

[0127] 그리고, 그 위에 드라이 필름 레지스트(33)를 형성하고, 드라이 필름 레지스트(33) 내의 소정 위치에 개구(34)를 형성한다. 도 7(a)는 개구(34)가 형성된 상태를 나타내고 있다.

[0128] 그 후, 구리 도금 등의 전해 도금을 행함으로써, 스루 홀(32) 및 개구(34)의 내부에 구리 등의 금속을 퇴적시킴으로써, 최상단 패드(35)를 형성한다. 또한, 최상단 패드(35)도 도전성 부재이기 때문에, 이것도 상술한 배선층의 일부로 볼 수도 있다.

[0129] 그리고, 드라이 필름 레지스트(33)를 제거하고, 제2 충간 절연막(31)의 경화 처리를 행한다. 또한, 제2 충간 절연막(31) 위에 형성한 상기 도시하지 않은 도금 시드층의 제거(에칭)를 행한다.

[0130] 도 7(b)는 최상단 패드(35)가 형성되고, 드라이 필름 레지스트(33)가 제거된 상태를 나타내고 있다.

[0131] 그 후는 상술한 실시형태에서 나타낸 (반도체 칩의 접합 및 밀봉) 공정 이후와 동일한 공정을 행함으로써, 도 7(c)에 나타낸, 배선층의 층수가 3층(하단 패드(16), 상단 패드(21), 최상단 패드(35))인 반도체 장치(30a)를 제조할 수 있다.

[0132] 또한, 상술한 제1 실시형태에 대해, 제2 실시형태에서 추가한 공정과 동일한 공정을 제2 실시형태에 추가로 추가함으로써, 배선층의 층수가 4층 이상인 반도체 장치를 제조 가능하다.

[0133] (제2 실시형태의 효과)

[0134] 이상의 제2 실시형태의 제조 방법에 의하면, 상술한 제1 실시형태 및 변형예 1 내지 4의 효과에 추가하여, 3층의 배선층을 갖는 반도체 장치를 높은 수율로 제조할 수 있다는 효과가 있다.

[0135] 이상의 각 실시형태 및 변형예에서는 지지 기판(11) 자체는 유리제인 것으로 했지만, 지지 기판(11) 자체는 세라믹스, 수지 또는 금속 중 어느 것으로 이루어지는 기판을 사용해도 된다. 또한, 지지 기판(11)의 형상도 정방형에 한정되지 않고, 장방형이나 원형 등의 다른 형상이어도 된다.

[0136] 또한, 하단 패드(16), 상단 패드(21), 최상단 패드(35)는 구리에 한정되지 않고, 다른 금속으로 형성해도 된다. 각종 포토 레지스트는 감광성의 드라이 필름이어도 되고, 레이저 어블레이션에 의해 패턴 형성을 행해도 된다.

[0137] 또한, 각 중간 적층체(29) 내에 배치하는 반도체 칩(23)은 1개에 한정되지 않고, 복수개의 반도체 칩(23)을 하나의 중간 적층체(29) 내에 배치해도 된다. 이에 의해, 보다 고성능의 중간 적층체(29) 및 반도체 장치(30)를 실현할 수 있다.

[0138] 또한, 각 중간 적층체(29) 내에 배치하는 전자 부품은 반도체 칩(23)에 한정되지 않고, 콘덴서, 코일, 안테나 등의 수동 부품을 반도체 칩(23)과 함께 배치해도 된다. 이에 의해, 반도체 칩(23)만으로는 실현할 수 없는 기능을 갖는, 고성능의 중간 적층체(29) 및 반도체 장치(30)를 실현할 수 있다.

[0139] 본 발명은 이상의 내용에 한정되는 것은 아니다. 본 발명의 기술적 사상의 범위 내에서 생각할 수 있는 그 밖의 양태도 본 발명의 범위 내에 포함된다.

[0140] 다음의 우선권 기초 출원의 개시 내용은 인용문으로서 여기에 포함된다.

[0141] 일본 특허출원 2018년 제019434호(2018년 2월 6일 출원)

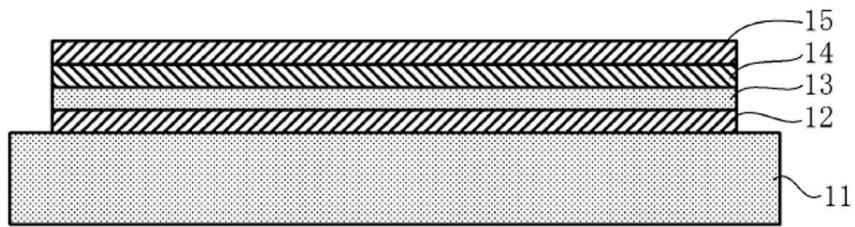
### 부호의 설명

[0142] 30, 30a: 반도체 장치, 11, 11a, 11b, 11c: 지지 기판, 12: 금속층, 13: 박리층, 14: 반사 방지층, 15: 박동층, 16: 하단 패드(배선층), 17: 충간 절연막, 19: 레지스트, 21: 상단 패드(배선층), 23: 반도체 칩, 24: 밀봉층, 2: 절단선, 3: 분리선, 29: 중간 적층체

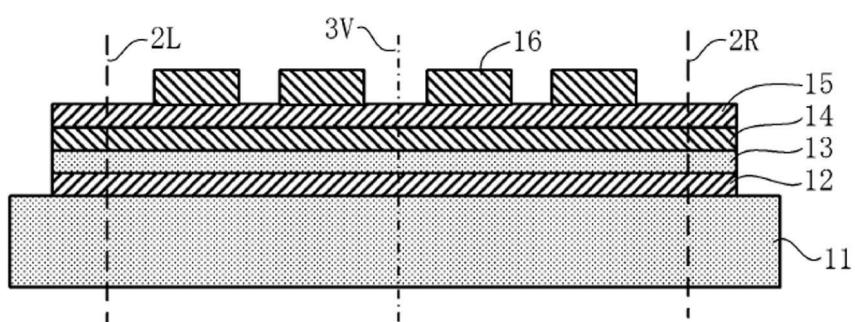
## 도면

## 도면1

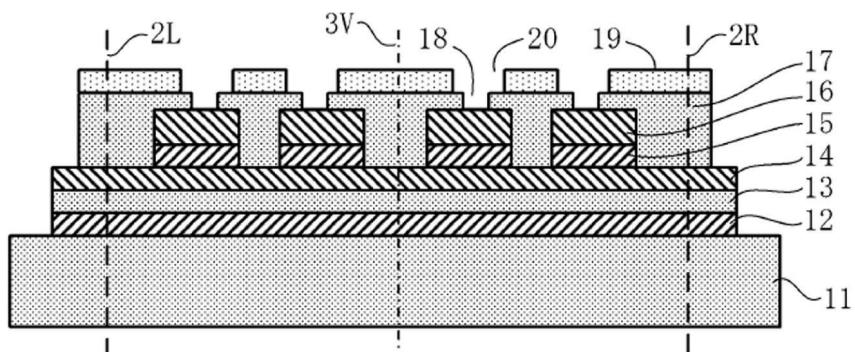
(a)



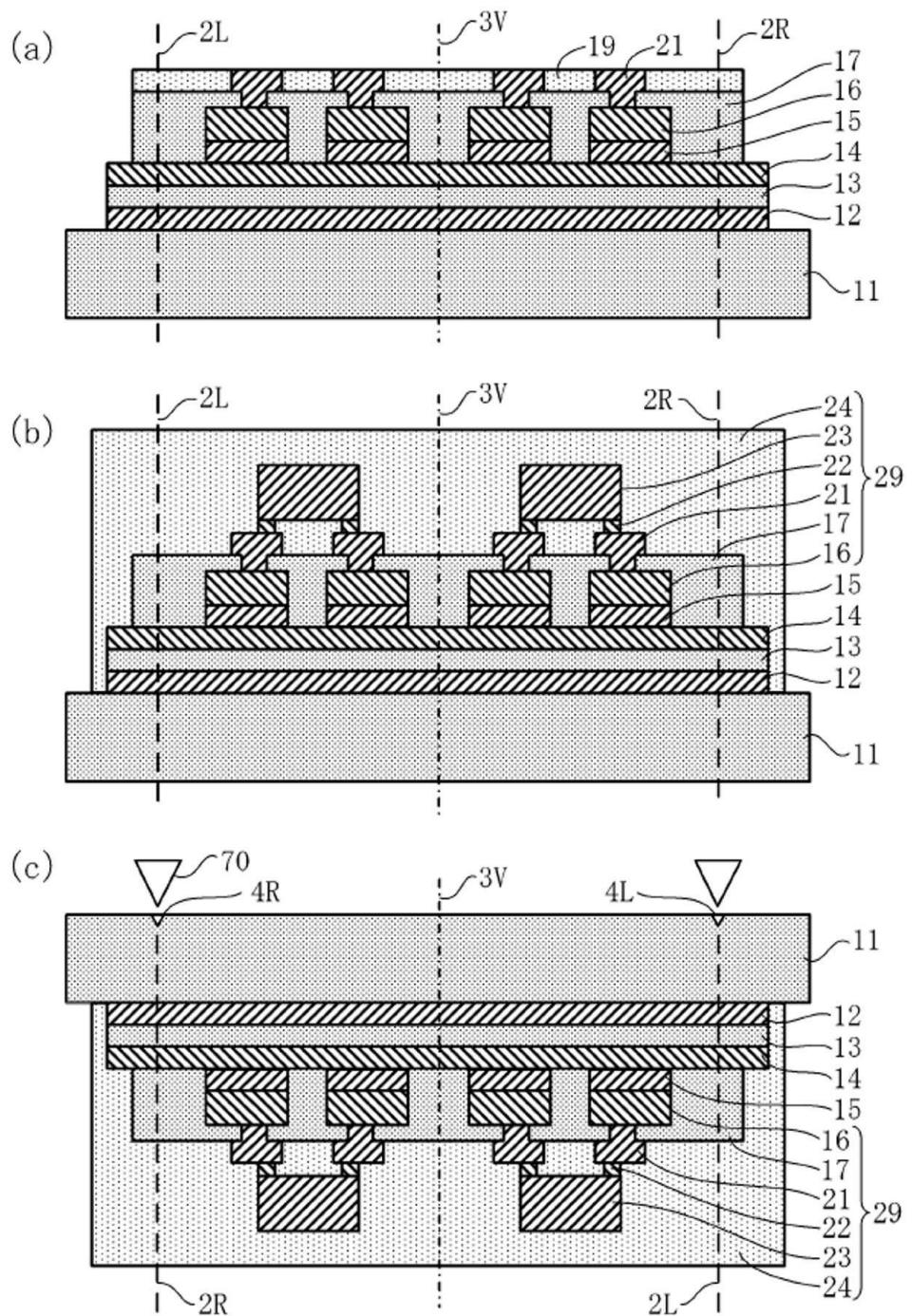
(b)



(c)

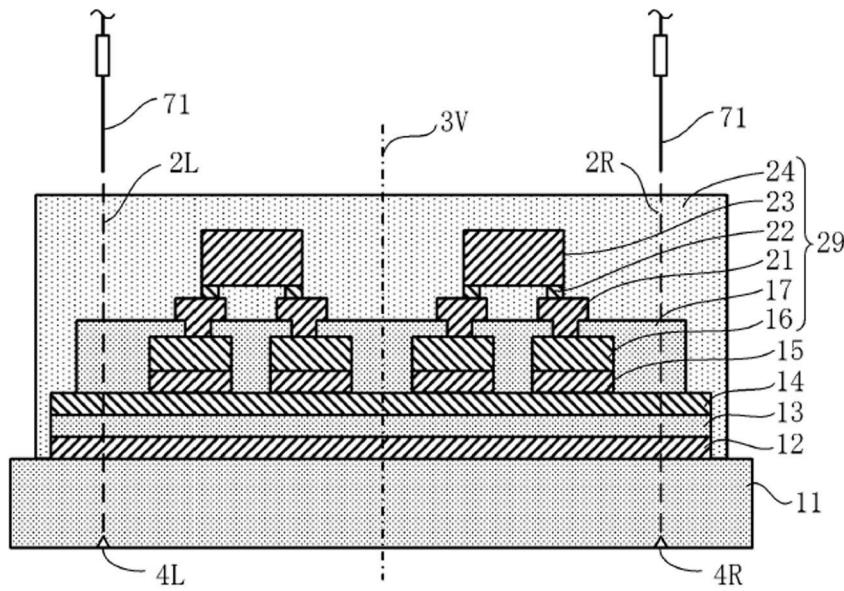


## 도면2

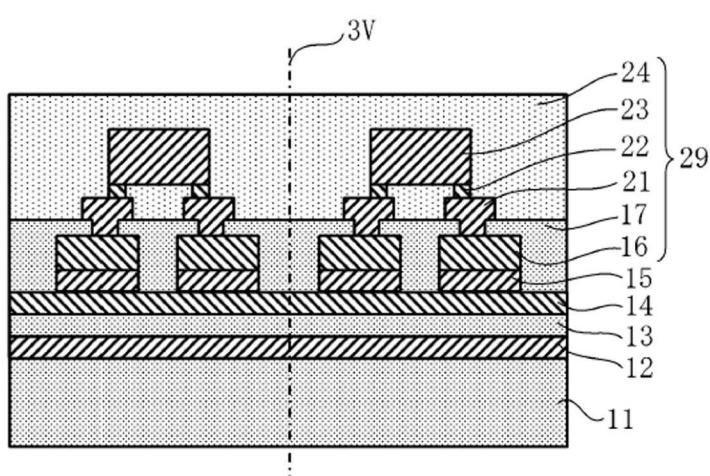


도면3

(a)

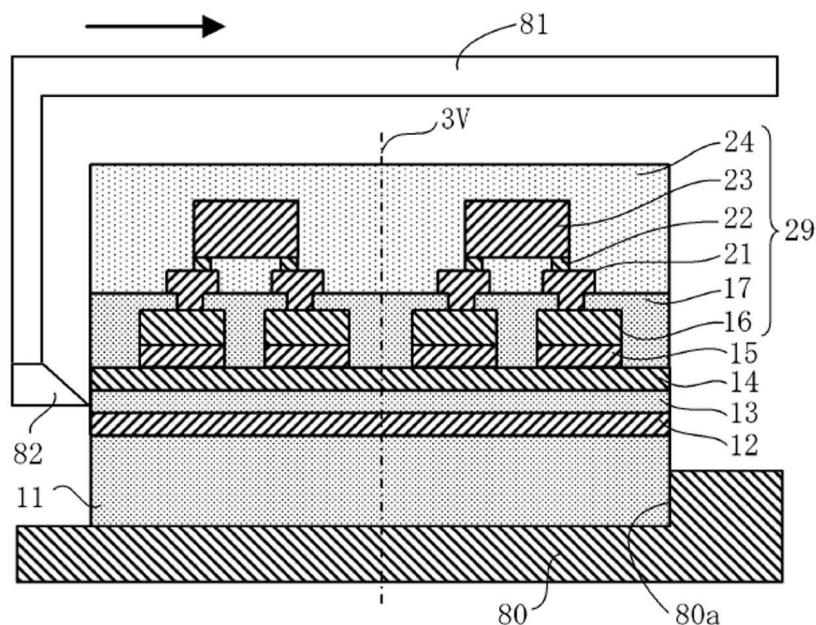


(b)

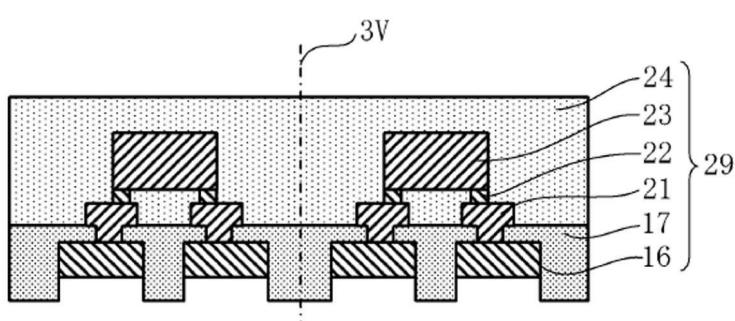


## 도면4

(a)

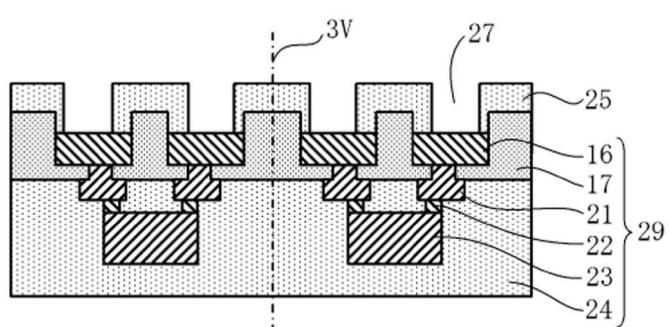


(b)

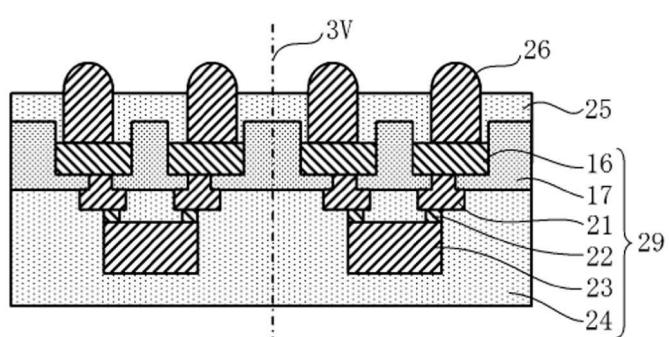


## 도면5

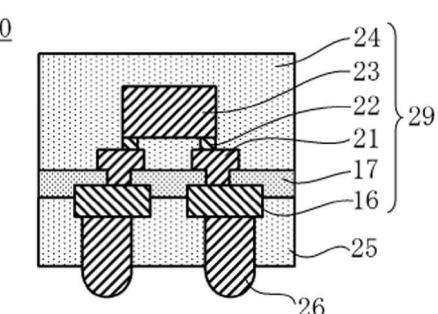
(a)



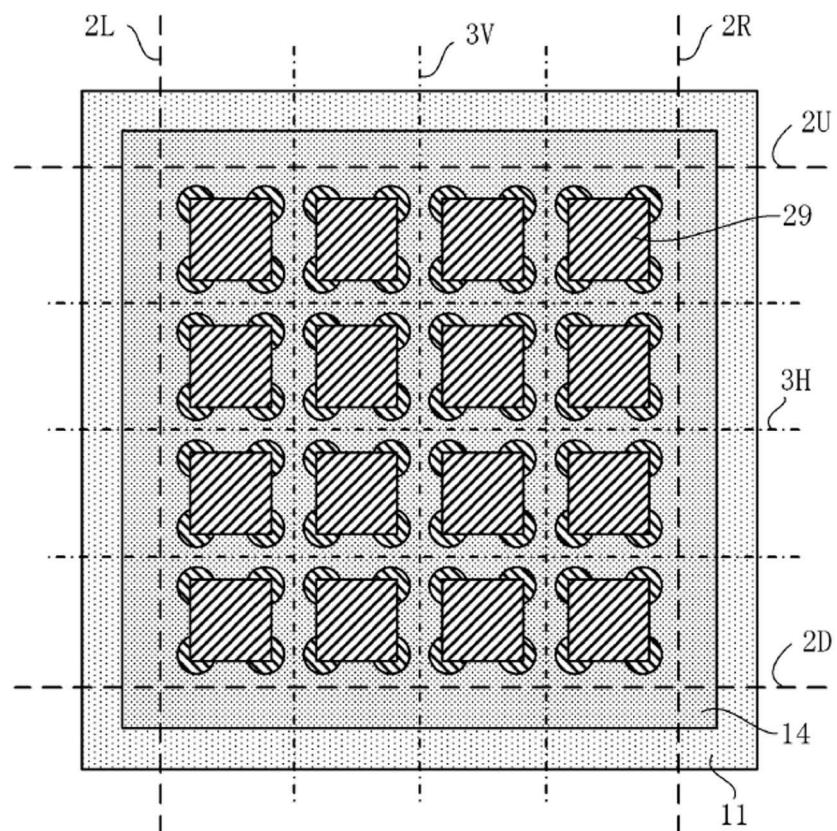
(b)



(c)

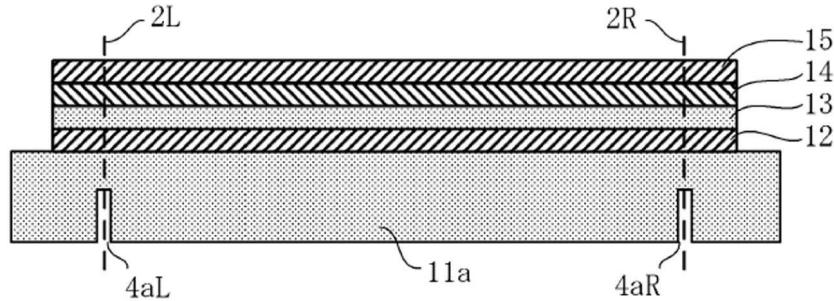


도면6

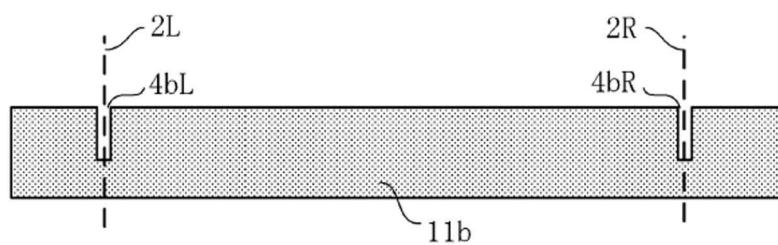


## 도면7

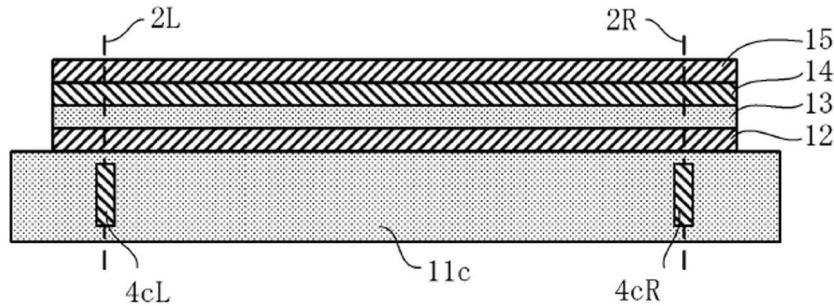
(a)



(b)



(c)



## 도면8

