

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-108592

(P2017-108592A)

(43) 公開日 平成29年6月15日(2017.6.15)

(51) Int.Cl.  
H02M 3/28 (2006.01)

F I  
H02M 3/28

テーマコード(参考)  
5H730

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2015-242584 (P2015-242584)  
(22) 出願日 平成27年12月11日(2015.12.11)

(71) 出願人 000005234  
富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号  
(74) 代理人 100112003  
弁理士 星野 裕司  
(74) 代理人 100145344  
弁理士 渡辺 和徳  
(72) 発明者 岡山 健一  
神奈川県川崎市川崎区田辺新田1番1号  
富士電機株式会社内  
Fターム(参考) 5H730 AA02 BB24 BB98 DD04 EE03  
EE07 FD01 FF01 FF19 FG01

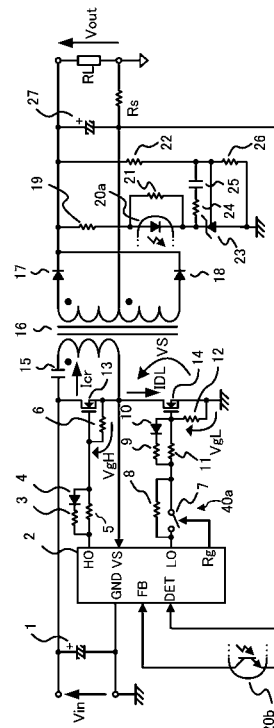
(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】 間欠動作で生じる EMI ノイズの低減を安価に実現すること。

【解決手段】 主スイッチング素子のドレイン - ソース間電圧信号またはコレクタ - エミッタ間電圧信号を取りこみ、取り込んだ電圧信号と予め設定した閾値とを比較するコンパレータの出力、および、所定のスイッチング周波数でスイッチングを行うスイッチング期間とスイッチングを行わない停止期間とを切り換えるスイッチング期間信号を用いて、主スイッチング素子の駆動電流値または駆動抵抗値を切り換えるサージ電流抑制回路を備え、該サージ電流抑制回路は、停止期間からスイッチング期間に移行後、前記電圧信号が設定した閾値以下に低下したことを検出して、主スイッチング素子の駆動電流値を増加、または、駆動抵抗値を減少させ、その後、スイッチング期間から停止期間に移行したことを検出し、主スイッチング素子の駆動電流値を減少、または、駆動抵抗値を増加させる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子、並びに前記トランスの二次巻線に誘起された電圧を整流して所定の直流出力電圧を生成する電圧出力回路を備えたスイッチング電源本体と、

前記直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子をオン・オフするスイッチング信号の周波数を制御して前記直流出力電圧を一定化するスイッチング制御回路とを具備するスイッチング電源装置であって、

前記主スイッチング素子のドレイン・ソース間電圧信号またはコレクタ・エミッタ間電圧信号を取りこみ、取り込んだ前記電圧信号の電圧値と予め設定した閾値とを比較するコンパレータの出力、および、前記スイッチング信号でスイッチングを行うスイッチング期間とスイッチングを行わない停止期間とを切り換えるスイッチング期間信号を用いて、前記主スイッチング素子の駆動電流値または駆動抵抗値を切り換えるサージ電流抑制回路を備え、

当該サージ電流抑制回路は、前記停止期間から前記スイッチング期間に移行後、前記電圧信号の電圧値が前記閾値以下に低下したことを検出して、前記主スイッチング素子の駆動電流値を増加、または、駆動抵抗値を減少させ、その後、前記スイッチング期間から前記停止期間に移行したことを検出し、前記主スイッチング素子の駆動電流値を減少、または、駆動抵抗値を増加させることを特徴とするスイッチング電源装置。

**【請求項 2】**

前記停止期間に移行したことを検出したことを検出した時点から前記主スイッチング素子のターンオフ時間以上の遅延時間をもって、前記主スイッチング素子の駆動電流値を減少、または、駆動抵抗値を増加させることを特徴とする請求項 1 に記載のスイッチング電源装置。

**【請求項 3】**

前記スイッチング電源本体および前記スイッチング制御回路は、フォワード型のスイッチング電源、フライバック型のスイッチング電源、電流共振型のスイッチング電源、または電圧共振型のスイッチング電源に適用されることを特徴とする請求項 1 または 2 に記載のスイッチング電源装置。

**【請求項 4】**

前記主スイッチング素子と、前記トランスの二次巻線の誘起電圧を整流する素子の一部と、のうち少なくとも一つをワイドバンドギャップ半導体で構成した素子とすることを特徴とする請求項 1 または 2 に記載のスイッチング電源装置。

**【請求項 5】**

前記ワイドバンドギャップ半導体は、炭化珪素、窒化ガリウム系材料、酸化ガリウム系材料、またはダイヤモンドで形成されていることを特徴とする請求項 4 に記載のスイッチング電源装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、高効率化のため特に軽負荷状態で適用される間欠動作において、ノイズ低減を図ることのできる簡易な構成のスイッチング電源装置に関する。

**【背景技術】****【0002】**

スイッチング電源装置は、概略的には直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子と、前記トランスの二次巻線に誘起された電圧を整流・平滑化して所定の直流出力電圧を生成する電圧出力回路を備える。スイッチング電源装置は、更に直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子のオン・オフを制御し、これによって直流出力電圧を一定化するスイッチング制御回路を備えて構成される。

## 【 0 0 0 3 】

ここでスイッチング電源装置の回路方式には、フォワード方式、フライバック方式、電流共振方式、或いは電圧共振方式がある。例として、電流共振型のスイッチング電源装置は図 8 に示すように構成される。このスイッチング電源装置は、直列に接続された 2 つのスイッチング素子 1 3, 1 4 を主スイッチング素子として備える。スイッチング素子 1 3 は、共振用コンデンサ 1 5 を介してトランス 1 6 の一次巻線に並列接続されており、またスイッチング素子 1 4 はトランス 1 6 の一次巻線に直列に接続されている。これらのスイッチング素子 1 3, 1 4 は、例えば MOS-FET からなり、一般的には集積回路化されたスイッチング制御回路 2 からのゲート信号を受けて相補的にオン・オフされる。

## 【 0 0 0 4 】

トランス 1 6 の一次巻線には、直流電源から共振用コンデンサ 1 5 およびスイッチング素子 1 4 を介して直流入力電圧  $V_{in}$  が印加される。前記直流電源は、例えば商用交流電源を整流して直流入力電圧  $V_{in}$  を生成するもので、該直流入力電圧  $V_{in}$  は入力コンデンサ 1 を介して平滑化されてスイッチング電源装置に与えられる。

## 【 0 0 0 5 】

ここでスイッチング素子 1 4 は、オン時に共振用コンデンサ 1 5 を介してトランス 1 6 の一次巻線に電流  $I_{cr}$  を流すと共に、共振用コンデンサ 1 5 とトランス 1 6 の共振インダクタンスとからなる共振回路にエネルギーを蓄積する役割を担う。またスイッチング素子 1 3 は、オン時に前記共振回路に蓄えられたエネルギーをトランス 1 6 の一次巻線を介して放出させ、該一次巻線に逆向きの電流  $I_{cr}$  を流す役割を担う。結果、トランス 1 6 の一次巻線を介して流れる電流  $I_{cr}$  は、共振の弧を描く正弦波状の波形となる。

## 【 0 0 0 6 】

このようにしてトランス 1 6 の一次巻線に流れる電流  $I_{cr}$  により、該トランスの二次巻線に所定の電圧が誘起される。そしてトランス 1 6 の二次巻線にそれぞれ誘起された電圧はダイオード 1 7, 1 8 を介して両波整流された後、出力コンデンサ 2 7 によって平滑化される。即ち、ダイオード 1 7, 1 8 および出力コンデンサ 2 7 は、トランス 1 6 の二次巻線に誘起された電圧から負荷  $R_L$  に供給する直流出力電圧  $V_{out}$  を生成する電圧出力回路を構成する。

## 【 0 0 0 7 】

このように構成されるスイッチング電源装置については、例えば特許文献 1 等に詳しく紹介される通りである。

## 【 0 0 0 8 】

ところで上述したスイッチング電源装置においては、その定格負荷である 1 0 0 % 負荷時には、前記スイッチング素子 1 3, 1 4 の相補的なオン・オフに伴ってトランス 1 6 の一次巻線に流れる電流  $I_{cr}$  がほぼ正弦波となり、効率  $\eta$  が最大となるように設計される。これに対して軽負荷時には、1 0 0 % 負荷時に比較して電流  $I_{cr}$  のピーク値が大きく減少し、トランス 1 6 の一次巻線に流れる電流  $I_{cr}$  の波形は正弦波の一部を交互に組み合わせた鋸歯状波的なものとなる。このときのトランスの励磁電流自体は、負荷に依らず殆ど変化することはない。この励磁電流は、スイッチング電源装置における、いわゆる無効電流であり、該スイッチング電源装置を構成する回路のインピーダンスに起因する損失の要因となる。これ故、定格負荷において効率  $\eta$  が最大となるようにスイッチング電源装置を設計しても、軽負荷時の効率  $\eta$  が低下するという問題がある。

## 【 0 0 0 9 】

このような軽負荷時の効率低下を改善する手法として、軽負荷時にはスイッチング素子 1 3, 1 4 のオン・オフを所定の停止期間を挟んで間欠的に行わせ、これによってスイッチング損失および導通損失を低減することが行われている。

## 【 0 0 1 0 】

このスイッチング素子 1 3, 1 4 の間欠動作は、例えば次のような構成で実現できる。まずスイッチング制御回路 2 内において、トランス 1 6 の二次側に設けられた負荷検出用抵抗  $R_s$  を介して取り込んだ電圧信号  $D E T$  から負荷電力を演算する。スイッチング制御

10

20

30

40

50

回路 2 内には、図 9 に示すように当該負荷電力に応じてスイッチング期間と停止期間の所定のデューティ比を有するスイッチング期間信号  $V T s w$  を生成する間欠動作制御回路 3 1 と駆動回路 3 2 を設ける。そして駆動回路 3 2 は、間欠動作制御回路 3 1 の出力であるスイッチング期間信号  $V T s w$  などを入力して、スイッチング期間の間だけスイッチング素子 1 3, 1 4 をオン・オフするゲート信号  $H O, L O$  を生成する。

#### 【 0 0 1 1 】

この結果、前記スイッチング素子 1 3, 1 4 のオン・オフ動作の停止期間における該スイッチング素子 1 3, 1 4 のスイッチング損失等がなくなり、これによって軽負荷時における全体的な効率の低下が防止される。間欠動作制御回路については、例えば特許文献 2 ~ 5 に詳しく紹介されている。

#### 【 先行技術文献 】

#### 【 特許文献 】

#### 【 0 0 1 2 】

【 特許文献 1 】 特許第 4 4 2 3 4 5 8 号公報

【 特許文献 2 】 特開 2 0 1 3 - 4 2 6 2 8 号公報

【 特許文献 3 】 特開 2 0 1 0 - 2 8 8 3 3 4 号公報

【 特許文献 4 】 米国特許出願公開第 2 0 1 3 / 0 2 2 9 8 2 9 号明細書

【 特許文献 5 】 米国特許第 8 0 3 1 4 8 9 号明細書

#### 【 発明の概要 】

#### 【 発明が解決しようとする課題 】

#### 【 0 0 1 3 】

しかしながら、上述した特許文献に代表される従来の間欠動作は、例えば図 1 0 において、ローサイドスイッチング素子 1 4 のドレイン電流  $I D L$  の波形に見られるように、スイッチング素子のドレイン - ソース間電圧  $V S$  が高いタイミングで、停止期間からスイッチング期間に移行するためハードスイッチングとなる。このため、このタイミングでサージ電流が発生し  $E M I$  ノイズを発生させるという問題があった。

#### 【 0 0 1 4 】

一方で、 $C I S P R$  等に代表される  $E M C$  規格の要求から、スイッチング電源の低ノイズ化が求められている。低ノイズ化の実現のためには、チョークコイルやコンデンサ等の受動部品を用いることが考えられるが、装置の大型化や部品点数の増加を招き、また高コスト化の要因にもなるという問題がある。

#### 【 0 0 1 5 】

本発明はかかる従来事情に対処してなされたものであり、間欠動作で生じる  $E M I$  ノイズの低減を安価に実現することのできるスイッチング電源装置を提供することを目的とする。

#### 【 課題を解決するための手段 】

#### 【 0 0 1 6 】

上記目的を達成するため、本発明のスイッチング電源装置は、間欠動作時において、スイッチング期間から停止期間に移行したタイミングで主スイッチング素子のゲート抵抗値（駆動抵抗値）をスイッチング動作時の通常のゲート抵抗値よりも大きくしておき、スイッチング期間移行後の最初のスイッチング動作の途中で前記通常の抵抗値に戻して、ゲート電流（駆動電流）を増加させる回路を備える。これにより、スイッチング期間開始後の最初のスイッチング動作ではゲート電圧が緩やかに上昇するため、ドレイン電流、または、コレクタ電流のサージを抑制することができる。なお、ゲート抵抗の切換は、ドレイン電圧、または、コレクタ電圧を検出し、その値が十分に低くなったときにゲート抵抗値を低減し、主スイッチング素子をフルオンすることでソフトスイッチングを実現する。

具体的には、本発明に係るスイッチング電源装置は、直流入力電圧が印加されるトランスの一次巻線に流れる電流を制御する主スイッチング素子、並びに前記トランスの二次巻線に誘起された電圧を整流して所定の直流出力電圧を生成する電圧出力回路を備えたスイッチング電源本体と、

10

20

30

40

50

前記直流出力電圧に応じたフィードバック信号を入力して前記主スイッチング素子をオン・オフするスイッチング信号の周波数を制御して前記直流出力電圧を一定化するスイッチング制御回路とを具備するスイッチング電源装置であって、

前記主スイッチング素子のドレイン・ソース間電圧信号またはコレクタ・エミッタ間電圧信号を取りこみ、取り込んだ前記電圧信号の電圧値と予め設定した閾値とを比較するコンパレータの出力、および、前記スイッチング信号でスイッチングを行うスイッチング期間とスイッチングを行わない停止期間とを切り換えるスイッチング期間信号を用いて、前記主スイッチング素子の駆動電流値または駆動抵抗値を切り換えるサージ電流抑制回路を備え、

当該サージ電流抑制回路は、前記停止期間から前記スイッチング期間に移行後、前記電圧信号の電圧値が前記閾値以下に低下したことを検出して、前記主スイッチング素子の駆動電流値を増加、または、駆動抵抗値を減少させ、その後、前記スイッチング期間から前記停止期間に移行したことを検出し、前記主スイッチング素子の駆動電流値を減少、または、駆動抵抗値を増加させることを特徴とする。

【0017】

前記主スイッチング素子や、前記トランスの二次巻線の誘起電圧を整流する素子の一部は、ワイドバンドギャップ半導体で形成することもできる。

【発明の効果】

【0018】

以上、本発明のスイッチング電源装置は、間欠動作における停止期間からスイッチング期間に移行後、主スイッチング素子のドレイン・ソース間電圧またはコレクタ・エミッタ間電圧が閾値以下に低下したことを検出して、主スイッチング素子の駆動電流値を増加させ、または駆動抵抗値を減少させている。このため本発明のスイッチング電源装置は、スイッチング期間の開始時に生じる急峻なサージ電流を抑制することができ、このサージ電流に起因する伝導ノイズや放射ノイズの低減を図ることができる。

【図面の簡単な説明】

【0019】

【図1】本発明の第1の実施の形態によるスイッチング電源装置の構成を示す回路図である。

【図2】図1のスイッチング制御回路が有するサージ電流抑制回路の入出力信号の説明図である。

【図3】図2のサージ電流抑制回路のブロック図である。

【図4】図2のサージ電流抑制回路の一論理回路図である。

【図5】本発明の実施の形態による間欠動作時の主回路、及び各部の動作を示したタイミングチャートである。

【図6】本発明の第2の実施の形態によるスイッチング電源装置の構成を示す回路図である。

【図7】図6のスイッチング制御回路が備えるサージ電流抑制回路の一論理回路図である。

【図8】従来のスイッチング電源装置の構成を示す回路図である。

【図9】図8のスイッチング制御回路が備える間欠動作制御回路の入出力信号の説明図である。

【図10】従来のスイッチング電源装置の間欠動作時の主回路、及び各部の動作を示したタイミングチャートである。

【発明を実施するための形態】

【0020】

以下、本発明の実施の形態について図面を参照しながら説明する。なお本実施の形態では、ハーフブリッジ電流共振回路を例にとって説明するが、例えばフライバック、フォワード、フルブリッジ電流共振回路、電圧共振回路等の他の方式のスイッチング電源装置についても同様に適用できる。

10

20

30

40

50

## 【 0 0 2 1 】

図 1 は本発明の第 1 の実施の形態によるスイッチング電源装置の構成を示す回路図である。図 8 に示す従来の回路との違いは、抵抗器 8 とスイッチ 7 とを並列接続したサージ電流抑制回路 4 0 a を、スイッチング制御回路 2 のローサイドゲート信号出力端子 L O からローサイドスイッチング素子 1 4 のゲートへ至る信号路に介挿したことである。また、スイッチング制御回路 2 には、図 2 に示すようにサージ電流抑制回路（制御側）4 0 b を追加した。サージ電流抑制回路（制御側）4 0 b の出力信号 R g によってスイッチ 7 の導通・開放状態を切り換える。このスイッチ 7 を有しスイッチング素子 1 4 の駆動電流を切り換えるサージ電流抑制回路 4 0 a と、スイッチ 7 への切換信号（R g）を生成するサージ電流抑制回路（制御側）4 0 b とでサージ電流抑制回路 4 0 を構成する。その他は図 8、  
図 9 と同様であるので、同一要素には同一符号を付して説明を省略する。なお、本実施の形態では、サージ電流抑制回路（制御側）4 0 b をスイッチング制御回路 2 に内蔵する構成としているが、スイッチング制御回路 2 の外部に設けるようにしても良い。

10

## 【 0 0 2 2 】

また、本実施の形態では、間欠動作時に必ずローサイドスイッチング素子 1 4 からターンオンさせることを前提としているため、サージ電流抑制回路 4 0 a はローサイド側にのみ適用している。したがって、例えばハイサイドスイッチング素子 1 3 から必ずターンオンさせるように回路構成する場合は、ハイサイド側にのみサージ電流抑制回路 4 0 a を介挿すれば良い。一方、ターンオン開始がハイサイド/ローサイドのどちらかに規定されていないような場合、即ちスイッチング期間への移行時にハイサイド/ローサイドのいずれのスイッチング素子から動作を開始するのか不定の場合には、ハイサイド/ローサイド共にサージ電流抑制回路 4 0 a を介挿する必要がある。

20

## 【 0 0 2 3 】

スイッチング制御回路 2 の内蔵するサージ電流抑制回路（制御側）4 0 b は、図 3 に示すように、ローサイドのドレイン・ソース間電圧 V S と予め設定された閾値電圧 V S t h とを比較し、比較結果を出力するコンパレータ 6 0 と、間欠動作制御回路 3 1 からの出力信号 V T s w と前記コンパレータ 6 0 からの出力信号を入力して、サージ電流抑制回路 4 0 a への切換信号 R g を出力する駆動電流値 / 抵抗値切換回路 5 0 から構成されている。

## 【 0 0 2 4 】

サージ電流抑制回路（制御側）4 0 b の論理回路図の一例を図 4 に示す。この図において、コンパレータ 6 0 は、ローサイドのドレイン・ソース間電圧 V S が閾値電圧 V S t h を下回ったときに論理「1」を出力する。コンパレータ 6 0 の出力と、スイッチング期間信号 V T s w は、論理積を演算する第 1 の A N D 回路 5 5 の入力端子に夫々接続されている。また、スイッチング期間信号 V T s w の立ち下がり期間のみ論理「1」となるパルスを出力する単安定マルチ回路 5 1 を備える。この単安定マルチ回路 5 1 の出力端子 Q は、第 2 の A N D 回路 5 4 の入力端子に接続され、また当該出力端子 Q は抵抗器 5 2 を介して第 2 の A N D 回路 5 4 の他の入力端子に接続されている。また第 2 の A N D 回路 5 4 の抵抗器 5 2 側の入力端子は、コンデンサ 5 3 を介して基準電位に接続されている。この抵抗器 5 2 とコンデンサ 5 3 は、時定数  $\tau$  の R C フィルタを構成する。なお、前記単安定マルチ回路 5 1 の 1 ショットパルス幅 T は、時定数  $\tau$  で設定される遅延時間よりも若干大きく設定される。

30

40

## 【 0 0 2 5 】

第 1 の A N D 回路 5 5 の出力端子は R S フリップフロップ 5 6 のセット入力端子 S に接続され、第 2 の A N D 回路 5 4 の出力端子は、R S フリップフロップ 5 6 のリセット入力端子 R に夫々接続されている。R S フリップフロップ 5 6 の否定出力 Q \*（ここで「\*」は否定を表す。）は、スイッチ 7 を制御する切換信号 R g として出力される。

## 【 0 0 2 6 】

サージ電流抑制回路 4 0 a は、切換信号 R g が論理「1」の時に、スイッチ 7 が開放状態となり、スイッチング制御回路 2 の L O 出力は、抵抗器 8、抵抗器 1 1 を介してローサイドスイッチング素子 1 4 のゲート端子に供給される。切換信号 R g が論理「0」の時に

50

は、スイッチ 7 は導通状態となり、スイッチング制御回路 2 の L O 出力は抵抗器 8 を介さずにローサイドスイッチング素子 1 4 のゲート端子に供給される。

【 0 0 2 7 】

図 5 は間欠動作時の主回路、及び各部の動作を示したタイミングチャートである。V T s w はスイッチング期間信号、H O、L O は間欠動作時のハイサイド/ローサイドスイッチング素子 1 3、1 4 の駆動信号、V g H、V g L はハイサイド/ローサイドスイッチング素子 1 3、1 4 のゲート電圧信号、I D L はローサイドスイッチング素子 1 4 のドレイン電流、V S はローサイドスイッチング素子 1 4 のドレイン - ソース間電圧信号、R g はサージ電流抑制回路 (制御側) 4 0 b から出力されるスイッチ切換信号である。

【 0 0 2 8 】

10

以下、図 5 のタイミングチャートを参照しながら、本実施の形態によるスイッチング電源装置の動作を説明する。図 5 において、t 1 は間欠動作時のスイッチング期間の再開タイミングである。同タイミングでローサイドスイッチング素子 1 4 のゲート抵抗は抵抗器 8 と抵抗器 1 1 の直列抵抗となる。このため、例えば抵抗器 8 の抵抗値を抵抗器 1 1 の抵抗値に対し 1 0 倍程度とすれば、ローサイドスイッチング素子 1 4 のスイッチング応答をほぼ 1 0 倍鈍化させることができる。したがって、V g L の立ち上がり速度は抵抗器 8 を介さない場合に比べて鈍くなる。

【 0 0 2 9 】

その後、t 2 のタイミングで V g L がミラー領域に達して徐々に I D L が流れ始める。その結果、V S が徐々に下がり続け、予め設定した閾値電圧 V S t h と交差する。このタイミング t 3 で、コンパレータ 6 0 の出力は論理「 1 」になる。このとき、スイッチング期間信号 V T s w も論理「 1 」(スイッチング期間)である。よって、第 1 の A N D 回路 5 5 の出力は論理「 1 」になる。したがって、R S フリップフロップ 5 6 のセット入力が論理「 1 」になり、R S フリップフロップ 5 6 の否定出力である切換信号 R g は論理「 0 」になる。これにより、スイッチ 7 は導通状態になり、ローサイドスイッチング素子 1 4 のゲート抵抗値は抵抗器 1 1 の抵抗値 (抵抗器 8 の抵抗値のほぼ 1 / 1 0) となり、その結果 V g L が急峻に立ち上がる。このとき、V S = V S t h であるため、実用的には V S t h を数 V ~ 数十 V に設定すればハードスイッチングを避けることができる。

20

【 0 0 3 0 】

その後、サージ電流抑制回路 (制御側) 4 0 b は、タイミング t 4 においてスイッチング期間信号 V T s w が論理「 0 」、即ちスイッチング期間が終了したことを検出すると、上記単安定マルチ回路 5 1 はパルス幅 T の 1 ショットパルスを出力する。すると、第 2 の A N D 回路 5 4 は時定数 で設定された遅延時間後に R S フリップフロップ 5 6 にリセットパルスを出力する。これにより、切換信号 R g は時定数 で設定された遅延時間後 (タイミング t 5) に論理「 1 」となり、スイッチ 7 は開放状態になる。すると、ゲート抵抗値は小さい値 (抵抗器 1 1 のみの抵抗値) から大きい値 (抵抗器 8 と抵抗器 1 1 の合計抵抗値) に切り換わる。なお前記遅延時間は、スイッチング素子が確実にターンオフしてから切換信号 R g が立ち上がるように設定される。

30

【 0 0 3 1 】

以上、本実施の形態によるスイッチング電源装置によれば、従来回路では間欠動作におけるスイッチング期間の開始タイミング t 1 において発生していたサージ電流 (図 1 0 参照) を抑制した間欠動作が可能となり、低ノイズと効率改善の両立を図ることができる。

40

【 0 0 3 2 】

次に本発明の第 2 の実施の形態について説明する。

本実施の形態によるスイッチ電源装置は、サージ電流抑制回路 4 0 a を、従来のゲート抵抗と一体として構成したものである。即ち本実施の形態によるサージ電流抑制回路 4 0 a は、図 6 に示すように、抵抗器 1 1 と直列に、かつ抵抗器 9 とダイオード 1 0 の直列回路と並列になるように挿入されている。この回路構成により、L O 出力が論理「 1 」になったときには駆動電流が抑制され、L O 出力が論理「 0 」になったときには、並列に接続された抵抗器 9 によってゲート電流の引き込み能力を十分に確保することが可能になる。こ

50

のため、第2の実施形態は、第1の実施の形態における時定数による切換信号R<sub>g</sub>の戻り時間の調整を行う必要がない。すなわち、本実施の形態のサージ電流抑制回路40aを適用することにより、図7に示すように駆動電流値/抵抗値切換回路50のRC回路を省くことができる。これにより、より簡易な構成でスイッチング制御回路を実現することができる。

#### 【0033】

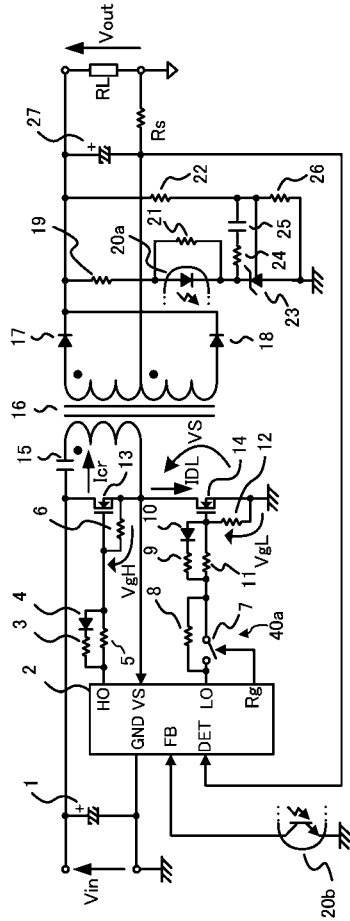
本発明は、上述の実施の形態に限定されることなく、その要旨を逸脱しない範囲で種々変形して実施することができる。例えば、高速スイッチングによりスイッチング損失を低減し、効率を改善するため、従来多用されているシリコンの半導体の代わりに、主スイッチング素子、または二次巻線の誘起電圧を整流する素子の一部、若しくはその全てを炭化珪素、窒化ガリウム、酸化ガリウム、ダイヤモンド等のワイドバンドギャップ半導体で構成した素子とすることも勿論可能である。

#### 【符号の説明】

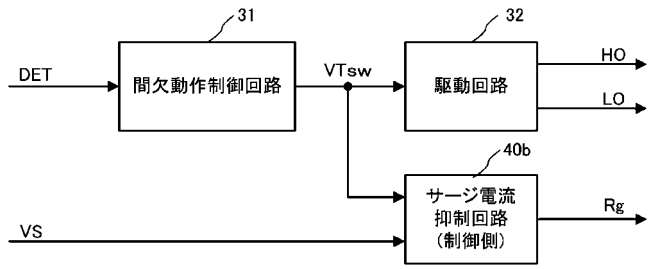
#### 【0034】

1	平滑コンデンサ（入力コンデンサ）	
2	スイッチング制御回路	
3	ハイサイドスイッチング素子ターンオフ抵抗	
4	ハイサイドスイッチング素子ターンオフダイオード	
5	ハイサイドスイッチング素子ターンオン抵抗	
6	ハイサイドスイッチング素子ゲート-ソース間抵抗	20
7	スイッチ（サージ電流抑制回路40の一部）	
8	抵抗（サージ電流抑制回路40の一部）	
9	ローサイドスイッチング素子ターンオフ抵抗	
10	ローサイドスイッチング素子ターンオフダイオード	
11	ローサイドスイッチング素子ターンオン抵抗	
12	ハイサイドスイッチング素子ゲート-ソース間抵抗	
13	ハイサイドスイッチング素子	
14	ローサイドスイッチング素子	
15	共振コンデンサ	
16	トランス	30
17, 18	整流ダイオード	
19, 21, 22, 24, 26, 52	抵抗器	
20a, 20b	フォトカプラ	
23	シャントレギュレータ	
25, 53	コンデンサ	
27	2次側平滑コンデンサ（出力コンデンサ）	
31	間欠動作制御回路	
32	駆動回路	
40	サージ電流抑制回路	
50	駆動電流値/抵抗値切換回路	40
51	単安定マルチ回路（単安定マルチバイブレータ）	
56	RSフリップフロップ	
54, 55	AND回路	
60	コンパレータ	
R <sub>s</sub>	負荷検出用抵抗	
R <sub>L</sub>	負荷	

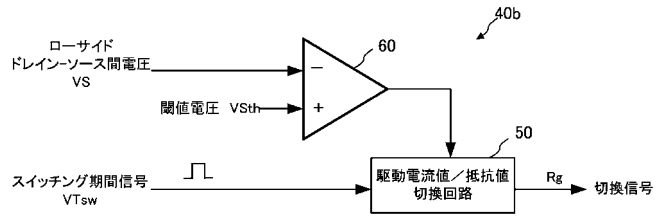
【図1】



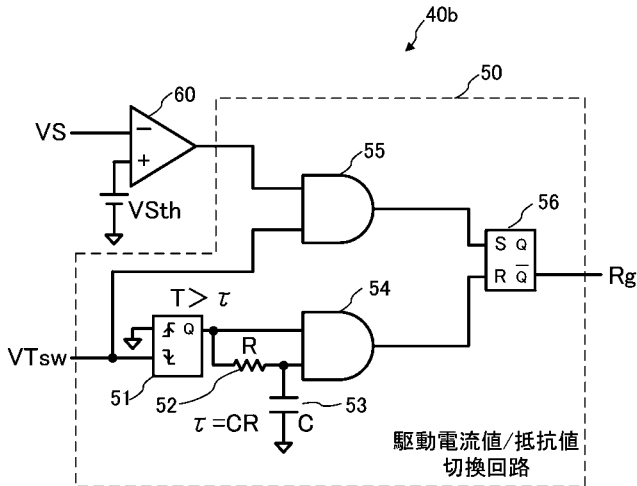
【図2】



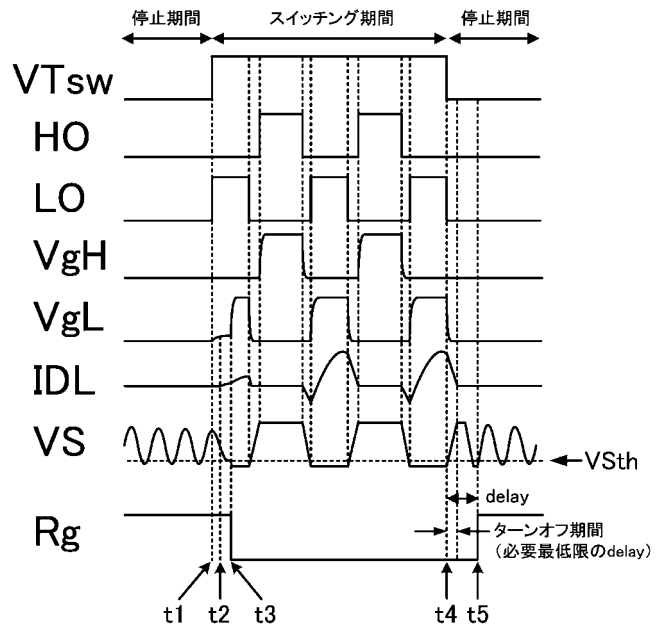
【図3】



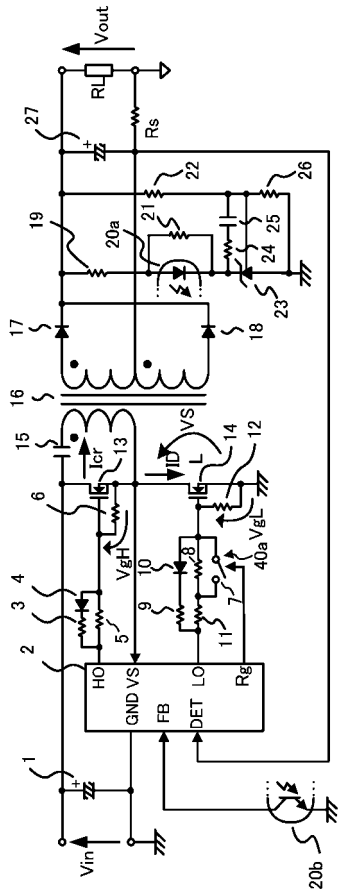
【図4】



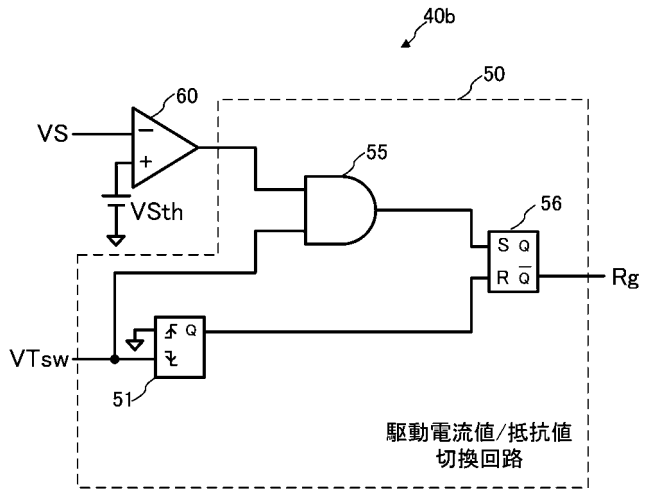
【図5】



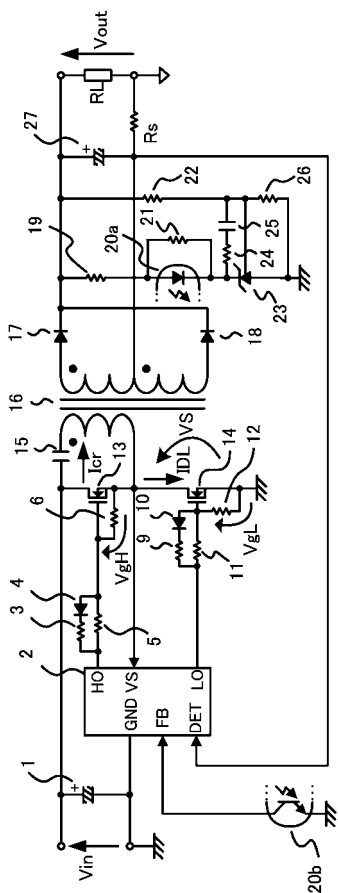
【 図 6 】



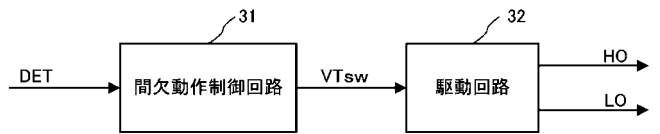
【 図 7 】



【 図 8 】



【 図 9 】



【図 10】

