

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5610897号

(P5610897)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

(51) Int. Cl.	F I
B 4 1 J 2/52 (2006. 01)	B 4 1 J 2/52
G 0 6 T 1/60 (2006. 01)	G 0 6 T 1/60 4 5 0 B
H 0 4 N 1/403 (2006. 01)	H 0 4 N 1/40 1 0 3 A
G 0 6 F 3/12 (2006. 01)	G 0 6 F 3/12 B

請求項の数 12 (全 15 頁)

(21) 出願番号	特願2010-168484 (P2010-168484)	(73) 特許権者	000001007
(22) 出願日	平成22年7月27日 (2010. 7. 27)		キヤノン株式会社
(65) 公開番号	特開2012-25121 (P2012-25121A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成24年2月9日 (2012. 2. 9)	(74) 代理人	110001243
審査請求日	平成25年7月29日 (2013. 7. 29)		特許業務法人 谷・阿部特許事務所
		(74) 代理人	100077481
			弁理士 谷 義一
		(74) 代理人	100088915
			弁理士 阿部 和夫
		(72) 発明者	中村 宏典
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		審査官	下村 輝秋

最終頁に続く

(54) 【発明の名称】 データ処理装置およびデータ処理方法

(57) 【特許請求の範囲】

【請求項 1】

第1格納部から読み出した複数のインデックスが配列される L ($L \geq 2$) 行のテーブルのうち M ($1 \leq M < L$) 行のインデックスを第2格納部に転送する転送手段と、

画像データの各画素に対し、前記第2格納部に格納される M 行の複数のインデックスをそれぞれ対応させることにより、前記画像データの変換処理をする変換手段と、

前記第2格納部に転送すべき M 行のインデックスの前記テーブルの読み出しアドレスを指定するための指定手段と、

を備え、

前記指定手段は、前記テーブルに前記第2格納部に格納される M 行のインデックスに連続する M 行のインデックスが存在する場合は、該連続する M 行のインデックスの先頭のアドレスを前記読み出しアドレスとして指定し、前記テーブルに前記第2格納部に格納される M 行のインデックスに連続する M 行のインデックスが存在しない場合は、前記テーブルの先頭のアドレスを前記読み出しアドレスとして指定することを特徴とするデータ処理装置。

【請求項 2】

前記転送手段は、前記指定手段により指定されたアドレスに基づいて、前記変換手段により M 行のインデックスに対応する変換処理が終了した後に、前記テーブルに前記第2格納部に格納される M 行のインデックスに連続する M 行のインデックスが存在する場合は、該連続する M 行のインデックスにより前記第2格納部の内容を更新し、前記テーブルに第

10

20

2 格納部に格納される M 行のインデックスに連続する M 行のインデックスが存在しない場合は、前記テーブルの先頭に戻って連続する M 行のインデックスにより前記第 2 格納部の内容を更新することを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 3】

前記テーブルの読み出しラインを管理するテーブル用ラインカウンタをさらに備え、
前記テーブル用ラインカウンタの値に基づいて、読み出しラインが前記テーブルの L 行に対応すると判定された場合、前記指定手段は前記テーブルの先頭のアドレスを前記読み出しアドレスとして指定し、前記テーブル用ラインカウンタの値を初期値に戻すことを特徴とする請求項 1 又は 2 に記載のデータ処理装置。

【請求項 4】

前記テーブル用ラインカウンタの値に基づいて、読み出しラインが前記テーブルの L 行に対応しないと判定された場合、前記指定手段は前読み出しアドレスを前記テーブルのライン間のアドレスオフセット分進め、前記テーブル用ラインカウンタの値をインクリメントすることを特徴とする請求項 3 に記載のデータ処理装置。

【請求項 5】

前記画像データは、B 行ずつ (B M) の複数のバンドから構成されるものであり、前記変換手段による変換処理は、前記バンド単位で実行し、
前記バンド内のラインを管理するバンド用ラインカウンタをさらに備え、
前記バンド用ラインカウンタの値が B と判定された場合、前記バンド用ラインカウンタの値を初期値に戻すことを特徴とする請求項 3 又は 4 に記載のデータ処理装置。

【請求項 6】

前記画像データは、多値データであり、
前記インデックスは、多値データをドットパターンに変換するための変換パターンを特定する情報であることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載のデータ処理装置。

【請求項 7】

前記テーブルは、前記多値データの各階調レベルに共通して使用されるものであることを特徴とする請求項 6 に記載のデータ処理装置。

【請求項 8】

前記変換手段は、前記画像データの各画素の位置に応じて、前記第 2 格納部に格納される M 行の複数のインデックスを用いることにより、複数のパターンの中から 1 つのパターンを選択して、前記画像データの変換を行うことを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載のデータ処理装置。

【請求項 9】

前記第 2 格納部、前記転送手段及び前記変換手段は同一の処理部に備えられ、
前記第 1 格納部は、前記処理部の外部メモリであることを特徴とする請求項 1 ないし 8 のいずれか 1 項に記載のデータ処理装置。

【請求項 10】

前記画像データは、階調値と画素の位置を示すアドレス値を含むことを特徴とする請求項 1 ないし 9 のいずれか 1 項に記載のデータ処理装置。

【請求項 11】

前記転送手段は、前記 M 行のインデックスを前記第 2 格納部に DMA 転送することを特徴とする請求項 1 ないし 10 のいずれか 1 項に記載のデータ処理装置。

【請求項 12】

第 1 格納部から読み出した複数のインデックスが配列される L (L 2) 行のテーブルのうち M (1 M < L) 行のインデックスを第 2 格納部に転送する転送工程と、
画像データの各画素に対し、前記第 2 格納部に格納される M 行の複数のインデックスをそれぞれ対応させることにより、前記画像データの変換処理をする変換工程と、
前記第 2 格納部に転送すべき M 行のインデックスの前記テーブルの読み出しアドレスを指定するための指定工程と、

10

20

30

40

50

を備え、

前記指定工程では、前記テーブルに前記第 2 格納部に格納される M 行のインデックスに連続する M 行のインデックスが存在する場合は、該連続する M 行のインデックスの先頭のアドレスを前記読み出しアドレスとして指定し、前記テーブルに前記第 2 格納部に格納される M 行のインデックスに連続する M 行のインデックスが存在しない場合は、前記テーブルの先頭のアドレスを前記読み出しアドレスとして指定することを特徴とするデータ処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、2次元に配列されたパラメータ情報を、その配列規則を損なうことなく、画像データの個々の画素位置に対応させて処理を行うデータ処理に関する。特に、画像データ内の画像処理単位（バンド）に含まれるライン数と、上記 2 次元パラメータ情報のライン数とが調和しない場合であっても、2次元パラメータの配列規則を損なわずに、画像データ内の領域全ての画素に対して処理を行う方法に関する。

【背景技術】

【0002】

互いの位置関係が定められた複数のデータの夫々に対し、やはり互いの位置関係が定められたパラメータの夫々を対応させるような処理は、様々な場面で用いられる。例えば、記録装置で画像を記録するためのデータを生成する画像処理において、個々の画素が有する多値データのそれぞれに対し 2 値のドットパターンを対応させる処理がこれに相当する。また、このように生成した個々の画素のドットパターンに、ドット記録の許容あるいは非許容を予め定めたマスクパターンを対応させることによって、各走査で実際に記録を行うドットを決定するマルチパス記録のための処理もこれに該当する。

20

【0003】

このようなドットパターンやマスクパターンを、画像領域に対しなるべく非周期に定めようとする場合、画像領域のそれぞれの画素位置に対応する多数のパラメータを、互いの位置関係を固定した状態ですなわち 2 次元に格納するメモリが要される。但し、上記画像処理を行う CPU がこのような多数のパラメータが格納されたメモリに順次アクセスしながら処理を行うと、処理のための時間が多く要され、記録装置であれば記録速度を低下させてしまう。

30

【0004】

このような処理速度の低下を改善するため、処理を実行する回路の内部に高速メモリ（キャッシュメモリ）を設け、上記大容量のメモリ（低速メモリ）に記憶されているデータを高速メモリに記憶したのち、処理を実行する方法が知られている。このようにすれば、低速メモリに対するアクセス回数を抑えることが出来るので、画像処理に関わる時間を記録速度に影響を与えない程度まで短縮することが出来る。しかし、上記非周期のために用意する 2 次元テーブルが余り大きいと、回路内部に用意するキャッシュメモリすなわち回路規模も大きくなり、コストを増大させてしまう。

【0005】

40

このように、従来では非周期に配列するパラメータの夫々を、個々のデータに対応付けて処理する状況において、回路規模と高速処理とを両立させることは困難な状況であった。

【0006】

これに対し例えば特許文献 1 には、低速メモリに格納されたパラメータの一部を、キャッシュメモリに読み出し、格納されたパラメータに対応する領域を単位として、順番に処理を行っていく構成が開示されている。特許文献 1 の方法を採用すれば、キャッシュメモリ自体に一度に大容量の情報を記憶できなくても、例えば 1 ライン分のパラメータを格納できるだけの少ないメモリ容量があれば、従来よりも高速なアクセスおよび処理を行うことが出来る。但しこの場合、確かにキャッシュメモリの容量を抑えることは出来るが、処

50

理の単位ごとにCPUの設定が必要な回路では、1ラインごとにCPUによる設定や画像データへのアクセスが必要となり、このことがオーバーヘッドを招致する場合もある。このような状況の下、画像データを複数ラインごとに分割して複数のバンドを生成し、CPUによるメモリへのアクセスやパラメータの設定などを、バンドごとに実行すれば、上記問題を解決することが期待できる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2002-269577号公報

【特許文献2】特開2004-015213号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記特許文献1のように、バンドごとに画像処理を行う構成の場合、予めメモリに格納されている2次元データの領域（数）が、必ずしもバンドの大きさに調和するとは限らない。

【0009】

図11は、外部メモリに2次元に格納されているパラメータの配列状態と、これらパラメータを用いて処理されるべき画像データとの対応関係を説明するための模式図である。ここでは簡単のため、画像データ301は、y方向に18画素（18ライン）、x方向には10画素以上の領域を有するものとする。そして、画像データ301は、6ラインずつ3つのバンドに分割され、1バンドずつCPUから呼び出されて処理が施される構成とする。一方、外部メモリに格納された2次元パラメータ302は、x方向に9画素分、y方向に9画素（ライン）の81個のデータで構成されているものとする。

20

【0010】

この場合、まず1バンド目の画像を処理するため、CPUは外部メモリにアクセスし、読み込み開始アドレスとして、2次元パラメータ302のアドレス3041を指定する。そして、この最上位ラインについては、先頭の3041からx方向に9つ進んだアドレス3049までの領域に格納されている、グレーで示した領域303に含まれる9つのデータ群をキャッシュメモリに格納する。画像データ301の1バンド目1ライン目に配列する個々の画素データは、この9つのデータのそれぞれによって処理される。

30

【0011】

1バンド目の2ライン目については、読み込み開始アドレスを、アドレス3041からy方向に1ライン分シフトしたアドレス3050に指定する。そして、先頭の3050からx方向に9つ進んだアドレス3058までの領域に格納されている9つのデータ群を、キャッシュメモリに格納する。画像データ301の1バンド目2ライン目に配列する個々の画素データは、この9つのデータのそれぞれによって処理される。以上のような動作を繰り返し、1バンド目に相当する6ライン目までのデータ読み込みおよび処理が完了する。このように、1バンド目については、2次元パラメータ302の配列関係を崩すことなく、画像データ301の個々の画素に対応させて処理を行うことが出来る。

40

【0012】

2バンド目の画像を処理する際、CPUは2次元パラメータ302の読み込み開始アドレスとして、既に読み込んだ6ライン目に続く7ライン目の先頭アドレス3095を指定する。そして、1バンド目と同様にして、順次ラインの読み取りおよび処理を進めていく。しかし、2バンド目については、最初の3ライン目まで処理したところで2次元パラメータ302の全データの読み取りが終ってしまう。すなわち、同じバンド内において、単純に先頭アドレスの位置をy方向に1つつシフトさせていく構成では、4ライン目のために先頭アドレスを指定することが出来なくなってしまう。

【0013】

このような状況を回避するため、処理の単位となるバンドに含まれるライン数を、2次

50

元パラメータのライン数に合わせて適宜設定する方法も考えられる。本例の場合は、2バンド目のライン数を3ラインにすれば、2バンド目の処理は順調に完結し、3バンド目の処理もスムーズに先頭から開始することが出来る。しかしながら、バンドごとにライン数を設定するという新たなジョブが追加されると、ライン数の管理も複雑になり、CPUに更なる負荷をかけ、オーバーヘッドを効果的に回避することが難しくなる。

【0014】

本発明は、上記問題点を解決するためになされたものである。よって、その目的とするところは、複数データの夫々に対し、2次元パラメータの夫々を配列規則を損なうことなく対応させながら、大掛かりなキャッシュメモリを用いることなく、高速処理することが可能なデータ処理方法を提供することである。

10

【課題を解決するための手段】

【0015】

そのために本発明は、第1格納部から読み出した複数のインデックスが配列されるL(L=2)行のテーブルのうちM(1<M<L)行のインデックスを第2格納部に転送する転送手段と、画像データの各画素に対し、前記第2格納部に格納されるM行の複数のインデックスをそれぞれ対応させることにより、前記画像データの変換処理をする変換手段と、前記第2格納部に転送すべきM行のインデックスの前記テーブルの読み出しアドレスを指定するための指定手段と、を備え、前記指定手段は、前記テーブルに前記第2格納部に格納されるM行のインデックスに連続するM行のインデックスが存在する場合は、該連続するM行のインデックスの先頭のアドレスを前記読み出しアドレスとして指定し、前記テーブルに前記第2格納部に格納されるM行のインデックスに連続するM行のインデックスが存在しない場合は、前記テーブルの先頭のアドレスを前記読み出しアドレスとして指定することを特徴とする。

20

【発明の効果】

【0016】

本発明によれば、2次元に配列する複数データの夫々に対し、2次元パラメータの夫々を配列規則を損なうことなく対応させながら、大掛かりなキャッシュメモリを用いることなく、高速処理することが可能となる。

【図面の簡単な説明】

【0017】

30

【図1】本発明に使用可能なインクジェット記録装置の外観斜視図である。

【図2】記録装置の記録部の構成を説明するための斜視図である。

【図3】記録装置における制御の構成を説明するためのブロック図である。

【図4】画像処理の工程を説明するためのブロック図である。

【図5】INDEX処理部における具体的な処理を実行する回路構成図である。

【図6】複数のドットパターンを、各レベルについて示した図である。

【図7】複数のドットパターンの格納状態を説明するための模式図である。

【図8】2次元テーブルの一例を示す図である。

【図9】2次元テーブルと画像データとの対応関係を説明するための模式図である。

【図10】INDEX処理の工程を説明するためのフローチャートである。

40

【図11】2次元パラメータと画像データとの対応関係を説明する図である。

【発明を実施するための形態】

【0018】

以下、図面を参照して本発明の実施例を詳細に説明する。以下に説明する実施例は、特許文献2に開示されている画像処理において、INDEX処理部が実行する処理を対象としたものである。但し、本発明は、このような画像処理に限定されるものではない。本発明は、互いの位置関係が定められた複数のデータの夫々に対し、外部メモリに格納された2次元テーブルの個々のパラメータ値を、その配列規則を損なうことなしに1対1で対応させながら処理を行う構成であれば、その効果を発揮することができる。

【実施例1】

50

【 0 0 1 9 】

図 1 は、本発明に適用可能なインクジェット記録装置（以下、記録装置）2 の外観斜視図である。本実施例の記録装置 2 は、外部に接続されたホスト装置から受信した画像データを、A 0 サイズや B 0 サイズのような比較的大判の記録媒体に記録することが可能なインクジェット記録装置である。2 個の脚部 9 3 に支持された装置本体 9 4 の前面には、手差し挿入口 8 8 およびロール紙カセット 8 9 が備えられている。記録時には、手差し挿入口 8 8 あるいはロール紙カセット 8 9 から供給された記録媒体に対し、本体内部に備えられた記録ヘッドが、画像データに従ってインクを吐出する。記録後の記録媒体はスタッカ 9 0 に排出される。

【 0 0 2 0 】

記録ヘッドは、シアン、マゼンタ、イエローおよびブラックの 4 色のインクを用いて画像を記録し、これら 4 色のインクはインク供給ユニット 8 から供給される。アッパーカバー 9 1 は透明で開閉可能なカバーである。アッパーカバー 9 1 を閉じた状態では、記録動作中の記録ヘッドや記録媒体を観察することができる。一方、アッパーカバー 9 1 を開放した状態では、記録ヘッドの交換や記録装置 2 のメンテナンス等を行うことができる。操作パネル 1 2 は、記録方法や記録媒体などの設定を行うための入力キーや装置の情報を表示する画面が配備されている。

【 0 0 2 1 】

図 2 は、記録装置 2 の記録部の構成を説明するための斜視図である。記録ヘッド 1 0 6 は主走査方向（x 方向）に一定の速度で移動するキャリッジ 9 0 6 に搭載され、上記一定の速度に対応した周波数でインクを滴として吐出する。このような 1 回の記録主走査が終了するごとに、記録媒体 P は、給紙ローラ 9 0 4 および補助ローラ 9 0 5 のローラ対、搬送ローラ 9 0 2 および補助ローラ 9 0 3 ローラ対に挟持されながら副走査方向（y 方向）に所定の量だけ搬送される。上記記録主走査と搬送動作とを交互に繰り返すことにより、記録媒体 P に段階的に画像が記録される。

【 0 0 2 2 】

記録ヘッド 1 0 5 は、ブラック（K）、シアン（C）、マゼンタ（M）およびイエロー（Y）の記録ヘッドが、図のように x 方向に並列配置されて構成されている。各色の記録ヘッドには、複数の記録素子が y 方向に 1 2 0 0 d p i (d o t / i n c h) の密度で配備されており、インク供給ユニット 8 から供給されたインクを画像データに従って吐出する。なお、一般に、シリアル型のインクジェット記録装置の場合、1 回の記録主走査で記録を行うことが出来る画像の単位を「バンド」と称することがあるが、本明細書における「バンド」はこのような定義ではない。本明細書においては、C P U が画像処理を一まとめに行うデータの単位を示す。本明細書におけるバンドの詳細は後述する。

【 0 0 2 3 】

図 3 は、インクジェット記録装置 2 における制御の構成を説明するためのブロック図である。入力インタフェイス 6 2 1 は、記録装置の外部に接続されたホスト装置や、操作パネル 1 2 からの入力情報を受信する。コントローラ 6 2 2 は、C P U のほか、本発明の特徴的な回路などによって構成されており、R O M 6 2 4 に格納された各種プログラムに従って、記録装置全体の制御を行う。例えば、コントローラ 6 2 2 は、入力インタフェイス 6 2 1 を介してホスト装置から受信した画像データを、R O M 6 2 4 に記憶されているプログラムに従って、記録ヘッド 1 0 6 が記録可能な記録データを生成する。生成した記録データは出力インタフェイス 6 2 3 を介して記録ヘッド 1 0 6 に出力される。R O M 6 2 4 には、上記プログラムのほか、画像処理で使用する色分解テーブルや、本発明の特徴的な 2 次元テーブル等の各種パラメータも記憶されている。R A M 6 2 0 は、上述した画像処理のほかコントローラ 6 2 2 が各種処理を実行する際にワークエリアとして利用される。

【 0 0 2 4 】

図 4 は、コントローラ 6 2 2 が実行する画像処理の工程を説明するためのブロック図である。外部に接続されたホスト装置などから記録すべき画像データが受信されると、当該

10

20

30

40

50

画像データは装置内のメモリバッファ101に格納される。このときの画像データは600dpiの解像度を有し、1画素につき8bit256階調で表現される多値の画像データ(R, G, B)とする。メモリバッファ101に格納された多値の画像データは、その後1画素ずつCMYK色変換部102に転送され、記録装置が使用するインク色CMYKに対応した多値の画像データ(600dpi、8bit)に変換される。CMYK色変換部102で変換された各色の画像データは、誤差拡散処理部103によってそれぞれ低階調化処理が施され、5階調にまで量子化される。

【0025】

誤差拡散処理部103で量子化された各色の5階調の階調データは、更にINDEX処理部104で2値化される。そして、記録ヘッド106の記録解像度1200dpiに対応した個々の画素に対し、ドットを記録する(1)あるいは記録しない(0)を示す2値データに変換される。このような2値の記録データ(1200dpi、1bit)は、インク色ごとにプリントバッファ105に格納される。プリントバッファ105に、1回分の記録走査が行えるだけの2値データが蓄積されると、記録ヘッド106はプリントバッファ105に格納された2値データに従って、1回分の記録走査を行う。

【0026】

図5は、INDEX処理部104における具体的な処理を実行する回路構成図である。このINDEX処理部104はCPUにより制御される。誤差拡散処理部103から出力されるデータは、5階調のレベル値(階調値)401と画素の位置を示すアドレス値402を有している。レベル値401は、600dpiの各画素に対応する5階調の階調データであり、0~4の値を取り得る。INDEXパターン選択部407では、このようなレベル値401と画素アドレス値402とから、1200dpiの2画素×2画素の各画素におけるドットの記録(0)或いは非記録(0)を定めた2値データ403を出力する。

【0027】

図6は、2画素×2画素のうち、どの画素を記録画素としどの画素を非記録画素とすることを定める複数のパターン(複数の2値データ)を、各レベルについて示した図である。図において、黒で示したエリアがドットを記録する記録画素(1)、白で示したエリアが非記録画素(0)である。一般に、入力データのレベルが0のとき、2画素×2画素の全ての画素が非記録画素(0)となり、記録画素(1)は存在しない。よって、レベル0では2画素×2画素の全ての画素が非記録画素となる1つのパターンが用意されるのみである。入力データのレベルが1のとき、2画素×2画素のうち3つの画素が非記録画素(0)となり、1つの画素が記録画素(1)となる。よって、レベル1では図に示すような4通りのパターンが用意される。入力データのレベルが2のとき、2画素×2画素のうち2つの画素が非記録画素(0)となり、2つの画素が記録画素(1)となる。よって、レベル2では図のような6通りのパターンが用意される。また、入力データのレベルが3のとき、2画素×2画素のうち1つの画素が非記録画素(0)となり、3つの画素が記録画素(1)となる。よって、レベル3では図のような4通りのパターンが用意される。更に、入力データのレベルが4のとき、2画素×2画素のうち全ての画素が記録画素(1)となる。よって、レベル4では図のような1通りのパターンが用意される。

【0028】

本実施形態では、このような個々のレベルに対応する複数のドットパターンがINDEXパターン格納部408に格納されており、INDEXパターン選択部407は、このような複数のパターンの中から、注目画素の位置に応じたパターンを1つ選択する。

【0029】

図7は、INDEXパターン格納部408における、複数のドットパターン(2値データ)の格納状態を説明するための模式図である。ここでは、レベル1~レベル4のそれぞれについて、#0~#5の6通りずつのパターンが用意されている。個々のパターン601は、図6で示した2画素×2画素に対応する4ビットデータに相当する。図6で示したように、レベル2以外のレベルでは、6通りのパターンを有さないが、本実施例では、各レベルの#0~#5の全てに図6で示したパターンのいずれかが格納されている。例えば

10

20

30

40

50

、レベル4では、#0～#5の全てに、2画素×2画素の全ての画素が記録画素(1)となるパターンが記憶されており、レベル3では、#0～#5の全てに、図6で示した4通りのパターンのうちのいずれかが一つが格納されている。レベル2については、図6で示した6通りのパターンの1つずつが、#0～#5のそれぞれに対応して格納されている。

【0030】

INDEXパターン選択部407では、このような複数のパターンの中から、1つのパターンが注目画素の位置に応じて1つ選択される。このために本実施例では、テーブル選択部405が、画素アドレス値402に応じてINDEXパターン格納部に格納された#0～#5のいずれかのテーブルを指定する構成になっている。そして、画像中の画素の位置においてこれら複数のパターンが代わる代わる選択されるようにすることにより、入力データ(階調値)が同じ値を持つ場合であっても同じパターンが主走査方向や副走査方向に連続しないようにしている。本発明者らの検討によれば、このような複数のパターンは主走査方向および副走査方向に非周期且つ満遍なく使用されることが好ましい。そのため、本実施例では画素位置に対応するテーブルの番号(#0～#5)を予め定めた2次元テーブルを第1の格納部である外部メモリ406に格納している。なお、この2次元テーブルは、階調値に共通して使用される。

【0031】

なお、以上では、600dpiの5値データを1200dpiの2値データに変換する構成を例としているため、INDEXパターンは2画素×2画素の4ビットとなり、レベル2に対応する6種類が最高のパターン数となった。しかし、無論本発明はこのような構成に限定されるものではない。2値化を行うためにN画素×M画素(N, M>2)のINDEXパターンを利用する場合は、1つのレベルについて更に多くのパターン(例えばL種類のパターン)を用意することが出来る。この場合、図7に示したINDEXパターンを管理するためのテーブルも更に多くの種類(#0～#L-1)だけ用意すれば良い。また、INDEXパターンが1通りしか用意されないレベル0やレベル4については、特にテーブル番号からINDEXパターンを指定することなく、2値データ(0あるいは1)をそのまま出力するようにしてもよい。

【0032】

図8は、画素位置に応じてINDEXパターンを定めるための、2次元テーブルの一例を示す図である。x方向がキャリッジの進行方向すなわち主走査方向に対応し、y方向が記録媒体の搬送方向すなわち副走査方向に対応している。このようなテーブル番号の配置が画像データの個々の画素に対応するテーブル番号の配置となるように、個々のテーブル番号が非周期且つ満遍なく配置されている。

【0033】

本実施例ではこのように9ライン分の2次元テーブルが用意され、これら9ラインのうちの1ラインがパラメータ転送部411によって呼び出され、第2の格納部である書き換え可能なテーブル保持格納部404に一時的に格納される。そして、テーブル選択部405は、画素アドレス値402に従って、テーブル保持格納部404に格納された1ライン分のテーブル番号から1つを選択し、このテーブル番号をINDEXパターン選択部407に指示する。INDEXパターン選択部407は、再度図7を参照するに、入力したレベル値401に対応する複数のパターンの中から、指示されたテーブル番号に相当するINDEXパターンを選択し、2値データ403としてこれを出力する。なお、2次元テーブルは、1行あたり9画素分のテーブル番号しか備えていないため、画像データの1行あたりの画素数が10画素以上であれば、この1行分(9画素分)のテーブルを繰り返し使用する。

【0034】

再度図5を参照する。更新制御部412は、1ライン分のINDEX処理が完了するたびにテーブル保持格納部404内のテーブル番号を更新するように、タイミング信号4130をパラメータ転送部411に発信する。また、読み出しアドレス生成制御部410は、情報保持部409に記憶されている様々な情報に基づいて、次の更新の際に2次元テ

10

20

30

40

50

ブルのどのアドレスから転送を開始するかを示す情報（読み出しアドレス信号 4 1 3 2）を、パラメータ転送部に指示する。情報保持部 4 0 9 には、2 次元テーブルの 1 ライン目の先頭アドレス（T）や、2 次元テーブルのライン間のアドレスオフセット値（A o）などが保持されている。パラメータ転送部 4 1 1 は、これら更新制御部 4 1 2 から指示されるタイミング信号 4 1 3 0 と、読み出しアドレス生成制御部 4 1 0 から指示される読み出しアドレス信号 4 1 3 2 に従って、テーブル保持格納部 4 0 4 へのテーブル番号の更新を行う。

【 0 0 3 5 】

図 9 は、本実施例における 2 次元テーブルと、当該テーブルに記憶されている個々のテーブル番号に従って処理されるべき画像データとの対応関係を、図 1 1 と比較しながら説明するための模式図である。ここでは、2 次元テーブルは 9 ライン、画像データは 6 ラインずつの 3 つのバンドによって構成されている例を示している。また、図 1 0 は、このような画像データに対する INDEX 処理の工程を説明するためのフローチャートである。以下、図 9 を参照しながら図 1 0 のフローチャートの各工程を説明する。

【 0 0 3 6 】

本処理が開始されると、まずステップ S 1 において、CPU が情報保持部 4 0 9 に対し、2 次元テーブルの先頭アドレス T、2 次元テーブルにおけるライン間のアドレスオフセット A o、1 つのバンドに含まれるライン数 B などを設定する。続くステップ S 2 および S 3 では、処理に使用する変数の初期設定を行う。具体的には、ステップ S 2 において、読み出しアドレス A D を 2 次元テーブルの先頭アドレスに設定（ $A D = T$ ）する。また、ステップ S 3 では、バンド内のラインを 1 つずつ管理するためのカウンタ X（ $1 \leq X \leq 6$ ）、2 次元テーブル 3 0 2 内の読み出しラインを 1 つずつ管理するためのカウンタ Y（ $1 \leq Y \leq 9$ ）を、それぞれ 1 に設定する。また、画像内の 3 つのバンドを管理するためのカウンタ B a n d（ $1 \leq B a n d \leq 3$ ）も 1 に設定する。

【 0 0 3 7 】

ステップ S 4 において、CPU は、注目するバンドのバンド処理を開始するための各種設定を行う。バンド処理が開始されると、更新制御部 4 1 2 は、読み出しアドレス生成制御部 4 1 0 とパラメータ転送部 4 1 1 へ更新指示を通知する。これに伴いパラメータ転送部 4 1 1 は、アドレス生成制御部 4 1 0 から得た読み出しアドレス A D に従って、2 次元テーブル 4 0 6 から 1 ライン分の新たなパラメータ（テーブル番号）を読み出し、テーブル保持格納部 4 0 4 の内容を更新する（ステップ S 5）。

【 0 0 3 8 】

その後、ステップ S 6 にて、バンド内の注目する 1 ラインに含まれる画素のそれぞれに、テーブル保持格納部に格納された 1 ライン分のパラメータを対応させながら、画像処理を行う。具体的には、テーブル選択部 4 0 5 が、注目する画素の画素アドレス値 4 0 2 に基づいて、テーブル保持格納部 4 0 4 に配列するテーブル番号の 1 つを選択する。そして、INDEX パターン選択部 4 0 7 が選択されたテーブル番号に対応する INDEX パターンを INDEX パターン格納部 4 0 8 から読み出して、2 値データ 4 0 3 として出力する。このような変換処理を画像データの 1 ライン分について行う。

【 0 0 3 9 】

ステップ S 7 では、2 次元テーブル用のラインカウンタ Y の値が、2 次元テーブルのライン数 L（ $= 9$ ）と同値であるか否かを判断する。同値である（ $Y = L$ ）と判断した場合は、ステップ S 8 へ進み、読み出しアドレス A D を 2 次元テーブルの先頭アドレス T に戻し（ $A D = T$ ）、ラインカウンタ Y を 1 に戻す。一方、ステップ S 7 で、同値でない（ $Y < L$ ）と判断した場合は、2 次元テーブルの中に前回読み出したデータに連続する読み出すべきデータがまだ存在することになる。よって、ステップ S 9 へ進み、読み出しアドレス A D をアドレスオフセット A o 分だけ進める（ $A D = A D + A o$ ）。また、ラインカウンタ Y を 1 ライン分インクリメントする。

【 0 0 4 0 】

ステップ S 1 0 では、バンド用のラインカウンタ X の値が、バンドのライン数 B（ $= 6$

10

20

30

40

50

）と同値であるか否かを判断する。同値ではない（ $X < B$ ）場合、処理中のバンドにはまだ処理すべきラインが存在するので、ステップS 1 1でバンド用のラインカウンタXをインクリメントした後、次のラインの処理を行うためにステップS 5に戻る。一方、ステップS 1 0でバンド用のラインカウンタXがバンドのライン数B（= 6）と同値である場合は、処理中の対象となっているバンドの全ラインに対する処理が終了したと判断し、ステップS 1 2に進む。ステップS 1 2では、CPUに対し、注目するバンドの処理が完了したことを通知する。

【0041】

ステップS 1 3では、バンド用のカウンタBandが、画像内のバンド数3と同値であるか否かを判断する。Band < 3の場合、処理すべきバンドがまだ残っているので、ステップS 1 4でバンド用のカウンタBandをインクリメントし、更にバンド内のラインカウンタXを1に戻した後、次のバンドの処理を行うためにステップS 4に戻る。一方、ステップS 1 3で、Band = 3である場合、全バンドに対する処理が完了したと判断し、本処理を終了する。なお、上述のフローにおける判断は、CPUもしくはINDEX処理部104に設けた判定部が行う。

【0042】

以上説明したフローチャートでは、バンド内のラインを管理するためのカウンタXと、2次元テーブル内のラインを管理するためのカウンタYとを、それぞれ独立に管理し初期化（ $X = 1$ 或いは $Y = 1$ ）している。より詳しくは、バンド内のライン数（ $B = 6$ ）と2次元テーブルのライン数（ $L = 9$ ）の値およびカウンタX、Yを情報保持部409で管理し、各カウンタをこれら値と対比しながら適切なタイミングで初期値に戻している。そして、常に、次の読み出しアドレスADが、カウンタ値Yに対応付けて把握されている。以上のような構成により、バンド内のラインと2次元テーブルのラインを、互いの配列を崩すことなく、1ラインずつ順番に対応付けることが出来る。

【0043】

例えば図9の2バンド目を参照するに、2バンド目の処理開始時、バンド用のカウンタ $X = 1$ であるが、2次元テーブル用のカウンタYはステップS 609によって $Y = 7$ に設定されている。よって、2バンド目の1ライン目の画像データには、2次元テーブルの7ライン目（読み出しアドレス $AD = T + 6A_0$ ）のパラメータ（テーブル番号）が対応付けられる。また、2バンド目の4ライン目の処理のとき、バンド用のカウンタ $X = 4$ であるが、2次元テーブル用のカウンタYは、ステップS 608によって1に戻される。よって、2バンド目の4ライン目の画像データには、2次元テーブルの1ライン目（読み出しアドレス $AD = T$ ）のパラメータが対応付けられる。

【0044】

このように、本実施例によれば、CPUによる再設定を行わなくても、テーブル保持格納部の内容を2次元テーブルの1ライン目に戻すことが可能となる。すなわち、バンドごとにライン数を設定しなくても、2次元テーブルの配列規則を崩さずに画像データに対応させることが出来るので、オーバーヘッドの懸念も回避される。つまり、本実施例によれば、2次元テーブルの配列規則を画像データの配列に対して崩すことなくタイル状に対応させながら、高速な画像処理を行うことが可能となる。

【0045】

なお、以上説明した実施例では、2次元テーブルは9ライン、画像データは6ラインずつの3つのバンドによって構成されている例について説明したが、無論本発明はこのような構成に限定されるものではない。本発明は、B行ずつのラインを有する複数のバンドで構成される画像データに対し、L行（ライン）の2次元テーブルを用いて処理する場合の全てに対応することが出来る。2次元テーブルについては、ライン数（行数）その領域が大きいほど画像データ内での周期性を少なくし、周期性に伴うモアレなどを回避することが出来る。2次元テーブル内のライン数が大きくなったとしても、回路内部のテーブル保持格納部404のメモリ容量を大きくする必要はないので、本発明をより効果的に利用することが出来る。また、画像データが大きいほどバンド内のライン数やバンド数は大きく

10

20

30

40

50

なる傾向があるが、処理する対象が大きいほど、わずかなメモリで高速処理を実現する本発明の効果も大きくなる。

【 0 0 4 6 】

また、上記実施例では、テーブル保持格納部の容量を2次元テーブルの1ライン分として説明したが、本発明はこれに限定されるものではない。テーブル保持格納部には2次元テーブルの2ライン以上(M行)が格納される構成であっても良い。但し、少ないメモリで高速な処理を行うという本発明の効果を発揮するためには、 M は $1 \leq M < L/2$ (L は2次元パラメータの行数)を満足する値であることが要される。何ライン分用意するにせよ、テーブル保持格納部が外部に設けられた2次元テーブルよりも少ない容量であれば、外部メモリのパラメータを部分的に読み出して高速に処理するという効果を発揮することはできる。但し、回路規模を抑えるという意味では、上記実施例のように、画像処理の1つの単位である1ライン分のメモリとするのが効果的である。あるいは、テーブル更新を画像処理中に並行して行える構成の場合は、画像処理の単位の2倍のメモリ(2ライン分のメモリ)を用意しておくのが、高速化の上では好ましい。

【 0 0 4 7 】

上記実施例では、画像処理の単位を1ラインずつ行う構成で説明したが、本発明はこのような構成に限定されるものでもない。テーブル保持格納部のメモリ容量が画像処理の単位あるいはそれ以上用意されていれば、本発明の効果を発揮することは出来る。例えば、画像処理の単位が2ラインの場合、テーブル保持格納部は2次元テーブルの2ライン以上の容量を有していれば良く、アドレスオフセットA_oは2ライン分のオフセット量とすればよい。また、画像処理の単位が複数ラインの場合、2次元テーブルのライン数によっては、2次元テーブルの最後の複数ライン分を読み取っている最中に、2次元テーブルの読み出しアドレスを1ライン目に戻す必要が生じる場合がある。このような場合には、読み出しアドレスA_dを、最初のラインを読み取るためと、1ライン目に戻すためとの2回に分けて設定し、読み出しを行えばよい。また、上記実施例では、この2次元テーブルは、階調値に共通して使用する形態であるが、例えば、階調値の一部のために、同じサイズのテーブル406やテーブル保持格納部404等を別に備える形態にしても構わない。

【 0 0 4 8 】

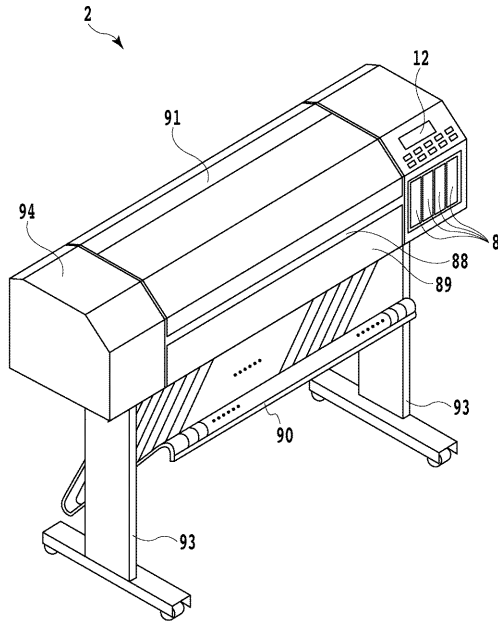
以上では、一例としてINDEX処理を説明したが、本発明は2次元に配列されたパラメータを、その配列規則を損なうことなく、画像データの個々の画素位置に1対1で対応させながら行なうデータ処理であれば、どのような目的の処理にも対応可能である。例えば、予め用意されたディザパターンを用いて、多値の画像データを2値化するディザ処理を行う際も、上記実施例の構成を応用することが出来る。また、ドット記録の許容あるいは非許容を予め定めたマスクパターンを2次元テーブルに格納し、各走査で実際に記録を行うドットを決定するマルチパス記録のための処理にも上記実施例の構成を応用することが出来る。

【 符号の説明 】

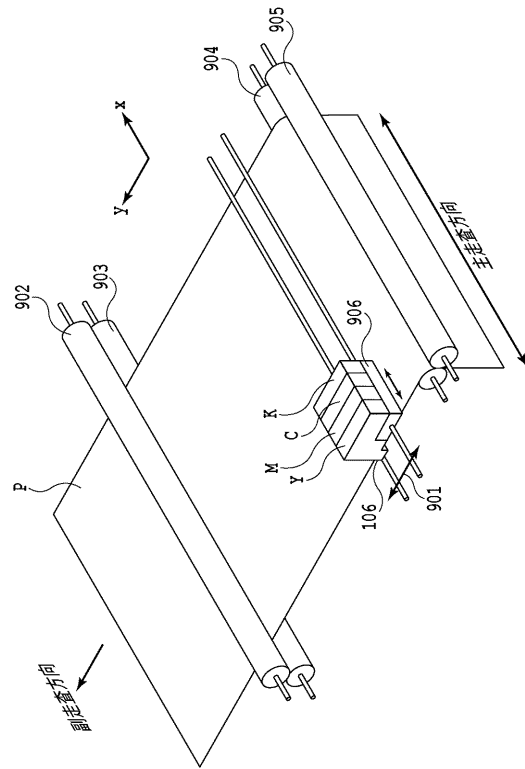
【 0 0 4 9 】

401	レベル値
402	画素アドレス値
403	2値データ
404	テーブル保持格納部
405	テーブル選択部
406	2次元テーブル格納部
407	INDEXパターン選択部
408	INDEXパターン格納部
409	情報保持部
410	読み出しアドレス生成制御部
411	パラメータ転送部
412	更新制御部

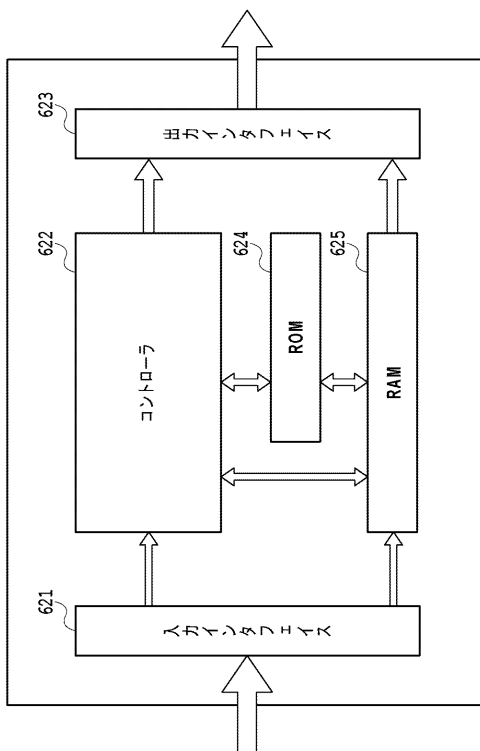
【図 1】



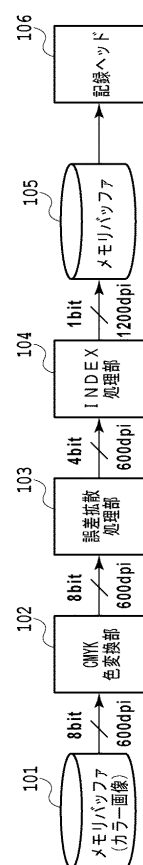
【図 2】



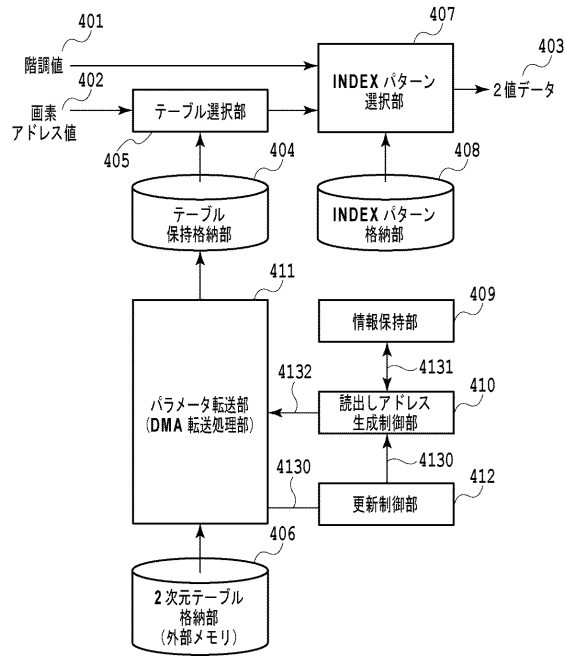
【図 3】



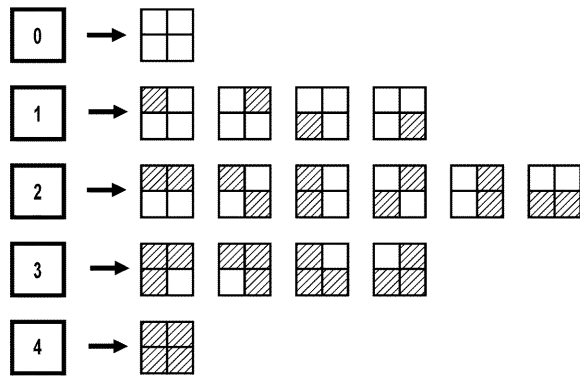
【図 4】



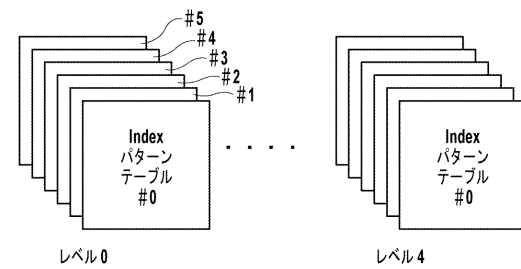
【図 5】



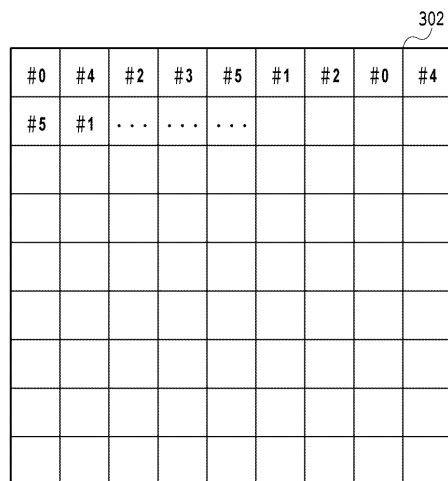
【図 6】



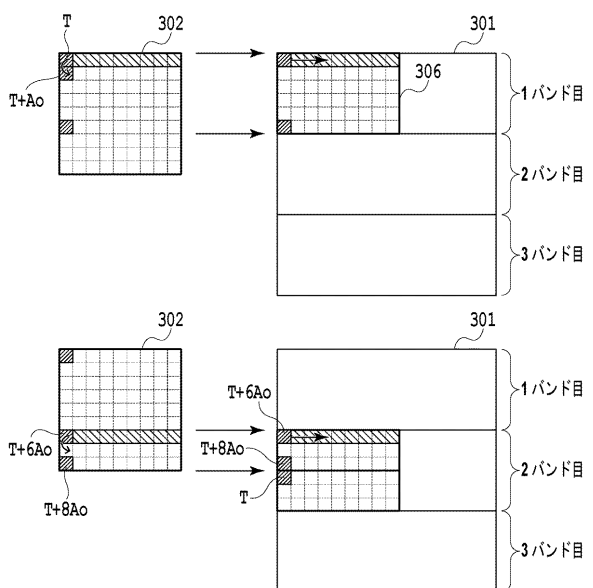
【図 7】



【図 8】

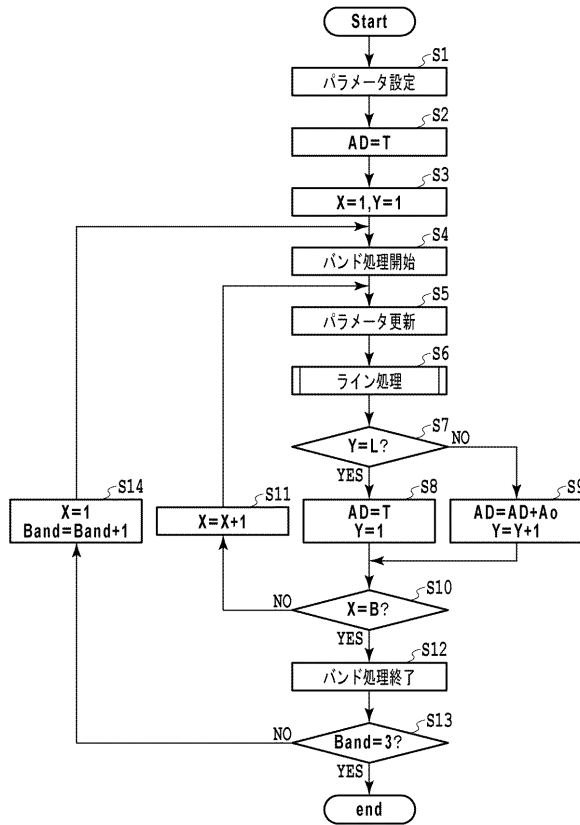


【図 9】

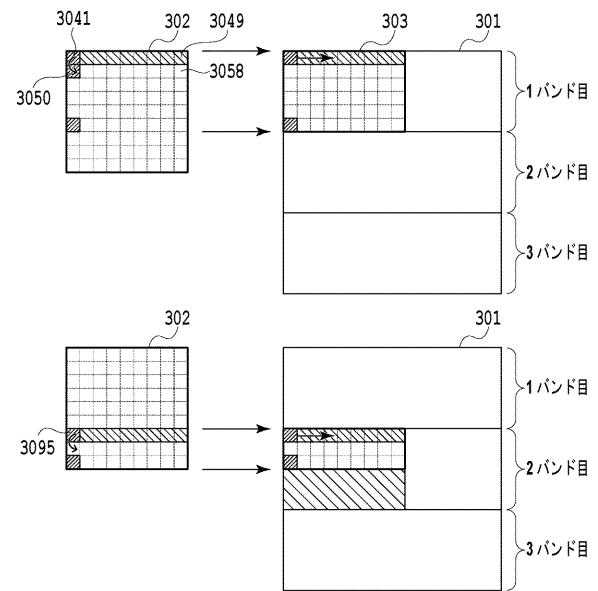


1バンド=6ライン
外部メモリの2次元テーブルのライン数=9ライン

【図10】



【図11】



1バンド=6ライン
外部メモリの2次元テーブルのライン数=9ライン

フロントページの続き

(56)参考文献 特開2001-054956(JP,A)
特開2004-274131(JP,A)
特開2005-157530(JP,A)
特開2006-123197(JP,A)
特開2006-148643(JP,A)
特開2005-161630(JP,A)

(58)調査した分野(Int.Cl., DB名)

B41J2/52-2/525
B41J5/00-5/52
B41J21/00-21-18
G06T1/00
G06T1/60
H04N1/40