

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2020-4476
(P2020-4476A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 2 1 O	2 H 1 9 3
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 3 Z	5 B 0 7 4
G O 2 F 1/133 (2006.01)	G O 2 F 1/133 5 5 O	5 C 0 0 6
H O 3 K 3/356 (2006.01)	H O 3 K 3/356 D	5 C 0 8 0
H O 3 K 3/037 (2006.01)	H O 3 K 3/037 Z	5 C 3 8 0
審査請求 有 請求項の数 2 O L (全 66 頁) 最終頁に続く		

(21) 出願番号 特願2019-166799 (P2019-166799)	(71) 出願人 000153878
(22) 出願日 令和1年9月13日 (2019.9.13)	株式会社半導体エネルギー研究所
(62) 分割の表示 特願2015-50140 (P2015-50140) の分割	神奈川県厚木市長谷398番地
原出願日 平成27年3月13日 (2015.3.13)	(72) 発明者 梅崎 敦司
(31) 優先権主張番号 特願2014-55824 (P2014-55824)	神奈川県厚木市長谷398番地 株式会社
(32) 優先日 平成26年3月19日 (2014.3.19)	半導体エネルギー研究所内
(33) 優先権主張国・地域又は機関 日本国 (JP)	F ターム (参考) 2H193 ZA03 ZA04 ZA07 ZF32 ZF43
	ZF44 ZF46 ZQ06 ZQ07 ZQ08
	ZQ09 ZQ11 ZQ13 ZQ14 ZQ16
	ZQ22 ZQ26
	5B074 AA04 CA01 DA01
	5C006 AA16 AA21 BB16 BC11 BF03
	BF06 BF26 BF27 BF32 BF34
	EB05 FA36 FA47
	最終頁に続く

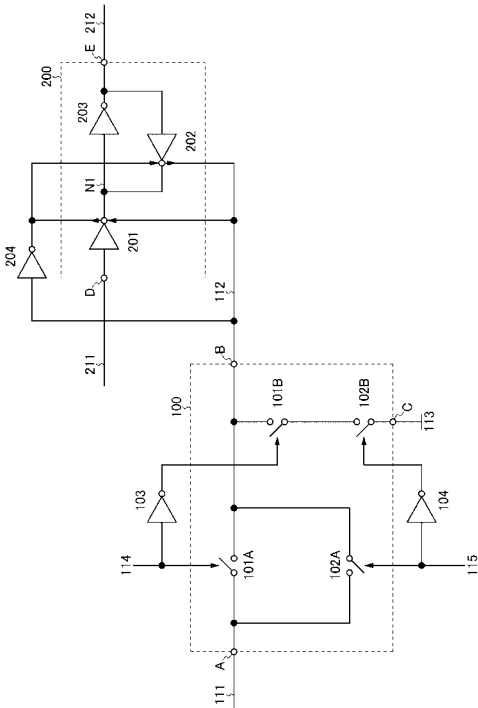
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】シフトレジスタの消費電力を低減する。

【解決手段】半導体装置はシフトレジスタを有する。シフトレジスタは、複数のステージを有する。複数のステージのいずれか一は、第1乃至第4のスイッチと、順序回路と、を有する。第1のスイッチ及び第2のスイッチは、第1の配線と第2の配線との間に並列に電氣的に接続される。第3のスイッチ及び第4のスイッチは、第3の配線と第2の配線との間に直列に電氣的に接続される。第1の配線は、クロック信号を伝達することができる機能を有する。第3の配線は、クロック信号のハイレベル又はローレベルに対応する電位を伝達することができる機能を有する。順序回路には、第2の配線の信号又は第2の配線の信号に応じた信号が入力される。

【選択図】 図14



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、インバータと、第 3 のトランジスタと、第 4 のトランジスタと、配線と、を有し、

前記第 1 のトランジスタのゲート及び前記第 2 のトランジスタのゲートは、前記インバータの出力端子と接続され、

前記第 3 のトランジスタのゲート及び前記第 4 のトランジスタのゲートは、前記配線と接続される、半導体装置。

【請求項 2】

請求項 1 において、

前記インバータの入力端子にハイレベルの信号が入力されると、前記第 1 のトランジスタ及び前記第 3 のトランジスタがオフになり、且つ、前記第 4 のトランジスタ及び前記第 2 のトランジスタがオンになり、

前記インバータの入力端子にローレベルの信号が入力されると、前記第 1 のトランジスタ及び前記第 3 のトランジスタがオンになり、且つ、前記第 4 のトランジスタ及び前記第 2 のトランジスタがオフになる、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、表示装置、表示モジュール及び電子機器に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【背景技術】

【0003】

特許文献 1 には、シフトレジスタが開示されている。特許文献 1 に開示されたシフトレジスタは、クロック信号に同期してスタートパルスを順次シフトさせることにより、出力信号を得る。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2006-031908 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

一般に、シフトレジスタが有するトランジスタのゲートにクロック信号が直接入力されている場合、クロック信号が入力される配線の負荷が大きくなるため、消費電力が大きくなる。

【0006】

本発明の一態様は、消費電力を低減すること又はそれを実現可能な構成を提供することを課題の一とする。或いは、本発明の一態様は、配線の負荷を低減すること又はそれを実現可能な構成を提供することを課題の一とする。或いは、本発明の一態様は、新規の構成を提供することを課題の一とする。特に、シフトレジスタに採用可能な新規の構成を提供することを課題の一とする。或いは、本発明の一態様は、トランジスタのオン又はオフが切り替わる回数を減らすこと又はそれを実現可能な構成を提供することを課題の一とする。

【0007】

10

20

30

40

50

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0008】

本発明の一態様に係る半導体装置は、シフトレジスタを有する。シフトレジスタは複数のステージを有する。複数のステージのいずれか一は、第1乃至第4のスイッチと、順序回路と、を有する。第1のスイッチ及び第2のスイッチは、第1の配線と第2の配線との間に並列に電氣的に接続される。第3のスイッチ及び第4のスイッチは、第3の配線と第2の配線との間に直列に電氣的に接続される。第1の配線は、クロック信号を伝達することができる機能を有する。第3の配線は、クロック信号のハイレベル又はローレベルに対応する電位を伝達することができる機能を有する。順序回路には、第2の配線の信号又は第2の配線の信号に応じた信号が入力される。

10

【0009】

上記本発明の一態様において、順序回路は第1の回路を有していてもよい。第1の回路の出力をハイレベルにするか否かを制御する端子には、第2の配線の信号又は第2の配線の信号に応じた信号が入力される。

【0010】

上記本発明の一態様において、順序回路は、論理回路を有していてもよい。論理回路には、少なくとも第2の配線の信号又は第2の配線の信号に応じた信号が入力される。

20

【0011】

上記本発明の一態様において、第1のスイッチのオン又はオフを制御する端子には、前段のステージの出力信号又は前段のステージの出力信号に応じた信号が入力されていてもよい。

【0012】

上記本発明の一態様において、第2のスイッチのオン又はオフを制御する端子には、後段のステージの出力信号又は後段のステージの出力信号に応じた信号が入力されていてもよい。

【0013】

上記本発明の一態様において、第3のスイッチのオン又はオフを制御する端子には、前段のステージの出力信号又は前段のステージの出力信号に応じた信号が入力されていてもよい。

30

【0014】

上記本発明の一態様において、第4のスイッチのオン又はオフを制御する端子には、後段のステージの出力信号又は後段のステージの出力信号に応じた信号が入力されていてもよい。

【0015】

上記本発明の一態様において、シフトレジスタは、第5乃至第8のスイッチを有していてもよい。第5のスイッチの第1の端子は、第4の配線と電氣的に接続される。第6のスイッチの第1の端子は、第5の配線又は第3の配線と電氣的に接続される。第6のスイッチの第2の端子は、第5のスイッチの第2の端子と電氣的に接続される。第7のスイッチの第1の端子は、第6の配線と電氣的に接続される。第8のスイッチの第1の端子は、第7の配線又は第3の配線と電氣的に接続される。第8のスイッチの第2の端子は、第7のスイッチの第2の端子と電氣的に接続される。第5のスイッチのオン又はオフを制御する端子には、順序回路の出力信号又は順序回路の出力信号に応じた信号が入力される。第6のスイッチのオン又はオフを制御する端子には、順序回路の出力信号又は順序回路の出力信号に応じた信号が入力される。第7のスイッチのオン又はオフを制御する端子には、順序回路の出力信号又は順序回路の出力信号に応じた信号が入力される。第8のスイッチのオン又はオフを制御する端子には、順序回路の出力信号又は順序回路の出力信号に応じた信

40

50

号が入力される。第４の配線は、第２のクロック信号を伝達することができる機能を有する。第５の配線は、第２のクロック信号のハイレベル又はローレベルに対応する電位を伝達することができる機能を有する。第６の配線は、第３のクロック信号を伝達することができる機能を有する。第７の配線は、第３のクロック信号のハイレベル又はローレベルに対応する電位を伝達することができる機能を有する。

【発明の効果】

【００１６】

本発明の一態様は、消費電力を低減することができる。或いは、本発明の一態様は、配線の負荷を低減することができる。或いは、本発明の一態様は、新規の構成を提供することができる。或いは、トランジスタのオン又はオフが切り替わる回数を減らすことができる。

10

【００１７】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【００１８】

【図１】装置の構成を示す図。

【図２】装置の構成を示す図。

20

【図３】装置の構成を示す図。

【図４】装置の構成を示す図。

【図５】装置の構成を示す図。

【図６】装置の構成を示す図。

【図７】装置の構成を示す図。

【図８】装置の構成を示す図。

【図９】装置の構成を示す図。

【図１０】装置の構成を示す図。

【図１１】装置の構成を示す図。

【図１２】装置の構成を示す図。

30

【図１３】装置の構成を示す図。

【図１４】装置の構成を示す図。

【図１５】装置の動作を説明する図。

【図１６】装置の構成を示す図。

【図１７】装置の構成を示す図。

【図１８】装置の構成を示す図。

【図１９】装置の構成を示す図。

【図２０】装置の構成を示す図。

【図２１】装置の動作を説明する図。

【図２２】装置の構成を示す図。

40

【図２３】装置の構成を示す図。

【図２４】装置の構成を示す図。

【図２５】装置の構成を示す図。

【図２６】装置の構成を示す図。

【図２７】装置の構成を示す図。

【図２８】装置の構成を示す図。

【図２９】装置の構成を示す図。

【図３０】装置の動作を説明する図。

【図３１】半導体表示装置の構成を示す図。

【図３２】画素の上面図。

50

【図 3 3】画素の断面図。

【図 3 4】トランジスタの断面構造を示す図。

【図 3 5】液晶表示装置の上面図。

【図 3 6】液晶表示装置の断面図。

【図 3 7】電子機器の図。

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0020】

本発明の一態様は、集積回路、RFタグ、半導体表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP (Digital Signal Processor)、マイクロコントローラを含むLSI (Large Scale Integrated Circuit)、FPGA (Field Programmable Gate Array) や CPLD (Complex PLD) などのプログラマブル論理回路 (PLD: Programmable Logic Device) が、その範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子 (OLED) に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) など、半導体膜を用いた回路素子を駆動回路に有している半導体表示装置が、その範疇に含まれる。

20

【0021】

本明細書において半導体表示装置とは、液晶素子や発光素子などの表示素子が各画素に形成されたパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを、その範疇に含む。

【0022】

トランジスタのソースとは、活性層として機能する半導体膜の一部であるソース領域、或いは上記半導体膜に電氣的に接続されたソース電極を意味する。同様に、トランジスタのドレインとは、活性層として機能する半導体膜の一部であるドレイン領域、或いは上記半導体膜に電氣的に接続されたドレイン電極を意味する。また、ゲートはゲート電極を意味する。

30

【0023】

トランジスタが有するソースとドレインは、トランジスタのチャネル型及び各端子に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、nチャネル型トランジスタでは、低い電位が与えられる端子がソースと呼ばれ、高い電位が与えられる端子がドレインと呼ばれる。また、pチャネル型トランジスタでは、低い電位が与えられる端子がドレインと呼ばれ、高い電位が与えられる端子がソースと呼ばれる。本明細書では、便宜上、ソースとドレインとが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソースとドレインの呼び方が入れ替わる。

40

【0024】

(実施の形態1)

本実施の形態では、本発明の一態様に係る装置について説明する。

【0025】

図1は本発明の一態様に係る装置の構成の一例を示す。

【0026】

図1に例示する装置は、回路100を有する。回路100は、本発明の一態様に係る装置

50

を構成する基本回路である。

【0027】

回路100は、端子Aが配線111と接続され、端子Bが配線112と接続され、端子Cが配線113と接続される。

【0028】

回路100は、スイッチ101A、スイッチ101B、スイッチ102A、及びスイッチ102Bを有する。スイッチ101Aは、第1の端子が配線111と接続され、第2の端子が配線112と接続される。スイッチ101Bは、第1の端子がスイッチ102Bの第2の端子と接続され、第2の端子が配線112と接続される。スイッチ102Aは、第1の端子が配線111と接続され、第2の端子が配線112と接続される。スイッチ102Bは、第1の端子が配線113と接続され、第2の端子がスイッチ101Bの第2の端子と接続される。即ち、スイッチ101A及びスイッチ102Aは、配線111と配線112との間に並列に接続される。スイッチ101B及びスイッチ102Bは、配線113と配線112との間に直列に接続される。

10

【0029】

回路100は、配線111と配線112とを導通状態にするか、配線113と配線112とを導通状態にするか、を選択する機能を有する。配線111と配線112とが導通状態であれば、配線111の信号（信号 V_{111} ともいう）が配線112に供給される。配線113と配線112とが導通状態であれば、配線113の電位（電位 V_{113} ともいう）が配線112に供給される。つまり、回路100は、信号 V_{111} を配線112に供給するか、電位 V_{113} を配線112に供給するか、を選択する機能を有する。

20

【0030】

スイッチ101A、スイッチ101B、スイッチ102A、及びスイッチ102Bのオン又はオフを制御することによって、配線111と配線112とを導通状態にするか、配線113と配線112とを導通状態にするかを選択することができる。スイッチ101A及びスイッチ102Aの一方又は双方をオンにすることにより、配線111と配線112とが導通状態になる。スイッチ101A及びスイッチ102Aの双方をオフにすることにより、配線111と配線112とが非導通状態になる。スイッチ101B及びスイッチ102Bの双方をオンにすることにより、配線113と配線112とが導通状態になる。スイッチ101B及びスイッチ102Bの一方又は双方をオフにすることにより、配線113と配線112とが非導通状態になる。

30

【0031】

配線112の信号（信号 V_{112} ともいう）は、信号 V_{111} 及び電位 V_{113} に応じて制御される。信号 V_{111} が配線112に供給される場合、信号 V_{112} は信号 V_{111} と等しい電位又は概略等しい電位になる。電位 V_{113} が配線112に供給される場合、信号 V_{112} は信号 V_{113} と等しい電位又は概略等しい電位になる。

【0032】

信号 V_{111} としてはハイレベルとローレベルとを有する信号、所謂デジタル信号がある。特に、信号 V_{111} は好ましくはクロック信号である。よって、信号 V_{111} が配線112に供給される場合、信号 V_{111} がハイレベルであれば信号 V_{112} もハイレベルになり、信号 V_{111} がローレベルであれば信号 V_{112} もローレベルになる。ただし、これに限定されない。

40

【0033】

電位 V_{113} としては信号 V_{111} のローレベルに対応する電位がある。よって、電位 V_{113} が配線112に供給される場合、信号 V_{112} がローレベルになる。ただし、これに限定されない。電位 V_{113} を信号 V_{111} のハイレベルに対応する電位としてもよい。

【0034】

なお、本明細書等において、信号のローレベル又はハイレベルに対応する電位とは、信号のローレベル又はハイレベルと等しい又は概略等しい電位のことをいう。

50

【0035】

配線111と配線112との間及び配線113と配線112との間の一方が導通状態である場合には、他方が非導通状態であることが好ましい。これにより、信号 V_{111} 及び電位 V_{113} の双方が配線112に供給されることを防止することができる。

【0036】

例えば、スイッチ101A及びスイッチ102Aの一方又は双方がオンである場合、スイッチ101B及びスイッチ102Bの一方又は双方がオフであることが好ましい。そのような場合、配線111と配線112とが導通状態であり、配線113と配線112とが非導通状態である。

【0037】

例えば、スイッチ101B及びスイッチ102Bの双方がオンである場合、スイッチ101A及びスイッチ102Aの双方がオフであることが好ましい。そのような場合、配線111と配線112とが非導通状態であり、配線113と配線112とが導通状態である。

【0038】

なお、配線111と配線112との間及び配線113と配線112との間の双方が導通状態又は非導通状態である期間が存在してもよい。ただし、1動作期間中において、そのような期間は、配線111と配線112との間及び配線113と配線112との間の一方が導通状態であり、他方が非導通状態である期間よりも短いことが好ましい。

【0039】

なお、1動作期間の一例としては、シフトレジスタであれば、あるスタートパルスが入力される時刻から次のスタートパルスが入力される時刻までの期間がある。つまり、スタートパルスがアクティブになる時刻から次にアクティブになる時刻までの期間がある。或いは、表示装置であれば、1フレーム期間、1水平期間、又は1垂直期間がある。或いは、クロック信号の1周期がある。

【0040】

スイッチ101A及びスイッチ101Bの一方がオンである場合には、他方がオフであることが好ましい。同様に、スイッチ102A及びスイッチ102Bの一方がオンである場合には、他方がオフであることが好ましい。そのような場合でも、配線111と配線112との間及び配線113と配線112との間の一方が導通状態であるときに、他方を非導通状態にすることが可能である。

【0041】

例えば、スイッチ101Aがオンである場合にはスイッチ101Bがオフであり、スイッチ102Aがオンである場合にはスイッチ102Bがオフである。そのような場合、配線111と配線112とが導通状態であり、配線113と配線112とが非導通状態である。

【0042】

例えば、スイッチ101Aがオンである場合にはスイッチ101Bがオフであり、スイッチ102Aがオフである場合にはスイッチ102Bがオンである。そのような場合、配線111と配線112とが導通状態であり、配線113と配線112とが非導通状態である。

【0043】

例えば、スイッチ101Aがオフである場合にはスイッチ101Bがオンであり、スイッチ102Aがオンである場合にはスイッチ102Bがオフである。そのような場合、配線111と配線112とが導通状態であり、配線113と配線112とが非導通状態である。

【0044】

例えば、スイッチ101Aがオフである場合にはスイッチ101Bがオンであり、スイッチ102Aがオフである場合にはスイッチ102Bがオンである。そのような場合、配線111と配線112とが非導通状態であり、配線113と配線112とが導通状態である。

10

20

30

40

50

【0045】

なお、スイッチ101A及びスイッチ101Bの双方がオン又はオフである期間が存在してもよい。ただし、1動作期間中において、そのような期間は、スイッチ101A及びスイッチ101Bの一方がオンであり、他方がオフである期間よりも短いことが好ましい。

【0046】

なお、スイッチ102A及びスイッチ102Bの双方がオン又はオフである期間が存在してもよい。ただし、1動作期間中において、そのような期間は、スイッチ102A及びスイッチ102Bの一方がオンであり、他方がオフである期間よりも短いことが好ましい。

【0047】

次に、スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102Bを制御するための構成例について説明する。

【0048】

スイッチ101A及びスイッチ101Bは同じ信号によって制御されることが好ましい。同様に、スイッチ102A及びスイッチ102Bは、同じ信号によって制御されることが好ましい。これにより、信号の種類を減らすことができる。

【0049】

なお、本明細書等において、スイッチ又はトランジスタ等の素子を信号によって制御するとは、当該信号によって直接制御される場合だけでなく、当該信号に応じた信号によって制御される場合、又は当該信号と当該信号に応じた信号との双方によって制御される場合も含む。

【0050】

なお、本明細書等において、第1の信号に応じた第2の信号とは、第1の信号が入力される回路（例えば論理回路、組み合わせ回路又は順序回路等）の出力信号等である。

【0051】

なお、本明細書等において、2つのスイッチが同じ信号によって制御されるとは、2つのスイッチを同じ信号によって制御する場合だけでなく、一方のスイッチを第1の信号によって制御し、他方のスイッチを第2の信号によって制御し、第2の信号は第1の信号に応じた信号である場合も含む。

【0052】

図2には、図1に例示する回路100において、スイッチ101Aを配線114の信号（信号 V_{114} ともいう）によって制御し、スイッチ101Bを信号 V_{114} の反転信号によって制御し、スイッチ102Aを配線115の信号（信号 V_{115} ともいう）によって制御し、スイッチ102Bを信号 V_{115} の反転信号によって制御する構成を例示する。

【0053】

配線114は、スイッチ101Aのオン又はオフを制御する端子（制御端子ともいう）と接続されるとともに、インバータ103を介してスイッチ101Bの制御端子と接続される。

【0054】

配線115は、スイッチ102Aの制御端子と接続されるとともに、インバータ104を介してスイッチ102Bの制御端子と接続される。

【0055】

なお、回路100がインバータ103及びインバータ104を有していてもよい。

【0056】

スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102Bを制御するための構成は、図2に例示する構成に限定されない。

【0057】

例えば、図3に示すように、スイッチ101Bを信号 V_{114} によって制御し、スイッチ101Aを信号 V_{114} の反転信号によって制御してもよい。そのような場合、配線114は、スイッチ101Bの制御端子と接続されるとともに、インバータ103を介してスイッチ101Aの制御端子と接続される。

10

20

30

40

50

【0058】

例えば、図3に示すように、スイッチ102Bを信号 V_{115} によって制御し、スイッチ102Aを信号 V_{115} の反転信号によって制御してもよい。そのような場合、配線115は、スイッチ102Bの制御端子と接続されるとともに、インバータ104を介してスイッチ102Aの制御端子と接続される。

【0059】

例えば、図4に示すように、スイッチ101A及びスイッチ101Bの双方を信号 V_{114} によって制御してもよい。そのような場合、配線114は、スイッチ101Aの制御端子及びスイッチ101Bの制御端子の双方と接続される。

【0060】

例えば、図4に示すように、スイッチ102A及びスイッチ102Bの双方を信号 V_{115} によって制御してもよい。そのような場合、配線115は、スイッチ102Aの制御端子及びスイッチ102Bの制御端子の双方と接続される。

【0061】

例えば、インバータ103の代わりに、入力信号に対して反転した信号を出力することができる機能を有する回路を採用してもよい。そのような回路としては、NAND回路、NOR回路、又はクロックドインバータ等がある。図5には、インバータ103の代わりにNAND回路103Aを採用する構成を例示する。NAND回路103Aの出力端子がインバータ103の出力端子に対応し、NAND回路103Aの第1の入力端子がインバータ103の入力端子に対応する。NAND回路103Aの第2の入力端子は図示しない配線と接続されることが可能である。

【0062】

例えば、インバータ104の代わりに、入力信号に対して反転した信号を出力することができる機能を有する回路を採用してもよい。そのような回路としては、NAND回路、NOR回路、又はクロックドインバータ等がある。図5には、インバータ104の代わりにNAND回路104Aを採用する構成を例示する。NAND回路104Aの出力端子がインバータ104の出力端子に対応し、NAND回路104Aの第1の入力端子がインバータ104の入力端子に対応する。NAND回路104Aの第2の入力端子は図示しない配線と接続されることが可能である。

【0063】

なお、NAND回路104Aの第2の入力端子を、NAND回路103Aの第2の入力端子が接続している配線と接続してもよい。

【0064】

次に、スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102Bに採用できる構成例について説明する。

【0065】

スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102B等の本明細書等において述べるスイッチとしては、様々な形態のスイッチを用いることができる。スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有し、例えば、経路1に電流を流すことができるようにするか、経路2に電流を流すことができるようにするかを選択して切り替える機能を有している。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のよう

10

20

30

40

50

に、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0066】

図6には、図2に例示する回路100において、スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102BのそれぞれにCMOS型のスイッチ（アナログスイッチともいう）を採用する構成を例示する。

【0067】

Nチャネル型のトランジスタ101An及びPチャネル型のトランジスタ101Apはスイッチ101Aに対応する。トランジスタ101Anの第1の端子及びトランジスタ101Apの第1の端子はスイッチ101Aの第1の端子に対応し配線111と接続される。トランジスタ101Anの第2の端子及びトランジスタ101Apの第2の端子はスイッチ101Aの第2の端子に対応し配線112と接続される。トランジスタ101Anのゲート及びトランジスタ101Apのゲートはスイッチ101Aの制御端子に対応し、トランジスタ101Anのゲートは配線114と接続され、トランジスタ101Apのゲートはインバータ103の出力端子と接続される。

10

【0068】

Nチャネル型のトランジスタ101Bn及びPチャネル型のトランジスタ101Bpはスイッチ101Bに対応する。トランジスタ101Bnの第1の端子及びトランジスタ101Bpの第1の端子はスイッチ101Bの第1の端子に対応する。トランジスタ101Bnの第2の端子及びトランジスタ101Bpの第2の端子はスイッチ101Bの第2の端子に対応し配線112と接続される。トランジスタ101Bnのゲート及びトランジスタ101Bpのゲートはスイッチ101Bの制御端子に対応し、トランジスタ101Bnのゲートはインバータ103の出力端子と接続され、トランジスタ101Bpのゲートは配線114と接続される。

20

【0069】

Nチャネル型のトランジスタ102An及びPチャネル型のトランジスタ102Apはスイッチ102Aに対応する。トランジスタ102Anの第1の端子及びトランジスタ102Apの第1の端子はスイッチ102Aの第1の端子に対応し配線111と接続される。トランジスタ102Anの第2の端子及びトランジスタ102Apの第2の端子はスイッチ102Aの第2の端子に対応し配線112と接続される。トランジスタ102Anのゲート及びトランジスタ102Apのゲートはスイッチ102Aの制御端子に対応し、トランジスタ102Anのゲートは配線115と接続され、トランジスタ102Apのゲートはインバータ104の出力端子と接続される。

30

【0070】

Nチャネル型のトランジスタ102Bn及びPチャネル型のトランジスタ102Bpはスイッチ102Bに対応する。トランジスタ102Bnの第1の端子及びトランジスタ102Bpの第1の端子はスイッチ102Bの第1の端子に対応し配線113と接続される。トランジスタ102Bnの第2の端子及びトランジスタ102Bpの第2の端子はスイッチ102Bの第2の端子に対応しトランジスタ101Bnの第1の端子及びトランジスタ101Bpの第1の端子と接続される。トランジスタ102Bnのゲート及びトランジスタ102Bpのゲートはスイッチ102Bの制御端子に対応し、トランジスタ102Bnのゲートはインバータ104の出力端子と接続され、トランジスタ102Bpのゲートは配線115と接続される。

40

【0071】

信号 V_{114} がハイレベルであれば、トランジスタ101An及びトランジスタ101Apがオンになり、トランジスタ101Bn及びトランジスタ101Bpがオフになる。信号 V_{114} がローレベルであれば、トランジスタ101An及びトランジスタ101Apがオフになり、トランジスタ101Bn及びトランジスタ101Bpがオンになる。

【0072】

50

信号 V_{115} がハイレベルであれば、トランジスタ $102An$ 及びトランジスタ $102Ap$ がオンになり、トランジスタ $102Bn$ 及びトランジスタ $102Bp$ がオフになる。信号 V_{115} がローレベルであれば、トランジスタ $102An$ 及びトランジスタ $102Ap$ がオフになり、トランジスタ $102Bn$ 及びトランジスタ $102Bp$ がオンになる。

【0073】

スイッチ $101A$ 、スイッチ $101B$ 、スイッチ $102A$ 及びスイッチ $102B$ として採用するトランジスタを制御するための構成は、図6に例示する構成に限定されない。

【0074】

例えば、図7に示すように、トランジスタ $101An$ のゲート及びトランジスタ $101Bp$ のゲートをインバータ 103 の出力端子と接続し、トランジスタ $101Ap$ のゲート及びトランジスタ $101Bn$ のゲートを配線 114 と接続してもよい。信号 V_{114} がハイレベルであれば、トランジスタ $101An$ 及びトランジスタ $101Ap$ がオフになり、トランジスタ $101Bn$ 及びトランジスタ $101Bp$ がオンになる。信号 V_{114} がローレベルであれば、トランジスタ $101An$ 及びトランジスタ $101Ap$ がオンになり、トランジスタ $101Bn$ 及びトランジスタ $101Bp$ がオフになる。

【0075】

例えば、図7に示すように、トランジスタ $102An$ のゲート及びトランジスタ $102Bp$ のゲートをインバータ 104 の出力端子と接続し、トランジスタ $102Ap$ のゲート及びトランジスタ $102Bn$ のゲートを配線 115 と接続してもよい。信号 V_{115} がハイレベルであれば、トランジスタ $102An$ 及びトランジスタ $102Ap$ がオフになり、トランジスタ $102Bn$ 及びトランジスタ $102Bp$ がオンになる。信号 V_{115} がローレベルであれば、トランジスタ $102An$ 及びトランジスタ $102Ap$ がオンになり、トランジスタ $102Bn$ 及びトランジスタ $102Bp$ がオフになる。

【0076】

スイッチ $101A$ 、スイッチ $101B$ 、スイッチ $102A$ 及びスイッチ $102B$ のそれぞれに採用される構成はCMOS型のスイッチに限定されない。

【0077】

例えば、図8に示すように、スイッチ $101B$ にNチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $101Bp$ を省略してもよい。

【0078】

例えば、図8に示すように、スイッチ $102B$ にNチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $102Bp$ を省略してもよい。

【0079】

例えば、スイッチ $101B$ にPチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $101Bn$ を省略してもよい。

【0080】

例えば、スイッチ $102B$ にPチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $102Bn$ を省略してもよい。

【0081】

例えば、スイッチ $101A$ にNチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $101Ap$ を省略してよい。

【0082】

例えば、スイッチ $102A$ にNチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $102Ap$ を省略してよい。

【0083】

例えば、スイッチ $101A$ にPチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $101An$ を省略してよい。

【0084】

例えば、スイッチ $102A$ にPチャネル型のトランジスタを採用してもよい。つまり、トランジスタ $102An$ を省略してよい。

10

20

30

40

50

【0085】

なお、スイッチ101B及びスイッチ102Bの一方にNチャネル型のトランジスタを採用する場合、他方にはNチャネル型のトランジスタ又はCMOS型のスイッチを採用することが好ましい。そして、電位 V_{113} は信号 V_{111} のローレベルに対応する電位であることが好ましい。これにより、スイッチ101B及びスイッチ102Bのそれぞれにおいて、Nチャネル型のトランジスタのゲートとソースとの間の電位差を大きくすることができる。よって、配線112と配線113との間の抵抗値を小さくすることができる。

【0086】

なお、スイッチ101B及びスイッチ102Bの一方にPチャネル型のトランジスタを採用する場合、他方にはPチャネル型のトランジスタ又はCMOS型のスイッチを採用することが好ましい。そして、電位 V_{113} は信号 V_{111} のハイレベルに対応する電位であることが好ましい。これにより、スイッチ101B及びスイッチ102Bのそれぞれにおいて、Pチャネル型のトランジスタのゲートとソースとの間の電位差を大きくすることができる。よって、配線112と配線113との間の抵抗値を小さくすることができる。

【0087】

なお、スイッチ101AにNチャネル型のトランジスタ又はPチャネル型のトランジスタの一方を採用する場合、スイッチ101BにNチャネル型のトランジスタ又はPチャネル型のトランジスタの他方を採用することが好ましい。これにより、スイッチ101A及びスイッチ101Bを同じ信号によって制御することができるため、インバータ103を省略することができる。

【0088】

なお、スイッチ102AにNチャネル型のトランジスタ又はPチャネル型のトランジスタの一方を採用する場合、スイッチ102BにNチャネル型のトランジスタ又はPチャネル型のトランジスタの他方を採用することが好ましい。これにより、スイッチ102A及びスイッチ102Bを同じ信号によって制御することができるため、インバータ104を省略することができる。

【0089】

なお、信号 V_{111} は、スイッチ101A及びスイッチ102Aを介して配線112に供給される。よって、スイッチ101A及びスイッチ102Aとしては、CMOS型のスイッチを採用することが好ましい。これにより、信号 V_{111} がハイレベルであってもローレベルであっても、配線111と配線112との間の抵抗値を小さくすることができる。

【0090】

次に、図1に例示する回路100の変形例について説明する。

【0091】

例えば、スイッチ101Aの第2の端子を、スイッチ101Bの第1の端子又はスイッチ102Bの第2の端子と接続してもよい。

【0092】

例えば、図9に示すように、スイッチ102Aの第2の端子を、スイッチ101Bの第1の端子又はスイッチ102Bの第2の端子と接続してもよい。

【0093】

なお、図9に例示する構成では、信号 V_{111} がスイッチ101Aを介して配線112に出力される場合と、信号 V_{111} がスイッチ102A及びスイッチ101Bを介して配線112に出力される場合とがある。よって、図13に示すように、スイッチ101A、スイッチ102A及びスイッチ101BとしてCMOS型のスイッチを採用することが好ましい。これにより、配線111と配線112との間の抵抗値を小さくすることができる。

【0094】

例えば、図10に示すように、スイッチ101Bとスイッチ102Bとを反対に接続してもよい。スイッチ101Bの第1の端子を配線113と接続し、スイッチ102Bの第1の端子をスイッチ101Bの第2の端子と接続し、スイッチ102Bの第2の端子を配線112と接続してもよい。

10

20

30

40

50

【0095】

例えば、スイッチ102Bの第1の端子を配線114と接続してもよい。

【0096】

例えば、スイッチ102Bの第1の端子を配線115と接続してもよい。

【0097】

例えば、スイッチ102Bの第1の端子をインバータ103の出力端子と接続してもよい。

【0098】

例えば、スイッチ102Bの第1の端子をインバータ104の出力端子と接続してもよい。

【0099】

例えば、配線112の電位を初期化するための構成を追加してもよい。図11には、配線112の電位を初期化するための構成としてスイッチ105及びスイッチ106を追加する構成を例示する。スイッチ105の第1の端子はスイッチ101Bの第2の端子と接続される。スイッチ105の第2の端子は配線112と接続される。スイッチ106の第1の端子は配線117と接続される。スイッチ107の第2の端子は配線112と接続される。スイッチ105及びスイッチ106の一方がオンである場合、他方はオフであることが好ましい。スイッチ105がオンであり、スイッチ106がオフであれば、図11に例示する回路100は図1に例示する回路100と同様に動作する。一方、スイッチ105がオフであり、スイッチ106がオンであれば、配線116の電位（電位 V_{116} ともいう）が配線112に供給される。電位 V_{116} は信号 V_{111} のハイレベルに対応する場合、信号 V_{112} がハイレベルになる。このように、スイッチ101B及びスイッチ102Bがオンである場合でも、配線112の電位を初期化することができる。

【0100】

なお、スイッチ105、スイッチ101B及びスイッチ102Bは、配線113と配線112との間に直列に接続されていればよい。例えば、スイッチ105をスイッチ101Bとスイッチ102Bとの間に接続してもよい。例えば、スイッチ105をスイッチ102Bと配線113との間に接続してもよい。

【0101】

なお、スイッチ106がオンである場合、スイッチ101A及びスイッチ102Aがオフであることが好ましい。これにより、信号 V_{111} と電位 V_{116} の双方が配線112に供給されることを防止することができる。

【0102】

なお、スイッチ105及びスイッチ106としては、スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102Bと同様に、様々な形態のものを採用することができる。図12には、スイッチ105としてNチャネル型のトランジスタを採用し、スイッチ106としてPチャネル型のトランジスタを採用する構成を例示する。Nチャネル型のトランジスタ105nはスイッチ105に対応する。トランジスタ105nの第1の端子はスイッチ105の第1の端子に対応しスイッチ101Bの第2の端子と接続される。トランジスタ105nの第2の端子はスイッチ105の第2の端子に対応し配線112と接続される。トランジスタ105nのゲートはスイッチ105の制御端子に対応し配線117と接続される。Pチャネル型のトランジスタ106pはスイッチ106に対応する。トランジスタ106pの第1の端子はスイッチ106の第1の端子に対応し配線116と接続される。トランジスタ106pの第2の端子はスイッチ106の第2の端子に対応し配線112と接続される。トランジスタ106pのゲートはスイッチ106の制御端子に対応し配線117と接続される。配線117の信号（信号 V_{117} ともいう）がハイレベルであれば、トランジスタ105nがオンになり、トランジスタ106pがオフになる。また、信号 V_{117} がローレベルであれば、トランジスタ105nがオフになり、トランジスタ106pがオンになる。

【0103】

10

20

30

40

50

なお、スイッチ105及びスイッチ106として同じ極性のトランジスタを採用してもよい。そのような場合、スイッチ105として採用するトランジスタのゲートとスイッチ106として採用するトランジスタのゲートとをインバータを介して接続することが好ましい。

【0104】

なお、電位 V_{113} が信号 V_{111} のローレベルに対応する電位である場合、スイッチ101B、スイッチ102B及びスイッチ105としてはNチャネル型のトランジスタ又はCMOS型のスイッチを採用することが好ましい。或いは、電位 V_{113} が信号 V_{111} のハイレベルに対応する電位である場合、スイッチ101B、スイッチ102B及びスイッチ105としてはPチャネル型のトランジスタ又はCMOS型のスイッチを採用することが好ましい。スイッチ101B、スイッチ102B及びスイッチ105として採用するトランジスタのゲートとソースとの電位差を大きくすることができるため、配線113と配線112との抵抗値を小さくすることができる。

10

【0105】

なお、電位 V_{116} が信号 V_{111} のハイレベルに対応する電位である場合、スイッチ106としてPチャネル型のトランジスタ又はCMOS型のスイッチを採用することが好ましい。或いは、電位 V_{116} が信号 V_{111} のローレベルに対応する電位である場合、スイッチ106としてNチャネル型のトランジスタ又はCMOS型のスイッチを採用することが好ましい。スイッチ106として採用するトランジスタのゲートとソースとの間の電位差を大きくすることができるため、配線116と配線112との抵抗値を小さくすることができる。

20

【0106】

上述するとおり、本明細書等において、スイッチとしては、様々な形態のものを用いることができる。スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有し、例えば、経路1に電流を流すことができるようにするか、経路2に電流を流すことができるようにするかを選択して切り替える機能を有している。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

30

【0107】

なお、スイッチとしてトランジスタを用いる場合、そのトランジスタは単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタの一例としては、LDD領域を有するトランジスタ、又はマルチゲート構造を有するトランジスタなどがある。

40

【0108】

なお、スイッチとしてトランジスタを用いる場合、スイッチとして動作させるトランジスタのソースの電位が、低電位側電源（ V_{ss} 、GND、0Vなど）の電位に近い値で動作する場合は、スイッチとしてNチャネル型トランジスタを用いることが望ましい。反対に、ソースの電位が、高電位側電源（ V_{dd} など）の電位に近い値で動作する場合は、スイッチとしてPチャネル型トランジスタを用いることが望ましい。なぜなら、Nチャネル型

50

トランジスタではソースが低電位側電源の電位に近い値で動作するとき、Pチャネル型トランジスタではソースが高電位側電源の電位に近い値で動作するとき、ゲートとソースとの間の電圧の絶対値を大きくできるからである。そのため、スイッチとして、より正確な動作を行うことができるからである。または、トランジスタがソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまうことが少ないからである。

【0109】

なお、スイッチとして、Nチャネル型トランジスタとPチャネル型トランジスタとの両方を用いて、CMOS型のスイッチを用いてもよい。CMOS型のスイッチにすると、Pチャネル型トランジスタとNチャネル型トランジスタとのどちらか一方が導通すれば、電流が流れるため、スイッチとして機能しやすくなる。よって、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。または、スイッチをオン又はオフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることができる。

10

【0110】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソースまたはドレインの一方）と、出力端子（ソースまたはドレインの他方）と、導通を制御する端子（ゲート）とを有している場合がある。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。したがって、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

20

【0111】

例えば、本明細書等において、トランジスタとして、様々な構造のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。トランジスタの一例としては、単結晶シリコンを有するトランジスタ、または、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有するトランジスタなどを用いることが出来る。または、それらの半導体を薄膜化した薄膜トランジスタ（TFET）などを用いることが出来る。TFETを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。または、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。または、透光性を有する基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。または、トランジスタの膜厚が薄いため、トランジスタを形成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

30

【0112】

なお、多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）、ソースドライバ回路（信号線駆動回路）、及び信号処理回路（信号生成回路、ガンマ補正回路、DA変換回路など）を基板上に一体形成することが出来る。

40

【0113】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）及びゲートドライバ回路（走査線駆動回路）を基板上に一体形成することが出来る。なお、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。

50

そのため、画質の向上した画像を表示することが出来る。ただし、触媒（ニッケルなど）を用いずに、多結晶シリコン又は微結晶シリコンを製造することは可能である。

【0114】

なお、シリコンの結晶性を、多結晶又は微結晶などへと向上させることは、パネル全体で行うことが望ましいが、それに限定されない。パネルの一部の領域のみににおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、ゲートドライバ回路及びソースドライバ回路などの領域にのみ、又はソースドライバ回路の一部（例えば、アナログスイッチ）の領域にのみ、にレーザー光を照射してもよい。その結果、回路を高速に動作させる必要がある領域にのみ、シリコンの結晶化を向上させることができる。画素領域は、高速に動作させる必要性が低いため、結晶性が向上されなくても、問題なく画素回路を動作させることが出来る。こうすることによって、結晶性を向上させる領域が少なく済むため、製造工程も短くすることが出来る。そのため、スループットが向上し、製造コストを低減させることが出来る。または、必要とされる製造装置の数も少ない数で製造できるため、製造コストを低減させることが出来る。

10

【0115】

なお、トランジスタの一例としては、化合物半導体（例えば、 SiGe 、 GaAs など）、又は酸化物半導体（例えば、 ZnO 、 InGaZnO 、 InZnO 、 InSnO （ITO）、 SnO 、 TiO 、 AlZnSnO （AZTO）、 InSnZnO など）などを有するトランジスタを用いることが出来る。または、これらの化合物半導体、又は、これらの酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くできるので、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板又はフィルム基板などに直接トランジスタを形成することが出来る。なお、これらの化合物半導体又は酸化物半導体を、トランジスタのチャンネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体又は酸化物半導体を配線、抵抗素子、画素電極、又は透光性を有する電極などとして用いることができる。それらをトランジスタと同時に成膜又は形成することが可能なため、コストを低減できる。

20

【0116】

なお、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することが出来る。よって、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。または、レジストを用いずに製造することが可能なので、材料費が安くなり、工程数を削減できる。または、必要な部分にのみ膜を付けることが可能なので、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

30

【0117】

なお、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。有機半導体やカーボンナノチューブを有するトランジスタを用いた装置は、衝撃に強くすることができる。

40

【0118】

なお、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることが出来る。トランジスタとしてMOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することが出来る。トランジスタとしてバイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。なお、MOS型トランジスタとバイポーラトランジスタとを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出

50

来る。

【0119】

例えば、本明細書等において、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。または、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路又はカレントミラー回路などを実現することが出来る。

10

【0120】

なお、トランジスタの一例としては、チャネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。チャネルの上下にゲート電極が配置される構造にすることにより、複数のトランジスタが並列に接続されたような回路構成となる。よって、チャネル領域が増えるため、電流値の増加を図ることができる。または、チャネルの上下にゲート電極が配置されている構造にすることにより、空乏層ができやすくなるため、S値の改善を図ることができる。

20

【0121】

なお、トランジスタの一例としては、チャネル領域の上にゲート電極が配置されている構造、チャネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャネル領域を複数の領域に分けた構造、チャネル領域を並列に接続した構造、又はチャネル領域が直列に接続する構造などのトランジスタを用いることができる。または、トランジスタとして、プレーナ型、FIN型（フィン型）、TRI-GATE型（トライゲート型）、トップゲート型、ボトムゲート型、ダブルゲート型（チャネルの上下にゲートが配置されている）、など、様々な構成をとることが出来る。

【0122】

なお、トランジスタの一例としては、チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることによって、チャネル領域の一部に電荷が溜まることにより動作が不安定になることを防ぐことができる。

30

【0123】

なお、トランジスタの一例としては、LDD領域を設けた構造を適用できる。LDD領域を設けることにより、オフ電流の低減、又はトランジスタの耐圧向上（信頼性の向上）を図ることができる。または、LDD領域を設けることにより、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレイン電流があまり変化せず、傾きがフラットな電圧・電流特性を得ることができる。

【0124】

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例とし

40

50

ては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0125】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

10

【0126】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

20

【0127】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板（例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など）に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

30

【0128】

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板（又はSOI基板）に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成される単結晶基板（ICチップともいう）を、COG（Chip On Glass）によって、ガラス基板に接続して、ガラス基板にそのICチップを配置することが可能である。または、ICチップを、TAB（Tape Automated Bonding）、COF（Chip On Film）、SMT（Surface Mount Technology）、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまう場合が多い。そこで、このような回路を、画素部とは別の基板（例えば単結晶基板）に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

40

【0129】

50

例えば、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことが出来るものである。ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばない場合がある。その場合、一例として、ソースとドレインとの一方を、第1端子、第1電極、又は第1領域と表記し、ソースとドレインとの他方を、第2端子、第2電極、又は第2領域と表記する場合がある。

10

【0130】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、一例として、エミッタとコレクタとの一方を、第1端子、第1電極、又は第1領域と表記し、エミッタとコレクタとの他方を、第2端子、第2電極、又は第2領域と表記する場合がある。なお、トランジスタとしてバイポーラトランジスタが用いられる場合、ゲートという表記をベースと言い換えることが可能である。

【0131】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

20

【0132】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0133】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

30

【0134】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

40

【0135】

なお、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを

50

含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0136】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

10

【0137】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0138】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

30

【0139】

本実施の形態で述べる内容は、本実施の形態で述べる他の内容、及び／又は、他の実施の形態等の本明細書等において述べる内容と適宜組み合わせる実施することができる。

【0140】

（実施の形態2）

本実施の形態では、本発明の一態様に係る装置について説明する。

40

【0141】

図14は本発明の一態様に係る装置の構成の一例を示す。

【0142】

図14に例示する装置は、回路100と、回路200と、を有する。

【0143】

回路100は、実施の形態1等において説明する回路100に対応する。図14では、回路100として図2に例示する構成が採用される。

【0144】

回路200は、端子Dが配線211と接続され、端子Eが配線212と接続される。また、回路200は、配線112と接続される。つまり、回路200には、信号V₁₁₂が入

50

力される。

【0145】

回路200は、配線211の信号（信号 V_{211} ともいう）を保持する機能を有する。回路200が信号 V_{211} を保持するタイミングは、信号 V_{112} によって制御される。また、回路200は、保持した信号 V_{211} に基づいた信号（信号 V_{212} ともいう）を配線212に出力する機能を有する。

【0146】

なお、本明細書等において、回路が信号によって制御されるとは、当該信号によって直接制御される場合だけでなく、当該信号に応じた信号によって制御される場合、又は当該信号と当該信号に応じた信号の双方によって制御される場合も含む。

10

【0147】

次に、回路200の具体例について説明する。

【0148】

回路200は、クロックドインバータ201、クロックドインバータ202及びインバータ203を有する。クロックドインバータ201は、入力端子が配線211と接続され、出力端子がインバータ203の入力端子と接続され、第1の制御端子（矢印が○に向かう方向の端子）が配線112と接続され、第2の制御端子（矢印が○から外へ向かう方向の端子）がインバータ204を介して配線112と接続される。クロックドインバータ202は、入力端子が配線212と接続され、出力端子がインバータ203の入力端子と接続され、第1の制御端子がインバータ204を介して配線112と接続され、第2の制御端子が配線211と接続される。インバータ203は、出力端子が配線212と接続される。

20

【0149】

なお、回路200がインバータ204を有していてもよい。

【0150】

クロックドインバータ201及びクロックドインバータ202は、出力をハイインピーダンスにするかしないかを切り替える機能を有する。クロックドインバータ201及びクロックドインバータ202は、出力をハイインピーダンスにしない場合、入力信号に対して反転した信号を出力する機能を有する。クロックドインバータ201及びクロックドインバータ202の出力をハイインピーダンスにするかしないかの切り替えは、第1の制御端子及び第2の制御端子のそれぞれに入力される信号によって制御される。つまり、クロックドインバータ201及びクロックドインバータ202の出力をハイインピーダンスにするかしないかの切り替えは、信号 V_{112} によって制御される。

30

【0151】

なお、上述したとおり、クロックドインバータ201及びクロックドインバータ202の制御は、信号 V_{112} によって直接制御される場合だけでなく、信号 V_{112} に応じた信号によって制御される場合又は信号 V_{112} と信号 V_{112} に応じた信号の双方によって制御される場合も含む。

【0152】

クロックドインバータ201の出力がハイインピーダンスにならない場合、信号 V_{211} がクロックドインバータ201を介してノードN1に入力される。つまり、信号 V_{211} の反転信号がノードN1に供給される。一方、クロックドインバータ201の出力がハイインピーダンスになる場合、信号 V_{211} はクロックドインバータ201を介してノードN1に入力されない。

40

【0153】

クロックドインバータ202の出力がハイインピーダンスにならない場合、クロックドインバータ202及びインバータ203によってインバータループが構成される。このインバータループによって、ノードN1の電位及び信号 V_{212} が保持される。つまり、信号 V_{211} が保持される。

【0154】

50

クロックドインバータ201及びクロックドインバータ202の一方がハイインピーダンスになる場合、他方はハイインピーダンスにならないことが好ましい。これにより、クロックドインバータ201の出力信号とクロックドインバータ202の出力信号の双方がノードN1に供給されることを防止することができる。また、ノードN1が浮遊状態になることを防止することができる。

【0155】

次に、図14に例示する装置の動作について、図15のタイミングチャートを参照して説明する。

【0156】

図15は、信号 V_{111} 、信号 V_{114} 、信号 V_{115} 、信号 V_{211} 、信号 V_{112} 、信号 V_{212} の一例を示す。

10

【0157】

時刻 t_0 において、信号 V_{111} をローレベルにし、信号 V_{114} をハイレベルにし、信号 V_{115} をローレベルにし、信号 V_{211} をハイレベルにする。

【0158】

回路100では、スイッチ101Aがオンになり、スイッチ101Bがオフになり、スイッチ102Aがオフになり、スイッチ102Bがオンになる。よって、ローレベルの信号 V_{111} が配線112に供給されるため、信号 V_{112} がローレベルになる。

【0159】

回路200では、信号 V_{112} がローレベルになるため、クロックドインバータ201の出力はハイインピーダンスになる。よって、信号 V_{211} はクロックドインバータ201を介してノードN1に入力されない。また、信号 V_{112} がローレベルになるため、クロックドインバータ202の出力はハイインピーダンスにならない。よって、クロックドインバータ202とインバータ203とによってインバータループが構成される。ノードN1の初期値をハイレベルとすれば、信号 V_{212} がローレベルになるように、ノードN1の電位及び信号 V_{212} が保持される。

20

【0160】

時刻 t_1 において、信号 V_{111} をハイレベルにする。

【0161】

回路100では、ハイレベルの信号 V_{111} が配線112に供給されるため、信号 V_{112} がハイレベルになる。

30

【0162】

回路200では、信号 V_{112} がハイレベルになるため、クロックドインバータ201の出力はハイインピーダンスにならない。よって、ハイレベルの信号 V_{211} がクロックドインバータ201を介してノードN1に入力されるため、ノードN1がローレベルになり、信号 V_{212} がハイレベルになる。また、クロックドインバータ202の出力はハイインピーダンスになる。

【0163】

時刻 t_2 において、信号 V_{111} をローレベルにする。

【0164】

回路100では、ローレベルの信号 V_{111} が配線112に供給されるため、信号 V_{112} がローレベルになる。

40

【0165】

回路200では、信号 V_{112} がローレベルになるため、クロックドインバータ201の出力はハイインピーダンスになる。よって、信号 V_{211} はクロックドインバータ201を介してノードN1に入力されない。信号 V_{112} がローレベルになるため、クロックドインバータ202の出力はハイインピーダンスにならない。よって、クロックドインバータ202とインバータ203とによってインバータループが構成される。そして、信号 V_{212} がハイレベルになるように、ノードN1の電位及び信号 V_{212} が保持される。

【0166】

50

時刻 t_3 において、信号 V_{114} をローレベルにし、信号 V_{115} をハイレベルにし、信号 V_{211} をローレベルにする。

【0167】

回路100では、スイッチ101Aがオフになり、スイッチ101Bがオンになり、スイッチ102Aがオンになり、スイッチ102Bがオフになる。よって、ローレベルの信号 V_{111} が配線112に供給されたままになるため、信号 V_{112} がローレベルのままになる。

【0168】

回路200では、信号 V_{112} がローレベルのままであるため、信号 V_{212} がハイレベルになるように、ノードN1の電位及び信号 V_{212} が保持される。

10

【0169】

時刻 t_4 において、信号 V_{111} をハイレベルにする。

【0170】

回路100では、ハイレベルの信号 V_{111} が配線112に供給されるため、信号 V_{112} がハイレベルになる。

【0171】

回路200では、信号 V_{112} がハイレベルになるため、クロックドインバータ201の出力はハイインピーダンスにならない。よって、ローレベルの信号 V_{211} がクロックドインバータ201を介してノードN1に入力されるため、ノードN1がハイレベルになり、信号 V_{212} がローレベルになる。また、クロックドインバータ202の出力はハイイン

20

【0172】

時刻 t_5 において、信号 V_{111} をローレベルにする。

【0173】

回路100では、ローレベルの信号 V_{111} が配線112に供給されるため、信号 V_{112} がローレベルになる。

【0174】

回路200では、信号 V_{112} がローレベルになるため、クロックドインバータ201の出力はハイインピーダンスになる。よって、信号 V_{211} はクロックドインバータ201を介してノードN1に入力されない。信号 V_{112} がローレベルになるため、クロックドインバータ202の出力はハイインピーダンスにならない。よって、クロックドインバータ202とインバータ203とによってインバータループが構成される。そして、信号 V_{212} がローレベルになるように、ノードN1の電位及び信号 V_{212} が保持される。

30

【0175】

時刻 t_6 において、信号 V_{115} をローレベルにする。

【0176】

回路100では、スイッチ102Aがオフになり、スイッチ102Bがオンになる。よって、電位 V_{113} が配線112に供給されるため、信号 V_{112} がローレベルのままになる。

【0177】

回路200では、信号 V_{112} がローレベルのままであるため、信号 V_{212} がローレベルになるように、ノードN1の電位及び信号 V_{212} が保持される。

40

【0178】

以上のとおり、図14に例示する装置が上記のように動作することにより、信号 V_{211} を信号 V_{112} に同期してシフトさせることができる。

【0179】

回路100によって、信号 V_{111} の回路200への供給を止めることができる。よって、配線111の負荷を小さくすることができるため、消費電力の削減を図ることができる。特に、信号 V_{111} がトランジスタのゲートに入力される場合と比較して、配線111の負荷を小さくすることができるため、消費電力の削減を図ることができる。

50

【0180】

なお、スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102Bは、制御端子に入力される信号がハイレベルの場合にオンになるときの動作を説明したが、これに限定されない。

【0181】

例えば、信号 V_{114} がローレベルである場合に、スイッチ101Aがオンになり、スイッチ101Bがオフになり、信号 V_{114} がハイレベルである場合に、スイッチ101Aがオフになり、スイッチ101Bがオンになってもよい。

【0182】

例えば、信号 V_{115} がローレベルである場合に、スイッチ102Aがオンになり、スイッチ102Bがオフになり、信号 V_{115} がハイレベルである場合に、スイッチ102Aがオフになり、スイッチ102Bがオンになってもよい。

10

【0183】

なお、信号 V_{114} のハイレベル又はローレベルのうちスイッチ101Aがオンになる電位を、第1の電位又はアクティブと呼んでもよい。また、信号 V_{114} のハイレベル又はローレベルのうちスイッチ101Aがオフになる電位を、第2の電位又は非アクティブ（インアクティブともいう）と呼んでもよい。

【0184】

なお、信号 V_{115} のハイレベル又はローレベルのうちスイッチ102Aがオンになる電位を、第1の電位又はアクティブと呼んでもよい。また、信号 V_{115} のハイレベル又はローレベルのうちスイッチ102Aがオフになる電位を、第2の電位又は非アクティブ（インアクティブともいう）と呼んでもよい。

20

【0185】

次に、図14に例示する回路200の変形例について説明する。

【0186】

例えば、図16に示すように、配線114を回路200の端子Dと接続してもよい。

【0187】

例えば、配線115を回路200の端子Dと接続してもよい。

【0188】

例えば、インバータ103の出力端子を回路200の端子Dと接続してもよい。

30

【0189】

例えば、インバータ104の出力端子を回路200の端子Dと接続してもよい。

【0190】

例えば、信号 V_{114} 又は信号 V_{115} に応じた信号を配線211に供給するのか、信号 V_{115} 又は信号 V_{114} に応じた信号を配線211に供給するのか、を選択する手段又は回路を追加してもよい。図17には、回路220を追加する構成を例示する。回路220は、配線114、配線115及び配線211と接続される。回路220は、配線114と配線211とを導通状態にするか、配線115と配線211とを導通状態にするか、を選択する機能を有する。配線114と配線211とが導通状態であれば、信号 V_{114} が配線211に供給される。配線115と配線211とが導通状態であれば、信号 V_{115} が配線211に供給される。つまり、回路220は、信号 V_{114} を配線211に供給するのか、信号 V_{115} を配線211に供給するのか、を選択する機能を有する。

40

【0191】

なお、配線114と配線211との間又は配線115と配線211との間の一方を配線211と導通状態にする場合、他方を非導通状態にすることが好ましい。これにより、信号 V_{114} 及び信号 V_{115} の双方が配線211に供給されることを防止することができる。

【0192】

なお、回路220としては、スイッチ221、及びスイッチ222を有する構成を採用してもよい。スイッチ221は、第1の端子が配線114と接続され、第2の端子が配線2

50

1 1 と接続される。スイッチ 2 2 2 は、第 1 の端子が配線 1 1 5 と接続され、第 2 の端子が配線 2 1 1 と接続される。スイッチ 2 2 1 がオンであれば、配線 1 1 4 と配線 2 1 1 とが導通状態になるため、信号 V_{114} が配線 2 1 1 に供給される。スイッチ 2 2 2 がオンであれば、配線 1 1 5 と配線 2 1 1 とが導通状態になるため、信号 V_{115} が配線 2 1 1 に供給される。

【0193】

なお、スイッチ 2 2 1 及びスイッチ 2 2 2 の一方がオンである場合、他方がオフであることが好ましい。これにより、信号 V_{114} 及び信号 V_{115} の双方が配線 2 1 1 に供給されることを防止することができる。

【0194】

なお、スイッチ 2 2 1 の第 1 の端子をインバータ 1 0 3 の出力端子と接続してもよい。また、スイッチ 2 2 2 の第 1 の端子をインバータ 1 0 4 の出力端子と接続してもよい。

【0195】

なお、回路 2 0 0 が回路 2 2 0 を有していてもよい。

【0196】

例えば、回路 2 0 0 としては、信号 V_{211} 又は信号 V_{211} に応じた信号を保持することができる機能を有する順序回路を採用してもよい。信号 V_{211} 又は信号 V_{211} に応じた信号を保持するタイミングを信号 V_{112} 又は信号 V_{112} に応じた信号によって制御することが好ましい。

【0197】

例えば、回路 2 0 0 としては、信号 V_{112} 又は信号 V_{112} に応じた信号を保持することができる機能を有する順序回路を採用してもよい。信号 V_{112} 又は信号 V_{112} に応じた信号を保持するタイミングを信号 V_{211} 又は信号 V_{211} に応じた信号によって制御することが好ましい。

【0198】

例えば、図 1 8 (A) に示すように、クロックドインバータ 2 0 1 の入力端子を配線 1 1 2 と接続し、クロックドインバータ 2 0 1 の第 1 の制御端子、クロックドインバータ 2 0 1 の第 2 の制御端子及びインバータ 2 0 4 の入力端子を配線 2 1 1 と接続してもよい。

【0199】

例えば、回路 2 0 0 としては、出力をハイインピーダンスにするかしないかを切り替えることができる機能を有する回路を 1 つ又は複数有する構成を採用してもよい。出力をハイインピーダンスにするかしないかの切り替えを信号 V_{112} 又は信号 V_{112} に応じた信号によって制御することが好ましい。

【0200】

例えば、回路 2 0 0 としては、1 つ又は複数の論理回路を有する構成を採用してもよい。その 1 つ又は複数の論理回路のいずれか一において、入力端子に信号 V_{112} 又は信号 V_{112} に応じた信号が入力されることが好ましい。

【0201】

例えば、図 1 8 (B) に示すように、回路 2 0 0 として、NAND 回路 2 0 5、NAND 回路 2 0 6、NAND 回路 2 0 7 及び NAND 回路 2 0 8 を有する構成を採用してもよい。NAND 回路 2 0 5 は、第 1 の入力端子が配線 2 1 1 と接続され、第 2 の入力端子が NAND 回路 2 0 7 の出力端子と接続され、出力端子が NAND 回路 2 0 7 の第 1 の入力端子と接続される。NAND 回路 2 0 6 は、第 1 の入力端子が配線 1 1 2 と接続され、第 2 の入力端子が NAND 回路 2 0 8 の出力端子と接続され、出力端子が NAND 回路 2 0 8 の第 1 の入力端子及び配線 2 1 2 と接続される。NAND 回路 2 0 7 は、第 2 の入力端子が配線 2 1 2 と接続され、出力端子が NAND 回路 2 0 8 の第 2 の入力端子と接続される。

【0202】

本実施の形態で述べる内容は、本実施の形態で述べる他の内容、及び／又は、他の実施の形態等の本明細書等において述べる内容と適宜組み合わせる実施することができる。

10

20

30

40

50

【0203】

(実施の形態3)

本実施の形態では、本発明の一態様に係る装置について説明する。

【0204】

図19は本発明の一態様に係る装置の構成の一例を示す。

【0205】

図19に例示する装置は、回路100、回路200、回路300、及び回路310を有する。

【0206】

回路100及び回路200は、実施の形態1又は実施の形態2等において説明する回路100及び回路200に対応する。

【0207】

図20には、回路300及び回路310の構成を例示する。

【0208】

回路300は、スイッチ301及びスイッチ302を有する。スイッチ301は、第1の端子が配線322と接続され、第2の端子が配線321と接続され、制御端子が配線212と接続される。スイッチ302は、第1の端子が配線323と接続され、第2の端子が配線321と接続され、制御端子がインバータ303の出力端子と接続される。

【0209】

回路310は、スイッチ311及びスイッチ312を有する。スイッチ311は、第1の端子が配線332と接続され、第2の端子が配線331と接続され、制御端子が配線212と接続される。スイッチ312は、第1の端子が配線333と接続され、第2の端子が配線331と接続され、制御端子がインバータ313の出力端子と接続される。

【0210】

回路300は、配線322と配線321とを導通状態にするか、配線323と配線321とを導通状態にするか、を選択する機能を有する。配線322と配線321とが導通状態であれば、配線322の信号(信号 V_{322})が配線321に供給される。配線323と配線321とが導通状態であれば、配線323の電位(電位 V_{323})が配線321に供給される。つまり、回路300は、信号 V_{322} を配線321に供給するか、電位 V_{323} を配線321に供給するか、を選択する機能を有する。

【0211】

回路310は、配線332と配線331とを導通状態にするか、配線333と配線331とを導通状態にするか、を選択する機能を有する。配線332と配線331とが導通状態であれば、配線332の信号(信号 V_{332})が配線331に供給される。配線333と配線331とが導通状態であれば、配線333の電位(電位 V_{333})が配線331に供給される。つまり、回路310は、信号 V_{332} を配線331に供給するか、電位 V_{333} を配線331に供給するか、を選択する機能を有する。

【0212】

スイッチ301及びスイッチ302のオン又はオフを制御することによって、配線322と配線321とを導通状態にするか、配線323と配線321とを導通状態にするか、を選択することができる。スイッチ301がオンであれば、配線322と配線321とが導通状態になる。スイッチ302がオンであれば、配線323と配線321とが導通状態になる。

【0213】

スイッチ311及びスイッチ312のオン又はオフを制御することによって、配線332と配線331とを導通状態にするか、配線333と配線331とを導通状態にするか、を選択することができる。スイッチ311がオンであれば、配線332と配線331とが導通状態になる。スイッチ312がオンであれば、配線333と配線331とが導通状態になる。

【0214】

10

20

30

40

50

配線 3 2 1 の信号（信号 $V_{3\ 2\ 1}$ ともいう）は、信号 $V_{3\ 2\ 2}$ 及び電位 $V_{3\ 2\ 3}$ に応じて制御される。信号 $V_{3\ 2\ 2}$ が配線 3 2 1 に供給される場合、信号 $V_{3\ 2\ 1}$ は信号 $V_{3\ 2\ 2}$ と等しい電位又は概略等しい電位になる。電位 $V_{3\ 2\ 3}$ が配線 3 2 1 に供給される場合、信号 $V_{3\ 2\ 1}$ は電位 $V_{3\ 2\ 3}$ と等しい電位又は概略等しい電位になる。

【0 2 1 5】

信号 $V_{3\ 2\ 2}$ としてはハイレベルとローレベルとを有する信号、所謂デジタル信号がある。特に、信号 $V_{3\ 2\ 2}$ は好ましくはクロック信号である。ただし、信号 $V_{3\ 2\ 2}$ は信号 $V_{1\ 1\ 1}$ とは位相が異なることが好ましい。よって、信号 $V_{3\ 2\ 2}$ が配線 3 2 1 に供給される場合、信号 $V_{3\ 2\ 2}$ がハイレベルであれば信号 $V_{3\ 2\ 1}$ もハイレベルになり、信号 $V_{3\ 2\ 2}$ がローレベルであれば信号 $V_{3\ 2\ 1}$ もローレベルになる。ただし、これに限定されない。

10

【0 2 1 6】

電位 $V_{3\ 2\ 3}$ としては信号 $V_{3\ 2\ 2}$ のローレベルに対応する電位がある。よって、電位 $V_{3\ 2\ 3}$ が配線 3 2 1 に供給される場合、信号 $V_{3\ 2\ 1}$ がローレベルになる。ただし、これに限定されない。電位 $V_{3\ 2\ 3}$ は信号 $V_{3\ 2\ 2}$ のハイレベルに対応する電位であってもよい。

【0 2 1 7】

配線 3 3 1 の信号（信号 $V_{3\ 3\ 1}$ ともいう）は、信号 $V_{3\ 3\ 2}$ 及び電位 $V_{3\ 3\ 3}$ に応じて制御される。信号 $V_{3\ 3\ 2}$ が配線 3 3 1 に供給される場合、信号 $V_{3\ 3\ 1}$ は信号 $V_{3\ 3\ 2}$ と等しい電位又は概略等しい電位になる。電位 $V_{3\ 3\ 3}$ が配線 3 3 1 に供給される場合、信号 $V_{3\ 3\ 1}$ は電位 $V_{3\ 3\ 3}$ と等しい電位又は概略等しい電位になる。

20

【0 2 1 8】

信号 $V_{3\ 3\ 2}$ としてはハイレベルとローレベルとを有する信号、所謂デジタル信号がある。特に、信号 $V_{3\ 3\ 2}$ は好ましくはクロック信号である。ただし、信号 $V_{3\ 3\ 2}$ は信号 $V_{1\ 1\ 1}$ 及び信号 $V_{3\ 2\ 2}$ とは位相が異なることが好ましい。よって、信号 $V_{3\ 3\ 2}$ が配線 3 3 1 に供給される場合、信号 $V_{3\ 3\ 2}$ がハイレベルであれば信号 $V_{3\ 3\ 1}$ もハイレベルになり、信号 $V_{3\ 3\ 2}$ がローレベルであれば信号 $V_{3\ 3\ 1}$ もローレベルになる。ただし、これに限定されない。

【0 2 1 9】

電位 $V_{3\ 3\ 3}$ としては信号 $V_{3\ 3\ 2}$ のローレベルに対応する電位がある。よって、電位 $V_{3\ 3\ 3}$ が配線 3 3 1 に供給される場合、信号 $V_{3\ 3\ 1}$ がローレベルになる。ただし、これに限定されない。電位 $V_{3\ 3\ 3}$ は信号 $V_{3\ 3\ 2}$ のハイレベルに対応する電位であってもよい。

30

【0 2 2 0】

なお、電位 $V_{3\ 2\ 3}$ と電位 $V_{3\ 3\ 3}$ とは等しい又は概略等しい電位としてもよい。そのような場合、配線 3 2 3 及び配線 3 3 3 に同じ電位を供給してもよい。或いは、配線 3 2 3 と配線 3 3 3 とを 1 本の配線にまとめてもよい。

【0 2 2 1】

配線 3 2 2 と配線 3 2 1 との間及び配線 3 2 3 と配線 3 2 1 との間の一方が導通状態である場合には、他方が非導通状態であることが好ましい。つまり、スイッチ 3 0 1 及びスイッチ 3 0 2 の一方が導通状態である場合には、他方が非導通状態であることが好ましい。これにより、信号 $V_{3\ 2\ 2}$ 及び電位 $V_{3\ 2\ 3}$ の双方が配線 3 2 1 に供給されることを防止することができる。

40

【0 2 2 2】

配線 3 3 2 と配線 3 3 1 との間及び配線 3 3 3 と配線 3 3 1 との間の一方が導通状態である場合には、他方が非導通状態であることが好ましい。つまり、スイッチ 3 1 1 及びスイッチ 3 1 2 の一方が導通状態である場合には、他方が非導通状態であることが好ましい。これにより、信号 $V_{3\ 3\ 2}$ 及び電位 $V_{3\ 3\ 3}$ の双方が配線 3 3 1 に供給されることを防止することができる。

【0 2 2 3】

50

回路 300 は、信号 V_{212} によって制御される。具体的には、スイッチ 301 は信号 V_{212} によって制御され、スイッチ 302 は信号 V_{212} の反転信号によって制御される。

【0224】

回路 310 は、信号 V_{212} によって制御される。具体的には、スイッチ 311 は信号 V_{212} によって制御され、スイッチ 312 は信号 V_{212} の反転信号によって制御される。

【0225】

次に、図 19 及び図 20 に例示する装置の動作について、図 21 のタイミングチャートを参照して説明する。

【0226】

図 21 は、図 15 に例示するタイミングチャートに、信号 V_{322} 、信号 V_{332} 、信号 V_{321} 、及び信号 V_{333} の一例を追加したものである。

【0227】

時刻 t_1 において、信号 V_{322} をローレベルにし、信号 V_{332} をローレベルにする。

【0228】

回路 300 では、信号 V_{212} がハイレベルになるため、スイッチ 301 がオンになり、スイッチ 302 がオフになる。よって、ローレベルの信号 V_{322} が配線 321 に供給されるため、信号 V_{321} がローレベルになる。

【0229】

回路 310 では、信号 V_{212} がハイレベルになるため、スイッチ 311 がオンになり、スイッチ 312 がオフになる。よって、ローレベルの信号 V_{332} が配線 331 に供給されるため、信号 V_{331} がローレベルになる。

【0230】

時刻 t_2 において、信号 V_{322} をハイレベルにする。

【0231】

回路 300 では、信号 V_{212} がハイレベルのままであるため、スイッチ 301 がオンのままであり、スイッチ 302 がオフのままである。よって、ハイレベルの信号 V_{322} が配線 321 に供給されるため、信号 V_{321} がハイレベルになる。

【0232】

回路 310 では、信号 V_{212} がハイレベルのままであるため、スイッチ 311 がオンのままであり、スイッチ 312 がオフのままである。よって、ローレベルの信号 V_{322} が配線 331 に供給されるため、信号 V_{331} がローレベルのままになる。

【0233】

時刻 t_a ($t_3 < t_a < t_4$) において、信号 V_{322} をローレベルにし、信号 V_{323} をハイレベルにする。

【0234】

回路 300 では、信号 V_{212} がハイレベルのままであるため、スイッチ 301 がオンのままであり、スイッチ 302 がオフのままである。よって、ローレベルの信号 V_{322} が配線 321 に供給されるため、信号 V_{321} がローレベルになる。

【0235】

回路 310 では、信号 V_{212} がハイレベルのままであるため、スイッチ 311 がオンのままであり、スイッチ 312 がオフのままである。よって、ハイレベルの信号 V_{322} が配線 331 に供給されるため、信号 V_{331} がハイレベルになる。

【0236】

時刻 t_4 において、信号 V_{323} をローレベルにする。

【0237】

回路 300 では、信号 V_{212} がローレベルになるため、スイッチ 301 がオフになり、スイッチ 302 がオンになる。よって、電位 V_{323} が配線 321 に供給されるため、信号 V_{321} がローレベルのままになる。

10

20

30

40

50

【0238】

回路310では、信号 V_{212} がローレベルになるため、スイッチ311がオフになり、スイッチ312がオンになる。よって、電位 V_{333} が配線331に供給されるため、信号 V_{331} がローレベルになる。

【0239】

以上のとおり、信号 V_{212} よりもパルス幅が小さい信号 V_{321} 及び V_{331} を生成することができる。

【0240】

なお、スイッチ301、スイッチ302、スイッチ311、及びスイッチ312は、制御端子に入力される信号がハイレベルの場合にオンになるときの動作を説明したが、これに限定されない。

10

【0241】

スイッチ301、スイッチ302、スイッチ311、及びスイッチ312を制御するための構成は、図19及び図20の構成に限定されない。

【0242】

例えば、図22に示すように、スイッチ302を信号 V_{212} によって制御し、スイッチ301を信号 V_{212} の反転信号によって制御してもよい。そのような場合、配線212は、スイッチ302の制御端子と接続されるとともに、インバータ303を介してスイッチ301の制御端子と接続される。

20

【0243】

例えば、図22に示すように、スイッチ312を信号 V_{212} によって制御し、スイッチ311を信号 V_{212} の反転信号によって制御してもよい。そのような場合、配線212は、スイッチ312の制御端子と接続されるとともに、インバータ313を介してスイッチ311の制御端子と接続される。

【0244】

例えば、スイッチ301及びスイッチ302の双方を信号 V_{212} によって制御してもよい。そのような場合、配線212は、スイッチ301の制御端子及びスイッチ302の制御端子の双方と接続される。

【0245】

例えば、スイッチ311及びスイッチ312の双方を信号 V_{212} によって制御してもよい。そのような場合、配線212は、スイッチ311の制御端子及びスイッチ312の制御端子の双方と接続される。

30

【0246】

例えば、図23に示すように、スイッチ312を信号 V_{212} の反転信号によって制御してもよい。そのような場合、インバータ303の出力端子は、スイッチ302の制御端子及びスイッチ312の制御端子の双方と接続される。

【0247】

例えば、インバータ303の代わりに、入力信号に対して反転した信号を出力することができる機能を有する回路を採用してもよい。そのような回路としては、NAND回路、NOR回路、又はクロックドインバータ等がある。

40

【0248】

例えば、インバータ313の代わりに、入力信号に対して反転した信号を出力することができる機能を有する回路を採用してもよい。そのような回路としては、NAND回路、NOR回路、又はクロックドインバータ等がある。

【0249】

次に、スイッチ301、スイッチ302、スイッチ311及びスイッチ312に採用できる構成例について説明する。

【0250】

スイッチ301、スイッチ302、スイッチ311及びスイッチ312としては、スイッチ101A、スイッチ101B、スイッチ102A及びスイッチ102Bと同様に、様々

50

な形態のものを採用することができる。

【0251】

図24には、図20に例示する回路300及び回路310において、スイッチ301、スイッチ302、スイッチ311及びスイッチ312のそれぞれにCMOS型のスイッチを採用する構成を例示する。

【0252】

Nチャネル型のトランジスタ301n及びPチャネル型のトランジスタ301pはスイッチ301に対応する。トランジスタ301nの第1の端子及びトランジスタ301pの第1の端子がスイッチ301の第1の端子に対応し配線322と接続される。トランジスタ301nの第2の端子及びトランジスタ301pの第2の端子がスイッチ301の第2の端子に対応し配線321と接続される。トランジスタ301nのゲート及びトランジスタ301pのゲートがスイッチ301の制御端子に対応し、トランジスタ301nのゲートが配線212と接続され、トランジスタ301pのゲートがインバータ303の出力端子と接続される。

10

【0253】

Nチャネル型のトランジスタ302n及びPチャネル型のトランジスタ302pはスイッチ302に対応する。トランジスタ302nの第1の端子及びトランジスタ302pの第1の端子がスイッチ302の第1の端子に対応し配線323と接続される。トランジスタ302nの第2の端子及びトランジスタ302pの第2の端子がスイッチ302の第2の端子に対応し配線321と接続される。トランジスタ302nのゲート及びトランジスタ302pのゲートがスイッチ302の制御端子に対応し、トランジスタ302nのゲートがインバータ303の出力端子と接続され、トランジスタ302pのゲートが配線212と接続される。

20

【0254】

Nチャネル型のトランジスタ311n及びPチャネル型のトランジスタ311pはスイッチ311に対応する。トランジスタ311nの第1の端子及びトランジスタ311pの第1の端子がスイッチ311の第1の端子に対応し配線332と接続される。トランジスタ311nの第2の端子及びトランジスタ311pの第2の端子がスイッチ311の第2の端子に対応し配線331と接続される。トランジスタ311nのゲート及びトランジスタ311pのゲートがスイッチ311の制御端子に対応し、トランジスタ311nのゲートが配線212と接続され、トランジスタ311pのゲートがインバータ313の出力端子と接続される。

30

【0255】

Nチャネル型のトランジスタ312n及びPチャネル型のトランジスタ312pはスイッチ312に対応する。トランジスタ312nの第1の端子及びトランジスタ312pの第1の端子がスイッチ312の第1の端子に対応し配線333と接続される。トランジスタ312nの第2の端子及びトランジスタ312pの第2の端子がスイッチ312の第2の端子に対応し配線331と接続される。トランジスタ312nのゲート及びトランジスタ312pのゲートがスイッチ312の制御端子に対応し、トランジスタ312nのゲートがインバータ313の出力端子と接続され、トランジスタ312pのゲートが配線212と接続される。

40

【0256】

スイッチ301、スイッチ302、スイッチ311及びスイッチ312として採用するトランジスタを制御するための構成は、図24に例示する構成に限定されない。

【0257】

例えば、図22に例示する構成と同様に、トランジスタ301nのゲート及びトランジスタ302pのゲートをインバータ303の出力端子と接続し、トランジスタ301pのゲート及びトランジスタ302nのゲートを配線212と接続してもよい。

【0258】

例えば、図22に例示する構成と同様に、トランジスタ311nのゲート及びトランジスタ311pのゲートを配線212と接続してもよい。

50

タ 3 1 2 p のゲートをインバータ 3 1 3 の出力端子と接続し、トランジスタ 3 1 1 p のゲート及びトランジスタ 3 1 2 n のゲートを配線 2 1 2 と接続してもよい。

【0 2 5 9】

例えば、図 2 3 に例示する構成と同様に、トランジスタ 3 1 1 p のゲート及びトランジスタ 3 1 2 n のゲートをインバータ 3 0 3 の出力端子と接続してもよい。

【0 2 6 0】

スイッチ 3 0 1、スイッチ 3 0 2、スイッチ 3 1 1 及びスイッチ 3 1 2 のそれぞれに採用される構成は、CMOS 型のスイッチに限定されない。

【0 2 6 1】

例えば、図 2 5 に示すように、スイッチ 3 0 2 として、Nチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 0 2 p を省略してもよい。

10

【0 2 6 2】

例えば、図 2 5 に示すように、スイッチ 3 1 2 として、Nチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 1 2 p を省略してもよい。

【0 2 6 3】

例えば、スイッチ 3 0 2 として、Pチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 0 2 n を省略してもよい。

【0 2 6 4】

例えば、スイッチ 3 1 2 として、Pチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 1 2 n を省略してもよい。

20

【0 2 6 5】

例えば、スイッチ 3 0 1 として、Nチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 0 1 p を省略してもよい。

【0 2 6 6】

例えば、スイッチ 3 1 1 として、Nチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 1 1 p を省略してもよい。

【0 2 6 7】

例えば、スイッチ 3 0 1 として、Pチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 0 1 n を省略してもよい。

【0 2 6 8】

例えば、スイッチ 3 1 1 として、Pチャネル型のトランジスタを採用してもよい。つまり、トランジスタ 3 1 1 n を省略してもよい。

30

【0 2 6 9】

なお、スイッチ 3 0 2 として Nチャネル型のトランジスタを採用する場合には、電位 V_{323} は信号 V_{212} のローレベルに対応する電位であることが好ましい。これにより、スイッチ 3 0 2 において、Nチャネル型のトランジスタのゲートとソースとの間の電位差を大きくすることができる。よって、配線 3 2 3 と配線 3 2 1 との間の抵抗値を小さくすることができる。

【0 2 7 0】

なお、スイッチ 3 1 2 として Nチャネル型のトランジスタを採用する場合には、電位 V_{333} は信号 V_{212} のローレベルに対応する電位であることが好ましい。これにより、スイッチ 3 1 2 において、Nチャネル型のトランジスタのゲートとソースとの間の電位差を大きくすることができる。よって、配線 3 3 3 と配線 3 3 1 との間の抵抗値を小さくすることができる。

40

【0 2 7 1】

なお、スイッチ 3 0 2 として Pチャネル型のトランジスタを採用する場合には、電位 V_{323} は信号 V_{212} のハイレベルに対応する電位であることが好ましい。これにより、スイッチ 3 0 2 において、Pチャネル型のトランジスタのゲートとソースとの間の電位差を大きくすることができる。よって、配線 3 2 3 と配線 3 2 1 との間の抵抗値を小さくすることができる。

50

【0272】

なお、スイッチ312としてPチャネル型のトランジスタを採用する場合には、電位 V_{33} は信号 V_{212} のハイレベルに対応する電位であることが好ましい。これにより、スイッチ312において、Pチャネル型のトランジスタのゲートとソースとの間の電位差を大きくすることができる。よって、配線333と配線331との間の抵抗値を小さくすることができる。

【0273】

次に、図19及び図20に例示する回路300及び回路310の変形例について説明する。

【0274】

例えば、配線323と配線333とを1本の配線にまとめてもよい。そのような場合、スイッチ302の第1の端子及びスイッチ312の第1の端子は、配線323又は配線333と接続される。

【0275】

例えば、配線323と配線333と配線113とを1本の配線にまとめてもよい。そのような場合、スイッチ302の第1の端子、スイッチ312の第1の端子及びスイッチ101Bは、配線323、配線333若しくは配線113、又は実施の形態1において説明するスイッチ302の第1の端子の接続先（配線114、配線115、インバータ103の出力端子又はインバータ104の出力端子）と接続される。

【0276】

例えば、回路300に、配線321の電位を初期化するための構成を追加してもよい。図26には、配線321の電位を初期化するための構成としてスイッチ304及びスイッチ305を追加する構成を例示する。スイッチ304は、第1の端子がスイッチ302の第2の端子と接続され、第2の端子が配線321と接続される。スイッチ305は、第1の端子が配線324と接続され、第2の端子が配線321と接続される。スイッチ304及びスイッチ305の一方がオンである場合、他方はオフであることが好ましい。スイッチ304がオンであり、スイッチ305がオフであれば、図26に例示する回路300は図20に例示する回路300と同様に動作する。一方、スイッチ304がオフであり、スイッチ305がオンであれば、配線324の電位（電位 V_{324} ともいう）が配線321に供給される。電位 V_{324} は信号 V_{322} のハイレベルに対応する場合、信号 V_{321} がハイレベルになる。このように、配線321の電位を初期化することができる。

【0277】

なお、スイッチ304及びスイッチ302は配線323と配線321との間に直列に接続されていればよい。例えば、スイッチ302と配線323との間にスイッチ304を接続してもよい。

【0278】

なお、スイッチ305がオンである場合、スイッチ301がオフであることが好ましい。これにより、信号 V_{322} と電位 V_{324} の双方が配線321に供給されることを防止することができる。

【0279】

例えば、回路310に、配線331の電位を初期化するための構成を追加してもよい。図26には、配線331の電位を初期化するための構成としてスイッチ314及びスイッチ315を追加する構成を例示する。スイッチ314は、第1の端子がスイッチ312の第2の端子と接続され、第2の端子が配線331と接続される。スイッチ315は、第1の端子が配線334と接続され、第2の端子が配線331と接続される。スイッチ314及びスイッチ315の一方がオンである場合、他方はオフであることが好ましい。スイッチ314がオンであり、スイッチ315がオフであれば、図26に例示する回路310は図20に例示する回路310と同様に動作する。一方、スイッチ314がオフであり、スイッチ315がオンであれば、配線334の電位（電位 V_{334} ともいう）が配線331に供給される。電位 V_{334} は信号 V_{332} のハイレベルに対応する場合、信号 V_{331} が

10

20

30

40

50

ハイレベルになる。このように、配線 3 3 1 の電位を初期化することができる。

【0280】

なお、スイッチ 3 1 4 及びスイッチ 3 1 2 は配線 3 3 3 と配線 3 3 1 との間に直列に接続されていればよい。例えば、スイッチ 3 1 2 と配線 3 3 3 との間にスイッチ 3 1 4 を接続してもよい。

【0281】

なお、スイッチ 3 1 5 がオンである場合、スイッチ 3 1 1 がオフであることが好ましい。これにより、信号 V_{332} と電位 V_{334} の双方が配線 3 3 1 に供給されることを防止することができる。

【0282】

なお、配線 3 2 4 と配線 3 3 4 とを 1 本の配線にまとめてもよい。そのような場合、スイッチ 3 0 5 の第 1 の端子及びスイッチ 3 1 5 の第 1 の端子は、配線 3 2 4 又は配線 3 3 4 と接続される。

【0283】

なお、スイッチ 3 0 4、スイッチ 3 0 5、スイッチ 3 1 4 及びスイッチ 3 1 5 としては、スイッチ 1 0 1 A、スイッチ 1 0 1 B、スイッチ 1 0 2 A 及びスイッチ 1 0 2 B と同様に、様々な形態のものを採用することができる。図 27 には、図 26 に例示する回路 3 0 0 及び回路 3 1 0 において、スイッチ 3 0 4 及びスイッチ 3 1 4 として N チャンネル型のトランジスタを採用し、スイッチ 3 0 5 及びスイッチ 3 1 5 として P チャンネル型のトランジスタを採用する構成を例示する。N チャンネル型のトランジスタ 3 0 4 n はスイッチ 3 0 4 に
20 対応する。トランジスタ 3 0 4 n の第 1 の端子はスイッチ 3 0 4 の第 1 の端子に対応しスイッチ 3 0 2 の第 2 の端子と接続される。トランジスタ 3 0 4 n の第 2 の端子はスイッチ 3 0 4 の第 2 の端子に対応し配線 3 2 1 と接続される。トランジスタ 3 0 4 n のゲートはスイッチ 3 0 4 の制御端子に対応し配線 3 2 5 と接続される。P チャンネル型のトランジスタ 3 0 5 p はスイッチ 3 0 5 に対応する。トランジスタ 3 0 5 p の第 1 の端子はスイッチ 3 0 5 の第 1 の端子に対応し配線 3 2 5 と接続される。トランジスタ 3 0 5 p の第 2 の端子はスイッチ 3 0 5 の第 2 の端子に対応し配線 3 2 1 と接続される。トランジスタ 3 0 5 p のゲートはスイッチ 3 0 5 の制御端子に対応し配線 3 2 5 と接続される。N チャンネル型のトランジスタ 3 1 4 n はスイッチ 3 1 4 に対応する。トランジスタ 3 1 4 n の第 1 の端子はスイッチ 3 1 4 の第 1 の端子に対応しスイッチ 3 1 2 の第 2 の端子と接続される。ト
30 ランジスタ 3 1 4 n の第 2 の端子はスイッチ 3 1 4 の第 2 の端子に対応し配線 3 3 1 と接続される。トランジスタ 3 1 4 n のゲートはスイッチ 3 1 4 の制御端子に対応し配線 3 2 5 と接続される。P チャンネル型のトランジスタ 3 1 5 p はスイッチ 3 1 5 に対応する。トランジスタ 3 1 5 p の第 1 の端子はスイッチ 3 1 5 の第 1 の端子に対応し配線 3 3 4 と接続される。トランジスタ 3 1 5 p の第 2 の端子はスイッチ 3 1 5 の第 2 の端子に対応し配線 3 3 1 と接続される。トランジスタ 3 1 5 p のゲートはスイッチ 3 1 5 の制御端子に対応し配線 3 2 5 と接続される。配線 3 2 5 の信号（信号 V_{325} ともいう）がハイレベルであれば、トランジスタ 3 0 4 n がオンになり、トランジスタ 3 0 5 p がオフになり、トランジスタ 3 1 4 n がオンになり、トランジスタ 3 0 5 p がオフになる。信号 V_{325} が
40 ローレベルであれば、トランジスタ 3 0 4 n がオフになり、トランジスタ 3 0 5 p がオンになり、トランジスタ 3 1 4 n がオフになり、トランジスタ 3 0 5 p がオンになる。

【0284】

なお、スイッチ 3 0 4 及びスイッチ 3 0 5 として同じ極性のトランジスタを採用してもよい。そのような場合、スイッチ 3 0 4 として採用するトランジスタのゲートとスイッチ 3 0 5 として採用するトランジスタのゲートとをインバータを介して接続することが好ましい。

【0285】

なお、スイッチ 3 1 4 及びスイッチ 3 1 5 として同じ極性のトランジスタを採用してもよい。そのような場合、スイッチ 3 1 4 として採用するトランジスタのゲートとスイッチ 3 1 5 として採用するトランジスタのゲートとをインバータを介して接続することが好まし
50

い。

【0286】

なお、電位 V_{323} が信号 V_{212} のローレベルに対応する電位である場合、スイッチ 304 及びスイッチ 302 としては N チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。電位 V_{323} が信号 V_{212} のハイレベルに対応する電位である場合、スイッチ 304 及びスイッチ 302 としては P チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。スイッチ 304 及びスイッチ 302 として採用するトランジスタのゲートとソースとの電位差を大きくすることができるため、配線 323 と配線 321 との抵抗値を小さくすることができる。

【0287】

なお、電位 V_{333} が信号 V_{212} のローレベルに対応する電位である場合、スイッチ 314 及びスイッチ 312 としては N チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。電位 V_{333} が信号 V_{212} のハイレベルに対応する電位である場合、スイッチ 314 及びスイッチ 312 としては P チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。スイッチ 314 及びスイッチ 312 として採用するトランジスタのゲートとソースとの電位差を大きくすることができるため、配線 333 と配線 331 との抵抗値を小さくすることができる。

【0288】

なお、電位 V_{324} が信号 V_{212} のハイレベルに対応する電位である場合、スイッチ 305 としては P チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。電位 V_{324} が信号 V_{212} のローレベルに対応する電位である場合、スイッチ 305 としては N チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。スイッチ 305 として採用するトランジスタのゲートとソースとの電位差を大きくすることができるため、配線 324 と配線 321 との抵抗値を小さくすることができる。

【0289】

なお、電位 V_{334} が信号 V_{212} のハイレベルに対応する電位である場合、スイッチ 315 としては P チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。電位 V_{334} が信号 V_{212} のローレベルに対応する電位である場合、スイッチ 315 としては N チャンネル型のトランジスタ又は CMOS 型のスイッチを採用することが好ましい。スイッチ 315 として採用するトランジスタのゲートとソースとの電位差を大きくすることができるため、配線 334 と配線 331 との抵抗値を小さくすることができる。

【0290】

例えば、配線 321 に、論理回路、組み合わせ回路又は順序回路等の回路を接続してもよい。つまり、信号 V_{321} を論理回路、組み合わせ回路又は順序回路等の回路を介して出力してもよい。

【0291】

例えば、配線 331 に、論理回路、組み合わせ回路又は順序回路等の回路を接続してもよい。つまり、信号 V_{321} を論理回路、組み合わせ回路又は順序回路等の回路を介して出力してもよい。

【0292】

本実施の形態で述べる内容は、本実施の形態で述べる他の内容、及び／又は、他の実施の形態等の本明細書等において述べる内容と適宜組み合わせる実施することができる。

【0293】

(実施の形態 4)

本実施の形態では、本発明の一態様に係る装置について説明する。

【0294】

図 28 は本発明の一態様に係る装置の構成の一例を示す。

【0295】

図 28 に例示する装置は、シフトレジスタ 360 を有する。シフトレジスタ 360 は、 N (N は 3 以上の自然数) 本の配線 371 (配線 371 [1] 乃至 [N] とともいう)、2 本の配線 372 (配線 372 [1] 乃至 [2] とともいう)、配線 373 と接続される。ただし、配線 371 [1] 乃至 [6] のみを示す。

【0296】

シフトレジスタ 360 は、配線 372 [1] の信号 (信号 CK1)、配線 372 [2] の信号 (信号 CK2)、及び配線 373 の信号 (信号 SP) に基づいて、配線 371 [1] 乃至 [N] のそれぞれに信号 SOUT [1] 乃至 [N] をそれぞれ出力する。

【0297】

なお、信号 CK1 の一例としてはクロック信号がある。

10

【0298】

なお、信号 CK2 の一例としてはクロック信号がある。ただし、信号 CK1 及び信号 CK2 は、互いに位相が異なることが好ましい。

【0299】

なお、信号 SP の一例としてはスタートパルスがある。

【0300】

シフトレジスタ 360 は、 N (N は 3 以上の自然数) 個の回路 361 (回路 361 [1] 乃至 [N] とともいう) を有する。ただし、図 28 には、回路 361 [1] 乃至 [6] のみを示す。回路 361 [1] 乃至 [N] のそれぞれとしては、実施の形態 2 等において説明する装置を採用することができる。ただし、回路 361 [1] 乃至 [N] のそれぞれとしては、実施の形態 1 等において説明する装置を有していればよい。

20

【0301】

なお、回路 361 [1] 乃至 [N] のそれぞれをステージ、順序回路又はフリップフロップ等と呼んでもよい。

【0302】

回路 361 [1] は、端子 OUT が配線 371 [1] と接続され、端子 CK が配線 372 [1] と接続され、端子 IN1 が配線 373 と接続され、端子 IN2 が配線 372 [2] と接続される。回路 361 [i] (i は 2 乃至 $N-1$ のいずれか一の自然数) は、端子 SOUT が配線 371 [i] と接続され、奇数段では端子 CK が配線 372 [1] と接続され、偶数段では端子 CK が配線 372 [2] と接続され、端子 IN1 が配線 371 [i-1] と接続され、端子 IN2 が配線 371 [i+1] と接続される。回路 361 [N] は、端子 IN2 が図示しない配線又は配線 373 と接続される点で、回路 361 [i] と異なる。

30

【0303】

図 29 に示すように、回路 361 [1] 乃至 [N] のそれぞれにおいて、端子 SOUT は配線 212 に対応し、端子 CK は配線 111 に対応し、端子 IN1 は配線 114 又は配線 211 に対応し、端子 IN2 は配線 115 に対応する。よって、回路 361 [1] においては、信号 SOUT [1] が信号 V_{212} に対応し、信号 CK1 が信号 V_{111} に対応し、信号 SP が信号 V_{114} 又は信号 V_{211} に対応し、信号 SOUT [2] が信号 V_{115} に対応する。回路 361 [i] においては、信号 SOUT [i] が信号 V_{212} に対応し、奇数段では信号 CK1 が信号 V_{111} に対応し、偶数段では信号 CK2 が信号 V_{111} に対応し、信号 SOUT [i-1] が信号 V_{114} 又は信号 V_{211} に対応し、信号 SOUT [i+1] が信号 V_{115} に対応する。

40

【0304】

回路 361 [1] 乃至 [N] のそれぞれが実施の形態 2 において説明する装置の動作を行うことにより、図 30 に示すように信号 SOUT [1] 乃至 [N] を順次ハイレベル (アクティブ) にすることができる。図 30 に示す時刻 t_0 乃至時刻 t_6 は、回路 361 [1] における図 15 に示す時刻 t_0 乃至時刻 t_6 に対応する。

【0305】

なお、配線 371 [1] 乃至 [N] のそれぞれに、実施の形態 3 において説明する回路 3

50

00及び回路310を接続してもよい。

【0306】

本実施の形態で述べる内容は、本実施の形態で述べる他の内容、及び／又は、他の実施の形態等の本明細書等において述べる内容と適宜組み合わせる実施することができる。

【0307】

(実施の形態5)

〈半導体表示装置の構成例〉

次いで、本発明の一態様にかかる半導体表示装置の構成例について説明する。

【0308】

図31(A)に示す半導体表示装置70には、画素部71に、複数の画素55と、画素55を行毎に選択するためのバスラインに相当する、配線GL1乃至配線GLy(yは自然数)で示される配線GLと、選択された画素55に画像信号を供給するための、配線SL1乃至配線SLx(xは自然数)で示される配線SLとが、設けられている。配線GLへの信号の入力は、駆動回路72により制御されている。配線SLへの画像信号の入力は、駆動回路73により制御されている。複数の画素55は、配線GLの少なくとも一つと、配線SLの少なくとも一つとに、それぞれ接続されている。

10

【0309】

具体的に、駆動回路72は、配線GL1乃至配線GLyを順に選択するための信号を生成するシフトレジスタ75を有する。また、具体的に、駆動回路73は、順にパルスを有する信号を生成するシフトレジスタ76と、シフトレジスタ76で生成される信号に従って、配線SL1乃至配線SLxへの画像信号の供給を制御するスイッチ回路77とを有する。

20

【0310】

シフトレジスタ75またはシフトレジスタ76としては、実施の形態1乃至4等の本明細書等において説明する装置を有することができる。

【0311】

なお、画素部71に設けられる配線の種類及びその数は、画素55の構成、数及び配置によって決めることができる。具体的に、図31(A)に示す画素部71の場合、x列×y行の画素55がマトリクス状に配置されており、配線SL1乃至配線SLx、配線GL1乃至配線GLyが、画素部71内に配置されている場合を例示している。

30

【0312】

なお、図31(A)では、駆動回路72及び駆動回路73が、画素部71とともに一の基板上に形成されている場合を例示しているが、駆動回路72及び駆動回路73は、画素部71と異なる基板上に形成されていても良い。

【0313】

また、図31(B)に、画素55の構成を一例として示す。各画素55は、液晶素子60と、当該液晶素子60への画像信号の供給を制御するトランジスタ56と、液晶素子60の画素電極と共通電極間の電圧を保持するための容量素子57とを有する。液晶素子60は、画素電極と、共通電極と、画素電極と共通電極の間の電圧が印加される液晶材料を含んだ液晶層と、を有している。

40

【0314】

トランジスタ56は、液晶素子60の画素電極に、配線SLの電位を与えるか否かを制御する。液晶素子60の共通電極には、所定の電位が与えられている。

【0315】

以下、トランジスタ56と液晶素子60の具体的な接続構成について説明する。図31(B)では、トランジスタ56のゲートが、配線GL1から配線GLyのいずれか1つに接続されている。トランジスタ56のソース及びドレインの一方は、配線SL1から配線SLxのいずれか1つに接続され、トランジスタ56のソース及びドレインの他方は、液晶素子60の画素電極に接続されている。

【0316】

50

液晶素子 60 では、画素電極と共通電極の間に与えられる電圧の値に従って、液晶層に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子 60 は、画素電極に与えられる画像信号の電位によって、その透過率が制御されることで、階調を表示することができる。そして、画素部 71 が有する複数の画素 55 のそれぞれにおいて、液晶素子 60 の階調が画像情報を有する画像信号に従って調整されることで、画素部 71 に画像が表示される。

【0317】

図 31 (B) では、画素 55 において、画像信号の画素 55 への入力を制御するスイッチとして、一のトランジスタ 56 を用いる場合を例示している。しかし、一のスイッチとして機能する、複数のトランジスタを、画素 55 に用いていても良い。

10

【0318】

本発明の一態様では、オフ電流が著しく小さいトランジスタ 56 を、画像信号の画素 55 への入力を制御するスイッチとして用いるのが好ましい。トランジスタ 56 のオフ電流が小さいと、トランジスタ 56 を介して電荷がリークするのを防ぐことができる。よって、液晶素子 60 及び容量素子 57 に与えられた画像信号の電位をより確実に保持することができるので、1 フレーム期間内において電荷のリークにより液晶素子 60 の透過率が変化するのを防ぎ、それにより、表示する画像の質を向上させることができる。また、トランジスタ 56 のオフ電流が小さい場合、トランジスタ 56 を介して電荷がリークするのを防ぐことができるため、静止画を表示する期間において、駆動回路 72 及び駆動回路 73 への電源電位または信号の供給を停止しても良い。上記構成により、画素部 71 への画像信号の書き込み回数を少なくし、半導体表示装置の消費電力を低減させることができる。

20

【0319】

例えば、酸化物半導体を半導体膜に含むトランジスタはオフ電流が著しく小さいため、トランジスタ 56 として用いるのが適している。

【0320】

なお、図 31 (B) では、トランジスタ 56 は、半導体膜を間に挟んで重なり合った、一对のゲート電極を有していても良い。当該一对のゲート電極は電氣的に接続されている。本発明の一態様では、上記構成により、トランジスタ 56 のオン電流を大きくし、なおかつトランジスタ 56 の信頼性を高めることができる。

【0321】

次いで、図 31 (C) に、画素 55 の別の一例を示す。画素 55 は、画素 55 への画像信号の入力を制御するトランジスタ 95 と、発光素子 98 と、画像信号に従って発光素子 98 に供給する電流値を制御するトランジスタ 96 と、画像信号の電位を保持するための容量素子 97 と、を有する。

30

【0322】

発光素子 98 は、LED (Light Emitting Diode) や OLED (Organic Light Emitting Diode) などの、電流または電圧によって輝度が制御される素子をその範疇に含んでいる。例えば、OLED は、EL 層と、アノードと、カソードとを少なくとも有している。EL 層はアノードとカソードの間に設けられた単層または複数の層で構成されており、これらの層の中に、発光性の物質を含む発光層を少なくとも含んでいる。

40

【0323】

なお、EL 層は、カソードとアノード間の電位差が、発光素子 98 の閾値電圧以上になったときに供給される電流により、エレクトロルミネッセンスが得られる。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とが含まれる。

【0324】

発光素子 98 のアノードとカソードのいずれか一方は、画素 55 に入力される画像信号に従ってその電位が制御される。アノードとカソードのうち、画像信号に従ってその電位が制御される電極を画素電極とし、もう一方の電極を共通電極とする。発光素子 98 の共通

50

電極には、所定の電位が与えられており、発光素子 98 の輝度は、画素電極と共通電極間の電位差によって定まる。よって、発光素子 98 は、画像信号の電位に従ってその輝度が制御されることで、階調を表示することができる。そして、画素部が有する複数の画素 55 のそれぞれにおいて、発光素子 98 の階調が画像情報を有する画像信号に従って調整されることで、画素部 71 に画像が表示される。

【0325】

次いで、画素 55 が有する、トランジスタ 95、トランジスタ 96、容量素子 97、発光素子 98 の接続構成について説明する。

【0326】

トランジスタ 95 は、ソース及びドレインの一方が配線 SL に接続され、ソース及びドレインの他方がトランジスタ 96 のゲートに接続されている。トランジスタ 95 のゲートは、配線 GL に接続されている。トランジスタ 96 は、ソース及びドレインの一方が電源線 VL に接続され、ソース及びドレインの他方が発光素子 98 に接続されている。具体的に、トランジスタ 96 のソース及びドレインの他方は、発光素子 98 のアノードとカソードのいずれか一方に接続されている。発光素子 98 のアノードとカソードのいずれか他方には、所定の電位が与えられる。

【0327】

図 31 (C) では、トランジスタ 96 が、半導体膜を間に挟んで重なり合った、一对のゲート電極を有していても良い。当該一对のゲート電極は電氣的に接続されている。本発明の一態様では、上記構成により、トランジスタ 96 のオン電流を大きくし、なおかつトランジスタ 96 の信頼性を高めることができる。

【0328】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置は、例えば、EL (エレクトロルミネッセンス) 素子 (有機物及び無機物を含む EL 素子、有機 EL 素子、無機 EL 素子)、LED (白色 LED、赤色 LED、緑色 LED、青色 LED など)、トランジスタ (電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ (GLV)、プラズマディスプレイ (PDP)、MEMS (マイクロ・エレクトロ・メカニカル・システム) を用いた表示素子、デジタルマイクロミラーデバイス (DMD)、DMS (デジタル・マイクロ・シャッター)、IMOD (インターフェアレンス・モジュレーション) 素子、シャッター方式の MEMS 表示素子、光干渉方式の MEMS 表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子などの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL 素子を用いた表示装置の一例としては、EL ディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ (FED) 又は SED 方式平面型ディスプレイ (SED: Surface-conduction Electron-emitter Display) などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ (透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ) などがある。電子インク、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAM などの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0329】

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来

る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、S O I 基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（P E T）、ポリエチレンナフタレート（P E N）、ポリエーテルサルフォン（P E S）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はS O I 基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

10

【0330】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

20

【0331】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

30

【0332】

本実施の形態は、他の実施の形態等の本明細書等において開示する構成と適宜組み合わせて実施することができる。

【0333】

（実施の形態6）

40

〈画素の構成〉

次いで、図31（A）に示した半導体表示装置70の一つである液晶表示装置を例に挙げて、画素55の構成例について説明する。図32に、画素55の上面図を一例として示す。なお、図32では、画素55のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図32に示す画素55を有する素子基板を用いて形成された液晶表示装置の断面図を、図33に示す。図33に示す液晶表示装置のうち、基板31を含む素子基板は、図32の破線B1-B2における断面図に相当する。

【0334】

図32及び図33に示す画素55は、トランジスタ56と、容量素子57とを有する。さらに、図33に示す画素55は、液晶素子60を有する。

50

【0335】

トランジスタ56は、絶縁表面を有する基板31上に、ゲート電極としての機能を有する導電膜40と、ゲート絶縁膜としての機能を有し、なおかつ導電膜40上に位置する絶縁膜22と、絶縁膜22上において導電膜40と重なる酸化物半導体膜41と、酸化物半導体膜41に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜43及び導電膜44とを有する。導電膜40は、図31(B)に示す配線GLとしての機能を有する。また、導電膜43は、図31(B)に示す配線SLとしての機能を有する。

【0336】

また、画素55は、絶縁膜22上に金属酸化物膜42を有する。金属酸化物膜42は、可視光に対して透光性を有する導電膜である。そして、金属酸化物膜42上には、金属酸化物膜42に電氣的に接続された導電膜61が設けられている。導電膜61は、金属酸化物膜42に所定の電位を供給する配線としての機能を有する。

10

【0337】

絶縁膜22としては、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを一種以上含む絶縁膜を、単層で、または積層させて用いればよい。なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

20

【0338】

また、図33では、酸化物半導体膜41、導電膜43及び導電膜44上と、金属酸化物膜42及び導電膜61上とに、絶縁膜26及び絶縁膜27が、順に積層するように設けられている。トランジスタ56は、絶縁膜26及び絶縁膜27をその構成要素に含んでも良い。なお、図33では、順に積層された絶縁膜26及び絶縁膜27を例示しているが、絶縁膜26及び絶縁膜27の代わりに、単層の絶縁膜が用いられていてもよいし、積層された3層以上の絶縁膜が用いられていてもよい。

【0339】

そして、絶縁膜26及び絶縁膜27は、金属酸化物膜42と重なる位置に開口部58を有する。開口部58は、酸化物半導体膜41、導電膜43及び導電膜44とは異なる領域であって、なおかつ金属酸化物膜42と重なる領域に設けられている。

30

【0340】

また、図33では、絶縁膜26及び絶縁膜27上と、開口部58における金属酸化物膜42上とに、窒化物絶縁膜28と、絶縁膜29とが、順に積層するように設けられている。

【0341】

なお、絶縁膜22上に酸化物半導体膜を形成し、当該酸化物半導体膜に接するように窒化物絶縁膜28を形成することで、上記酸化物半導体膜の導電性を高めることができる。そして、導電性の高まった酸化物半導体膜を、金属酸化物膜42として用いることができる。酸化物半導体膜の導電性が高まるのは、開口部58の形成時、または、窒化物絶縁膜28の形成時に酸化物半導体膜中に酸素欠損が形成され、窒化物絶縁膜28から拡散してきた水素が当該酸素欠損に結合することでドナーが生成されるからだと考えられる。具体的に、金属酸化物膜42の抵抗率は、代表的には $1 \times 10^{-3} \Omega \text{ cm}$ 以上 $1 \times 10^{-4} \Omega \text{ cm}$ 未満、さらに好ましくは、抵抗率が $1 \times 10^{-3} \Omega \text{ cm}$ 以上 $1 \times 10^{-1} \Omega \text{ cm}$ 未満であるとよい。

40

【0342】

金属酸化物膜42は、酸化物半導体膜41より水素濃度が高いことが好ましい。金属酸化物膜42において、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる水素濃度は、 $8 \times 10^{19} \text{ atoms/cm}^3$ 以上、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 以上、より好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 以上である。酸化物半導体膜41において、二次イオン質量

50

分析法により得られる水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下である。

【0343】

窒化物絶縁膜 28 として、例えば、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることができる。上述した材料を用いた窒化物絶縁膜 28 は、酸化シリコンや酸化アルミニウムなどの酸化物絶縁膜に比べて、外部からの不純物、例えば、水、アルカリ金属、アルカリ土類金属等が、酸化物半導体膜 41 に拡散するのを防ぐことができる。

10

【0344】

また、窒化物絶縁膜 28 及び絶縁膜 29 には、導電膜 44 と重なる位置に開口部 62 が設けられている。そして、窒化物絶縁膜 28 及び絶縁膜 29 上には、可視光に対して透光性を有し、画素電極としての機能を有する導電膜 45 が設けられている。導電膜 45 は、開口部 62 において、導電膜 44 に電氣的に接続されている。また、導電膜 45 は、開口部 58 において金属酸化物膜 42 と重なっている。導電膜 45 と金属酸化物膜 42 とが、窒化物絶縁膜 28 及び絶縁膜 29 を間に挟んで重なる部分が、容量素子 57 として機能する。

【0345】

容量素子 57 は、一对の電極として機能する金属酸化物膜 42 及び導電膜 45 と、誘電体膜として機能する窒化物絶縁膜 28 及び絶縁膜 29 とが、可視光に対して透光性を有している。よって、容量素子 57 は可視光に対して透光性を有することとなり、容量素子の可視光に対する透光性が低い画素に比べて、画素 55 の開口率を高めることができる。そのため、高い画質を得るために必要な容量値を確保しつつ、パネル内における光の損失を小さく抑えて、半導体装置の消費電力を低減させることができる。

20

【0346】

なお、上述したように、絶縁膜 29 は必ずしも設ける必要はないが、窒化物絶縁膜 28 よりも比誘電率の低い絶縁物を用いた絶縁膜 29 を窒化物絶縁膜 28 と共に誘電体膜として用いることで、容量素子 57 の誘電体膜の誘電率を、窒化物絶縁膜 28 の膜厚を大きくすることなく所望の値に調整することができる。

30

【0347】

導電膜 45 上には、配向膜 52 が設けられている。

【0348】

また、基板 31 と対向するように、基板 46 が設けられている。基板 46 上には、可視光を遮る機能を有する遮蔽膜 47 と、特定の波長範囲の可視光を透過する着色層 48 とが、設けられている。遮蔽膜 47 及び着色層 48 上には、樹脂膜 50 が設けられており、樹脂膜 50 上には共通電極としての機能を有する導電膜 59 が設けられている。また、導電膜 59 上には配向膜 51 が設けられている。

【0349】

そして、基板 31 と基板 46 の間には、配向膜 52 と配向膜 51 に挟まれるように、液晶材料を含む液晶層 53 が設けられている。液晶素子 60 は、導電膜 45、導電膜 59、及び液晶層 53 を有する。

40

【0350】

なお、図 32 及び図 33 では、液晶の駆動方法として TN (Twisted Nematic) モードを用いる場合を例示したが、液晶の駆動方法としては、FFS (Fringe Field Switching) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、MVA (Multi-domain Vertical Alignment) モード、IPS (In-Plane Switching) モード、OCB (Optically Compensated Birefringence) モード、ブルー相モード、TBA

50

(Transverse Bend Alignment) モード、VA-IPS モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモード、ASV (Advanced Super View) モードなどを適用することも可能である。

【0351】

また、本発明の一態様に係る液晶表示装置において、液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、高分子分散型液晶 (PDLC) に分類される液晶材料を用いることができる。

【0352】

また、配向膜を用いないブルー相を示す液晶を液晶層に用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が 1 msec 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

【0353】

また、図 33 では、カラーフィルタを用いることでカラーの画像を表示する液晶表示装置を例示しているが、本発明の一態様にかかる液晶表示装置は、異なる色相の光を発する複数の光源を順次点灯させることで、カラーの画像を表示する構成を有していてもよい。

【0354】

なお、トランジスタ 56 の酸化物半導体膜 41 は、単膜の酸化物半導体膜で構成されているとは限らず、積層された複数の酸化物半導体膜で構成されていても良い。図 34 (A) では、酸化物半導体膜 41 が、3 層の積層された酸化物半導体膜で構成されている場合を、例示している。具体的に、図 34 (A) に示すトランジスタ 56 では、酸化物半導体膜 41 として、酸化物半導体膜 41a 乃至酸化物半導体膜 41c が、絶縁膜 22 側から順に積層されている。

【0355】

そして、酸化物半導体膜 41a 及び酸化物半導体膜 41c は、酸化物半導体膜 41b を構成する金属元素の少なくとも 1 つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜 41b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上又は 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下又は 0.4 eV 以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜 41b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0356】

なお酸化物半導体膜 41c は、図 34 (B) に示すように、導電膜 43 及び導電膜 44 の上層で絶縁膜 22 と重畳させて設ける構成としてもよい。

【0357】

本実施の形態は、他の実施の形態等の本明細書等において開示する構成と適宜組み合わせて実施することができる。

【0358】

10

20

30

40

50

(実施の形態 7)

〈半導体表示装置の上面図と断面図〉

次いで、液晶表示装置を例に挙げて、本発明の一態様にかかる半導体表示装置の外観について、図 35 を用いて説明する。図 35 は、基板 4001 と基板 4006 とを封止材 4005 によって接着させた液晶表示装置の上面図である。また、図 36 は、図 35 の破線 C1-C2 における断面図に相当する。

【0359】

基板 4001 上に設けられた画素部 4002 と、一对の駆動回路 4004 とを囲むように、封止材 4005 が設けられている。また、画素部 4002、駆動回路 4004 の上に基板 4006 が設けられている。よって、画素部 4002 と、駆動回路 4004 とは、基板 4001 と封止材 4005 と基板 4006 とによって封止されている。

10

【0360】

また、基板 4001 上の封止材 4005 によって囲まれている領域とは異なる領域に、駆動回路 4003 が実装されている。

【0361】

また、基板 4001 上に設けられた画素部 4002、駆動回路 4004 は、トランジスタを複数有している。図 36 では、画素部 4002 に含まれるトランジスタ 4010 を例示している。トランジスタ 4010 上には、窒化物絶縁膜を含む各種絶縁膜で構成される絶縁膜 4020 が設けられており、トランジスタ 4010 は、絶縁膜 4020 に設けられた開口部において、絶縁膜 4020 上の画素電極 4021 に接続されている。

20

【0362】

また、基板 4006 上には樹脂膜 4059 が設けられており、樹脂膜 4059 上には共通電極 4060 が設けられている。そして、基板 4001 と基板 4006 の間には、画素電極 4021 と共通電極 4060 の間に挟まれるように、液晶層 4028 が設けられている。液晶素子 4023 は、画素電極 4021、共通電極 4060、及び液晶層 4028 を有する。

【0363】

液晶素子 4023 では、画素電極 4021 と共通電極 4060 の間に与えられる電圧の値に従って、液晶層 4028 に含まれる液晶分子の配向が変化し、透過率が変化する。よって、液晶素子 4023 は、画素電極 4021 に与えられる画像信号の電位によって、その透過率が制御されることで、階調を表示することができる。

30

【0364】

また、図 36 に示すように、本発明の一態様では、絶縁膜 4020 は、パネルの端部において除去されている。そして、絶縁膜 4020 の除去されている領域において、導電膜 4050 が形成されている。導電膜 4050 と、トランジスタ 4010 のソースまたはドレインとして機能する導電膜とは、一の導電膜をエッチングすることで形成することができる。

【0365】

そして、基板 4001 と基板 4006 の間には、導電性を有する導電性粒子 4061 が分散された樹脂膜 4062 が設けられている。導電膜 4050 は、共通電極 4060 と、導電性粒子 4061 を介して電氣的に接続されている。すなわち、共通電極 4060 と導電膜 4050 とは、パネルの端部において、導電性粒子 4061 を介して電氣的に接続されていることとなる。樹脂膜 4062 には、熱硬化性樹脂、または紫外線硬化樹脂を用いることができる。また、導電性粒子 4061 には、例えば球状の有機樹脂を Au や Ni、Co 等の薄膜状の金属で被覆した粒子を用いることができる。

40

【0366】

なお、図 36 では配向膜を図示しなかったが、配向膜を画素電極 4021 及び共通電極 4060 上に設ける場合、共通電極 4060 と、導電性粒子 4061 と、導電膜 4050 とを電氣的に接続するために、共通電極 4060 と重なる部分において配向膜を一部除去し、導電膜 4050 と重なる部分において配向膜を一部除去すれば良い。

50

【0367】

なお、本発明の一態様に係る液晶表示装置では、カラーフィルタを用いることでカラーの画像を表示しても良いし、異なる色相の光を発する複数の光源を順次点灯させることで、カラーの画像を表示しても良い。

【0368】

また、駆動回路4003からの画像信号や、FPC4018からの各種制御信号及び電位は、引き回し配線4030及び4031を介して、駆動回路4004または画素部4002に与えられる。

【0369】

本実施の形態は、他の実施の形態等の本明細書等において開示する構成と適宜組み合わせ

10

【0370】

(実施の形態8)

本実施の形態では、上記実施の形態で説明したトランジスタの半導体層に用いることのできる酸化物半導体層について説明する。

【0371】

トランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

20

【0372】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0373】

トランジスタの半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

30

40

【0374】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0375】

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これに

50

より、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0376】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

10

【0377】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、*i* 型（真性）化又は *i* 型に限りなく近く実質的に *i* 型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

【0378】

また、このように、*i* 型又は実質的に *i* 型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25℃程度）にて $1 \times 10^{-18} \text{ A}$ 以下、好ましくは $1 \times 10^{-21} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{ A}$ 以下、又は85℃にて $1 \times 10^{-15} \text{ A}$ 以下、好ましくは $1 \times 10^{-18} \text{ A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{ A}$ 以下とすることができる。なお、トランジスタがオフ状態とは、*n* チャネル型のトランジスタの場合、ゲート電圧が閾値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧が閾値電圧よりも1V以上、2V以上又は3V以上小さければ、トランジスタはオフ状態となる。

20

【0379】

以下では、酸化物半導体膜の構造について説明する。

30

【0380】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0381】

なお、非単結晶酸化物半導体としては、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

40

【0382】

まずは、CAAC-OS膜について説明する。

【0383】

CAAC-OS膜は、*c* 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0384】

透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-OS膜の明視野像および回折パターンの複合解析像（高分解能TEM像ともいう。）を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結

50

晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0385】

試料面と略平行な方向から、CAAC-OSS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OSS膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OSS膜の被形成面または上面と平行に配列する。

【0386】

一方、試料面と略垂直な方向から、CAAC-OSS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

10

【0387】

CAAC-OSS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OSS膜のout-of-plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OSS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0388】

なお、InGaZnO₄の結晶を有するCAAC-OSS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OSS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

20

【0389】

CAAC-OSS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

30

【0390】

また、CAAC-OSS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0391】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーモリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

40

【0392】

また、CAAC-OSS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性

50

の変動が小さい。

【0393】

次に、微結晶酸化物半導体膜について説明する。

【0394】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

10

【0395】

nc-OS膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

20

【0396】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

30

【0397】

次に、非晶質酸化物半導体膜について説明する。

【0398】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0399】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0400】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

40

【0401】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(alike OS:amorphous-like Oxide Semiconductor)膜と呼ぶ。

50

【0402】

a-like OS膜は、高分解能TEM像において鬆（ボイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0403】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、 InGaZnO_4 の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。 InGaZnO_4 の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶のa-b面に対応する。

【0404】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、a-like OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、nc-OS膜の密度およびCAAC-OS膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

【0405】

上記について、具体例を用いて説明する。例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は6.357g/cm³となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、a-like OS膜の密度は5.0g/cm³以上5.9g/cm³未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、nc-OS膜の密度およびCAAC-OS膜の密度は5.9g/cm³以上6.3g/cm³未満となる。

【0406】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせることで算出することが好ましい。

【0407】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、a-like OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0408】

本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「略平行」とは、二つの直線が-30°以上30°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。また、「略垂直」とは、二つの直線が60°以上120°以下の角度で配置されている状態をいう。

【0409】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0410】

本実施の形態は、他の実施の形態等の本明細書等において開示する構成と適宜組み合わせる実施することができる。

【0411】

(実施の形態9)

〈半導体装置を用いた電子機器の構成例〉

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図37に示す。

【0412】

図37（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。表示部5003または表示部5004や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。なお、図37（A）に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0413】

図37（B）は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能となっている。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602の間の角度に従って、切り替える構成としても良い。第1表示部5603または第2表示部5604や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0414】

図37（C）はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。表示部5402や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0415】

図37（D）は腕時計であり、筐体5201、表示部5202、操作ボタン5203、バンド5204等を有する。表示部5202や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0416】

図37（E）はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能となっている。表示部5803における映像の切り替えを

、接続部 5806 における第 1 筐体 5801 と第 2 筐体 5802 の間の角度に従って行う構成としても良い。表示部 5803 や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。

【0417】

図 37 (F) は携帯電話であり、筐体 5901 に、表示部 5902、マイク 5907、スピーカー 5904、カメラ 5903、外部接続部 5906、操作用のボタン 5905 が設けられている。表示部 5902 や、その他の集積回路に、本発明の一態様に係る半導体装置を用いることができる。また、本発明の一態様に係る半導体装置を、可撓性を有する基板に形成した場合、図 37 (F) に示すような曲面を有する表示部 5902 に当該半導体装置を適用することが可能である。

10

【0418】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0419】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0420】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

20

【0421】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

30

【0422】

具体例としては、ある回路において、第 1 乃至第 5 のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第 6 のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第 6 のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第 3 のトランジスタのゲートと接続されている第 6 のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第 1 の電極が第 3 のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

40

【0423】

別の具体例としては、ある値について、例えば、「ある電圧が、3 V 以上 10 V 以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V 以上 1 V 以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V 以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が、5 V 以上 8 V 以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略 9 V であると発明を規定することも可能である。なお、例えば、その電圧が、3 V 以上 10 V 以下であるが、9 V である場合を除くと発明を規定することも可能である。なお、ある値について、「このような範囲であるこ

50

とが好ましい」、「これらを満たすことが好適である」となどと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、必ずしも、それらの記載には、限定されない。

【0424】

別の具体例としては、ある値について、例えば、「ある電圧が、10 Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明の一態様を規定することが可能である。

【0425】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、半導体膜である場合を除く、と発明の一態様を規定することが可能である。

10

【0426】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

20

【0427】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

30

【0428】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

40

【0429】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、

50

抵抗素子など)、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、N個(Nは整数)の回路素子(トランジスタ、容量素子等)を有して構成される回路図から、M個(Mは整数で、 $M < N$)の回路素子(トランジスタ、容量素子等)を抜き出して、発明の一態様を構成することは可能である。別の例としては、N個(Nは整数)の層を有して構成される断面図から、M個(Mは整数で、 $M < N$)の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、N個(Nは整数)の要素を有して構成されるフローチャートから、M個(Mは整数で、 $M < N$)の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「Aは、B、C、D、E、または、Fを有する」と記載されている文章から、一部の要素を任意に抜き出して、「Aは、BとEとを有する」、「Aは、EとFとを有する」、「Aは、CとEとFとを有する」、または、「Aは、BとCとDとEとを有する」などの発明の一態様を構成することは可能である。

10

【0430】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。

20

【0431】

なお、本明細書等においては、少なくとも図に記載した内容(図の中の一部でもよい)は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。

30

【符号の説明】

【0432】

- 2 2 絶縁膜
- 2 6 絶縁膜
- 2 7 絶縁膜
- 2 8 窒化物絶縁膜
- 2 9 絶縁膜
- 3 1 基板
- 4 0 導電膜
- 4 1 酸化物半導体膜
- 4 1 a 酸化物半導体膜
- 4 1 b 酸化物半導体膜
- 4 1 c 酸化物半導体膜
- 4 2 金属酸化物膜
- 4 3 導電膜
- 4 4 導電膜
- 4 5 導電膜
- 4 6 基板
- 4 7 遮蔽膜
- 4 8 着色層
- 5 0 樹脂膜

40

50

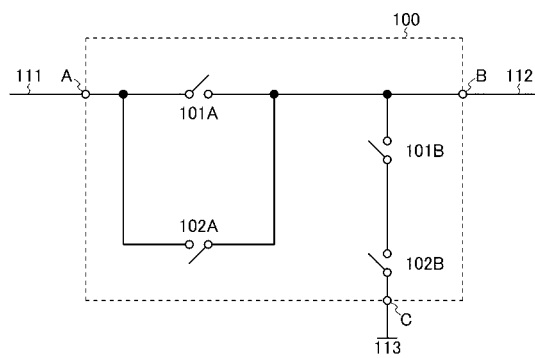
5 1	配向膜	
5 2	配向膜	
5 3	液晶層	
5 5	画素	
5 6	トランジスタ	
5 7	容量素子	
5 8	開口部	
5 9	導電膜	
6 0	液晶素子	
6 1	導電膜	10
6 2	開口部	
7 0	半導体表示装置	
7 1	画素部	
7 2	駆動回路	
7 3	駆動回路	
7 5	シフトレジスタ	
7 6	シフトレジスタ	
7 7	スイッチ回路	
9 5	トランジスタ	
9 6	トランジスタ	20
9 7	容量素子	
9 8	発光素子	
1 0 0	回路	
1 0 1 A	スイッチ	
1 0 1 A n	トランジスタ	
1 0 1 A p	トランジスタ	
1 0 1 B	スイッチ	
1 0 1 B n	トランジスタ	
1 0 1 B p	トランジスタ	
1 0 2 A	スイッチ	30
1 0 2 A n	トランジスタ	
1 0 2 A p	トランジスタ	
1 0 2 B	スイッチ	
1 0 2 B n	トランジスタ	
1 0 2 B p	トランジスタ	
1 0 3	インバータ	
1 0 3 A	N A N D 回路	
1 0 4	インバータ	
1 0 4 A	N A N D 回路	
1 0 5	スイッチ	40
1 0 5 n	トランジスタ	
1 0 6	スイッチ	
1 0 6 p	トランジスタ	
1 0 7	スイッチ	
1 1 1	配線	
1 1 2	配線	
1 1 3	配線	
1 1 4	配線	
1 1 5	配線	
1 1 6	配線	50

1 1 7	配線	
2 0 0	回路	
2 0 1	クロックドインバータ	
2 0 2	クロックドインバータ	
2 0 3	インバータ	
2 0 4	インバータ	
2 0 5	N A N D 回路	
2 0 6	N A N D 回路	
2 0 7	N A N D 回路	
2 0 8	N A N D 回路	10
2 1 1	配線	
2 1 2	配線	
2 2 0	回路	
2 2 1	スイッチ	
2 2 2	スイッチ	
3 0 0	回路	
3 0 1	スイッチ	
3 0 1 n	トランジスタ	
3 0 1 p	トランジスタ	
3 0 2	スイッチ	20
3 0 2 n	トランジスタ	
3 0 2 p	トランジスタ	
3 0 3	インバータ	
3 0 4	スイッチ	
3 0 4 n	トランジスタ	
3 0 5	スイッチ	
3 0 5 p	トランジスタ	
3 1 0	回路	
3 1 1	スイッチ	
3 1 1 n	トランジスタ	30
3 1 1 p	トランジスタ	
3 1 2	スイッチ	
3 1 2 n	トランジスタ	
3 1 2 p	トランジスタ	
3 1 3	インバータ	
3 1 4	スイッチ	
3 1 4 n	トランジスタ	
3 1 5	スイッチ	
3 1 5 p	トランジスタ	
3 2 1	配線	40
3 2 2	配線	
3 2 3	配線	
3 2 4	配線	
3 2 5	配線	
3 3 1	配線	
3 3 2	配線	
3 3 3	配線	
3 3 4	配線	
3 6 0	シフトレジスタ	
3 6 1	回路	50

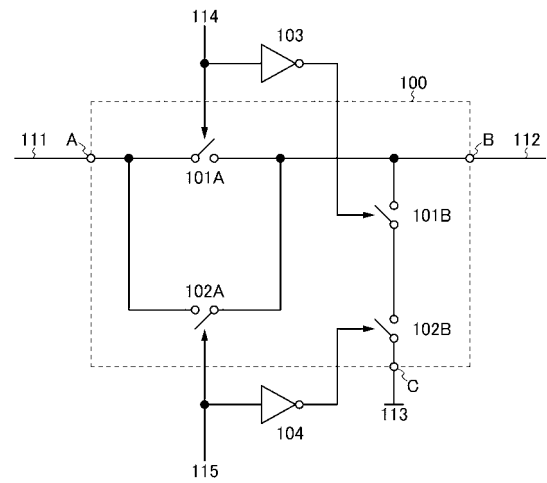
3 7 1	配線	
3 7 2	配線	
3 7 3	配線	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	駆動回路	
4 0 0 4	駆動回路	
4 0 0 5	封止材	
4 0 0 6	基板	
4 0 1 0	トランジスタ	10
4 0 1 8	F P C	
4 0 2 0	絶縁膜	
4 0 2 1	画素電極	
4 0 2 3	液晶素子	
4 0 2 8	液晶層	
4 0 3 0	配線	
4 0 5 0	導電膜	
4 0 5 9	樹脂膜	
4 0 6 0	共通電極	
4 0 6 1	導電性粒子	20
4 0 6 2	樹脂膜	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	30
5 2 0 2	表示部	
5 2 0 3	操作ボタン	
5 2 0 4	バンド	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	40
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	
5 9 0 1	筐体	50

5902	表示部
5903	カメラ
5904	スピーカー
5905	ボタン
5906	外部接続部
5907	マイク

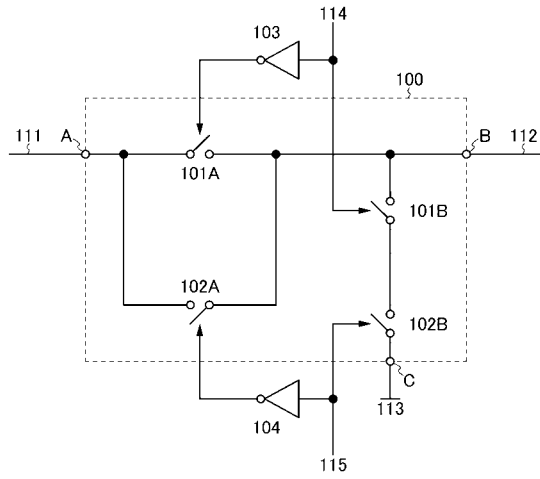
【図 1】



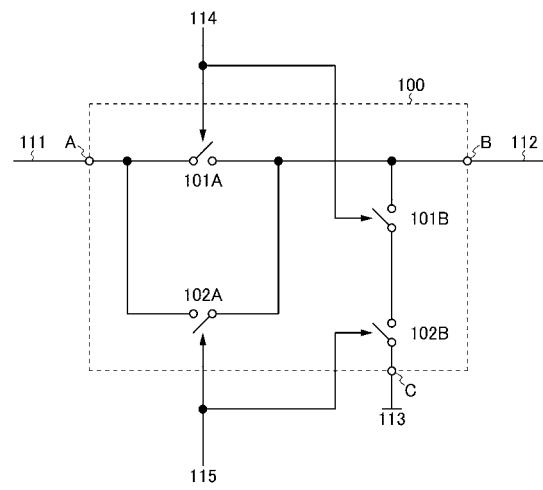
【図 2】



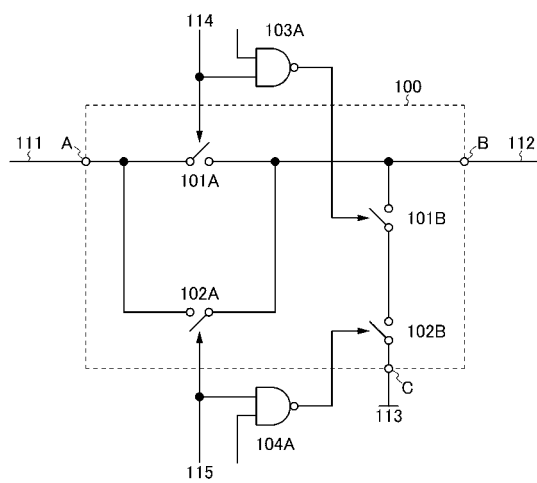
【図 3】



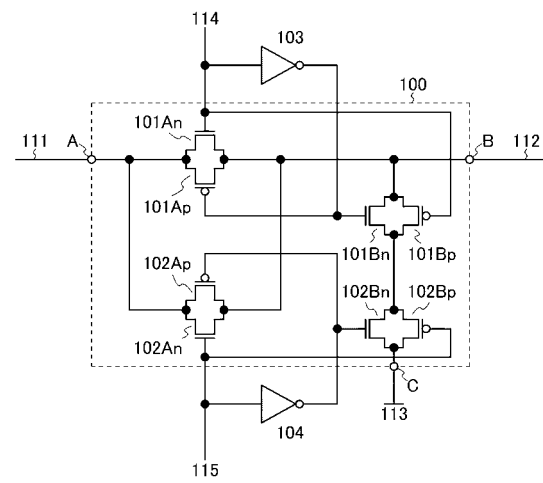
【図 4】



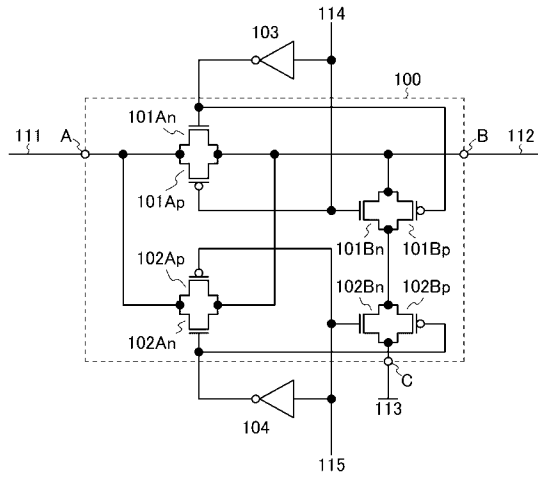
【図 5】



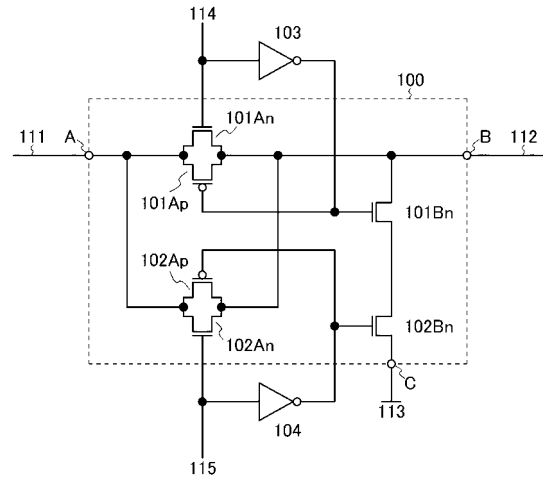
【図 6】



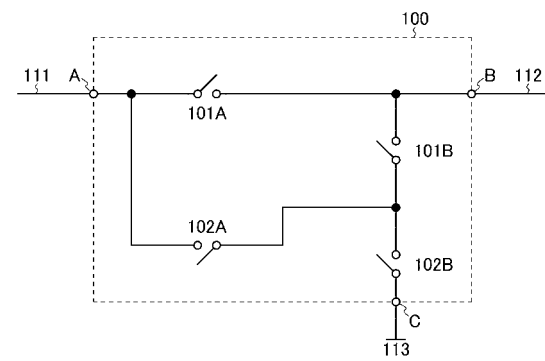
【図 7】



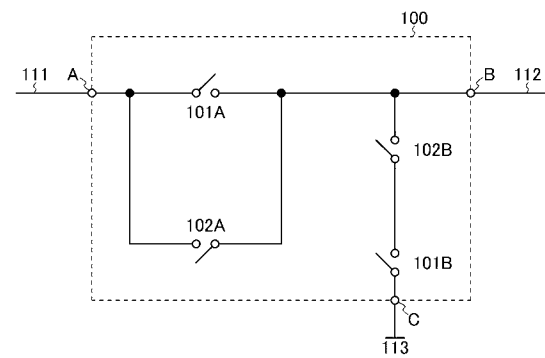
【図 8】



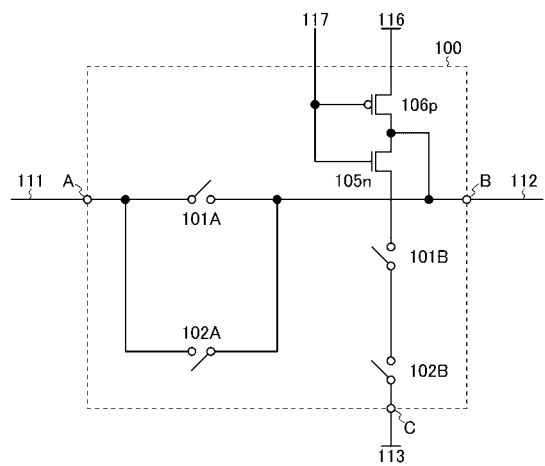
【図 9】



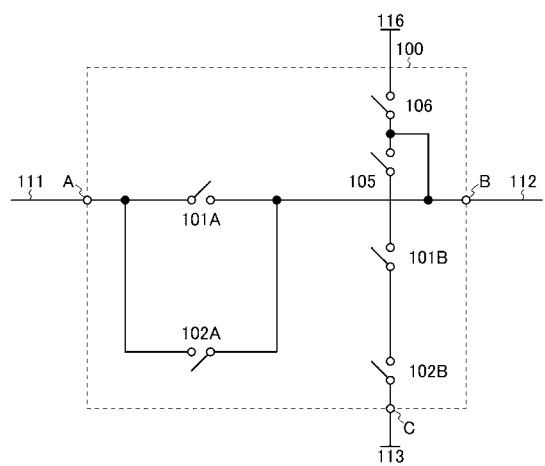
【図 10】



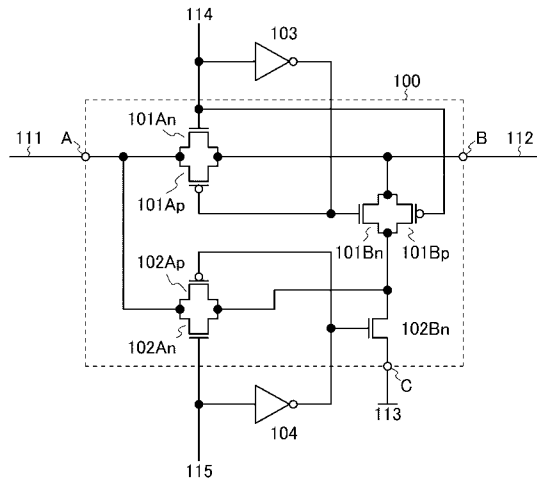
【図 12】



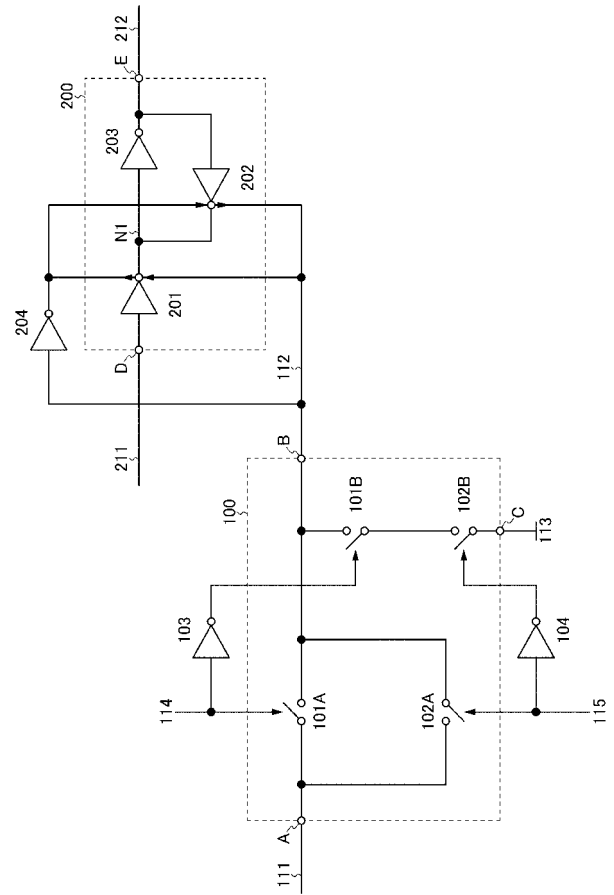
【図 11】



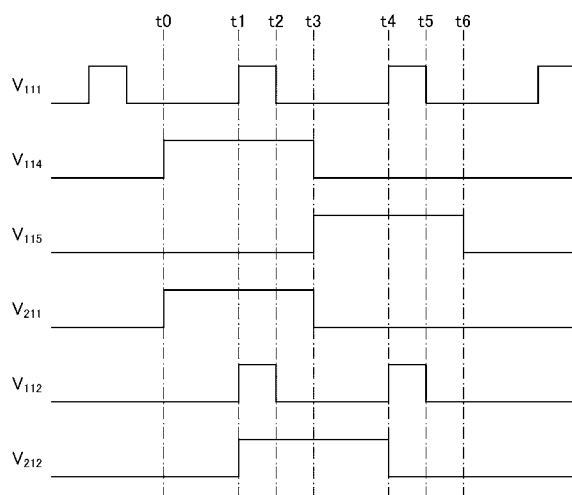
【図 13】



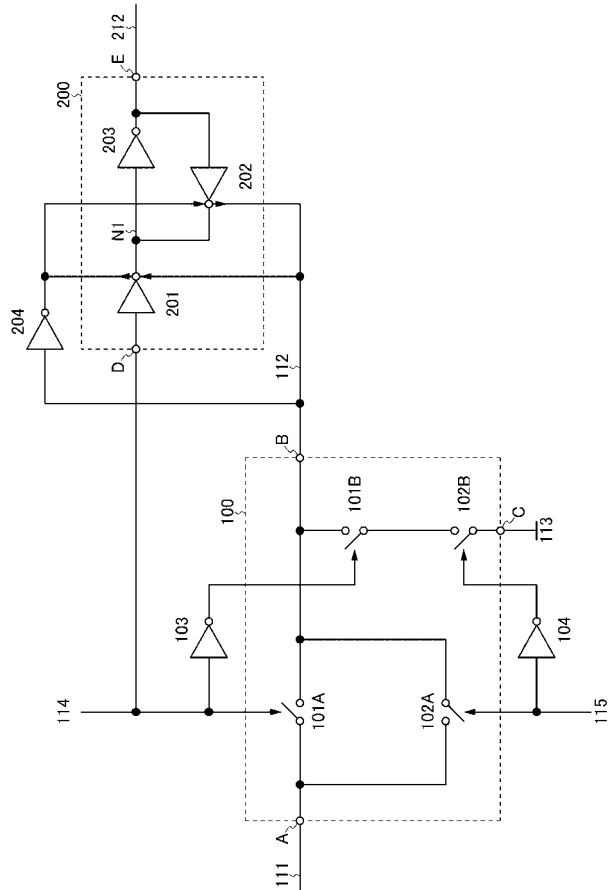
【図 14】



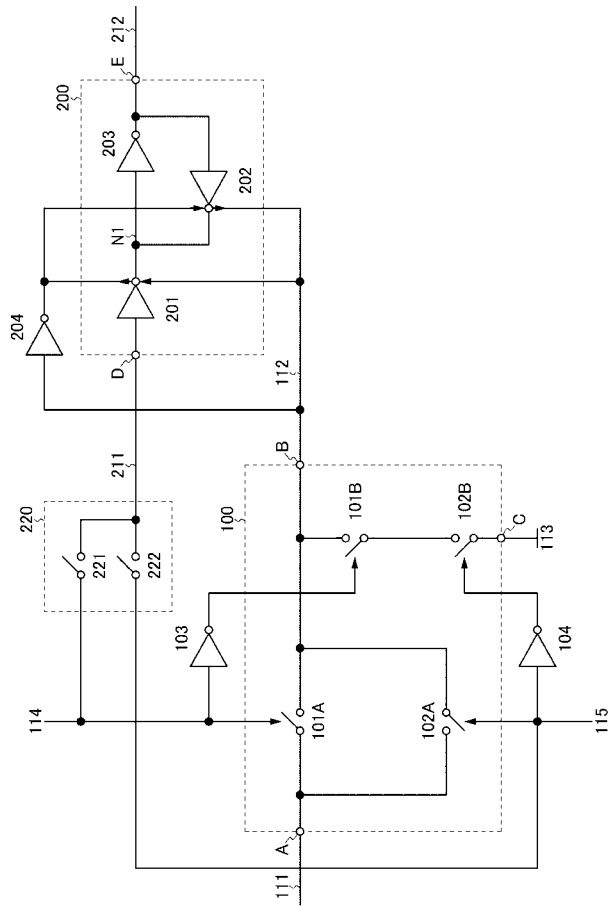
【図 15】



【図 16】

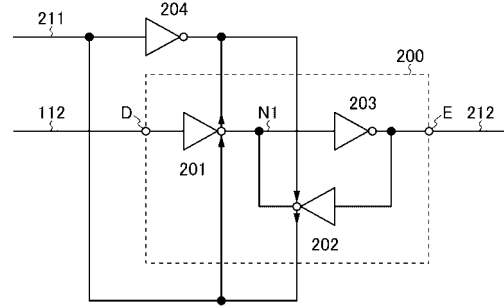


【図 17】

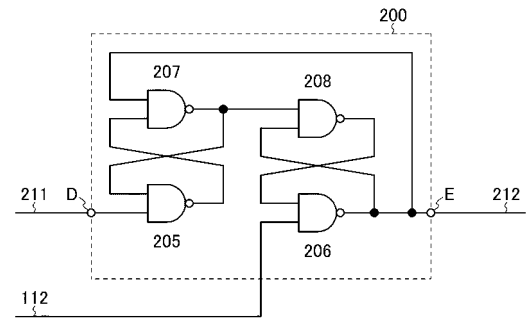


【図 18】

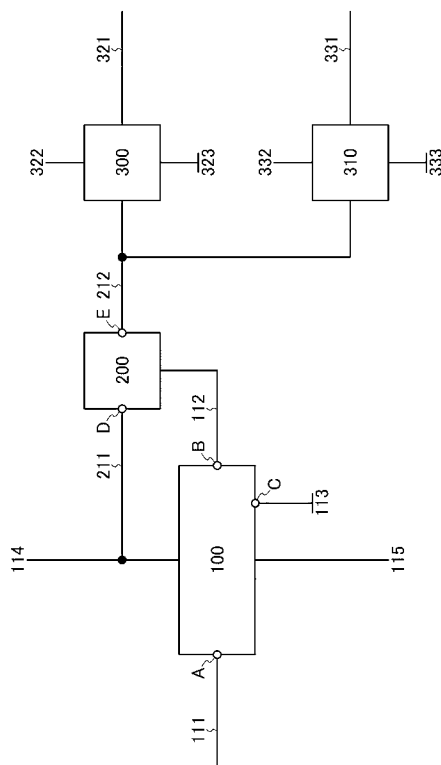
(A)



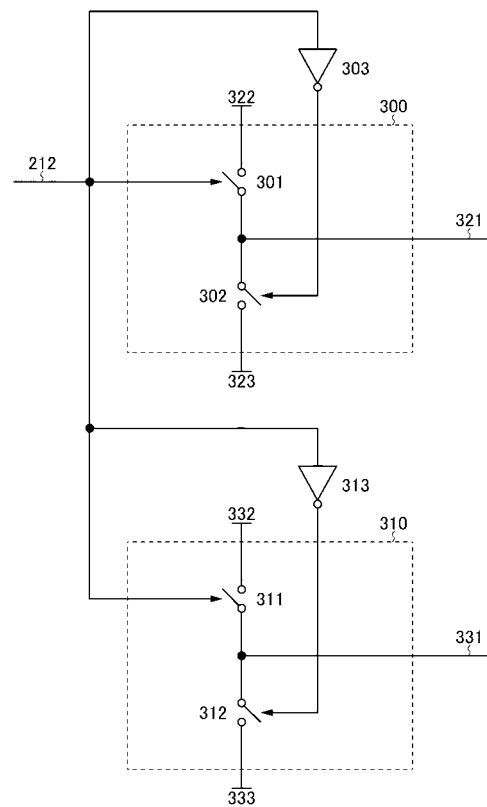
(B)



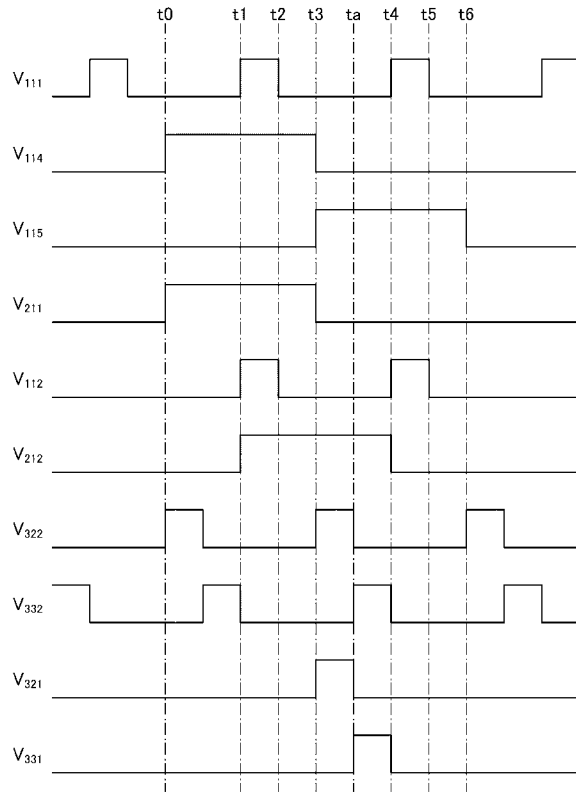
【図 19】



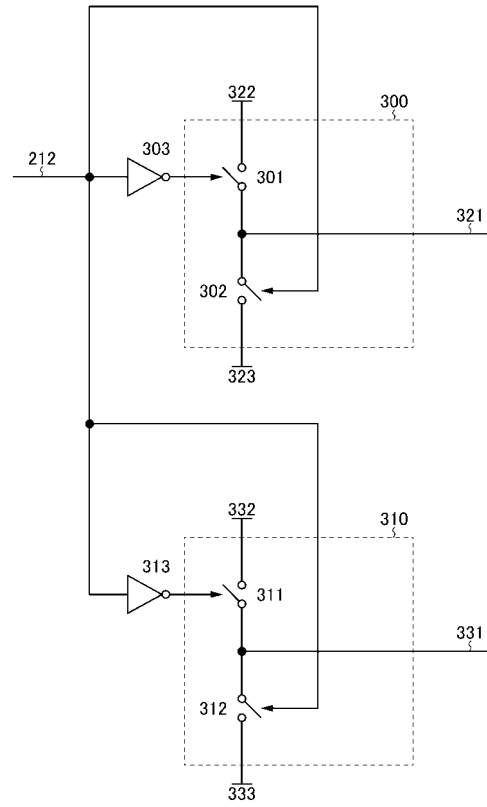
【図 20】



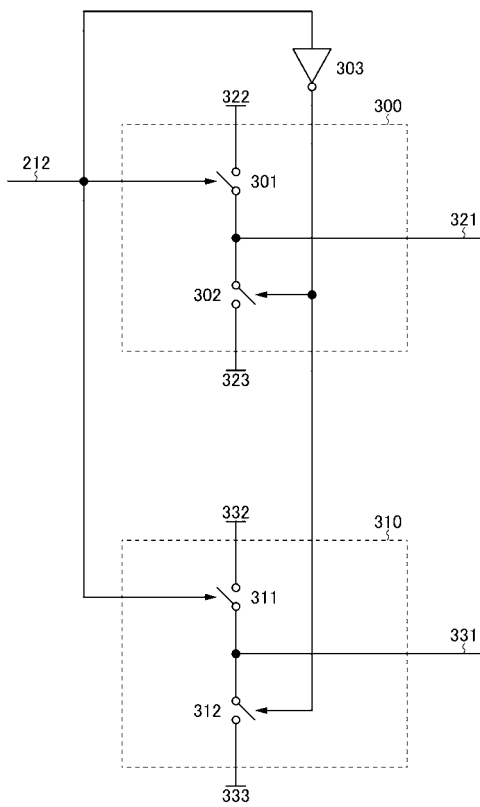
【図 2 1】



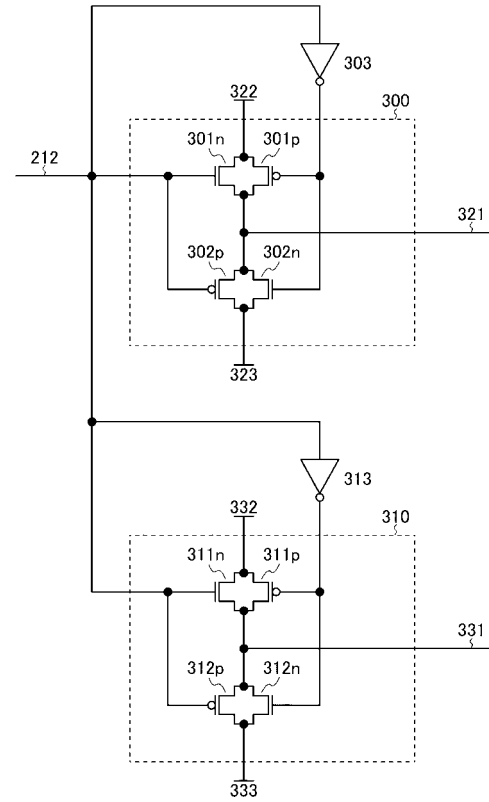
【図 2 2】



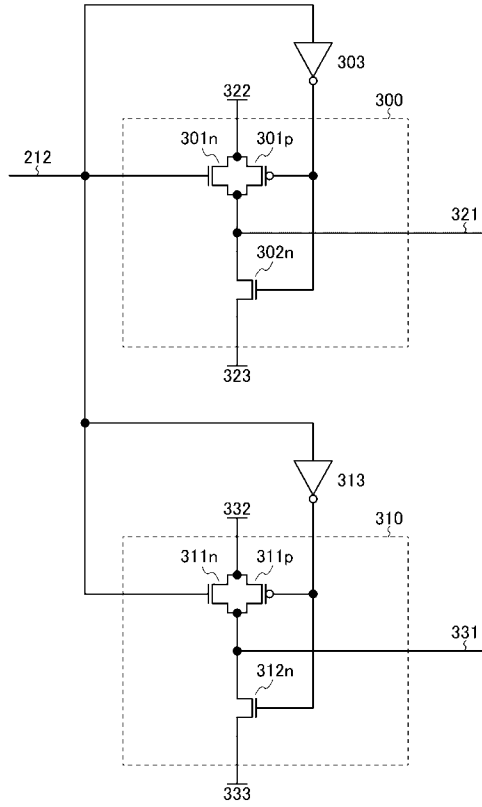
【図 2 3】



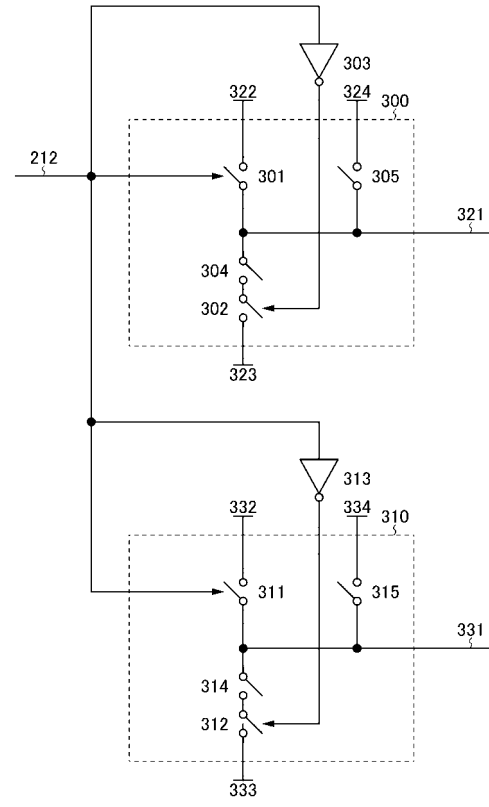
【図 2 4】



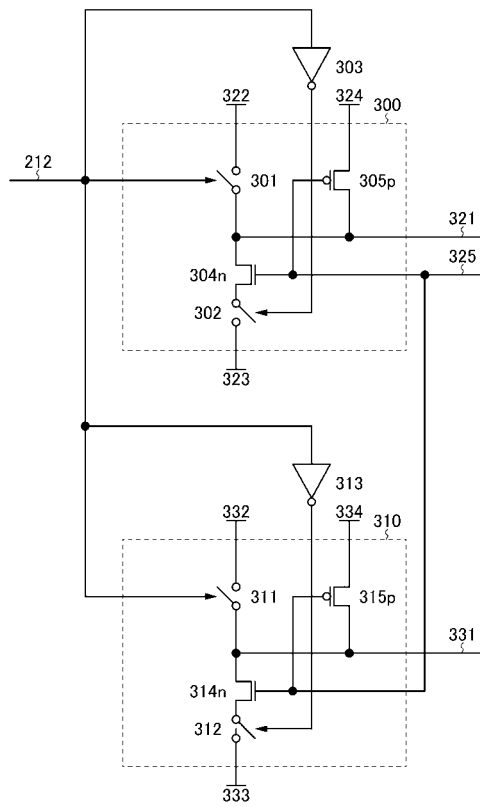
【図 25】



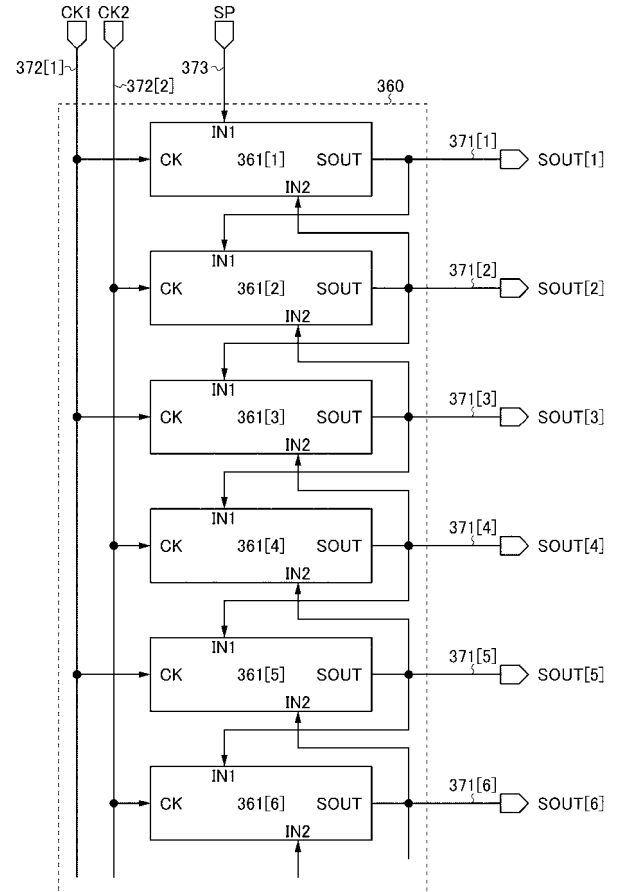
【図 26】



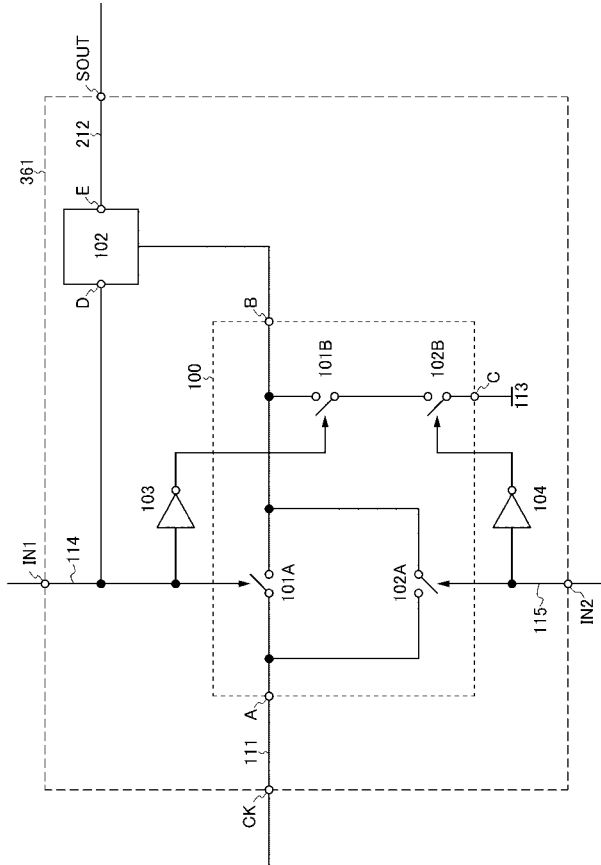
【図 27】



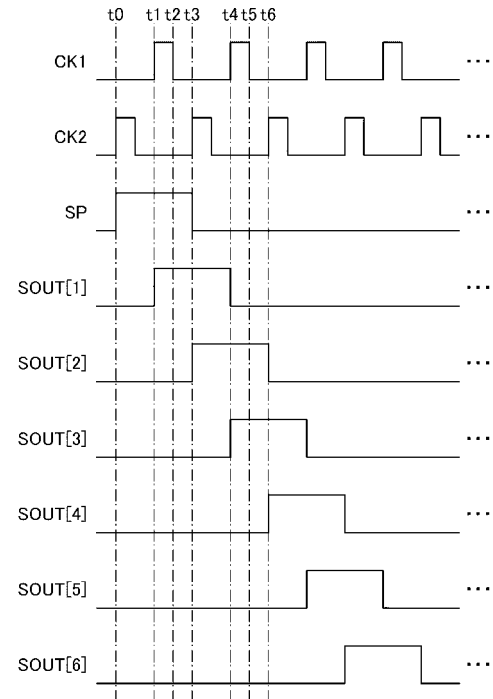
【図 28】



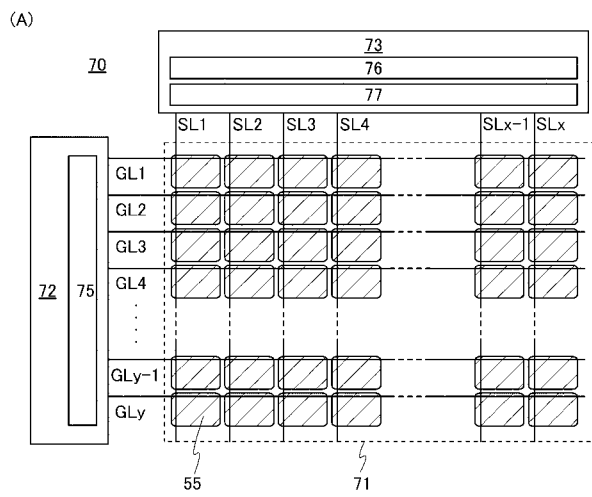
【図 29】



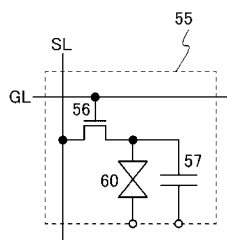
【図 30】



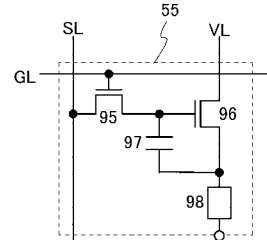
【図 31】



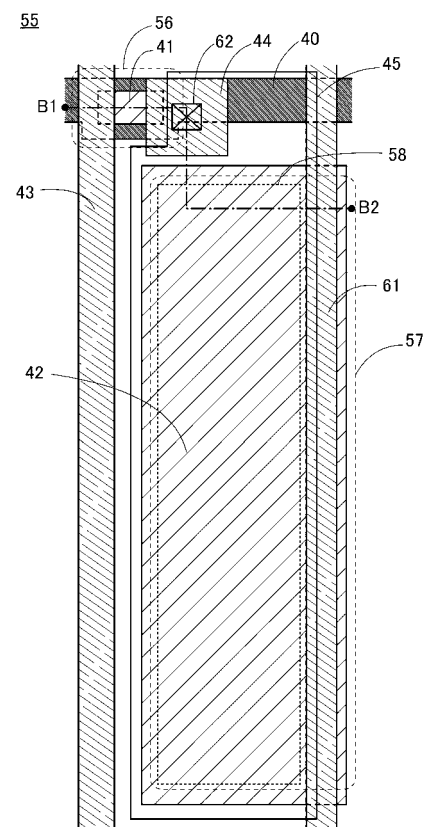
(B)



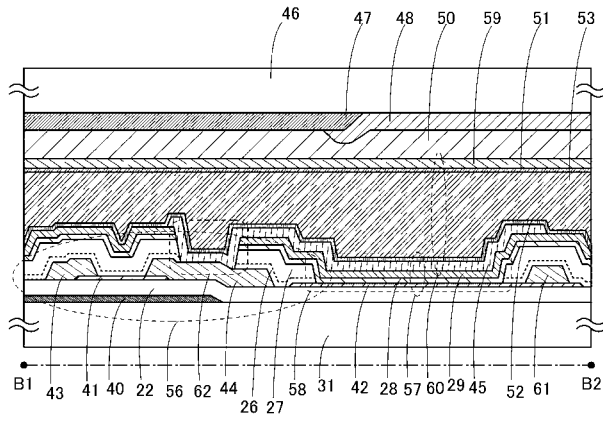
(C)



【図 32】

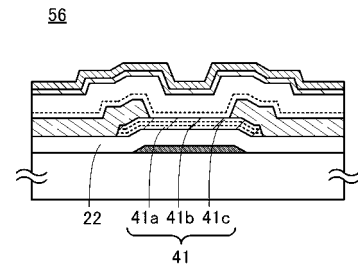


【図 3 3】

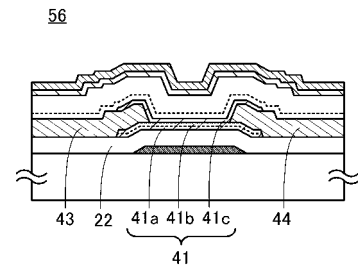


【図 3 4】

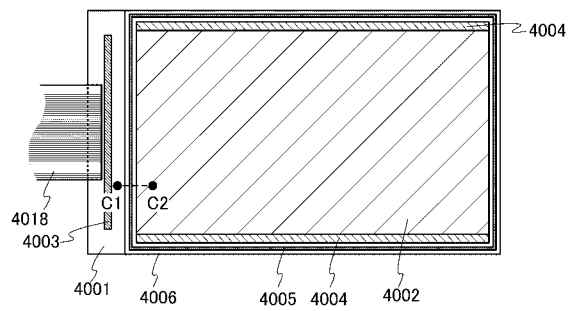
(A)



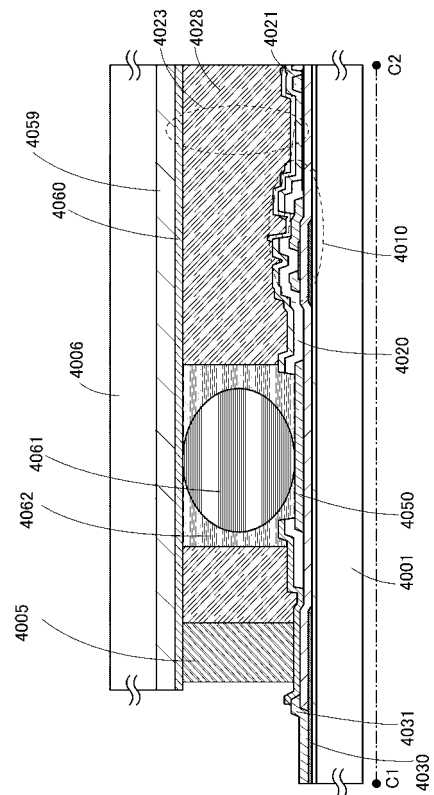
(B)



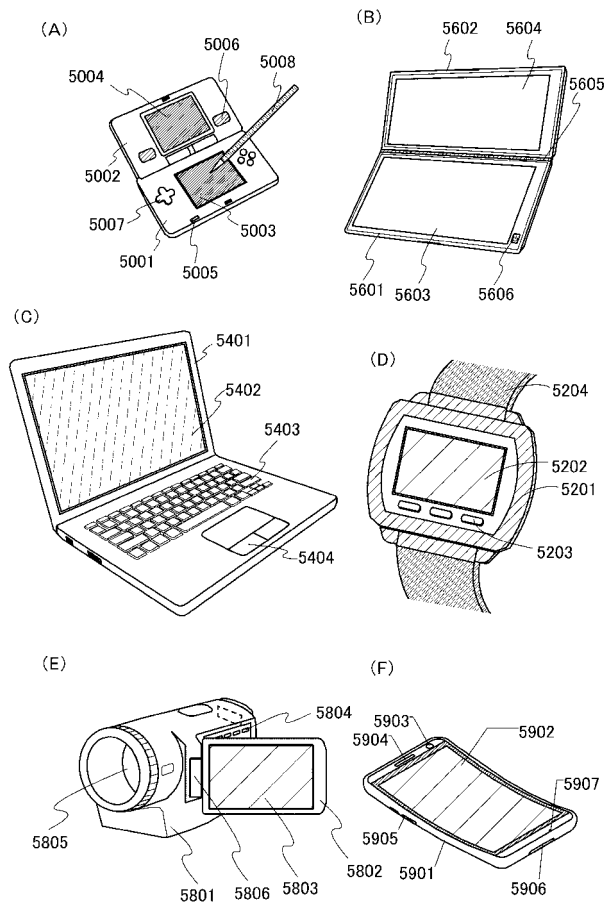
【図 3 5】



【図 3 6】



【図 37】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)	
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/36	5 F 1 1 0
G 0 9 G	3/3225	(2016.01)	G 0 9 G	3/3225	5 J 0 3 4
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20	6 2 2 E
					5 J 0 4 3

F ターム (参考)

5C080	AA01	AA05	AA06	AA07	AA10	AA12	AA13	AA14	AA17	BB05
	CC03	DD25	DD26	EE29	EE30	FF11	FF12	JJ02	JJ03	JJ04
	JJ06	KK02	KK07	KK23	KK28	KK29	KK47	KK49	KK50	
5C380	AA01	AA02	AA03	AB06	AB21	AB32	AC02	AC08	AC09	AC11
	AC12	BA01	BA10	CB01	CC02	CC33	CC62	CD012	CF07	CF10
	CF32	CF54								
5F110	AA09	BB02	BB03	BB04	CC01	CC03	CC05	CC07	CC10	DD01
	DD02	DD03	DD05	EE27	EE30	FF01	FF02	FF03	FF04	FF09
	GG01	GG02	GG05	GG06	GG12	GG13	GG14	GG15	GG16	GG17
	GG19	GG22	GG35	GG42	GG58	HM15	NN03	NN73	PP34	QQ16
5J034	AA03	CB01	DB03							
5J043	AA03	HH01	JJ04	KK02	KK04	KK06				