

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4768221号
(P4768221)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年6月24日(2011.6.24)

(51) Int.Cl.

F I

G 1 1 C 11/403 (2006.01)

G 1 1 C 11/34 3 7 1 J

請求項の数 4 (全 28 頁)

| | |
|---|---|
| <p>(21) 出願番号 特願2003-378326 (P2003-378326)</p> <p>(22) 出願日 平成15年11月7日(2003.11.7)</p> <p>(65) 公開番号 特開2005-141846 (P2005-141846A)</p> <p>(43) 公開日 平成17年6月2日(2005.6.2)</p> <p>審査請求日 平成18年10月4日(2006.10.4)</p> | <p>(73) 特許権者 308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23</p> <p>(74) 代理人 100090273 弁理士 園分 孝悦</p> <p>(72) 発明者 佐藤 貴彦 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内</p> <p>審査官 堀田 和義</p> <p>(56) 参考文献 特開2001-135082 (JP, A)</p> |
|---|---|

最終頁に続く

(54) 【発明の名称】 メモリ装置

(57) 【特許請求の範囲】

【請求項1】

ゲート制御により入力されるデータを第1のバッファにバッファリングするためのデータ取り込みゲートと、

ゲート制御により前記第1のバッファのデータを入力して第2のバッファにバッファリングするためのデータ転送ゲートと、

ゲート制御により前記第2のバッファのデータをデータバスに出力するためのデータライトゲートと、

前記データバス上のデータをライトして記憶するためのメモリセルと、

データマスク信号によりマスクされると前記データバスを前記メモリセルに接続せず、データマスク信号によりマスク解除されると前記データバスを前記メモリセルに接続するためのセレクトと、

ライトイネーブル信号及びデータマスク信号に応じて、第1のサイクルで前記データ取り込みゲートを制御して前記第1のバッファにデータを入力し、前記第1のサイクルの次のサイクルで前記データ転送ゲートを制御して前記第1のバッファのデータを前記第2のバッファに入力し前記データライトゲートを制御して前記第2のバッファのデータを前記データバスに出力する制御回路とを有し、

前記制御回路は、

前記ライトイネーブル信号が活性化してから前記データマスク信号がマスクを指定する状態に変化するまでの間の時間が第1の時間である第1動作モードの場合には、第1のサ

10

20

イクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力せず、前記第1のサイクルの次のサイクルにおいて、前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力し、

前記ライトイネーブル信号が活性化してから前記データマスク信号がマスクを指定する状態に変化するまでの間の時間が前記第1の時間よりも長い第2動作モードの場合には、第1のサイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力し、前記第1のサイクルの次のサイクルにおいて、前記セレクトが前記データバスを前記メモリセルに接続しないようにするメモリ装置。

10

【請求項2】

前記ライトイネーブル信号及び前記データマスク信号に応じた第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力するための第1のディレイ回路と、

前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力するための第2のディレイ回路とを有し、

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する請求項1記載のメモリ装置。

20

【請求項3】

前記第1のディレイ回路は、前記ライトイネーブル信号が活性化しておりかつ前記データマスク信号がマスク解除である期間を規定する第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力し、

前記第2のディレイ回路は、前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力し、

30

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する請求項2記載のメモリ装置。

【請求項4】

さらに、ゲート制御により入力されるデータマスク信号を第1のマスクバッファにバッファリングするためのマスク取り込みゲートと、

ゲート制御により前記第1のマスクバッファのデータマスク信号を入力して第2のマスクバッファにバッファリングするためのマスク転送ゲートと、

40

ゲート制御により前記第2のマスクバッファのデータマスク信号を前記セレクトに出力するためのマスクライトゲートとを有する請求項1記載のメモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ装置に関し、特にライトイネーブル信号及びデータマスク信号に応じてメモリセルにデータをライトするメモリ装置に関する。

【背景技術】

【0002】

メモリ装置には、ライトイネーブル信号及びデータマスク信号に応じてメモリセルにデ

50

ータをライトするものがある。ライトイネーブル信号及びデータマスク信号に応じて、現サイクルでデータをバッファに取り込み、次サイクルでそのデータを転送してライトする。

【0003】

そのようなメモリ装置では、ライトの誤動作によるデータ誤書き込みを防止する必要がある。また、ライト動作の遅延を防止する必要がある。

【0004】

半導体記憶装置でライト動作をするかしないかというぎりぎりの状態で外部からのライト指示があった場合、(1)ライト動作をしない、(2)ライト動作を行い、データやマスク状態を正しく取り込む、のいずれかである必要がある。ライト動作を行う場合に遷移中の意図しないマスク情報を取り込んだり、データを取り込んでないのに前のデータを使って別のアドレスに書き込んでしまったりという誤書き込みは避けなければならない。ただライトコマンドを発生しにくくするという手段ではライト動作が遅くなり、ライトサイクルも遅くなる。

【0005】

【特許文献1】特開平11-7770号公報

【特許文献2】特開2003-7060号公報

【特許文献3】特開2001-351377号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、ライト動作を遅らせることなくデータ破壊を防止することができるメモリ装置を提供することである。

【課題を解決するための手段】

【0007】

本発明の一観点によれば、ゲート制御により入力されるデータを第1のバッファにバッファリングするためのデータ取り込みゲートと、ゲート制御により前記第1のバッファのデータを入力して第2のバッファにバッファリングするためのデータ転送ゲートと、ゲート制御により前記第2のバッファのデータをデータバスに出力するためのデータライトゲートと、前記データバス上のデータをライトして記憶するためのメモリセルと、データマスク信号によりマスクされると前記データバスを前記メモリセルに接続せず、データマスク信号によりマスク解除されると前記データバスを前記メモリセルに接続するためのセクタと、ライトイネーブル信号及びデータマスク信号に応じて、第1のサイクルで前記データ取り込みゲートを制御して前記第1のバッファにデータを入力し、前記第1のサイクルの次サイクルで前記データ転送ゲートを制御して前記第1のバッファのデータを前記第2のバッファに入力し前記データライトゲートを制御して前記第2のバッファのデータを前記データバスに出力する制御回路とを有し、前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号がマスクを指定する状態に変化するまでの間の時間が第1の時間である第1動作モードの場合には、第1のサイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力せず、前記第1のサイクルの次のサイクルにおいて、前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力し、前記ライトイネーブル信号が活性化してから前記データマスク信号がマスクを指定する状態に変化するまでの間の時間が前記第1の時間よりも長い第2動作モードの場合には、第1のサイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力し、前記第1のサイクルの次のサイクルにおいて、前記セクタが前記データバスを前記メモリセルに接続しないように

10

20

30

40

50

するメモリ装置が提供される。

【発明の効果】

【0008】

ライトイネーブル信号が活性化してからデータマスク信号が変化する場合、その間の時間に応じて、データ取り込みゲートの制御により第1のバッファにデータを入力せず、かつデータ転送ゲートの制御により第2のバッファにデータを入力する。これにより、データ転送時間とデータ取り込み時間が一部重なって、現データを第2のバッファに入力しなければならない場合に、誤って次データがデータ取り込みゲート及びデータ転送ゲートを介して第2のバッファに入力されてしまうデータ破壊を防止できる。この場合、サイクル内でのライト動作を遅らせることなく、データ破壊を防止できる。

10

【発明を実施するための最良の形態】

【0009】

図1は、本発明の実施形態による半導体記憶装置(メモリ装置)の構成例を示すブロック図である。メモリコア120は、ワードラインセクタ121、センスアンプセクタ122、メモリセル123、センスアンプ124及びカラムラインセクタ125を有する。

【0010】

アドレスADDは、アドレス入力回路101を介してアドレスデコーダ102に供給される。アドレスデコーダ102は、アドレスADDを基にデコードし、セクタ121、122及び125に制御信号を出力する。

20

【0011】

セルフリフレッシュタイマ103は、定期的リフレッシュコマンドrefpzをアービタ104に出力する。チップイネーブル信号/CE1、アウトプットイネーブル信号/OE及びライトイネーブル信号/WEは、コマンド入力回路105を介してコマンドコントローラ106に供給される。上位バイトマスク信号/UBは、マスク解除により上位バイトを有効にし、マスクにより上位バイトを無効にする。下位バイトマスク信号/LBは、マスク解除により下位バイトを有効にし、マスクにより下位バイトを無効にする。コマンドコントローラ106は、信号/CE1、/OE、/WE、/UB、/LBを基に、リードコマンドrdpz又はライトコマンドwrpzをアービタ104に出力する。

【0012】

リードコマンドrdpzは、メモリセル123からデータをリードするためのコマンドである。ライトコマンドwrpzは、メモリセル123にデータをライトするためのコマンドである。リフレッシュコマンドrefpzは、メモリセル123をリフレッシュするためのコマンドである。

30

【0013】

リフレッシュは、DRAMの記憶が失われないように電荷を補充する動作である。半導体記憶装置の一種であるDRAMは、メモリセル123内にコンデンサを有し、コンデンサに電荷を蓄えることによってデータを保持する。この電荷は時間とともに減少するため、放っておくと一定時間で放電しきって情報を失ってしまう。これを防ぐため、DRAMには一定時間ごとに再び電荷を注入するリフレッシュ動作を行う必要がある。

40

【0014】

リフレッシュ中には、リード及びライトを行うことができない。逆に、リード又はライト中に、リフレッシュを行うことができない。したがって、リフレッシュ中に、リードコマンドrdpz又はライトコマンドwrpzが発生すると、リード又はライト動作は待機させられる。逆に、リード又はライト中に、リフレッシュコマンドrefpzが発生すると、リフレッシュ動作は待機させられる。アービタ104は、リフレッシュコマンドrefpz、リードコマンドrdpz及びライトコマンドwrpzを発生順に応じてタイミングコントローラ107に出力する。

【0015】

タイミングコントローラ107は、リフレッシュコマンドrefpz、リードコマンド

50

rdpz及びライトコマンドwrpzに応じて、ワードラインセクタ121、センスアンプセクタ122及びカラムラインセクタ125に制御信号mwlonz, msaez等を出力する。制御信号mwlonzはワードラインセクタ121に供給され、制御信号msaezはセンスアンプセクタ122に供給される。

【0016】

上位バイトマスク信号/UB及び下位バイトマスク信号/LBは、バイトマスク入力回路108を介してバイトマスクコントローラ109に供給される。バイトマスクコントローラ109は、その信号に応じてカラムラインセクタ125に制御信号を出力する。

【0017】

2次元配列されたメモリセル123は、ワードライン及びカラムラインにより特定される。ワードラインセクタ121は、制御信号に応じて、ワードラインを選択して活性化する。カラムラインセクタ125は、制御信号に応じて、カラムラインを選択する。ライトコマンドwrpzが発生すると、特定されたメモリセル123にデータをライトして記憶することができる。リードコマンドrdpzが発生すると、特定されたメモリセル123からデータをリードすることができる。メモリセル123は、リードコマンドrdpz又はライトコマンドwrpzに応じてデータアクセスされる。センスアンプセクタ122は、制御信号に応じて、センスアンプ124を活性化する。センスアンプ124は、メモリセル123のビットライン上の信号(データ)を増幅する。

10

【0018】

リードコマンドrdpzが発生した場合、リードデータコントローラ112は、カラムラインセクタ125を介してメモリセル123からデータをリードし、データI/O回路110を介して外部にデータDQを出力する。

20

【0019】

ライトコマンドwrpzが発生した場合、ライトデータコントローラ111は、データDQをデータI/O回路110を介して入力し、カラムラインセクタ125を介してメモリセル123にデータをライトする。

【0020】

図2は、図1のバイトマスク入力回路108、バイトマスクコントローラ109、データI/O回路110、ライトデータコントローラ111及びカラムラインセクタ125の構成例を示す。

30

【0021】

コマンドジェネレータ201は、ライトイネーブル信号/WEを基にライトコマンド信号wrpxを出力する。ライトコマンド信号wrpxは、ライトイネーブル信号/WEの立ち下がりを遅延させた時点で発生するパルス信号である。タイミングディレイ回路204は、ライトコマンド信号wrpxを遅延させてタイミング調整したライトコマンド信号bwrpzを出力する。

【0022】

マスク入力制御回路202は、データバイトマスク信号/UB, /LBを基に信号dm1pzを生成する。マスク入力回路205は、信号/LB, /UB, dm1pz, wrpx, bwrpzを基に信号dmx(/UB)及びdmx(/LB)を出力する。マスク入力回路205の詳細は、後に図3(B)を参照しながら説明する。カラムライン制御回路206は、信号dmx(/UB)及びdmx(/LB)を基に信号clz(/UB)及びclz(/LB)を出力する。

40

【0023】

データ入力制御回路203は、ライトイネーブル信号/WE及びデータバイトマスク信号/UB, /LBを基に上位バイト信号wdlupz, pwdlupz及び下位バイト信号wdllpz, pwdllpzを出力する。

【0024】

上位バイトデータ入力回路207Uは、信号/UB, pwdluzp, wdlupz, wdllpz, bwrpzに応じて、上位バイトデータDQ(/UB)を入力して上位バ

50

イトデータ $c d b z$ (/ U B) を出力する。下位バイトデータ入力回路 207 L は、信号 / L B , $p w d l l z p$, $w d l u p z$, $w d l l p z$, $b w r p z$ に応じて、下位バイトデータ D Q (/ L B) を入力して下位バイトデータ $c d b z$ (/ L B) を出力する。データ入力回路 207 U , 207 L の詳細は、後に図 3 (A) を参照しながら説明する。

【 0025 】

上位バイトカラムライン選択回路 208 U は、信号 $c l z$ (/ U B) に応じて、データ $c d b z$ (/ U B) を入力してビットライン信号 $b l$ (/ U B) 及び / $b l$ (/ U B) を出力する。下位バイトカラムライン選択回路 208 L は、信号 $c l z$ (/ L B) に応じて、データ $c d b z$ (/ L B) を入力してビットライン信号 $b l$ (/ L B) 及び / $b l$ (/ L B) を出力する。具体的には、カラムライン選択回路 208 U , 208 L は、データバス(信号 $c d b z$) とメモリセル 124 のビットライン(信号 $b l$, / $b l$) とを選択的に接続する。

10

【 0026 】

図 3 (A) は、図 2 のデータ入力回路 207 U 及び 207 L の構成例を示す。まず、上位バイトデータ入力回路 207 U の構成例を説明する。データ取り込みゲート 301 U は、信号 $p w d l u p z$ のゲート制御により、入力される上位バイトデータ D Q (/ U B) をバッファ 302 U にバッファリングする。データ転送ゲート 303 U は、信号 $w d l u p z$ 又は $w d l l p z$ の論理和信号のゲート制御により、バッファ 302 U のデータを入力してバッファ 304 U にバッファリングする。データライトゲート 305 U は、信号 $b w r p z$ のゲート制御により、バッファ 304 U のデータをデータバスに信号 $c d b z$ (/ U B) として出力する。

20

【 0027 】

次に、下位バイトデータ入力回路 207 L の構成例を説明する。データ取り込みゲート 301 L は、信号 $p w d l l p z$ のゲート制御により、入力される下位バイトデータ D Q (/ L B) をバッファ 302 L にバッファリングする。データ転送ゲート 303 L は、信号 $w d l u p z$ 又は $w d l l p z$ の論理和信号のゲート制御により、バッファ 302 L のデータを入力してバッファ 304 L にバッファリングする。データライトゲート 305 L は、信号 $b w r p z$ のゲート制御により、バッファ 304 L のデータをデータバスに信号 $c d b z$ (/ L B) として出力する。

30

【 0028 】

以下、データ取り込みゲート 301 U , 301 L を総称してデータ取り込みゲート G D 1、データ転送ゲート 303 U , 303 L を総称してデータ転送ゲート G D 2、データライトゲート 305 U , 305 L を総称してデータライトゲート G D 3 という。

【 0029 】

図 3 (B) は、図 2 のマスク入力回路 205 の構成例を示す。まず、上位バイトマスク信号 / U B の回路について説明する。マスク取り込みゲート 311 U は、信号 $d m l p z$ のゲート制御により、入力される上位バイトマスク信号 / U B をバッファ 312 U にバッファリングする。マスク転送ゲート 313 U は、信号 $b w r p z$ のゲート制御により、バッファ 312 U のマスク信号を入力してバッファ 314 U にバッファリングする。マスクライトゲート 315 U は、信号 $w r p x$ のゲート制御により、バッファ 314 U のマスク信号を信号 $d m x$ (/ U B) として出力する。

40

【 0030 】

次に、下位バイトマスク信号 / L B の回路について説明する。マスク取り込みゲート 311 L は、信号 $d m l p z$ のゲート制御により、入力される下位バイトマスク信号 / L B をバッファ 312 L にバッファリングする。マスク転送ゲート 313 L は、信号 $b w r p z$ のゲート制御により、バッファ 312 L のマスク信号を入力してバッファ 314 L にバッファリングする。マスクライトゲート 315 L は、信号 $w r p x$ のゲート制御により、バッファ 314 L のマスク信号を信号 $d m x$ (/ L B) として出力する。

【 0031 】

以下、マスク取り込みゲート 311 U , 311 L を総称してマスク取り込みゲート G M

50

1、マスク転送ゲート313U, 313Lを総称してマスク転送ゲートGM2、マスクライトゲート315U, 315Lを総称してマスクライトゲートGM3という。

【0032】

図4は、図2のデータ入力制御回路203及びデータ入力回路207Uの参考例による構成例を示す。図4は、上位バイトの回路の構成を示すが、下位バイトの回路の構成も同様である。図5は、図4の回路の動作を説明するためのタイミングチャートである。図5において、ライトのサイクルC1及びサイクルC2は、アドレスADD(図1)の切り替えに応じて決まる。第1のサイクルC1は第1のライト動作WR1のサイクル、第2のサイクルC2は第2のライト動作WR2のサイクルである。

【0033】

CDINBUF回路401は、データDQ(/UB)をバッファリングしてデータDQ1を出力する。CDINLAT回路402は、信号wduzの制御に応じて、データDQ1を入力し、セットアップ/ホールドのタイミング調整してデータDQ2を出力する。

【0034】

CWDLGEN(/UB)回路403は、ライトイネーブル信号/WE、チップイネーブル信号/CE1及び上位バイトマスク信号/UBを入力し、信号wduzを出力する。具体的には、CWDLGEN(/UB)回路403は、チップイネーブル信号/CE1及びライトイネーブル信号/WEが活性化(ローレベル)しておりかつ上位バイトマスク信号/UBがマスク解除(ローレベル)である期間を活性化(ローレベル)させる第1の信号(破線で示す信号wduz)を生成し、その第1の信号が非活性化(ハイレベル)から活性化(ローレベル)に変化する変化点を遅延させた信号を第1の遅延信号wduzとして出力する。

【0035】

CWDLPGEN(/UB)回路404は、信号wduzを入力し、信号pwdupz及びwdlupzを出力する。信号wdlupzは、信号wduzがハイレベルからローレベルに変化する変化点においてパルスが生成されるデータ転送ゲートパルス信号である。信号pwdupzは、信号wduzがローレベルからハイレベルへ変化する変化点においてパルスが生成されるデータ取り込みゲートパルス信号である。

【0036】

CWDBSW回路405は、図3(A)の回路に対応し、信号bwrpz, pwdupz, wdlupz, wdlpzの制御に応じて、データDQ2を入力し、データcdbzを出力する。信号bwrpzは、ライトイネーブル信号/WEの立ち下がり点を遅延させた点でパルスが生成される。図3(A)に示すように、データ取り込みゲートGD1は、信号pwdupzのゲート制御に応じて、データDQ2をバッファ302Uに入力する。データ転送ゲートGD2は、信号wdlupz及びwdlpzの論理和信号のゲート制御に応じて、バッファ304Uにデータを入力する。データライトゲートGD3は、信号bwrpzの制御に応じて、バッファ304Uのデータをデータバスに出力する。

【0037】

以上のように、CDINBUF回路401で入力データDQ(/UB)のハイレベル/ローレベル判定を行い、CDINLAT回路402でセットアップ/ホールドのタイミング調整を行い、CWDBSW回路405でデータバスへのデータ転送を行う。CWDBSW回路405では、信号pwdupzで上位バイトデータDQ2をバッファ302Uに取り込み、信号wdlupz又はwdlpzでバッファ304Uへデータの転送を行う。データバスへのデータ転送は、データライトの実行時に信号bwrpzでデータバスに転送することでタイミング調整を行っている。これらの取り込み及び転送制御を行っているのがCWDLGEN回路403及びCWDLPGEN回路404であり、CWDLGEN回路403でライト動作を行うべきか、ライトせずに待つかを判定するためのフィルタを構成しており、その出力信号wduzの立ち下がり及び立ち上がりそれぞれのエッジからデータ転送パルス信号wdlupz及びデータ取り込みパルス信号pwdupzを生成している。このため、ライト動作をしない場合にデータの取り込みでデータ破壊を行

10

20

30

40

50

わないようにするとデータの転送もされなくなるので、ライト動作の実行の有無の境界とデータの取り込み及びデータ転送の有無を高精度に調整する必要がある。

【 0 0 3 8 】

本来であれば、ライトイネーブル信号 / WE が立ち下がる以前に、バイトマスク信号 / UB , / LB が変化して確定している必要がある。しかし、電源電圧のばらつき変動や素子のばらつき変動等により、図 5 に示すように、バイトマスク信号 / UB , / LB の変化がライトイネーブル信号 / WE の立ち下がりよりも遅れてしまうことがある。この場合に、誤動作が生じないように制御する必要がある。

【 0 0 3 9 】

正常な場合には、ライトイネーブル信号 / WE の立ち下がりとバイトマスク信号 / UB , / LB の変化点が同じである。この場合は、例えば、サイクル C 1 において、データ取り込みゲート信号 p w d l u p z によりバッファ 3 0 2 U にデータを取り込む。そして、その次のサイクル C 2 において、データ転送信号 w d l u p z 又は w d l l p z によりそのデータをバッファ 3 0 4 U に転送し、かつその後のデータライト信号 b w r p z によりそのデータをデータバスに出力してメモリセルにライトする。これがライトサイクルである。

【 0 0 4 0 】

バイトマスク信号 / UB , / LB の切り替えがライトイネーブル信号 / WE の立ち下がりよりも遅れてしまったような場合、ライトの初期にマスクすべきバイト（例えば下位バイト）へのライト状態が回路内部に発生してしまう。そのため、本来はライト WR 1 で下位バイトマスク信号 / LB の立ち上がり時点のデータを取り込んではいけませんが、現サイクル C 1 において、データ取り込みゲート信号 p w d l l p z のパルス 5 0 1 で下位バイトデータ D Q (/ LB) を取り込んでしまい、次サイクル C 2 において、データ転送ゲート信号 w d l l p z のパルス 5 0 2 でデータを転送し、データライトゲート信号 b w r p z のパルス 5 0 3 でデータバスへデータが出力されてしまう。パルス 5 0 3 以降でライト動作を行ってメモリセルにデータを書き込んでしまうため、データが破壊される。すなわち、パルス 5 0 1 の時点では、下位バイトデータ D Q (/ LB) が供給されていないので、パルス 5 0 1 により取り込んだデータは不定（不正）データである。そのデータをメモリセルを書き込んでしまうために、データ破壊が生じる。下記の本実施形態では、上記の問題点を解決することができる。

【 0 0 4 1 】

図 6 は、図 2 のデータ入力制御回路 2 0 3 及びデータ入力回路 2 0 7 U の本実施形態による構成例を示す。図 6 は、上位バイトの回路の構成を示すが、下位バイトの回路の構成も同様である。図 7 は、図 6 の回路の動作を説明するためのタイミングチャートである。図 7 において、ライトのサイクル C 1 及びサイクル C 2 は、アドレス ADD (図 1) の切り替えに応じて決まる。第 1 のサイクル C 1 は第 1 のライト動作 WR 1 のサイクル、第 2 のサイクル C 2 は第 2 のライト動作 WR 2 のサイクルである。

【 0 0 4 2 】

図 6 の回路が図 4 の回路に比べて異なる点を説明する。C W D L G E N (/ U B) 回路 6 0 3 及び C W D L P G E N (/ U B) 回路 6 0 4 は、図 4 の C W D L G E N 回路 (/ U B) 4 0 3 及び C W D L P G E N (/ U B) 回路 4 0 4 の代わりに設けられる。

【 0 0 4 3 】

C W D L G E N (/ U B) 回路 6 0 3 は、ライトイネーブル信号 / WE、チップイネーブル信号 / CE 1 及び上位バイトマスク信号 / UB を入力し、信号 w d l u z 及び p w d l u z を出力する。具体的には、C W D L G E N (/ U B) 回路 6 0 3 は、チップイネーブル信号 / CE 1 及びライトイネーブル信号 / WE が活性化（ローレベル）しておりかつ上位バイトマスク信号 / UB がマスク解除（ローレベル）である期間を活性化（ローレベル）させる第 1 の信号（破線で示す信号 w d l u z ）を生成し、その第 1 の信号が非活性化（ハイレベル）から活性化（ローレベル）に変化する変化点を第 1 の遅延時間遅延させた信号を第 1 の遅延信号 w d l u z として出力する。また、C W D L G E N (/ U B) 回

10

20

30

40

50

路603は、上記の第1の信号(破線で示す信号

w d l u z

)が非活性化(ハイレベル)から活性化(ローレベル)に変化する変化点を上記第1の遅延時間より長い第2の遅延時間遅延させた信号を第2の遅延信号

w d l u z

として出力する。

【0044】

C W D L P G E N (/ U B) 回路604は、信号

w d l u z

及び

p w d l u z

を入力し、信号

p w d l u p z

及び

w d l u p z

を出力する。信号

w d l u p z

は、信号

w d l u z

がハイレベルからローレベルに変化する変化点においてパルスが生成されるデータ転送ゲートパルス信号である。信号

p w d l u p z

は、信号

p w d l u z

がローレベルからハイレベルへ変化する変化点においてパルスが生成されるデータ取り込みゲートパルス信号である。

10

【0045】

本実施形態では、C W D L G E N 回路603のフィルタをデータ取り込み信号とデータ転送信号で個別に用意する。そのため、データの転送(信号

w d l l p z

)を行うがデータの取り込み(信号

p w d l l p z

)を行わないという状態を実現することができる。このため、図4及び図5の参考例のように次データがデータバスへスルーしてしまいデータ破壊が発生するという現象を防止することができる。その詳細は、後に図8(A)~(C)を参照しながら説明する。

【0046】

図7において、サイクルC1では、下位バイトマスク信号がハイレベル(マスク状態)であり、下位バイトデータDQ(/LB)が供給されていない。下位バイトデータ取り込みパルス701が発生しないので、不定(不正)データを取り込んでメモリセルにライトすることを防止できる。具体的には、次のサイクルC2でデータ転送パルス702及びデータライトパルス703が発生し、データバスに前のデータが供給されるが、下位バイトマスク信号/LBがハイレベルとしてカラムライン選択回路208L(図2)に供給されているので、データバスはメモリセルに接続されない。結果的に、メモリセルへのライトは行われず、データ破壊は生じない。

20

【0047】

そして、下位バイト取り込みゲート信号

p w d l l p z

は、サイクルC2において、パルスが発生し、下位バイトデータDQ(/LB)が取り込まれる。そして、さらに次のサイクルにおいて、そのデータがデータ転送ゲート信号により転送され、データライトゲート信号によりデータバスに供給される。そして、下位バイトマスク信号/LBがローレベルとしてカラムライン選択回路208L(図2)に供給され、データバスはメモリセルに接続される。結果的に、メモリセルへ正常なデータをライトすることができる。

30

【0048】

以上のように、サイクルC2において、下位バイトのデータ転送が行われ、マスク信号のハイレベルが取り込めればデータバスはメモリセルに接続されずにデータを実際にメモリセルに書き込むことはないのでデータ破壊が生じない。そのため、ライトコマンドの発生自体の制限を緩くしてもデータ破壊を起こさず、ライトサイクル動作の鈍化を防止することが可能である。

【0049】

このように、マスク取り込み、データ取り込み、データライト、データ転送の優先順位を適切なものとすることによってライトコマンドが発生してもデータ破壊が発生しないため、ライト動作の遅延を防止することができる。

40

【0050】

図8(A)~(C)は、ライト動作例を示す。サイクル毎に、ライト動作WR0, WR1, WR2が順に行われる例を説明する。

【0051】

図8(A)は、基本のライト動作例を示す。ライトイネーブル信号/WEにおいて、ライト動作WR1及びWR2のローレベル期間が十分に長い場合の正常動作を示す。

【0052】

50

ライトイネーブル信号 / WE がライト動作 WR 1 のために立ち下がると、ライト動作 WR 0 のデータ転送 GD 2 [0] が行われ、ライト動作 WR 1 のマスク取り込み GM 1 [1] が行われる。次に、ライト動作 WR 0 のマスクライト GM 3 [0] が行われる。次に、ライト動作 WR 0 のデータライト GD 3 [0] が行われ、ライト動作 WR 1 のマスク転送 GM 2 [1] が行われる。その後、ライト動作 WR 0 のライトコマンド WR [0] によりメモリセルにデータがライトされる。また、ライトイネーブル信号 / WE が立ち上がると、ライト動作 WR 1 のデータ取り込み GD 1 [1] が行われる。

【 0 0 5 3 】

次に、ライトイネーブル信号 / WE がライト動作 WR 2 のために立ち下がると、ライト動作 WR 1 のデータ転送 GD 2 [1] が行われ、ライト動作 WR 2 のマスク取り込み GM 1 [2] が行われる。次に、ライト動作 WR 1 のマスクライト GM 3 [1] が行われる。次に、ライト動作 WR 1 のデータライト GD 3 [1] が行われ、ライト動作 WR 2 のマスク転送 GM 2 [2] が行われる。その後、ライト動作 WR 1 のライトコマンド WR [1] によりメモリセルにデータがライトされる。また、ライトイネーブル信号 / WE が立ち上がると、ライト動作 WR 2 のデータ取り込み GD 1 [2] が行われる。

【 0 0 5 4 】

図 8 (B) は、図 4 の参考例のメモリ装置のライト動作例を示す。ライトイネーブル信号 / WE において、ライト動作 WR 1 のローレベル期間が短い場合の誤動作を示す。この場合、ライトイネーブル信号 / WE がライト動作 WR 1 のために立ち下がると、ライト動作 WR 0 のデータ転送 GD 2 [0] が行われ、それに重なるようにライト動作 WR 1 のデータ取り込み GD 1 [1] が行われる。データ転送ゲート信号 $w d l u p z$ のパルスとデータ取り込みゲート信号 $p w d l u p z$ のパルスとが時間的に一部重なってしまい、図 3 (A) のデータ転送ゲート GD 2 及びデータ取り込みゲート GD 1 が同時に開いてしまう。その結果、バッファ 3 0 4 U には、本来ライト動作 WR 0 のデータが格納されなければならないのに、エラーによりライト動作 WR 1 のデータが格納されてしまう。そして、次のデータライト GD 3 [0] 及びライトコマンド WR [0] では、そのライト動作 WR 1 のデータがメモリセルにライトされてしまい、誤動作になる。これは、図 5 において、データ転送ゲート信号 $w d l u p z$ 及びデータ取り込みゲート信号 $p w d l u p z$ が共に同じ信号 $w d l u z$ の立ち下がり及び立ち上りを基に生成されるためである。すなわち、データ転送ゲート信号 $w d l u p z$ のパルスが生成されたときには、必ずデータ取り込みゲート信号 $p w d l u p z$ のパルスも生成されてしまい、ライトイネーブル信号 / WE のローレベル期間が短くなると、その両者のパルスが重なってしまうためである。

【 0 0 5 5 】

図 8 (C) は、図 6 の本実施形態のメモリ装置のライト動作例を示す。ライトイネーブル信号 / WE において、ライト動作 WR 1 のローレベル期間が短い場合に誤動作を防止できることを説明する。この場合、ライトイネーブル信号 / WE がライト動作 WR 1 のために立ち下がると、ライト動作 WR 0 のデータ転送 GD 2 [0] が行われる。しかし、ライトイネーブル信号 / WE のローレベル期間が短いためにライト動作 WR 1 のデータ取り込み GD 1 [1] が行われず。すなわち、ライトイネーブル信号 / WE のローレベル期間が短い場合には、図 7 において、遅延時間が短い信号 $w d l u z$ はローレベル期間が生じ、遅延時間が長い信号 $p w d l u z$ はローレベル期間が生じない。その結果、データ転送ゲート信号 $w d l u p z$ のパルスが発生してデータ転送 GD 2 [0] を行い、データ取り込みゲート信号 $p w d l u p z$ のパルスが発生せずにデータ取り込み GD 1 [1] が行われず。これにより、データ転送ゲート GD 2 が開き、データ取り込みゲート GD 1 が閉じるので、バッファ 3 0 4 U にはライト動作 WR 0 の正常なデータが格納され、データライト GD 3 [0] 及びライトコマンド WR [0] によりそのデータがメモリセルに書き込まれ、正常な動作が保証される。

【 0 0 5 6 】

図 9 は、 $t B S$ スペック及び $t B W$ スペックを説明するための図である。上記のように、ライトイネーブル信号 / WE の立ち下がり時又はそれよりも前にバイトマスク信号 / U

10

20

30

40

50

B及び/LBが変化して確定していれば、正常なライト動作が行われる。ライトイネーブル信号/W Eの立ち下りの後にバイトマスク信号/UB, /LBが変化したときには、誤動作を防止する必要がある。この際、時間 $t_{BS[0]}$ は、ライトイネーブル信号/W Eが活性化(ローレベル)してからバイトマスク信号/UB, /LBが変化するまでの間の負の時間である。時間 $t_{BW[1]}$ は、バイトマスク信号/UB, /LBが変化してからライトイネーブル信号/W Eが非活性化(ハイレベル)するまでの間の時間である。

【0057】

図10(A)及び(B)は、図4の参考例のメモリ装置の動作モードを示す。データ転送GD2及びデータ取り込みGD1は、両方行うか又は両方行わないかである。横軸は時間 $t_{BS[ns]}$ を示し、0よりも左側が負値を示す。

10

【0058】

図10(A)は、データライトGD3をデータ転送GD2及びデータ取り込みGD1よりも優先させる場合を示す。動作モード1、2a、3a、4、5の順に、時間 t_{BS} (負値)が小さくなる。

【0059】

動作モード1では、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行わず、マスク取り込みGM1はマスク信号/UBとしてハイレベルを取り込む。この結果、メモリセルへの書き込みは行なわれず、誤動作(データ破壊)はない。

【0060】

動作モード2aでは、そのサイクルにおいて、データライトGD3を行い、データ転送GD2及びデータ取り込みGD1を行わず、マスク取り込みGM1はマスク信号/UBとしてハイレベルを取り込む。この際、データ転送GD2が行われずに、データライトGD3が行われるため、正しいデータがメモリセルに書き込まれず、データ破壊が生じることがある。

20

【0061】

動作モード3aでは、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号/UBとしてハイレベルを取り込む。この際、図8(B)のように、データ転送GD2及びデータ取り込みGD1が時間的に重なることがあり、誤ったデータをメモリセルにライトしてしまい、データ破壊してしまうことがある。

30

【0062】

動作モード4では、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号/UBとして不定値を取り込む。マスク信号/UBとして不定値が取り込まれるので、正しいマスク制御(カラムライン選択)が保証されず、データ破壊が生じることがある。動作モード4は、マスク信号/UBのハイレベル(動作モード1~3a)とローレベル(動作モード5)の境界であるので、マスク信号/UBが不定値になる。

【0063】

動作モード5では、そのサイクルにおいて、データライトGD3、データ転送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号/UBとしてローレベルを取り込む。この場合は、正常なライト動作が行われる。

40

【0064】

図10(B)は、データ転送GD2及びデータ取り込みGD1をデータライトGD3よりも優先させる場合を示す。動作モード1、2b、3b、4、5の順に、時間 t_{BS} (負値)が小さくなる。動作モード1、4及び5は、図10(A)のものと同一である。また、動作モード3bは、図10(A)の動作モード3aと同様のデータ破壊の可能性がある。

【0065】

動作モード2bでは、そのサイクルにおいて、データライトGD3を行わず、データ転

50

送GD2及びデータ取り込みGD1を行い、マスク取り込みGM1はマスク信号/UBとしてハイレベルを取り込む。この際、データ取り込みGD1及びデータ転送GD2が行われ、データライトGD3が行われなため、バッファ304Uにデータが上書きされてしまい、データ破壊が生じることがある。

【0066】

図11は、図12～図15、図17及び図18を説明するためのライト動作例を示す。ライトイネーブル信号/WEは、ライト動作WR1、WR2及びWR3の順にローレベル期間が生じる。この間、マスク信号/LBはハイレベルであるとする。ライト動作WR1では、マスク信号/UBとしてM1、データDQとしてD1が供給される。ライト動作WR2では、マスク信号/UBとしてM2、データDQとしてD2が供給される。ライト動作WR3では、マスク信号/UBとしてM3、データDQとしてD3が供給される。

10

【0067】

図12は、動作モード5のデータ制御及びマスク制御例を示す。ライトイネーブル信号/WE(ライト動作WR1～WR3)のローレベル期間が十分に長い場合を示す。

【0068】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR1が指示されると、データ転送ゲートGD2のスイッチが閉じデータD0がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M1がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD0がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M0が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M1がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが閉じデータD1がバッファ302Uに格納される。ライト動作WR0(データD0)は、正常に行われる。

20

【0069】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD1がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M1が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M2がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが閉じデータD2がバッファ302Uに格納される。ライト動作WR1(データD1)は、正常に行われる。

30

【0070】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR3が指示されると、データ転送ゲートGD2のスイッチが閉じデータD2がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M3がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD2がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M2が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M3がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが閉じデータD3がバッファ302Uに格納される。ライト動作WR2(データD2)は、正常に行われる。

40

【0071】

図13は、動作モード1のデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号/WE(ライト動作WR2)のローレベル期間が短い場合を示す。

【0072】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが開いたままで、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが開いたままで、マスクライトゲートGM3のスイッチが開いたままであ

50

る。次に、マスク転送ゲートGM2のスイッチが開いたままである。次に、データ取り込みゲートGD1のスイッチが開いたままである。このサイクルではライト動作WR1（データD1）が行われず、次のサイクルでライト動作WR1（データD1）が行われる。

【0073】

図14は、動作モード2aのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号/WE（ライト動作WR2）のローレベル期間が中間値付近の場合を示す。

【0074】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが開いたままで、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD0がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M1が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M2がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが開いたままである。

【0075】

このサイクルでは、誤ったデータD0をマスク信号M1でライトし、データ破壊が生じる。この次のサイクルでは、マスク信号がハイレベルであり、データD1のデータバスがメモリセルに接続されないので、メモリセルへのライトは行われず、データD1のライトが実行されず、データが破壊される。

【0076】

図15は、動作モード2bのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号/WE（ライト動作WR2）のローレベル期間が中間値付近の場合を示す。

【0077】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが開いたままで、マスクライトゲートGM3のスイッチが開いたままである。次に、マスク転送ゲートGM2のスイッチが開いたままである。次に、データ取り込みゲートGD1のスイッチが閉じデータD2がバッファ302Uに格納される。

【0078】

このサイクルでは、データライトゲートGD3のスイッチが開いたままで、データD0が更新され、新たなデータ書き込みは行われず。次のサイクルでは、データD2がメモリセルに書き込まれる。この結果、ライト動作WR1（データD1）がスキップされたことになり、データ破壊が生じる。

【0079】

以上のように、図10(A)において、データライトGD3が開始する動作モード2aの状態ではデータ転送GD2が行われずデータが破壊される。動作モード3aの領域では、動作モード2aと3aの境界でデータ取り込みパルスとデータ転送パルスが同時に発生することで次サイクルのデータがスルーしてしまい、バッファ304Uのデータを破壊する。動作モード4では、マスク取り込みGM1が不安定で意図したライト動作が実現できない。動作モード5ではマスク取り込みGM1、データ取り込みGD1、データ転送GD2が正常に実行でき、意図したライト動作が実行される。

【0080】

図16は、図6の本実施形態のメモリ装置の動作モードを示す。データ取り込みGD1、データライトGD3及びデータ転送GD2の順に、発生優先度が高くなっていく。横軸は時間tBS[ns]を示し、0よりも左側が負値を示す。動作モード1、2c、2d、3、4、5の順に、時間tBS（負値）が小さくなる。動作モード1、3、4及び5は、

10

20

30

40

50

図10(A)のものと同じである。

【0081】

動作モード2cでは、そのサイクルにおいて、データ転送GD2を行い、データライトGD3及びデータ取り込みGD1を行わず、マスク取り込みGM1はマスク信号/UBとしてハイレベルを取り込む。この詳細は、後に図17を参照しながら説明する。

【0082】

動作モード2dでは、そのサイクルにおいて、データライトGD3及びデータ転送GD2を行い、データ取り込みGD1を行わず、マスク取り込みGM1はマスク信号/UBとしてハイレベルを取り込む。この詳細は、後に図18を参照しながら説明する。

【0083】

動作モード3では、図8(B)のように、データ転送GD2[0]及びデータ取り込みGD1[1]が重なってデータ破壊することはない。その場合は、図8(C)に示すように、データ取り込みGD1[1]が発生せず、動作モード2dとなる。動作モード3では、データ転送GD2[0]及びデータ取り込みGD1[1]が重ならないで実行されるので、データ破壊は生じない。

【0084】

図17は、動作モード2cのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号/WE(ライト動作WR2)のローレベル期間が中間値付近の場合を示す。

【0085】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが開いたままで、マスクライトゲートGM3のスイッチが開いたままである。次に、マスク転送ゲートGM2のスイッチが開いたままである。次に、データ取り込みゲートGD1のスイッチが開いたままである。このサイクルではライト動作WR1(データD1)が行われず、次のサイクルでライト動作WR1(データD1)が行われる。

【0086】

図18は、動作モード2dのデータ制御及びマスク制御例を示す。基本的には、図12と同じであり、異なる点を説明する。ライトイネーブル信号/WE(ライト動作WR2)のローレベル期間が中間値付近の場合を示す。

【0087】

ライトイネーブル信号/WEの立ち下がりによりライト動作WR2が指示されると、データ転送ゲートGD2のスイッチが閉じデータD1がバッファ304Uに格納され、マスク取り込みゲートGM1のスイッチが閉じマスク信号M2がバッファ312Uに格納される。次に、データライトゲートGD3のスイッチが閉じデータD1がデータバスに出力され、マスクライトゲートGM3のスイッチが閉じマスク信号M1が出力される。次に、マスク転送ゲートGM2のスイッチが閉じマスク信号M2がバッファ314Uに格納される。次に、データ取り込みゲートGD1のスイッチが開いたままである。

【0088】

このサイクルでは、ライト動作WR1(データD1)は、正常に行われる。次のサイクルでは、マスク信号がハイレベルになり、データバス及びメモリセルが接続されないので、データD1はメモリセルにライトされない。結果として、データD0及びD1を正常にライトすることができる。

【0089】

以上のように、本実施形態において、動作モード1は、データライトGD3を行わず、データ転送GD2も行わない。動作モード2cは、データライトGD3は行わないが、次のライトに備えてデータ転送GD2を行う。動作モード2dは、マスク信号がハイレベルでライトコマンドは認識するが実際の書き込みは行わない。その際、バイトマスク信号の

10

20

30

40

50

立ち上がり時のデータは取り込まない。動作モード3は、マスク信号がハイレベルでライトコマンドは認識するが実際の書き込みは行わない。その際、バイトマスク信号の立ち上がり時のデータは取り込む。動作モード4は、不定値のマスク信号の誤取り込みでライト動作を行うためにデータ破壊が生じる。動作モード5は、バイトマスク信号のローレベルに対応するデータを取り込み、ライト動作を実行する。

【0090】

データ破壊を行うのは動作モード4であるが、電源電圧変動等によりタイミングが変動することにより、マスク取り込みGM1のタイミングが変動する。そのため、条件によってはライトなし(No WR)となったり、ライト(WR)となったり挙動が不安定となる。ライトなし(No WR)の場合にはマスク信号としてハイレベルが取り込めていれば、データを取り込んでしまったとしても、実際にはデータの書き込みは行われな

10

【0091】

つまり、ライト動作を行わない場合には半導体記憶装置内部のデータは状態を維持し、ライト動作を行う場合にはライトコマンドとして認識された場合に相当するデータの書き込みが行われる。データの取り込みや転送を行っていないにも関わらずライト動作をしてしまうということを防ぐことができる。

【0092】

図10(A)では動作モード5のマスク取り込みのタイミングのみばらつくような図となっているが、実際にはデータ転送GD2(動作モード1~2a間)、データライトGD3(動作モード2a~3a間)、データ取り込みGD1(動作モード3a~4間)も変動する。しかし、これらの位置が変動しても、ライトなし(No WR)がライト(WR)となったり、ライト(WR)がライトなし(No WR)となることはなく、マスク取り込みタイミングの変動(動作モード5)の分だけに誤動作の生じる期間を抑えることが可能となる。図16の場合も同様である。

20

【0093】

図16において、もし、データ取り込みGD1のタイミング境界がマスク取り込みGM1と同程度ばらつき、さらに動作モード4の領域に設定されているとすると、変動によってデータ取り込みGD1のばらつきは動作モード5の領域にも食い込むことになるが、するとライト動作で書き込まれるデータが不安定となることからデータ破壊が動作モード5の領域に食い込むこととなる。これは、動作モード2c~2d間に設定されているデータライトGD3のタイミング境界が動作モード4の領域に設定された場合も同様であり、動作モード1~2c間に設定されているデータ転送GD2のタイミング境界が動作モード4の領域に設定された場合も同様である。

30

【0094】

したがって、誤書き込みを行ってしまうようなタイミングを最小限に抑えるために、データライトGD3を行う場合でも適切なマスク制御を行うことによりデータ破壊を抑制し、ライトコマンドの発生を遅らせるというライトサイクル動作の遅延を防止することができる。

40

【0095】

図19(A)は、アドレス、チップイネーブル信号/CE1、ライトイネーブル信号/WE、上位バイトマスク信号/UB及び下位バイトマスク信号/LBを示す。サイクルC1及びC2等は、アドレスの切り替えにより決まる。

【0096】

図19(B)は、図19(A)に対応し、図4の参考例のメモリ装置のライト動作例を示す。ライトイネーブル信号/WEの立ち下がり遅延させた信号w e b d zの立ち下がりエッジから信号w r p zのパルスを発生する。参考例では、データ破壊を発生させないようにするために、信号w e b d zの立ち下がりエッジの遅延を大きくする必要があり、すると、ライト動作の開始が遅延するので、コア動作を示す信号r a s zの終了も遅くな

50

り、ライト動作サイクルが遅くなる。

【0097】

このように、ライトなし（No WR）によってデータ破壊の発生を防止する場合、参考例ではデータライトコマンドを発生しにくくする必要があった。しかし、ライト動作の発生を遅らせるとライトサイクルタイムが延びてしまうというデメリットを持っていた。

【0098】

図19（C）は、図19（A）に対応し、図6の本実施形態のメモリ装置のライト動作例を示す。ライトイネーブル信号／WEの立ち下がり遅延させた信号webdzの立ち下がりエッジから信号wrpzのパルスを発生する。ただし、この遅延時間は短いものにすることができる。遅延時間を短くすることにより、ライト動作の開始を早くすることができ、コア動作を示す信号raszの終了が早くなり、ライト動作サイクルが速くなる。本実施形態によれば、ライト動作を遅らせなくても、データ破壊を防止できる。

10

【0099】

図20は、本実施形態のライト動作の処理例を示すフローチャートである。このフローチャートは、tBWスペック違反の状態（図9のtBSが負値の状態）の入力があった場合の処理である。

【0100】

ステップS2001では、データライトGD3を実行するか否かをチェックする。実行する場合にはステップS2002へ進み、実行しない場合にはステップS2006へ進む。ステップS2002では、データ転送GD2を実行するか否かをチェックする。実行する場合にはステップS2003へ進み、実行しない場合には前回のデータを使い回すことになるのでデータ破壊となる。すなわち、データライトGD3を行う場合には、常に、同じサイクル内のその前にデータ転送GD2を行う必要がある。

20

【0101】

ステップS2003では、違反バイトのマスク取り込みGM1がハイレベル又はローレベルのいずれであるかをチェックする。ハイレベルの場合にはメモリセルへのライトは行われないのでステップS2004へ進み、ローレベルの場合には誤ったデータがメモリセルにライトされてしまうのでデータ破壊が生じてしまう。

【0102】

ステップS2004では、データ取り込みGD1を実行するか否かをチェックする。実行する場合もしない場合もステップS2005へ進み、次のサイクルで違反バイトをマスクしてライト動作を行う。すなわち、データ取り込みGD1の有無はどちらでもよい。マスクされているので、データバスのデータは何でもよいことになる。

30

【0103】

ステップS2006では、データ転送GD2を実行するか否かをチェックする。実行する場合にもしない場合にもステップS2007へ進む。すなわち、データ転送GD2は実行してもしなくてもよい。

【0104】

ステップS2007では、マスク取り込みGM1を実行するか否かをチェックする。実行しない場合にはステップS2008へ進み、実行する場合にはバッファ内のマスク信号が破壊され、データ破壊となる。

40

【0105】

ステップS2008では、データ取り込みGD1を実行するか否かをチェックする。実行しない場合にはステップS2009へ進み、実行する場合にはバッファ内のデータが破壊され、データ破壊となる。

【0106】

ステップS2009では、正しいライト情報を維持することができる。

【0107】

以上のように、（1）データライトGD3を行わなくてもデータ転送GD2ができること、（2）データライトGD3を行わないならばデータ取り込みGD1を行わないこと、

50

(3) マスク信号はローレベルの状態を取り込まないこと、以上の3点のいずれかを違反するとデータを破壊してしまう。本実施形態では、これらの違反をしないようにすることにより、データ破壊を防止できる。

【0108】

データライト、マスク取り込み、データ取り込み、データ転送の優先順位を細かく設定した設計を行うことにより、誤書き込みを行う可能性を大幅に減少させることが可能である。これにより、ライトコマンドの発生を遅らせるというライトサイクルに悪影響のある手法は使用する必要がない。

【0109】

データ取り込みとデータ転送の制御に優先順位をつけることでデータ破壊を起こしにくくする。マスク制御により正規の長さに満たないライトコマンドが投入された場合でも、ライト動作を遅らせることやデータが破壊されることを防止できる。

【0110】

半導体記憶装置内部に対して正規の長さに満たないライトコマンドが投入された時、データライト、マスク取り込み、データ取り込み、データ転送のパルスの発生しやすさに順位を付けて制御を行うことによりサイクル時間を延ばすことなく誤書き込みによるデータ破壊が発生することを防止することができる。

【0111】

ライト動作は、ライトイネーブル信号/WE(ライト基本信号)とバイトマスク信号/UB, /LBの合成によって実行され、立ち上がり及び立ち下がりそれぞれのエッジパルスでデータの取り込みとデータの転送を行う。

【0112】

ライトコマンドパルスとマスクの取り込みパルスは、信号/WE, /UB, /LBの合成信号の立ち下がりを基に発生する。ライト動作は、データ取り込みの次のサイクルの信号/WE, /UB, /LBの合成信号の立ち下がりでもメモリセルに書き込まれるレイトライトのアーキテクチャである。データライトパルスは、データ転送パルスよりも発生しにくく、データライトが実行される場合には必ずデータ転送パルスが発生することが保障されることでデータ破壊を防止する。正規の長さに満たないライトコマンドが投入された場合、データ取り込みパルスが発生してもマスクがハイレベルとなることでデータ破壊が発生することを防止する。

【0113】

正規の長さに満たないライトコマンドが投入された場合、データ取り込みパルスとデータ転送パルスが同一のタイミングで発生することによるデータ破壊が生じないようにデータ取り込みパルスをデータ転送パルスよりも発生しにくく制御する。

【0114】

マスク信号を用いたデータ破壊の防止により、正規の長さに満たないライトコマンドが投入された場合でもデータライトパルスが発生するだけではデータが破壊されないので、データライトパルスを発生しやすくすることができ、ライト動作の開始やライト動作サイクルを短縮することが可能である。

【0115】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0116】

本発明の実施形態は、例えば以下のように種々の適用が可能である。

【0117】

(付記1)

ゲート制御により入力されるデータを第1のバッファにバッファリングするためのデータ取り込みゲートと、

10

20

30

40

50

ゲート制御により前記第 1 のバッファのデータを入力して第 2 のバッファにバッファリングするためのデータ転送ゲートと、

ゲート制御により前記第 2 のバッファのデータをデータバスに出力するためのデータライトゲートと、

前記データバス上のデータをライトして記憶するためのメモリセルと、

データマスク信号によりマスクされると前記データバスを前記メモリセルに接続せず、データマスク信号によりマスク解除されると前記データバスを前記メモリセルに接続するためのセレクトと、

ライトイネーブル信号及びデータマスク信号に応じて、現サイクルで前記データ取り込みゲートを制御して前記第 1 のバッファにデータを入力し、次サイクルで前記データ転送ゲートを制御して前記第 1 のバッファのデータを前記第 2 のバッファに入力し前記データライトゲートを制御して前記第 2 のバッファのデータを前記データバスに出力する制御回路とを有し、

10

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間の時間に応じて、そのサイクルにおいて、前記データ取り込みゲートの制御により前記第 1 のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第 2 のバッファにデータを入力するメモリ装置。

(付記 2)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第 1 のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第 2 のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第 2 のバッファのデータを前記データバスに出力する付記 1 記載のメモリ装置。

20

(付記 3)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第 1 のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第 2 のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第 2 のバッファのデータを前記データバスに出力しない付記 1 記載のメモリ装置。

(付記 4)

前記制御回路が、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第 1 のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第 2 のバッファにデータを入力する時、前記セレクトは、その次のサイクルにおいて、前記データバスを前記メモリセルに接続しない付記 1 記載のメモリ装置。

30

(付記 5)

前記制御回路は、前記データライトゲートの制御により前記第 2 のバッファのデータを前記データバスに出力するときは、常に、そのサイクル内でかつ前記データライトゲートの制御の前に、前記データ転送ゲートの制御により前記第 2 のバッファにデータを入力する付記 1 記載のメモリ装置。

(付記 6)

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間の時間に応じて、そのサイクルにおいて、前記データ転送ゲートの制御により前記第 2 のバッファにデータを入力し、かつ前記データライトゲートの制御により前記データバスにデータを出力しない付記 5 記載のメモリ装置。

40

(付記 7)

前記ライトイネーブル信号及び前記データマスク信号に応じた第 1 の信号を生成し、その第 1 の信号が非活性化から活性化に変化する変化点を第 1 の遅延時間遅延させた信号を第 1 の遅延信号として出力するための第 1 のディレイ回路と、

前記第 1 の信号が非活性化から活性化に変化する変化点を前記第 1 の遅延時間よりも長い第 2 の遅延時間遅延させた信号を第 2 の遅延信号として出力するための第 2 のディレイ回路とを有し、

前記制御回路は、前記第 1 の遅延信号が非活性化から活性化へ変化する変化点において

50

前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する付記1記載のメモリ装置。

(付記8)

前記第1のディレイ回路は、前記ライトイネーブル信号が活性化しておりかつ前記データマスク信号がマスク解除である期間を活性化させる第1の信号を生成し、その第1の信号が非活性化から活性化に変化する変化点を第1の遅延時間遅延させた信号を第1の遅延信号として出力し、

前記第2のディレイ回路は、前記第1の信号が非活性化から活性化に変化する変化点を前記第1の遅延時間よりも長い第2の遅延時間遅延させた信号を第2の遅延信号として出力し、

10

前記制御回路は、前記第1の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第2のバッファにデータを入力し、前記第2の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第1のバッファにデータを入力する付記7記載のメモリ装置。

(付記9)

前記制御回路は、前記ライトイネーブル信号の活性化期間が短いときには、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データ取り込みゲートの制御により前記第1のバッファにデータを入力しない付記1記載のメモリ装置。

20

(付記10)

さらに、ゲート制御により入力されるデータマスク信号を第1のマスクバッファにバッファリングするためのマスク取り込みゲートと、

ゲート制御により前記第1のマスクバッファのデータマスク信号を入力して第2のマスクバッファにバッファリングするためのマスク転送ゲートと、

ゲート制御により前記第2のマスクバッファのデータマスク信号を前記セクタに出力するためのマスクライトゲートとを有する付記1記載のメモリ装置。

(付記11)

前記データマスク信号は、上位バイトマスク信号及び下位バイトマスク信号を含む付記1記載のメモリ装置。

30

(付記12)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力する付記4記載のメモリ装置。

(付記13)

前記制御回路は、前記サイクルにおいて、前記データ取り込みゲートの制御により前記第1のバッファにデータを入力せず、かつ前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力しない付記12記載のメモリ装置。

40

(付記14)

前記制御回路は、前記データライトゲートの制御により前記第2のバッファのデータを前記データバスに出力するときは、常に、そのサイクル内でかつ前記データライトゲートの制御の前に、前記データ転送ゲートの制御により前記第2のバッファにデータを入力する付記13記載のメモリ装置。

(付記15)

前記制御回路は、前記ライトイネーブル信号が活性化してから前記データマスク信号が変化するまでの間の時間に応じて、そのサイクルにおいて、前記データ転送ゲートの制御により前記第2のバッファにデータを入力し、かつ前記データライトゲートの制御により前記データバスにデータを出力しない付記14記載のメモリ装置。

50

(付記 16)

前記ライトイネーブル信号及び前記データマスク信号に応じた第 1 の信号を生成し、その第 1 の信号が非活性化から活性化に変化する変化点を第 1 の遅延時間遅延させた信号を第 1 の遅延信号として出力するための第 1 のディレイ回路と、

前記第 1 の信号が非活性化から活性化に変化する変化点を前記第 1 の遅延時間よりも長い第 2 の遅延時間遅延させた信号を第 2 の遅延信号として出力するための第 2 のディレイ回路とを有し、

前記制御回路は、前記第 1 の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第 2 のバッファにデータを入力し、前記第 2 の遅延信号が活性化から非活性化への変化点において前記データ取り込みゲートをパルス制御して前記第 1 のバッファにデータを入力する付記 15 記載のメモリ装置。

10

(付記 17)

前記第 1 のディレイ回路は、前記ライトイネーブル信号が活性化しておりかつ前記データマスク信号がマスク解除である期間を活性化させる第 1 の信号を生成し、その第 1 の信号が非活性化から活性化に変化する変化点を第 1 の遅延時間遅延させた信号を第 1 の遅延信号として出力し、

前記第 2 のディレイ回路は、前記第 1 の信号が非活性化から活性化に変化する変化点を前記第 1 の遅延時間よりも長い第 2 の遅延時間遅延させた信号を第 2 の遅延信号として出力し、

前記制御回路は、前記第 1 の遅延信号が非活性化から活性化へ変化する変化点において前記データ転送ゲートをパルス制御して前記第 2 のバッファにデータを入力し、前記第 2 の遅延信号が活性化から非活性化へ変化する変化点において前記データ取り込みゲートをパルス制御して前記第 1 のバッファにデータを入力する付記 16 記載のメモリ装置。

20

(付記 18)

前記制御回路は、前記ライトイネーブル信号の活性化期間が短いときには、そのサイクルにおいて、前記データ転送ゲートの制御により前記第 2 のバッファにデータを入力し、かつ前記データ取り込みゲートの制御により前記第 1 のバッファにデータを入力しない付記 17 記載のメモリ装置。

(付記 19)

さらに、ゲート制御により入力されるデータマスク信号を第 1 のマスクバッファにバッファリングするためのマスク取り込みゲートと、

ゲート制御により前記第 1 のマスクバッファのデータマスク信号を入力して第 2 のマスクバッファにバッファリングするためのマスク転送ゲートと、

ゲート制御により前記第 2 のマスクバッファのデータマスク信号を前記セクタに出力するためのマスクライトゲートとを有する付記 18 記載のメモリ装置。

30

(付記 20)

前記データマスク信号は、上位バイトマスク信号及び下位バイトマスク信号を含む付記 19 記載のメモリ装置。

【図面の簡単な説明】

【0118】

【図 1】本発明の実施形態による半導体記憶装置（メモリ装置）の構成例を示すブロック図である。

40

【図 2】図 1 のバイトマスク入力回路、バイトマスクコントローラ、データ I/O 回路、ライトデータコントローラ及びカラムラインセクタの構成例を示すブロック図である。

【図 3】図 3 (A) は図 2 のデータ入力回路の構成例を示す図、図 3 (B) は図 2 のマスク入力回路の構成例を示す図である。

【図 4】図 2 のデータ入力制御回路及びデータ入力回路の参考例による構成例を示す図である。

【図 5】図 4 の回路の動作を説明するためのタイミングチャートである。

【図 6】図 2 のデータ入力制御回路及びデータ入力回路の本実施形態による構成例を示す

50

図である。

【図 7】図 6 の回路の動作を説明するためのタイミングチャートである。

【図 8】図 8 (A) ~ (C) はライト動作例を示す図である。

【図 9】t B S スペック及び t B W スペックを説明するための図である。

【図 10】図 10 (A) 及び (B) は図 4 の参考例のメモリ装置の動作モードを示す図である。

【図 11】ライト動作例を示すタイミングチャートである。

【図 12】動作モード 5 のデータ制御及びマスク制御例を示す図である。

【図 13】動作モード 1 のデータ制御及びマスク制御例を示す図である。

【図 14】動作モード 2 a のデータ制御及びマスク制御例を示す図である。

10

【図 15】動作モード 2 b のデータ制御及びマスク制御例を示す図である。

【図 16】図 6 の本実施形態のメモリ装置の動作モードを示す図である。

【図 17】動作モード 2 c のデータ制御及びマスク制御例を示す図である。

【図 18】動作モード 2 d のデータ制御及びマスク制御例を示す図である。

【図 19】図 19 (A) ~ (C) はライト動作例を示すタイミングチャートである。

【図 20】本実施形態のライト動作の処理例を示すフローチャートである。

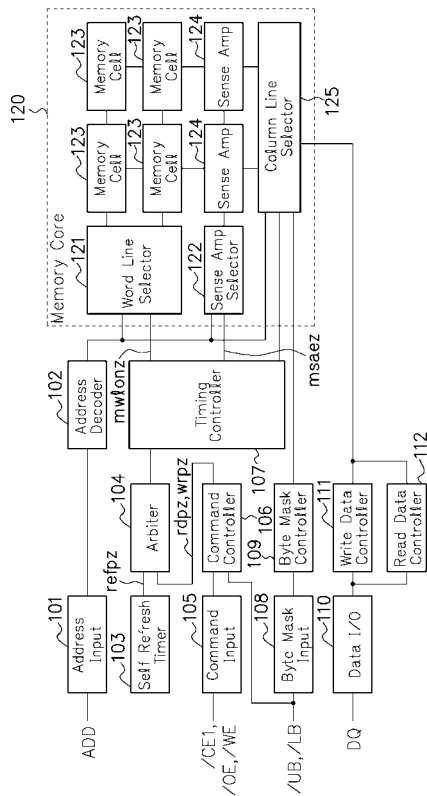
【符号の説明】

【 0 1 1 9 】

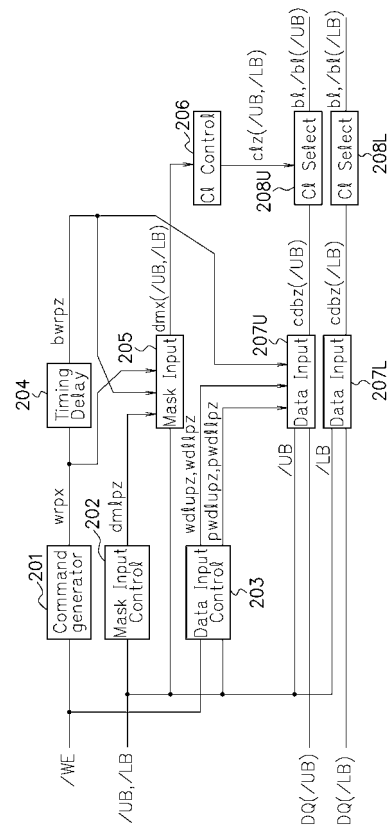
| | | |
|---------------------------|-----------------|----|
| 1 0 1 | アドレス入力回路 | |
| 1 0 2 | アドレスデコーダ | 20 |
| 1 0 3 | セルフリフレッシュタイマ | |
| 1 0 4 | アービタ | |
| 1 0 5 | コマンド入力回路 | |
| 1 0 6 | コマンドコントローラ | |
| 1 0 7 | タイミングコントローラ | |
| 1 0 8 | バイトマスク入力回路 | |
| 1 0 9 | バイトマスクコントローラ | |
| 1 1 0 | データ I / O 回路 | |
| 1 1 1 | ライトデータコントローラ | |
| 1 1 2 | リードデータコントローラ | 30 |
| 1 2 0 | メモリコア | |
| 1 2 1 | ワードラインセレクタ | |
| 1 2 2 | センスアンプセレクタ | |
| 1 2 3 | メモリセル | |
| 1 2 4 | センスアンプ | |
| 1 2 5 | カラムラインセレクタ | |
| 2 0 1 | コマンドジェネレータ | |
| 2 0 2 | マスク入力制御回路 | |
| 2 0 3 | データ入力制御回路 | |
| 2 0 4 | タイミングジェネレータ | 40 |
| 2 0 5 | マスク入力回路 | |
| 2 0 6 | カラムライン制御回路 | |
| 2 0 7 U | 上位バイトデータ入力回路 | |
| 2 0 7 L | 下位バイトデータ入力回路 | |
| 2 0 8 U | 上位バイトカラムライン選択回路 | |
| 2 0 8 L | 下位バイトカラムライン選択回路 | |
| 3 0 1 U , 3 0 1 L , G D 1 | データ取り込みゲート | |
| 3 0 2 U , 3 0 2 L | バッファ | |
| 3 0 3 U , 3 0 3 L , G D 2 | データ転送ゲート | |
| 3 0 4 U , 3 0 4 L | バッファ | 50 |

- 3 0 5 U , 3 0 5 L , G D 3 データライトゲート
- 3 1 1 U , 3 1 1 L , G M 1 マスク取り込みゲート
- 3 1 2 U , 3 1 2 L バッファ
- 3 1 3 U , 3 1 3 L , G M 2 マスク転送ゲート
- 3 1 4 U , 3 1 4 L バッファ
- 3 1 5 U , 3 1 5 L , G M 3 マスクライトゲート

【図1】

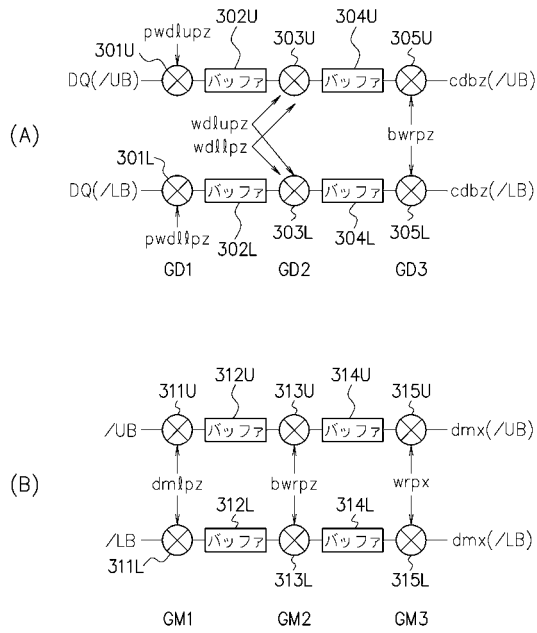


【図2】



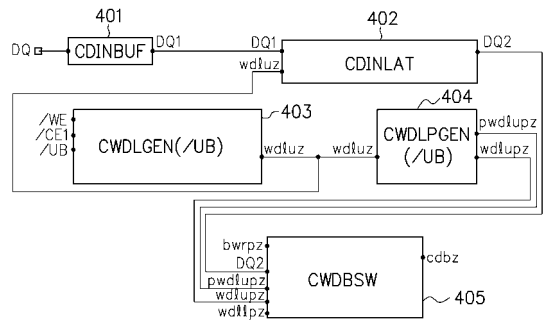
データ制御とマスク制御のブロック図

【図3】



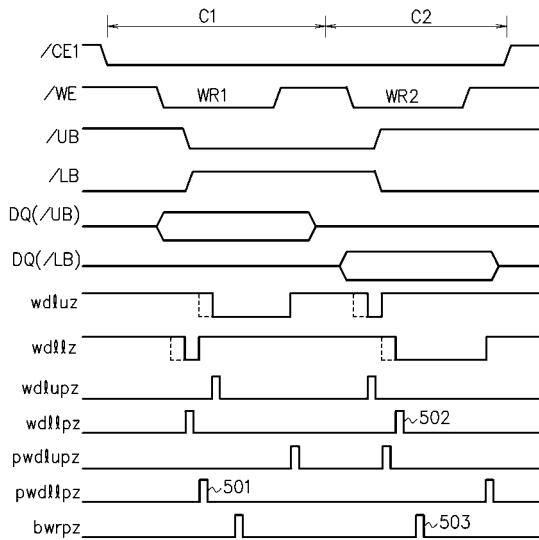
データ制御とマスク制御

【図4】



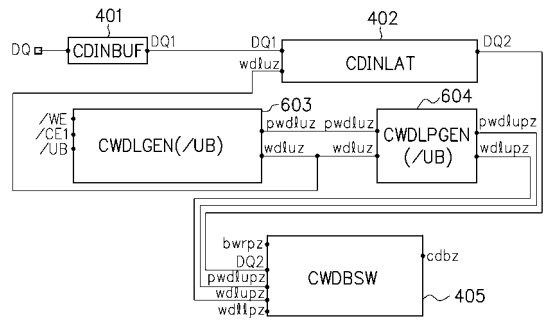
データ取り込みとデータ転送

【図5】



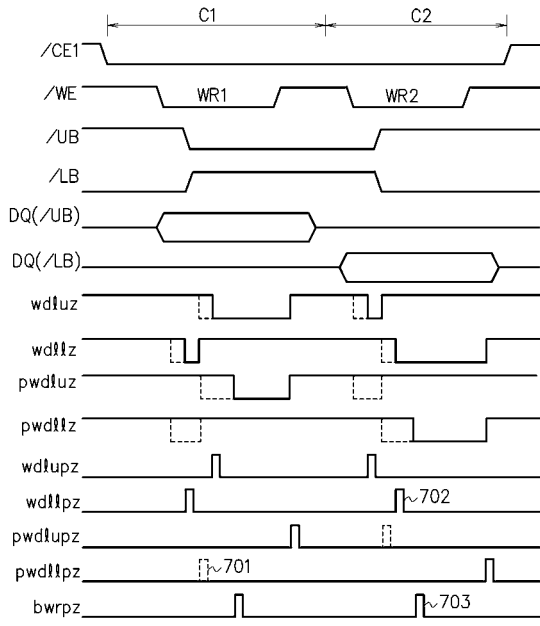
データ破壊

【図6】



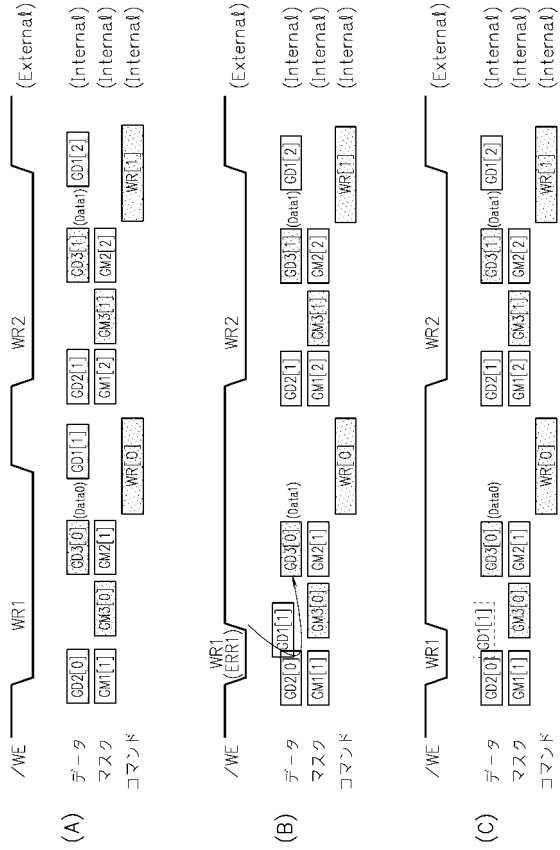
本実施形態でのデータ取り込みとデータ転送

【 図 7 】



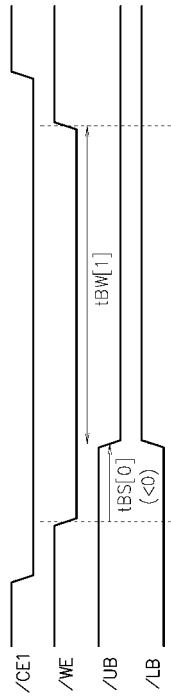
本実施形態でのデータ取り込みとデータ転送

【 図 8 】

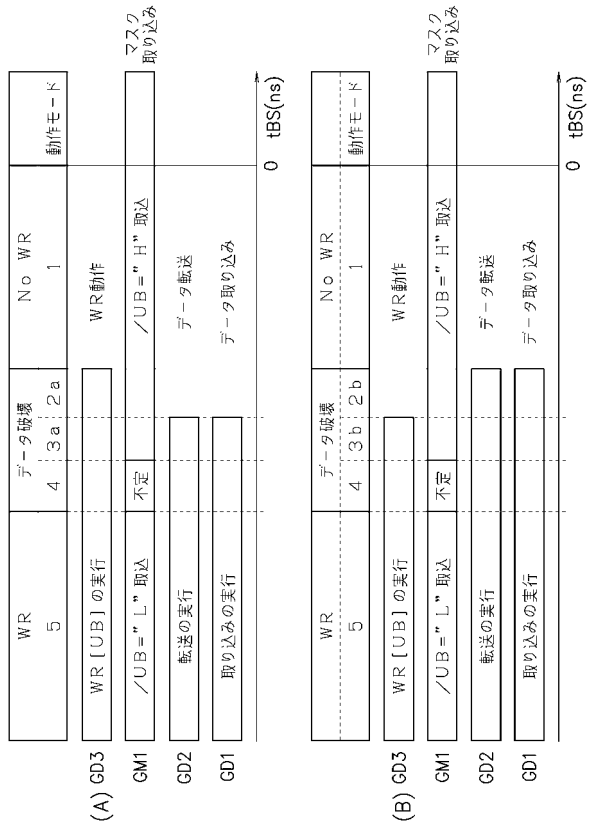


データ制御とマスク制御

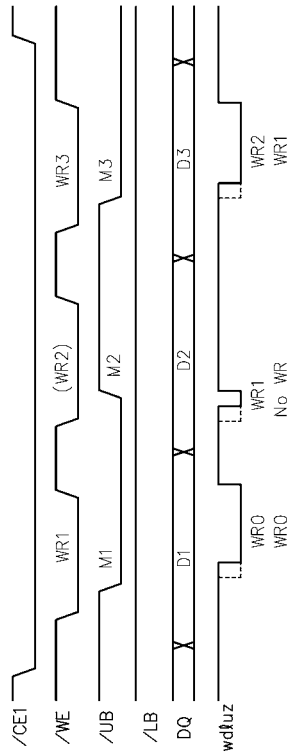
【 図 9 】



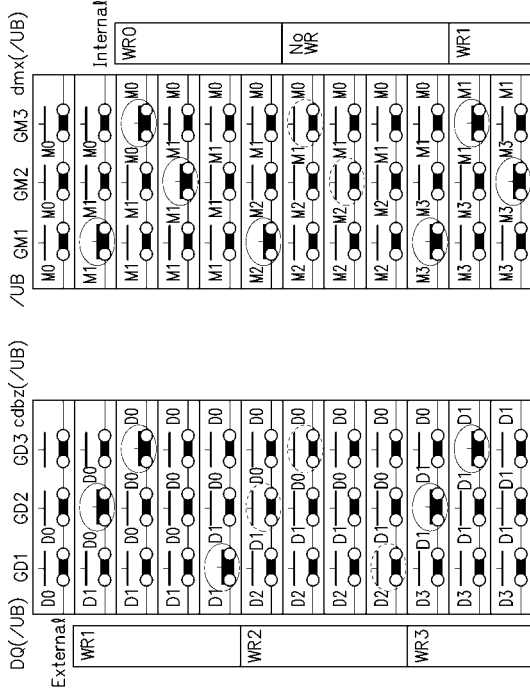
【 図 10 】



【図 1 1】

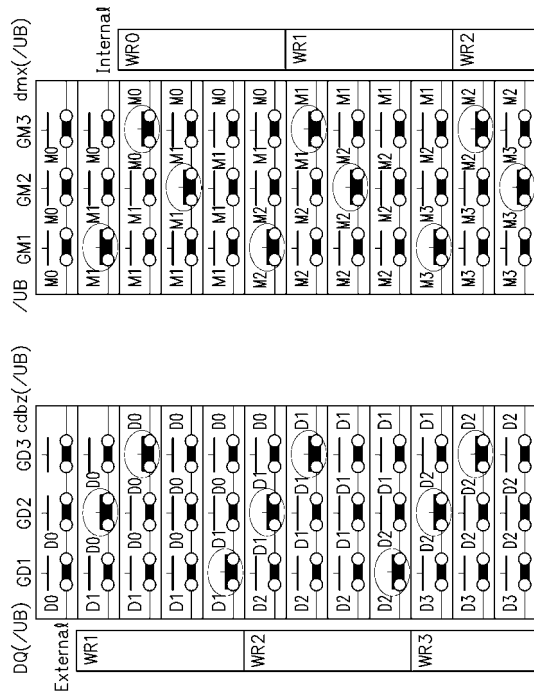


【図 1 3】



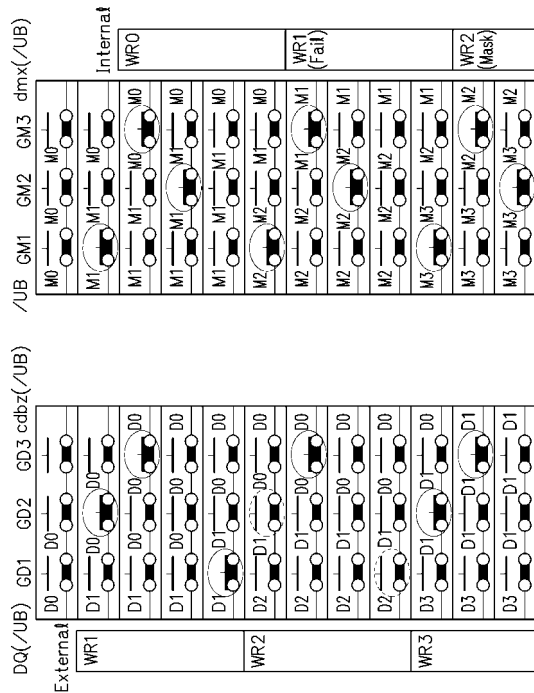
動作モード 1

【図 1 2】



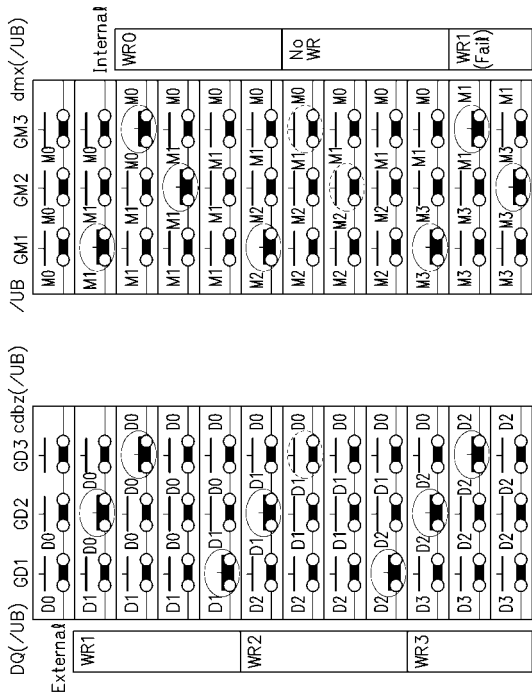
動作モード 5

【図 1 4】



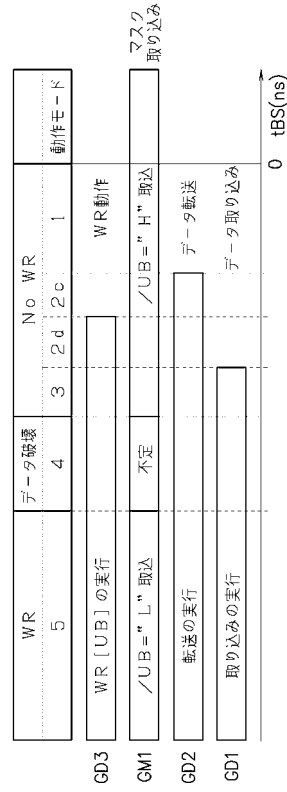
動作モード 2 a

【図 15】



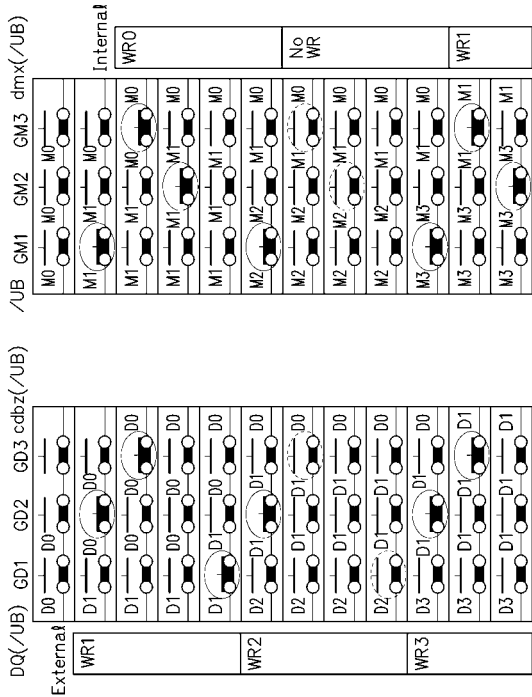
動作モード 2 b

【図 16】



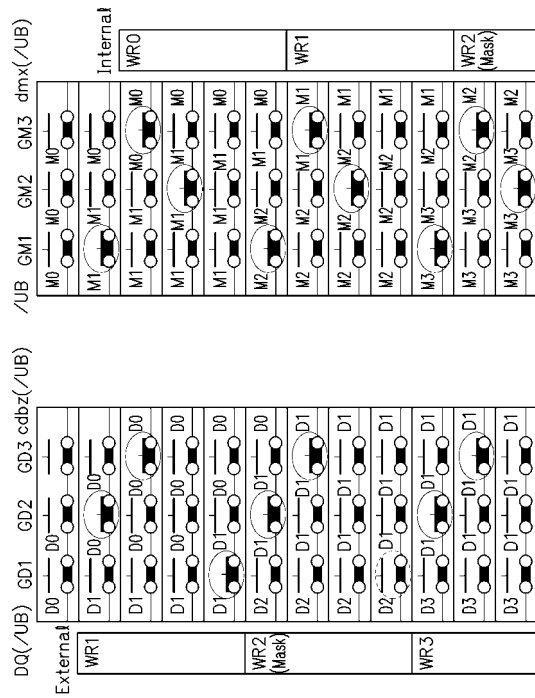
本実施形態での動作モード

【図 17】



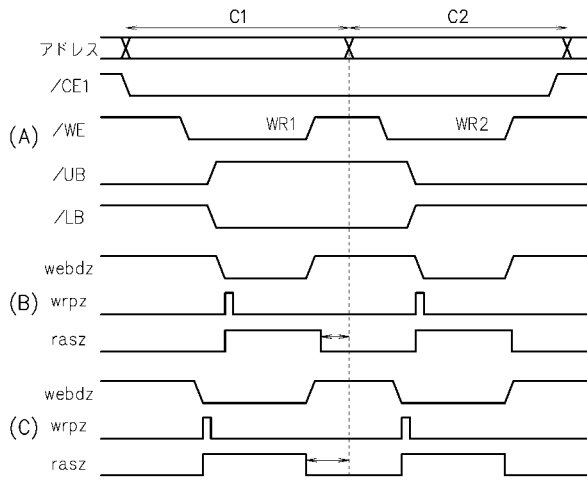
動作モード 2 c

【図 18】

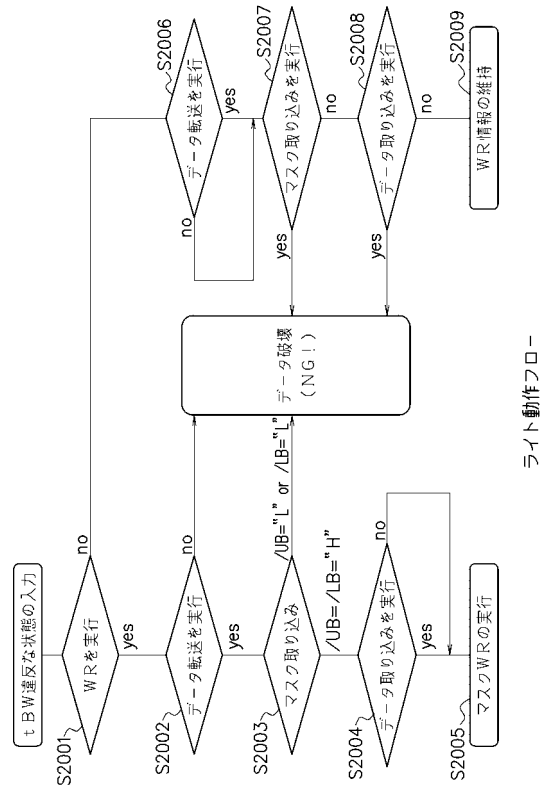


動作モード 2 d

【図19】



【図20】



フロントページの続き

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 1 1 / 4 0 3