

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 1 部門第 2 区分
 【発行日】令和 3 年 11 月 11 日 (2021.11.11)

【公開番号】特開 2021-74146 (P2021-74146A)
 【公開日】令和 3 年 5 月 20 日 (2021.5.20)
 【年通号数】公開・登録公報 2021-023
 【出願番号】特願 2019-201924 (P2019-201924)
 【国際特許分類】

A 6 3 F 7/02 (2006.01)

【F I】

A 6 3 F 7/02 3 2 0

A 6 3 F 7/02 3 2 6 Z

【手続補正書】

【提出日】令和 3 年 9 月 28 日 (2021.9.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

主制御部と、

前記主制御部に接続された払出制御部と、

前記主制御部又は前記払出制御部に接続された複数の入出力装置と、を備え、

前記主制御部及び前記払出制御部は、接続中継部を介して試験装置に接続可能であり、

前記接続中継部は、

前記主制御部から出力される試験信号が入力されるバッファ回路と、

前記バッファ回路から出力される試験信号が入力されるゲート回路と、を有し、

前記ゲート回路から出力される試験信号は、スイッチ回路を経由し、前記試験装置に接続するためのコネクタから出力可能に構成され、

前記スイッチ回路は、前記ゲート回路から出力される複数の試験信号に応じた入力端子と前記入力端子に対応する出力端子との間で前記コネクタの複数の試験信号に対して、グラウンド接地することが可能であり、

前記スイッチ回路を経由して前記コネクタに出力される試験信号は、前記スイッチ回路のスイッチをオフにすることで、1 本単位で試験信号を常時オフ状態にすることを可能とし、

前記主制御部は、CPU、RAM 及び ROM を内蔵したマイクロプロセッサを有し、

前記マイクロプロセッサに設けられた複数のデータバス端子に接続された配線は、前記コネクタとは異なるコネクタを経由して前記ゲート回路の入力端子に接続され、

前記バッファ回路は、複数の出力端子を有し、

前記マイクロプロセッサの前記データバス端子は、前記ゲート回路の入力端子に接続される前に前記バッファ回路の入力端子に接続され、

前記バッファ回路の入力端子から入力された前記試験信号は、前記バッファ回路内で波形整形されて前記バッファ回路の出力端子から出力され、出力された前記試験信号が前記ゲート回路に入力される

ことを特徴とする遊技機。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】 0 0 0 2

【補正方法】 削除

【補正の内容】

【手続補正 3】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 0 3

【補正方法】 変更

【補正の内容】

【0 0 0 3】

従来、中継基板を介して主制御基板を試験装置に接続可能な遊技機が特許文献 1 に提案されている（例えば、特許文献 1 参照）。

【手続補正 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 0 4

【補正方法】 変更

【補正の内容】

【0 0 0 4】

【特許文献 1】 特開 2 0 0 3 - 2 1 0 7 9 6 号公報

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 0 5

【補正方法】 変更

【補正の内容】

【0 0 0 5】

上述したような従来の遊技機のように、遊技機と試験装置とを接続する場合、中継基板を介して接続するのが一般的だが、遊技性等の遊技機の仕様に応じた中継基板を用意する必要がある。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 0 6

【補正方法】 変更

【補正の内容】

【0 0 0 6】

本発明は、遊技機の仕様が変わったとしても、中継基板を変更することなく、また、最低限の変更により試験装置と接続することが可能な遊技機を提供することを目的とする。

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 0 7

【補正方法】 変更

【補正の内容】

【0 0 0 7】

本発明に係る遊技機は、

主制御部（主制御回路 6 1 0 0）と、

前記主制御部に接続された払出制御部（払出・発射制御回路 6 3 0 0）と、

前記主制御部又は前記払出制御部に接続された複数の入出力装置（各種スイッチ類、各種ソレノイド類等）と、を備え、

前記主制御部及び前記払出制御部は、接続中継部（試験中継端子板 7 0 0 1）を介して試験装置に接続可能であり、

前記接続中継部は、

前記主制御部から出力される試験信号が入力されるバッファ回路（試験中継端子板 7 0

0 1 の B U F 1) と、

前記バッファ回路から出力される試験信号が入力されるゲート回路（試験中継端子板 7 0 0 1 の G A T E 1 ～ 6 ） と、を有し、

前記ゲート回路から出力される試験信号は、スイッチ回路（試験中継端子板 7 0 0 1 の S S W 1 ～ S S W 6 ）を経由し、前記試験装置に接続するためのコネクタ（試験中継端子板 7 0 0 1 のコネクタ C N 2 ～ 4 ）から出力可能に構成され、

前記スイッチ回路は、前記ゲート回路から出力される複数の試験信号に応じた入力端子と前記入力端子に対応する出力端子との間で前記コネクタの複数の試験信号に対して、グラウンド接地することが可能であり、

前記スイッチ回路を経由して前記コネクタに出力される試験信号は、前記スイッチ回路のスイッチをオフにすることで、1 本単位で試験信号を常時オフ状態にすることを可能とし、

前記主制御部は、C P U （メイン C P U 6 1 0 1 ）、R A M （メイン R A M 6 1 0 3 ）及び R O M （メイン R O M 6 1 0 2 ）を内蔵したマイクロプロセッサを有し、

前記マイクロプロセッサに設けられた複数のデータバス端子（D 0 ～ D 7 ）に接続された配線は、前記コネクタとは異なるコネクタ（試験中継端子板 7 0 0 1 のコネクタ C N 1 ）を経由して前記ゲート回路の入力端子に接続され、

前記バッファ回路は、複数の出力端子（Y 1 ～ Y 8 ）を有し、

前記マイクロプロセッサの前記データバス端子は、前記ゲート回路の入力端子に接続される前に前記バッファ回路の入力端子（A 1 ～ A 8 ）に接続され、

前記バッファ回路の入力端子から入力された前記試験信号は、前記バッファ回路内で波形整形されて前記バッファ回路の出力端子から出力され、出力された前記試験信号が前記ゲート回路に入力される

構成を有している。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

本発明は、遊技機の仕様が変わったとしても、中継基板を変更することなく、また、最低限の変更により試験装置と接続することが可能な遊技機を提供することができる。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】3 0 6 2

【補正方法】変更

【補正の内容】

【3 0 6 2】

各 S S W 1 ～ 6 は、入力端子 I 1 ～ I 8 と、出力端子 O 1 ～ O 8 とを有する。各 S S W 1 ～ 6 の入力端子 I 1 ～ I 8 は、各 G A T E 1 ～ 6 の出力端子 Q 1 ～ Q 8 にそれぞれ接続されている。各 S S W 1 ～ 6 は、スライドスイッチ又はディップスイッチにより構成され、各入力端子 I 1 ～ I 8 と各出力端子 Q 1 ～ Q 8 との間を個別に接続及び切断（グラウンド接地）することができる。