



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

224 731

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 30 06 82
(21) FV 3106-82

(51) Int. Cl.³ G 06 F 5/06

(40) Zveřejněno 25 02 83

(45) Vydáno 01 08 85

(75)

Autor vynálezu KEIBLER JOSEF ing., PRAHA

(54) Zapojení datových obvodů rychlé vyrovnávací paměti

1

Vynález se týká zapojení datových obvodů rychlé vyrovnávací paměti.

Dosavadní známá zapojení datových obvodů rychlých vyrovnávacích pamětí měla přímou cestu mezi operační pamětí a operačním procesorem vytvořenou tak, že tato cesta spojovala v plné šíři datovou sběrnici z operační paměti s operačním procesorem, to znamená, že v počítači, který používá tok dat v operačním procesoru menší než je šířka datové sběrnice z hlavní paměti, je toto řešení nepoužitelné. Výstupní datové registry dosavadních známých zapojení datových obvodů rychlých vyrovnávacích pamětí mají stejnou šířku jako je šířka toku dat operačního procesoru. U rychlých vyrovnávacích pamětí, kde při každém zápisu z operačního procesoru do rychlé vyrovnávací paměti se provádí vždy zápis do operační paměti, může nastat jev, že jednoduchý datový registr nestačí časově uspokojit požadavky operačního procesoru. Tento jev nestává hlavně u operací přesouvajících data z jednoho místa operační paměti na druhé.

Tyto nevýhody odstraňuje zapojení datových obvodů rychlé vyrovnávací paměti podle vynálezu, jehož podstata spočívá v tom, že výstup prvního vysílače dat je prostřednictvím první přímé datové sběrnice spojen se vstupem prvního vstupního registru, jehož výstup je spojen s prvním vstupem pomocného datového multiplexoru a se vstupem prvního datového registru, jehož výstup je spojen s prvním vstupem prvního datového multiplexoru, přičemž výstup druhého vysílače dat je prostřednictvím druhé přímé datové sběrnice spojen se vstu-

pem druhého vstupního registru, jehož výstup je spojen s druhým vstupem pomocného datového multiplexoru a se vstupem druhého datového registru, jehož výstup je spojen s prvním vstupem druhého datového multiplexoru, zatímco datový vstup celého obvodu je spojen se vstupem prvního výstupního datového registru a se vstupem druhého výstupního datového registru, jehož výstup je spojen se vstupem druhého vysílače dat a s druhým vstupem druhého datového multiplexoru, jehož výstup je spojen s druhým datovým vstupem datové části rychlé vyrovnávací paměti, přitom výstup prvního výstupního datového registru je spojen se vstupem prvního vysílače dat a s druhým vstupem prvního datového multiplexoru, jehož výstup je spojen s prvním datovým vstupem datové části rychlé vyrovnávací paměti a adresový vstup celého obvodu je spojen s adresovým vstupem datové části rychlé vyrovnávací paměti, jejíž výstup je prostřednictvím vnitřní datové sběrnice spojen s výstupem pomocného datového multiplexoru.

Na připojeném výkresu je znázorněn příklad zapojení datových obvodů rychlé vyrovnávací paměti.

Výstup 151 prvního vysílače 15 dat. je prostřednictvím první přímé datové sběrnice 5 spojen se vstupem prvního vstupního registru 6, jehož výstup 61 je spojen s prvním vstupem pomocného datového multiplexoru 13 a se vstupem prvního datového registru 8, jehož výstup 8, jehož výstup 81 je spojen s prvním vstupem prvního datového multiplexoru 10. Výstup 141 druhého vysílače 14 dat. je prostřednictvím druhé přímé datové sběrnice 4 spojen se vstupem druhého vstupního registru 7, jehož výstup 71 je spojen s druhým vstupem pomocného datového multiplexoru 13 a se vstupem druhého datového registru 9, jehož výstup 91 je spojen s prvním vstupem druhého datového multiplexoru 11. Datový vstup 3 celého obvodu je spojen se vstupem prvního výstupního datového registru 17 a se vstupem druhého výstupního datového registru 16, jehož výstup 161 je spojen se vstupem druhého vysílače 14 dat. a s druhým vstupem druhého datového multiplexoru 11, jehož výstup 111 je spojen s druhým datovým vstupem datové části rychlé vyrovnávací paměti 12. Výstup 171 prvního výstupního datového registru 17 je spojen se vstupem prvního vysílače 15 dat. a s druhým vstupem prvního datového multiplexoru 10, jehož výstup 101 je spojen s prvním datovým vstupem datové části rychlé vyrovnávací paměti 12. Adresový vstup 1 celého obvodu je spojen s adresovým vstupem datové části rychlé vyrovnávací paměti 12, jejíž výstup 121 je prostřednictvím vnitřní datové sběrnice 2 spojen s výstupem 131 pomocného datového multiplexoru 13.

Kromě adresového vstupu 1 je šifra toku dat mezi jednotlivými členy obvodu stejná. Z operačního procesoru jsou na datový vstup 3 celého obvodu přivedena vysílaná data. Odtud jsou nahrána buď do prvního výstupního datového registru 17, nebo do druhého výstupního datového registru 16. Data z výstupu 161 druhého výstupního datového registru 16 jsou přivedena na vstup druhého vysílače 14 dat., z jehož výstupu 141 jsou vysílána v případě zápisu do operační paměti na druhou přímou datovou sběrnici 4. Podobně data z výstupu 171 prvního výstupního datového registru 17 jsou přivedena na vstup prvního vysílače 15 dat., z jehož výstupu 151 jsou vysílána v případě zápisu do operační paměti na první přímou da-

tovou sběrnici 5. Prostřednictvím první i druhé přímé datové sběrnice 5 a 4, která je také vstupem i výstupem celého obvodu, mohou být data posílána do operační paměti. Při čtení nového bloku dat z operační paměti do paměti 12 dat rychlé vyrovnávací paměti jsou data posílána z operační paměti na první i druhou přímou datovou sběrnici 5 a 4. Z první přímé datové sběrnice 5 jsou data nahrána do prvního vstupního registru 6, z jehož výstupu 61 jsou data přivedena na první vstup pomocného datového multiplexoru 13 a na vstup prvního datového registru 8 do kterého jsou nahrána. Podobně z druhé přímé datové sběrnice 4 jsou data nahrána do druhého vstupního registru 7, z jehož výstupu 71 jsou data přivedena na druhý vstup pomocného datového multiplexoru 13 a na vstup druhého datového registru 9, do kterého jsou nahrána. Při funkci nahrávání nového bloku dat do paměti 12 dat, postupují data z výstupu 81 prvního datového registru 8 přes první vstup prvního datového multiplexoru 10 na jeho výstup 101 a odtud na první datový vstup paměti 12 dat. Rovněž data z výstupu 91 druhého datového registru 9 postupují přes první vstup druhého datového multiplexoru 11 na jeho výstup 111 a odtud na druhý datový vstup paměti 12 dat. Data na datových vstupech paměti 12 dat jsou pak nahrána do této paměti pomocí adresy, která je přivedena z adresového vstupu 1 celého obvodu na adresový vstup paměti 12 dat. Při funkci zápisu dat z výstupních datových registrů 16 a 17 do paměti 12 dat, postupují data z výstupu 171 prvního výstupního datového registru 17 přes druhý vstup prvního datového multiplexoru 10 na jeho výstup 101 a odtud na první datový vstup paměti 12 dat. Rovněž data z výstupu 161 druhého výstupního datového registru 16 postupují přes druhý vstup druhého datového multiplexoru 11 na jeho výstup 111 a odtud na druhý datový vstup paměti 12 dat. Při funkci čtení dat z paměti 12 dat se vybavená data z výstupu 121 paměti 12 dat vysílají na vnitřní datovou sběrnici 2. Při funkci nahrávání nového bloku dat z operační paměti do paměti 12 dat, vybírá pomocný datový multiplexor 13 data ze svého prvního nebo druhého vstupu a vybraná data posílá prostřednictvím svého výstupu 131 na vnitřní datovou sběrnici 2. Tím jsou žádaná data rychleji k dispozici pro operační procesor, neboť vnitřní datová sběrnice 2 je vlastně výstupem z celého obvodu a je zavedena až do operačního procesoru.

Zapojení datových obvodů rychlé vyrovnávací paměti podle vynálezu používá dvojitý výstupní datový registr a k tomu patřičné uspořádání obvodů. Toto řešení je zvlášť výhodné v rychlých vyrovnávacích pamětech pracujících s režimem zápisu, kdy každý zápis generovaný operačním procesorem se provádí vždy do operační paměti. Tímto řešením se sníží počet styků zápisů jak do rychlé vyrovnávací paměti, tak hlavně do operační paměti. Tím se sníží četnost blokování operačního procesoru z důvodu ještě nedokončeného zápisu a tak se zvýší výkon operačního procesoru. Rovněž použití pomocného datového multiplexoru, který obchází paměť dat rychlé vyrovnávací paměti a který vybírá jednu nebo druhou část dat ještě před zápisem do paměti dat a tato data posílá přes vnitřní datovou sběrnici do operačního procesoru, přispívá k zvýšení propustnosti paměťového systému a tudíž i k zvýšení výkonu operačního procesoru.

Zapojení podle vynálezu lze s výhodou použít v počítačích používajících rychlé vyrovnávací paměti.

PŘEDMĚT VYNÁLEZU .

Zapojení datových obvodů rychlé vyrovnávací paměti v y z n a č e n é tím, že výstup (151) prvního vysílače dat (15) je prostřednictvím první přímé datové sběrnice (5) spojen se vstupem prvního vstupního registru (6), jehož výstup (61) je spojen s prvním vstupem pomocného datového multiplexoru (13) a se vstupem prvního datového registru (8), jehož výstup (81) je spojen s prvním vstupem prvního datového multiplexoru (10), přičemž výstup (141) druhého vysílače (14) dat je prostřednictvím druhé přímé datové sběrnice (4) spojen se vstupem druhého vstupního registru (7), jehož výstup (71) je spojen s druhým vstupem pomocného datového multiplexoru (13) a se vstupem druhého datového registru (9), jehož výstup (91) je spojen s prvním vstupem druhého datového multiplexoru (11), zatímco datový vstup (3) celého obvodu je spojen se vstupem prvního výstupního datového registru (17) a se vstupem druhého výstupního datového registru (16), jehož výstup (161) je spojen se vstupem druhého vysílače (14) dat a s druhým vstupem druhého datového multiplexoru (11), jehož výstup (111) je spojen s druhým datovým vstupem datové části rychlé vyrovnávací paměti (12), přitom výstup (171) prvního výstupního datového registru (17) je spojen se vstupem prvního vysílače (15) dat a s druhým vstupem prvního datového multiplexoru (10), jehož výstup (101) je spojen s prvním datovým vstupem datové části rychlé vyrovnávací paměti a adresový vstup (1) celého obvodu je spojen s adresovým vstupem datové části rychlé vyrovnávací paměti (12), jejíž výstup (121) je prostřednictvím vnitřní datové sběrnice (2) spojen s výstupem (131) pomocného datového multiplexoru (13).

1 výkres

