

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年11月18日(18.11.2010)

PCT

(10) 国際公開番号
WO 2010/131679 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/04 (2006.01)
H01L 21/60 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2010/058049
- (22) 国際出願日: 2010年5月12日(12.05.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-117271 2009年5月14日(14.05.2009) JP
特願 2009-230017 2009年10月1日(01.10.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 吉原 克彦 (YOSHIHARA, Katsuhiko) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 石井 勝 (ISHII, Masaru) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎

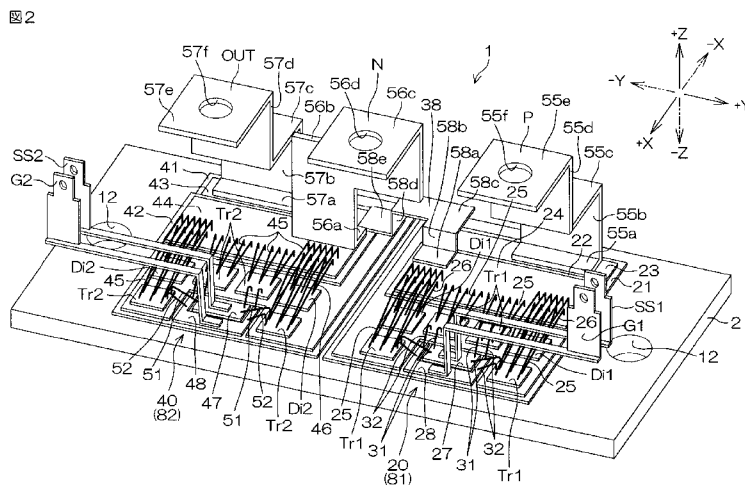
町2番地 ローム株式会社内 Kyoto (JP). 北黒弘一 (KITAGURO, Kouichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).

- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号 サンマリオンNBFタワー21階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Disclosed is a semiconductor device having a structure capable of reducing the self inductance of internal wiring. The semiconductor device comprises: lower boards having lower conductor layers formed on the surfaces thereof; switching elements which are respectively joined to the lower conductor layers in element joint areas; terminals which are each joined to the lower conductor layers in terminal joint areas; upper boards which are each laminated on the lower boards in board joint areas between each element joint area and each terminal joint area and which each have an upper conductor layer on the surfaces thereof; and switching element connecting members which each connect the switching elements with the upper conductor layers.

(57) 要約: 内部配線の自己インダクタンスを低減できる構造の半導体装置を提供する。半導体装置は、表面に下部導体層が形成された下部基板と、下部導体層に素子接合領域で接合されたスイッチング素子と、下部導体層に端子接合領域で接合された端子と、素子接合領域と端子接合領域との間の基板接合領域において基板に積層され、表面に上部導体層を有する上部基板と、スイッチング素子と上部導体層とを接続するスイッチング素子接続部材とを含む。



WO 2010/131679 A1

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 國際調查報告 (條約第 21 條(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、パワーモジュール等の半導体装置に関する。

背景技術

[0002] パワーモジュールは、電源に一对のスイッチング素子を直列に接続し、その一对のスイッチング素子の間から出力を得る装置である。このようなパワーモジュールは、たとえば、電動モータを駆動するための駆動回路を構成するインバータ回路に用いられる。電動モータは、たとえば、電気自動車（ハイブリッド車を含む）、電車、産業用ロボット等の動力源として用いられる。パワーモジュールは、また、太陽電池、風力発電機その他の発電装置（とくに自家発電装置）が発生する電力を商用電源の電力と整合するように変換するインバータ回路にも適用される。

[0003] パワーモジュールのスイッチング素子には、従来から、Si（シリコン）半導体を用いたデバイスが用いられてきた。しかし、電力変換時におけるデバイスでの損失が問題となっており、Si材料を用いたデバイスでは、さらなる高効率化はもはや困難な状況に立ち至っている。

そこで、SiC（炭化シリコン）半導体を用いたパワーデバイスをスイッチング素子として用いたパワーモジュールが提案されている。SiCパワーデバイスは、スイッチング速度が高速であるため、高速なオン/オフ動作が可能である。したがって、オフ時に電流が速やかに減少するので、スイッチング損失を低減することができる。

[0004] ところが、SiCパワーデバイスによる高速スイッチングは、スイッチング時のサージ電圧の増加という新たな問題をもたらす。

サージ電圧 V は、次式（A）に示すとおり、パワーモジュール内部の配線が有する自己インダクタンス L と、電流 i の時間 t による微分（ di/dt ）（時間当たりの電流変化率）との積で与えられる。

[0005] $V = L \cdot (di/dt) \dots\dots (A)$

スイッチング速度が速いほど、電流 i の変化率 (di/dt) が大きくなるから、サージ電圧 V が大きくなる。このサージ電圧によって、デバイスに耐圧以上の電圧が負荷されると、デバイスが破壊されるおそれがある。また、サージ電圧が大きいと、EMI (電磁気妨害) ノイズの増大や信頼性の低下の懸念もある。

[0006] そこで、SiCデバイス等の高速スイッチング素子を適用しながら、サージ電圧を低減するために、パワーモジュールの内部配線が有する自己インダクタンス L を低減する必要がある。この課題は、パワーモジュールのみならず、スイッチング素子を有する半導体装置に共通している。むしろ、Si半導体を用いたスイッチング素子を有する半導体装置においても、サージ電圧の低減は重要な課題である。

先行技術文献

特許文献

[0007] 特許文献1：特開2002-026251号公報

発明の概要

発明が解決しようとする課題

[0008] この発明の一つの目的は、内部配線の自己インダクタンスを効果的に低減できる構造を有する半導体装置を提供することである。

この発明の他の目的は、内部配線の自己インダクタンスの小さなパワーモジュールを実現できる半導体装置を提供することである。

この発明のさらに他の目的は、基板の主面と平行な方向への端子引き出しが可能な半導体装置を提供することである。

[0009] この発明のさらに他の目的は、端子に加わる外力に対する信頼性を向上した半導体装置を提供することである。

この発明のさらに他の目的は、自己インダクタンスを低減させることができるとともに、熱サイクルに対する信頼性を向上させることができる、半導

体装置を提供することである。

課題を解決するための手段

- [0010] この発明の第1の局面に係る半導体装置は、表面に下部導体層が形成された下部基板と、前記下部導体層に素子接合領域で接合されたスイッチング素子と、前記下部導体層に端子接合領域で接合された端子と、前記素子接合領域と前記端子接合領域との間の基板接合領域において前記基板に積層され、表面に上部導体層を有する上部基板と、前記スイッチング素子と前記上部導体層とを接続するスイッチング素子接続部材とを含む。
- [0011] この構成によれば、端子とスイッチング素子との間を接続する下部導体層によって提供される電流経路と、スイッチング素子からスイッチング素子接続部材を介して上部導体層に至る電流経路とが接近している。しかも、これらの電流経路には反対方向の電流が流れる。これにより、各電流経路のインダクタンスが少なくとも部分的に相殺されるので、内部配線の自己インダクタンスの低い半導体装置を提供できる。これにより、スイッチング素子のスイッチング速度が高速である場合でも、サージ電圧を抑制できる。したがって、高速スイッチングが可能で、それに応じて損失が少なく、かつ、耐圧裕度の高い半導体装置を実現できる。また、損失が少ないので高周波動作時の発熱を抑制できるから、熱暴走しにくい半導体装置を提供できる。さらに、サージ電圧を抑制できるので、EMI（電磁気妨害）ノイズの増大や信頼性の低下を回避できる。
- [0012] 前記スイッチング素子接続部材は、アルミニウムその他の金属からなる金属ワイヤであってもよいし、細い帯状のリボンであってもよいし、板状体からなるリードフレームであってもよい。いずれの場合も、前記スイッチング素子接続部材は、スイッチング素子と上部導体層とを最短距離で接続するように配置されることが好ましい。これにより、内部配線のインダクタンスを低減できる。
- [0013] 前記スイッチング素子は、MOS型電界効果トランジスタの形態を有していてもよい。スイッチング素子に適用される半導体は、Si（シリコン）で

あってもよいが、高速動作が可能なSiC（炭化シリコン）半導体を適用することが好ましい。

前記下部基板は、絶縁性基板の表面に導体層としての金属箔（たとえば銅箔）を形成したものであってもよい。具体的には、前記下部基板は、セラミックス上に銅箔を直接接合したDBC（Direct Bonding Copper）基板であってもよい。同様に、前記上部基板は、絶縁性基板の表面に導体層としての金属箔（たとえば銅箔）を形成したものであってもよい。つまり、前記上部基板は、たとえば、セラミックス上に銅箔を直接接合したDBC基板であってもよい。

[0014] この発明の一実施形態では、前記上部導体層は矩形に形成されており、当該矩形の上部導体層の一辺に複数の前記スイッチング素子が対向しており、前記複数のスイッチング素子は前記一辺の両端部に対向する一対のスイッチング素子を含む。

この構成によれば、一対のスイッチング素子が上部導体層の一辺の両端部に配置されているので、複数のスイッチング素子と上部導体層とを接続するスイッチング素子接続部材の全体の幅（配置全幅）を大きく（略最大に）することができる。これにより、スイッチング素子接続部材によるインダクタンスを低減することができるので、半導体装置の内部配線による自己インダクタンスを一層低減できる。

[0015] 前記スイッチング素子接続部材が金属ワイヤまたは金属リボンからなる場合、複数本の金属ワイヤまたは金属リボンは、互いに平行に配置されることが好ましい。これにより、配置全幅を大きく（最大に）することができる。

この発明の一実施形態では、前記素子接合領域において前記下部導体層に接合されたダイオード素子と、前記ダイオード素子と前記上部導体層とを接続するダイオード素子接続部材とをさらに含む。

[0016] この構成によれば、端子とダイオード素子との間を接続する下部導体層によって提供される電流経路と、ダイオード素子からダイオード素子接続部材を介して上部導体層に至る電流経路とが接近している。しかも、これらの電

流経路には反対方向の電流が流れる。これにより、各電流経路のインダクタンスが少なくとも部分的に相殺されるので、内部配線の自己インダクタンスの低い半導体装置を提供できる。これにより、サージ電圧を抑制できるから、耐圧裕度の高い半導体装置を実現できる。

[0017] 前記ダイオード素子接続部材は、アルミニウムその他の金属からなる金属ワイヤであってもよいし、細い帯状のリボンであってもよいし、板状体からなるリードフレームであってもよい。いずれの場合も、前記ダイオード素子接続部材は、ダイオード素子と上部導体層とを最短距離で接続するように配置されることが好ましい。これにより、内部配線のインダクタンスを低減できる。

[0018] この発明の一実施形態では、前記上部導体層は矩形に形成されており、当該矩形の上部導体層の一辺に複数の前記ダイオード素子が対向しており、前記複数のダイオード素子は前記一辺の両端部に対向する一対のダイオード素子を含む。

この構成によれば、一対のダイオード素子が上部導体層の一辺の両端部に配置されているので、複数のダイオード素子と上部導体層とを接続するダイオード素子接続部材の全体の幅（配置全幅）を大きく（略最大に）することができる。これにより、ダイオード素子接続部材によるインダクタンスを低減することができるので、半導体装置の内部配線による自己インダクタンスを一層低減できる。

[0019] 前記ダイオード素子接続部材が金属ワイヤまたは金属リボンからなる場合、複数本の金属ワイヤまたは金属リボンは、互いに平行に配置されることが好ましい。これにより、配置全幅を大きく（最大に）することができる。

この発明の一実施形態では、前記スイッチング素子が、SiC半導体を用いた素子である。この構成により、スイッチング素子のスイッチング速度が高速になるから、スイッチング損失を低減できる。しかも、内部配線のインダクタンスが低いので、サージ電圧を抑制できる。したがって、高速スイッチングが可能で、それに応じて損失が少なく、かつ、耐圧裕度の高い半導体

装置を実現できる。

[0020] この発明の一実施形態では、前記スイッチング素子が、複数のスイッチング素子を含み、前記素子接合領域は、前記上部導体層の一辺に沿う第1領域と、この第1領域から前記上部基板から離れる方向に延びた第2領域と、前記第1領域から前記第2領域とは別の位置で前記第1領域から離れる方向に延びた第3領域とを含み、前記第1領域、第2領域および第3領域にそれぞれ少なくとも一つの前記スイッチング素子が接合されており、前記第1領域に対向して配置された第1制御用導体層と、前記第1制御用導体層に対して前記第1領域とは反対側から対向し、さらに前記第1制御用導体層と前記第2領域および第3領域との間に延びて配置された第2制御用導体層と、前記第1領域、第2領域および第3領域に配置されたスイッチング素子と前記第1制御用導体層および第2制御用導体層との間をそれぞれ接続する制御用配線部材とをさらに含む。

[0021] この構成により、下部基板の法線方向から見た平面視において制御用配線部材同士が交差することを回避しながら、各スイッチング素子を第1および第2制御用導体層に接続することができる。すなわち、制御用配線部材同士を立体交差させる必要がないので、制御用配線部材の長さを短くすることができる。

この発明の第2の局面に係る半導体装置は、表面に第1下部導体層が形成された第1下部基板と、前記第1下部導体層に第1素子接合領域で接合された第1スイッチング素子と、前記第1下部導体層に第1端子接合領域で接合された第1電源端子と、前記第1素子接合領域と前記第1端子接合領域との間の第1基板接合領域において前記第1下部基板に積層され、表面に第1上部導体層を有する第1上部基板と、前記第1スイッチング素子と前記第1上部導体層とを接続する第1スイッチング素子接続部材と、表面に第2下部導体層が形成された第2下部基板と、前記第2下部導体層に第2素子接合領域で接合された第2スイッチング素子と、前記第1上部導体層に電氣的に接続され、かつ、前記第2下部導体層に第2端子接合領域で接合された出力端子

と、前記第2素子接合領域と前記第2端子接合領域との間の第2基板接合領域において前記第2下部基板に積層され、表面に第2上部導体層を有する第2上部基板と、前記第2スイッチング素子と前記第2上部導体層とを接続する第2スイッチング素子接続部材と、前記第2上部導体層に接合された第2電源端子と、前記第1下部基板および前記第2下部基板を、前記第1および第2端子接合領域が隣り合うように保持する保持ベースとを含む。

[0022] この構成により、第1および第2スイッチング素子が第1および第2電源端子間に直列接続され、第1および第2スイッチング素子間に出力端子を接続した構成のパワーモジュールを提供することができる。そして、第1電源端子と第1スイッチング素子との間を接続する第1下部導体層によって提供される電流経路と、第1スイッチング素子から第1スイッチング素子接続部材を介して第1上部導体層に至る電流経路とが接近している。しかも、これらの電流経路には反対方向の電流が流れる。同様に、出力端子と第2スイッチング素子との間を接続する第2下部導体層によって提供される電流経路と、第2スイッチング素子から第2スイッチング素子接続部材および第2上部導体層を通して第2電源端子に至る電流経路とが接近している。しかも、これらの電流経路には反対方向の電流が流れる。これにより、各電流経路のインダクタンスが少なくとも部分的に相殺されるので、内部配線の自己インダクタンスの低い半導体装置（パワーモジュール）を提供できる。たとえば、内部配線による自己インダクタンスが20nH程度のパワーモジュールを提供できる。これにより、第1および第2スイッチング素子のスイッチング速度が高速である場合でも、サージ電圧を抑制できる。したがって、高速スイッチングが可能で、それに応じて損失が少なく、かつ、耐圧裕度の高い半導体装置（パワーモジュール）を実現できる。さらに、第1および第2下部基板が保持ベース上に隣り合って配置されているので、これらの間の接続配線長が短い。これによっても、インダクタンスの低減が図られる。

[0023] 前記保持ベースは、銅その他の熱伝導率の高い材料で構成されることが好ましい。これにより、保持ベースは、スイッチング素子から発生した熱を外

部に逃がすための放熱ベースとして機能することができる。この場合に、保持ベース（放熱ベース）には、ヒートシンクその他の冷却手段が取り付けられることが好ましい。

また、第1の局面に係る半導体装置に関連して説明した構成は、第2の局面に係る半導体装置に対しても適用することができる。

[0024] この発明の一実施形態では、前記第1電源端子および第2電源端子が、所定の間隔を開けて互いに対向する板状部分をそれぞれ有している。この構成により、第1および第2電源端子を互いに反対方向に流れる電流によって、第1および第2電源端子のインダクタンスを相殺することができる。これにより、自己インダクタンスをさらに低減することができる。

[0025] 第3の局面に係る半導体装置は、半導体素子と基板とを含む基板アッセンブリと、前記基板アッセンブリに接合され、前記基板の主面と平行に延びる端子と、前記配線基板を包囲する樹脂ケースとを含み、前記樹脂ケースが、前記端子が挿通する挿通孔を有する第1ケース部品と、この第1ケース部品と組み合わせられる第2ケース部品とを含む組立体からなる。前記半導体素子は、スイッチング素子を含んでいてもよいし、ダイオード素子を含んでいてもよい。

[0026] この構成によれば、基板の主面と平行な方向に端子が延びて樹脂ケース外に引き出されている。これにより、端子の長さを短くすることができ、それに応じてインダクタンスの低減に寄与することができる。一方、樹脂ケースの第1ケース部品には挿通孔が形成されている。この挿通孔に端子を通すことにより、第1ケース部品を第2ケース部品に組み合わせて、樹脂ケースを組み立てることができる。したがって、端子を基板アッセンブリに接合した後、樹脂ケースを組み立てることができる。

[0027] 端子が基板の主面と平行に引き出されているので、樹脂ケースが一体成形品であると、端子の接合後に樹脂ケースを取り付けることができない。この問題は、端子を樹脂ケースとともにインサート成形しておくことによって解決されるが、この場合、樹脂ケースは、端子接合（たとえば半田接合）時の

高温に晒されるから、極めて高い耐熱性が要求されることになる。

[0028] 第3の局面に係る半導体装置は、これらの問題に対する解決手段を提供する。

第1ケース部品の第2ケース部品への取り付けは、たとえば、ねじ止めによって行ってもよいし、接着によって行ってもよい。

第4の局面に係る半導体装置は、半導体素子と基板とを含む基板アッセンブリと、前記基板に接合された接合部、前記接合部から前記基板の主面から離れる方向に立ち上がる第1立上部、前記第1立上部の上端から前記基板の主面に沿って延びる横行部、および前記横行部から前記基板の主面から離れる方向に立ち上がる第2立上部を有する端子と、前記第2立上部と前記基板の主面との間に配置された端子台座と、前記基板の主面とは反対側から前記横行部に当接または近接するように配置された端子抑えとを含む。

[0029] この構成によれば、横行部は端子台座によって基板側への変位が規制され、第2立上部は端子抑えによって基板とは反対側への変位が規制される。これにより、たとえば、第2立上部に対して、基板の法線方向に沿う外力が作用しても、第2立上部が大きく変位することがない。したがって、端子が破損したり、端子と基板との接合が剥がれたりすることを抑制または防止できるので、信頼性に優れた半導体装置を提供できる。

[0030] この発明の一実施形態では、前記基板アッセンブリを包囲するケースをさらに含み、前記ケースは、前記第2立上部を挿通させる挿通孔が形成されたケース板を含み、このケース板に前記端子抑えが備えられている。この構成により、ケース板（たとえばケースの天板）に端子抑えが備えられているので、簡単な構造で端子の変位または変形を抑制できる。

[0031] この発明の一実施形態では、前記端子抑えは、前記ケース板の前記横行部に対向する内表面であり、前記内表面が前記横行部と略面一に配置されるように前記ケース板が前記ケースに組み付けられるようになっている。この構成によれば、ケース板（たとえばケースの天板）の内表面が端子抑えとして機能するので、構成を一層簡単にすることができる。また、ケースを小さく

することができるから、半導体装置の小型化を図ることができる。

[0032] なお、第3の局面に係る半導体装置および第4の局面に係る半導体装置の構成は、第1の局面に係る半導体装置または第2の局面に係る半導体装置の構成と組み合わせることもできる。

この発明の一実施形態では、前記スイッチング素子接続部材は、板状体からなるスイッチング素子接続用フレームである。板状体からなるスイッチング素子接続用フレームの断面積は、ボンディングワイヤの断面積よりも大きい。そのため、スイッチング素子接続部材としてボンディングワイヤが採用された構造よりも、自己インダクタンスを低減させることができる。

[0033] この発明の一実施形態では、前記スイッチング素子と前記スイッチング素子接続用フレームとの間に介在される導電性を有するスイッチング素子接続用弾性部材と、前記スイッチング素子接続用フレームによって前記スイッチング素子接続用弾性部材が前記スイッチング素子側に押圧された状態となるように、前記スイッチング素子接続用フレームを前記スイッチング素子側に押圧する押圧部材と、をさらに含む。

[0034] この構成では、スイッチング素子とスイッチング素子接続用フレームとの間に導電性を有するスイッチング素子接続用弾性部材が介在している。そして、スイッチング素子接続用フレームによってスイッチング素子接続用弾性部材がスイッチング素子側に押圧された状態となるように、押圧部材によってスイッチング素子接続用フレームがスイッチング素子側に押圧されている。つまり、スイッチング素子とスイッチング素子接続用フレームとの接続は、半田付けではなく、スイッチング素子接続用フレームによってスイッチング素子接続用弾性部材がスイッチング素子側に押圧されることによって達成されている。したがって、スイッチング素子とスイッチング素子接続用フレームとの間に熱膨張／収縮差が生じても、その熱膨張／収縮差を弾性部材の変形またはスイッチング素子接続用フレームとスイッチング素子接続用弾性部材との相対的なずれにより吸収することができる。そのため、スイッチング素子接続用フレームがスイッチング素子から剥離することを防止できる。

また、熱膨張／収縮差に起因する応力がスイッチング素子に伝播することを防止でき、その応力の伝播によるスイッチング素子のクラックの発生を防止できる。よって、この構成によれば、自己インダクタンスを低減させることができるとともに、熱サイクルに対する信頼性を向上させることができる。

[0035] この発明の一実施形態では、前記ダイオード素子接続部材は、板状体からなるダイオード素子接続用フレームである。板状体からなるダイオード素子接続用フレームの断面積は、ボンディングワイヤの断面積よりも大きい。そのため、ダイオード素子接続部材としてボンディングワイヤが採用された構造よりも、自己インダクタンスを低減することができる。

[0036] この発明の一実施形態では、前記ダイオード素子と前記ダイオード素子接続用フレームとの間に介在される導電性を有するダイオード素子接続用弾性部材と、前記ダイオード素子接続用フレームによって前記ダイオード素子接続用弾性部材が前記ダイオード素子側に押圧された状態となるように、前記ダイオード素子接続用フレームを前記ダイオード素子側に押圧する押圧部材と、をさらに含む。

[0037] この構成では、ダイオード素子とダイオード素子接続用フレームとの接続は、半田付けではなく、ダイオード素子接続用フレームによってダイオード素子接続用弾性部材がダイオード素子側に押圧されることによって達成されている。したがって、ダイオード素子とダイオード素子接続用フレームとの間に熱膨張／収縮差が生じても、その熱膨張／収縮差を弾性部材の変形またはダイオード素子接続用フレームとダイオード素子接続用弾性部材との相対的なずれにより吸収することができる。そのため、ダイオード素子接続用フレームがダイオード素子から剥離することを防止できる。また、熱膨張／収縮差に起因する応力がダイオード素子に伝播することを防止でき、その応力の伝播によるダイオード素子のクラックの発生を防止できる。よって、この構成によれば、自己インダクタンスを低減させることができるとともに、熱サイクルに対する信頼性を向上させることができる。

[0038] この発明の一実施形態では、前記スイッチング素子接続部材および前記ダ

イオード素子接続部材は、板状体からなる同一の素子接続用フレームである。この構成では、スイッチング素子接続部材およびダイオード素子接続部材としてボンディングワイヤが採用された構造よりも、自己インダクタンスを低減することができる。また、スイッチング素子とダイオード素子とを同一の素子接続用フレームによって上部導体層に接続できるので、部品数を少なくできるとともに半導体装置の製造が容易となる。

[0039] この発明の一実施形態では、前記スイッチング素子と前記素子接続用フレームとの間に介在される導電性を有するスイッチング素子接続用弾性部材と、前記ダイオード素子と前記素子接続用フレームとの間に介在される導電性を有するダイオード素子接続用弾性部材と、前記素子接続用フレームによって、前記スイッチング素子接続用弾性部材が前記スイッチング素子側に押圧された状態となるとともに、前記ダイオード素子接続用弾性部材が前記ダイオード素子側に押圧された状態となるように、前記素子接続用フレームを前記スイッチング素子側および前記ダイオード素子側に押圧する押圧部材と、をさらに含む。

[0040] この構成では、スイッチング素子およびダイオード素子と素子接続用フレームとの接続は、半田付けではなく、素子接続用フレームによってスイッチング素子接続用弾性部材およびダイオード素子接続用弾性部材が、それぞれ、スイッチング素子側およびダイオード素子側に押圧されることによって達成されている。したがって、スイッチング素子およびダイオード素子と素子接続用フレームとの間に熱膨張／収縮差が生じても、その熱膨張／収縮差を弾性部材の変形または素子接続用フレームと弾性部材との相対的なずれにより吸収することができる。そのため、素子接続用フレームがスイッチング素子またはダイオード素子から剥離することを防止できる。また、熱膨張／収縮差に起因する応力がスイッチング素子およびダイオード素子に伝播することを防止でき、その応力の伝播によるスイッチング素子およびダイオード素子のクラックの発生を防止できる。よって、この構成によれば、自己インダクタンスを低減させることができるとともに、熱サイクルに対する信頼性を

向上させることができる。

[0041] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0042] [図1] 図1は、この発明の第1の実施形態に係るパワーモジュールの外観を示す斜視図である。

[図2] 図2は、ケース内に收容されたパワーモジュール回路の構成を説明するための図解的な斜視図である。

[図3] 図3は、第1および第2基板アッセンブリの構成要素の配置を説明するための図解的な平面図である。

[図4] 図4は、パワーモジュールの電氣的構成を説明するための電気回路図である。

[図5] 図5Aは上アーム回路（第1基板アッセンブリ）における電流経路を説明するための図解的な断面図であり、図5Bは下アーム回路（第2基板アッセンブリ）における電流経路を説明するための図解的な断面図である。

[図6A] 図6Aはゲート端子およびソースセンス端子の保持構造の一例を説明するための図解的な側面図である。

[図6B] 図6Bはゲート端子およびソースセンス端子の保持構造の他の例を説明するための図解的な側面図である。

[図7A] 図7Aはワイヤの長さを短くすることによってインダクタンスを低減できる効果を説明するための図である。

[図7B] 図7Bはワイヤの配置全幅を大きくすることによってインダクタンスを低減できる効果を説明するための図である。

[図8] 図8は、この発明の第2の実施形態に係るパワーモジュールの外観を示す斜視図である。

[図9] 図9は、ケースの内部に收容されたパワーモジュール回路の構成を説明するための図解的な斜視図である。

[図10] 図10は、図9の構成の平面図である。

- [図11] 図 1 1 は、ケースの分解斜視図である。
- [図12] 図 1 2 は、端子の変形形態を説明するための斜視図である。
- [図13] 図 1 3 は、端子の変形形態を説明するための斜視図である。
- [図14] 図 1 4 は、端子の変形形態を説明するための斜視図である。
- [図15] 図 1 5 は、端子の変形形態を説明するための斜視図である。
- [図16] 図 1 6 は、端子の変形形態を説明するための斜視図である。
- [図17] 図 1 7 は、端子の変形形態を説明するための斜視図である。
- [図18] 図 1 8 は、端子の変形形態を説明するための斜視図である。
- [図19] 図 1 9 は、端子の変形形態を説明するための斜視図である。
- [図20] 図 2 0 は、端子の変形形態を説明するための斜視図である。
- [図21] 図 2 1 は、端子の変形形態を説明するための斜視図である。
- [図22] 図 2 2 は、端子の変形形態を説明するための斜視図である。
- [図23] 図 2 3 は、端子の変形形態を説明するための斜視図である。
- [図24] 図 2 4 は、端子の変形形態を説明するための斜視図である。
- [図25] 図 2 5 は、端子の変形形態を説明するための斜視図である。
- [図26] 図 2 6 は、端子の変形形態を説明するための斜視図である。
- [図27] 図 2 7 は、端子の変形形態を説明するための斜視図である。
- [図28] 図 2 8 は、端子の変形形態を説明するための斜視図である。
- [図29] 図 2 9 は、端子の変形形態を説明するための斜視図である。
- [図30] 図 3 0 は、端子の変形形態を説明するための斜視図である。
- [図31] 図 3 1 A は、本発明の第 3 の一実施形態に係るパワーモジュールの内部構造を示す模式的な平面図であり、図 3 1 B は、図 3 1 A に示すパワーモジュールの内部構造の模式的な側面図である。
- [図32] 図 3 2 A は、本発明の第 4 の実施形態に係るパワーモジュールの内部構造を示す模式的な平面図であり、図 3 2 B は、図 3 2 A に示すパワーモジュールの内部構造の模式的な側面図である。
- [図33] 図 3 3 は、弾性部材の他の構成を示す模式的な側面図である。
- [図34] 図 3 4 は、この発明の第 5 の実施形態に係るパワーモジュールにおけ

るパワーモジュール回路の構成を説明するための図解的な斜視図である。

[図35] 図35は、第1および第2基板アッセンブリを示す図解的な平面図である。

[図36] 図36Aは第1基板アッセンブリを示す図解的な断面図であり、図36Bは第2基板アッセンブリを示す図解的な断面図である。

[図37] 図37は、この発明の第6の実施形態に係るパワーモジュールにおけるパワーモジュール回路の構成を説明するための図解的な斜視図である。

[図38] 図38は、この発明の第6の実施形態に係るパワーモジュールにおけるパワーモジュール回路の構成を説明するための図解的な斜視図である。

発明を実施するための形態

[0043] 以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

[第1の実施形態]

図1は、この発明の第1の実施形態に係るパワーモジュールの外観を示す斜視図である。パワーモジュール1は、放熱ベース2と、ケース3と、第1電源端子Pと、第2電源端子Nと、出力端子OUTとを備えている。説明の便宜上、以下では、図1に示した+X方向、-X方向、+Y方向、-Y方向、+Z方向および-Z方向を用いることがある。+X方向および-Xは、平面視矩形の放熱ベース2の短辺に沿う2つの方向であり、これらを総称するときには単に「X方向」という。+Y方向および-Y方向は放熱ベース2の長辺に沿う2つの方向であり、これらを総称するときには単に「Y方向」という。+Z方向および-Z方向は放熱ベース2の法線に沿う2つの方向であり、これらを総称するときには単に「Z方向」という。放熱ベース2を水平面においたとき、X方向およびY方向は互いに直交する2つの水平な直線（X軸およびY軸）に沿う2つの水平方向（第1水平方向および第2水平方向）となり、Z方向は鉛直な直線（Z軸）に沿う鉛直方向（高さ方向）となる。

[0044] 放熱ベース2は、平面視矩形の一樣厚さの板状体であり、熱伝導率の高い

材料で構成されている。より具体的には、放熱ベース 2 は、銅で構成された銅ベースであってもよい。この銅ベースは、表面にニッケルめっき層が形成されたものであってもよい。放熱ベース 2 の -Z 方向側の主面には、必要に応じて、ヒートシンクその他の冷却手段が取り付けられる。

[0045] ケース 3 は、略直方体形状に形成されており、樹脂材料で構成されている。とくに、PPS（ポリフェニレンサルファイド）等の耐熱性樹脂を用いることが好ましい。ケース 3 は、平面視において放熱ベース 2 と略整合する矩形をなしており、放熱ベース 2 の一方表面（+Z 方向表面）に固定された枠部 4 と、この枠部 4 に固定された天板 5 とを備えている。天板 5 は、枠部 4 の一方側（+Z 方向側）を閉塞し、枠部 4 の他方側（-Z 方向側）を閉塞する放熱ベース 2 の主面と対向している。これにより、放熱ベース 2、枠部 4 および天板 5 によって、回路收容空間がケース 3 の内部に区画されている。枠部 4 は、一对の側板 6、7 と、これら一对の側板 6、7 の両端をそれぞれ結合する一对の端板 8、9 とを備えている。端板 8、9 は、それぞれの中間部付近に、内方に凹んだ凹部 10、11 を有している。この凹部 10、11 において、放熱ベース 2 の +Z 方向側表面が露出している。この露出領域には、放熱ベース 2 を厚さ方向に貫通する取付孔 12 が形成されている。パワーモジュール 1 は、取付孔 12 を挿通するボルト（図示せず）によって、取付対象の所定の固定位置に固定される。取付孔 12 を利用して前述のヒートシンク等の冷却手段が取り付けられてもよい。端板 8、9 の凹部 10、11 と整合するように、天板 5 の一对の端辺の各中間部付近に凹部 13、14 が形成されている。

[0046] 天板 5 の +Z 方向側表面（外表面）には、端子台 15 が形成されている。端子台 15 は、凹部 13、14 の間に配置されており、天板 5 の長手方向（Y 方向）に沿って整列した 3 つの端子台 15P、15N および 15OUT を含む。これらの 3 つの端子台 15 は、それぞれ平面視矩形に形成されており、略中央に六角筒状凹部（図示せず）が穿設されている。この六角筒状凹部に、ナット（図示せず）が埋設されて固定されている。

[0047] 一方端に配置された端子台 15 P の表面（+Z 方向側表面）には、第 1 電源端子 P が配置されている。また、中央に配置された端子台 15 N の表面（+Z 方向側表面）には、第 2 電源端子 N が配置されている。さらに、他端に配置された端子台 15 O U T の表面（+Z 方向側表面）には、出力端子 O U T が配置されている。

第 1 電源端子 P、第 2 電源端子 N および出力端子 O U T は、それぞれ、金属板（たとえば、銅板にニッケルめっきを施したもの）を所定形状に切り出し、曲げ加工を施して作成されたものであり、ケース 3 の内部の回路に電氣的に接続されている。第 1 電源端子 P、第 2 電源端子 N および出力端子 O U T の各先端部は、それぞれ端子台 15 P、15 N、15 O U T へと引き出されている。第 1 電源端子 P、第 2 電源端子 N および出力端子 O U T の各先端部は、帯状に成形されており、それぞれ端子台 15 P、15 N、15 O U T の表面に沿うように成形されている。第 1 電源端子 P、第 2 電源端子 N および出力端子 O U T は、挿通孔 55 f、56 d、57 f をそれぞれの先端部に有している。これらの挿通孔 16 P、16 N、16 O U T を挿通し、前述のナットに螺着されるボルトを用いることにより、パワーモジュール 1 の取付対象側に備えられるバスバーに対して端子 P、N、O U T を接続できる。

[0048] 図 2 は、ケース 3 の内部に收容されたパワーモジュール回路の構成を説明するための図解的な斜視図である。放熱ベース 2 上には、上アーム（ハイサイド）回路 8 1 を形成する第 1 基板アッセンブリ 2 0 と、下アーム（ローサイド）回路 8 2 を形成する第 2 基板アッセンブリ 4 0 とが Y 方向に並べて配置されている。第 1 基板アッセンブリ 2 0 に第 1 電源端子 P が接続されており、第 2 基板アッセンブリ 4 0 に第 2 電源端子 N が接続されている。出力端子 O U T は第 1 および第 2 基板アッセンブリ 4 0 の両方に電氣的に接続されている。

[0049] 第 1 基板アッセンブリ 2 0 は、第 1 下部基板 2 1 と、複数の第 1 スイッチング素子 T_{r1} と、複数の第 1 ダイオード素子 D_{i1} と、第 1 上部基板 2 2 とを含む。

第1下部基板21は、平面視矩形に形成されており、4辺が放熱ベース2の4辺とそれぞれ平行な姿勢で、放熱ベース2の一方表面（+Z方向側表面）に接合されている。第1下部基板21の放熱ベース2とは反対側の表面（+Z方向側表面）には、第1下部導体層23が形成されている。第1下部基板21は、たとえば、セラミックス上に銅箔を直接接合した基板（DBC：Direct Bonding Copper）からなる。その銅箔により第1下部導体層23を形成できる。第1下部導体層23に第1上部基板22が接合されており、これにより第1下部基板21上に第1上部基板22が積層されている。また、第1下部導体層23には、複数の第1スイッチング素子Tr1および複数の第1ダイオード素子Di1が接合されている。さらに、第1下部導体層23には、第1電源端子Pの基端部が接合されている。

[0050] 第1上部基板22は、第1下部基板21とは反対側の表面（+Z方向側表面）に第1上部導体層24を有している。第1上部基板22は、たとえば、セラミックス上に銅箔を直接接合した基板（DBC）からなる。その銅箔により第1上部導体層24を形成できる。第1上部導体層24と、複数の第1スイッチング素子Tr1および複数の第1ダイオード素子Di1とは、それぞれ複数本のワイヤ（たとえばアルミニウムワイヤ）25、26で接続されている。すなわち、複数の第1スイッチング素子Tr1および複数の第1ダイオード素子Di1は、第1下部導体層23と第1上部導体層24との間に並列に接続されている。

[0051] 第1下部基板21の表面（+Z方向側表面）には、一对の制御用導体層27、28が、第1下部導体層23とは絶縁された状態で形成されている。これらの制御用導体層27、28には、それぞれ、ソースセンス端子SS1およびゲート端子G1が接合されている。制御用導体層27、28と複数の第1スイッチング素子Tr1との間には、ワイヤ31、32でそれぞれ接続されている。

[0052] 第2基板アセンブリ40は、第2下部基板41と、複数の第2スイッチング素子Tr2と、複数の第2ダイオード素子Di2と、第2上部基板42

とを含む。

第2下部基板41は、平面視矩形に形成されており、4辺が放熱ベース2の4辺とそれぞれ平行な姿勢で、放熱ベース2の一方表面（+Z方向側表面）に接合されている。また、第2下部基板41は、第1下部基板21の-Y方向側に近接して配置されている。第2下部基板41の放熱ベース2とは反対側の表面（+Z方向側表面）には、第2下部導体層43が形成されている。第2下部基板41は、たとえば、セラミックス上に銅箔を直接接合した基板（DBC）からなる。その銅箔により第2下部導体層43を形成できる。第2下部導体層43に第2上部基板42が接合されており、これにより第2下部基板41上に第2上部基板42が積層されている。また、第2下部導体層43には、複数の第2スイッチング素子Tr2および複数の第2ダイオード素子Di2が接合されている。さらに、第2下部導体層43には、出力端子OUTの基端部が接合されている。

[0053] 第2上部基板42は、第2下部基板41とは反対側の表面（+Z方向側表面）に第2上部導体層44を有している。第2上部基板42は、たとえば、セラミックス上に銅箔を直接接合した基板（DBC）からなる。その銅箔により第2上部導体層44を形成できる。第2上部導体層44と、複数の第2スイッチング素子Tr2および複数の第2ダイオード素子Di2とは、それぞれ複数本のワイヤ（たとえばアルミニウムワイヤ）45、46で接続されている。すなわち、複数の第2スイッチング素子Tr2および複数の第2ダイオード素子Di2は、第2下部導体層43と第2上部導体層44との間に並列に接続されている。

[0054] 第2下部基板41の表面（+Z方向側表面）には、さらに、一对の制御用導体層47、48が、第1下部導体層23とは絶縁された状態で形成されている。これらの制御用導体層47、48には、それぞれ、ソースセンス端子SS2およびゲート端子G2が接合されている。制御用導体層47、48と複数の第2スイッチング素子Tr2との間には、ワイヤ51、52で接続されている。

[0055] 第1基板アッセンブリ20と第2基板アッセンブリ40とは、金属板に対して切り抜きおよび折り曲げ加工を施して作製された接続部材38によって接続されている。接続部材38は、帯状に形成されており、その一端が第1上部導体層24に接合され、その他端が第2下部導体層43に接合されている。

図3は、第1および第2基板アッセンブリ20, 40の構成要素の配置を説明するための図解的な平面図である。

[0056] まず、第1基板アッセンブリ20の構成を説明する。第1下部基板21に形成された第1下部導体層23において、 $-X$ 方向側縁部に第1端子接合領域61が配置されている。この第1端子接合領域61に第1電源端子Pの基端部が接合されている。また、第1下部導体層23において、 $+X$ 方向側縁部に第1素子接合領域62が配置されている。この第1素子接合領域62に、複数の第1スイッチング素子 T_r1 および複数の第1ダイオード素子 D_i1 が接合されている。そして、第1端子接合領域61と第1素子接合領域62との間に、第1基板接合領域63が配置されている。この第1基板接合領域63において、第1下部導体層23に第1上部基板22が接合されている。

[0057] 第1下部導体層23は、第1下部基板21の表面($+Z$ 方向側表面)の略全域を覆うように形成されており、概ね矩形の領域に形成されている。第1下部導体層23は、第1素子接合領域62側の縁部に矩形の切欠き23aを有している。この切欠き23aは、第1下部導体層23の一辺($+X$ 方向側の辺)の中央付近から内方($-X$ 方向)へ凹む形状に形成されている。切欠き23a内に制御用導体層27, 28が配置されている。

[0058] 第1素子接合領域62は、第1上部基板22の一辺($+X$ 方向側の辺)に対向する第1領域62aと、この第1領域62aの両端部(Y 方向両端部)から第1上部基板22から離れる方向($+X$ 方向)へと互いに平行に延びた一対の第2領域62b, 62cとを有している。第1領域62aの両端部(Y 方向両端部)付近には、一対の第1ダイオード素子 D_i1 がそれぞれ配置

されている。これらの一対の第1ダイオード素子 D_{i1} に挟まれる中央付近に、一対の第1スイッチング素子 T_{r1} がY方向に並んで配置されている。すなわち、第1領域62aには、一対の第1ダイオード素子 D_{i1} と一対の第1スイッチング素子 T_{r1} とがY方向に整列した状態で配置されており、これらが第1上部基板22の一辺に対向している。一対の第2領域62b, 62cには、第1スイッチング素子 T_{r1} が一つずつ配置されている。この一対の第1スイッチング素子 T_{r1} は、一対の第1ダイオード素子 D_{i1} に対して、第1上部基板22とは反対側(+X方向側)に配置されており、第1上部基板22の一辺(+X方向側の辺)に直交する方向(X方向)に関して、一対の第1ダイオード D_{i1} と位置整合している。すなわち、一対の第1ダイオード素子 D_{i1} と、これらとX方向に関してそれぞれ位置整合する一対の第1スイッチング素子 T_{r1} とは、第1上部基板22の一辺(換言すれば、第1上部導体層24の一辺。+X方向側の辺)の両端部にそれぞれ対向している。

[0059] 第1上部導体層24は、第1上部基板22の表面(+Z方向側表面)の略全域に亘る矩形形状に形成されている。第1上部導体層24において、第1素子接合領域62に臨む領域は、ワイヤ25, 26が接合されるワイヤ接合領域24aであり、第1端子接合領域61に臨む領域は、第2基板アッセンブリ40との接続のためのアッセンブリ相互接続領域24bである。ワイヤ接合領域24aには、ワイヤ25, 26の一端が接合されている。

[0060] 各第1ダイオード素子 D_{i1} の上面(+Z方向側表面)に形成されたボンディングパッド(図示せず)には、複数本(たとえば5本)のワイヤ25の各一端が接合されている。これらのワイヤ25の各他端は、第1上部導体層24の一辺(+X方向側の辺)に沿ってY方向に整列した複数の位置で第1上部導体層24に接合されている。各ワイヤ25は、互いに接触せず、かつ、最短長となるように、第1上部導体層24の一辺(+X方向側の辺)と直交する方向(X方向)に沿うループを形成している。したがって、各ワイヤ25は、X方向に沿って、第1下部導体層23の上方の経路(第1下部導体

層 2 3 から + Z 方向に離間した経路) を通って、各第 1 ダイオード素子 D_{i1} と第 1 上部導体層 2 4 とを接続している。

[0061] 同様に、各第 1 スイッチング素子 T_{r1} の上面 (+ Z 方向側表面) に形成されたボンディングパッド (図示せず) には、複数本 (たとえば 6 本) のワイヤ 2 6 の各一端が接合されている。これらのワイヤ 2 6 の各他端は、第 1 上部導体層 2 4 の一辺 (+ X 方向側の辺) に沿って Y 方向に整列した複数の位置で第 1 上部導体層 2 4 に接合されている。各ワイヤ 2 6 は、互いに接触せず、かつ、最短長となるように、第 1 上部導体層 2 4 の一辺 (+ X 方向側の辺) と直交する方向 (X 方向) に沿うループを形成している。したがって、各ワイヤ 2 6 は、X 方向に沿って、第 1 下部導体層 2 3 の上方の経路 (第 1 下部導体層 2 3 から + Z 方向に離間した経路) を通って、各第 1 スイッチング素子 T_{r1} と第 1 上部導体層 2 4 とを接続している。

[0062] ただし、第 1 素子接合領域 6 2 の第 2 領域 6 2 b, 6 2 c にそれぞれ配置された一対の第 1 スイッチング素子 T_{r1} に接合されたワイヤ 2 6 は、X 方向に整合配置された各第 1 ダイオード素子 D_{i1} に対応するワイヤ 2 5 と接触しないように、それらのワイヤ 2 5 の上方の経路 (+ Z 方向に離間した経路) を通っている。さらに、それらのワイヤ 2 6 は、ワイヤ 2 5 よりも第 1 端子接合領域 6 1 側 (- X 方向側) の位置で第 1 上部導体層 2 4 に接合されている。なお、図 3 では、明瞭化のために、第 2 領域 6 2 b, 6 2 c に配置された第 1 スイッチング素子 T_{r1} のワイヤ 2 6 は、途中部を省略して図示してある。

[0063] 前述のとおり、複数の第 1 ダイオード素子 D_{i1} を第 1 上部導体層 2 4 に接続するワイヤ 2 5 は、それぞれ最短長となるように配置されている。そして、さらに、複数本のワイヤ 2 5 全体としての配置幅 (Y 方向の幅。以下「配置全幅」という。) は、第 1 上部導体層 2 4 の一辺 (+ X 方向側の辺) の略全幅に渡っている。同様に、前述のとおり、複数の第 1 スイッチング素子 T_{r1} を第 1 上部導体層 2 4 に接続するワイヤ 2 6 は、それぞれ最短長となるように配置されている。そして、さらに、複数本のワイヤ 2 6 の全体とし

での配置幅（Y方向の幅。配置全幅）は、第1上部導体層24の一边（+X方向側の辺）の略全幅に渡っている。

[0064] ソースセンス端子SS1に対応した制御用導体層27は、第1素子接合領域62の第1領域62aに対向し、第1上部導体層24の一边（+X方向側の辺）に平行な方向（Y方向）に延びた矩形形状を有している。この制御用導体層27の中央付近に、ソースセンス端子SS1が接合されている。

ゲート端子G1に対応した制御用導体層28は、-Z方向に見た平面視において、制御用導体層27を内包する略U字状に形成されている。すなわち、制御用導体層28は、第1素子接合領域62の第1領域62aとは反対側（+X方向側）から制御用導体層27に対向する中央部28aと、この中央部28aの両端部から前記第1領域62aに向かって-X方向に延びた一对の腕部28b、28cとを有している。中央部28aは、Y方向に延びており、その中央付近に、ゲート端子G1が接合されている。一对の腕部28b、28cは、制御用導体層27と、第1素子接合領域62の第2領域62bおよび第3領域62cとの間をそれぞれ通り、第1領域62aの近傍に達している。

[0065] 複数の第1スイッチング素子Tr1は、ワイヤ31をそれぞれ介して、ソースセンス端子SS1のための制御用導体層27に接続されている。複数の第1スイッチング素子Tr1のうち、第1領域62aに配置された一对の第1スイッチング素子Tr1に対応するワイヤ31は、各一端が第1スイッチング素子Tr1に接合され、各他端が第1領域62aに対向する一边（-X方向側の辺）の近傍において制御用導体層27に接合されている。これらのワイヤ31は、最短長となるように、X方向に沿うループを形成している。一方、複数の第1スイッチング素子Tr1のうち、第2領域62b、62cに配置された一对の第1スイッチング素子Tr1に対応するワイヤ31は、制御用導体層28の腕部28b、28cの上方の経路（制御用導体層28から+Z方向に離間した経路）を通っている。これらのワイヤ31は、各一端が第1スイッチング素子Tr1に接合され、各他端が、第2領域62b、6

2cにそれぞれ対向する辺（-Y方向側の辺および+Y方向側の辺）の近傍において制御用導体層27に接合されている。これらのワイヤ31は、最短長となるように、Y方向に沿うループを形成している。

[0066] さらに、複数の第1スイッチング素子Tr1は、ワイヤ32をそれぞれ介して、ゲート端子G1のための制御用導体層28に接続されている。複数の第1スイッチング素子Tr1のうち、第1領域62aに配置された一对の第1スイッチング素子Tr1に対応するワイヤ32は、各一端が第1スイッチング素子Tr1に接合され、各他端が制御用導体層28の一对の腕部28b, 28cの先端部にそれぞれ接合されている。この接合位置は、第2領域62b, 62cに配置された一对の第1スイッチング素子Tr1から引き出されたワイヤ31の経路よりも第1上部基板22側（-X方向側）に位置している。したがって、ワイヤ31, 32同士が、平面視において交差していない。これらのワイヤ31は、最短長となるように、X方向に沿うループを形成している。一方、複数の第1スイッチング素子Tr1のうち、第2領域62b, 62cに配置された一对の第1スイッチング素子Tr1に対応するワイヤ32は、制御用導体層28の腕部28b, 28cの基端部にそれぞれ接合されている。これらのワイヤ32は、各一端が第1スイッチング素子Tr1に接合され、各他端が制御用導体層28の腕部28b, 28cの基端部（+X方向側端部）に接合されている。これらのワイヤ32は、最短長となるように、Y方向に沿うループを形成している。

[0067] 次に、第2基板アッセンブリ40の構成を説明する。第2下部基板41に形成された第2下部導体層43において、-X方向側縁部に第2端子接合領域71が配置されている。この第2端子接合領域71に出力端子OUTの基端部が接合されている。また、第2下部導体層43において、+X方向側縁部に第2素子接合領域72が配置されている。この第2素子接合領域72に、複数の第2スイッチング素子Tr2および複数の第2ダイオード素子Di2が接合されている。そして、第2端子接合領域71と第2素子接合領域72との間に、第2基板接合領域73が配置されている。この第2基板接合領

域 7 3 において、第 2 下部導体層 4 3 に第 2 上部基板 4 2 が接合されている。

[0068] 第 2 下部導体層 4 3 は、第 2 下部基板 4 1 の表面（+Z 方向側表面）の略全域を覆うように形成されており、概ね矩形の領域に形成されている。第 2 下部導体層 4 3 は、第 2 素子接合領域 7 2 側の縁部に矩形の切欠き 4 3 a を有している。この切欠き 4 3 a は、第 2 下部導体層 4 3 の一辺（+X 方向側の辺）の中央付近から内方（-X 方向）へ凹む形状に形成されている。切欠き 4 3 a 内に制御用導体層 4 7, 4 8 が配置されている。

[0069] 第 2 素子接合領域 7 2 は、第 2 上部基板 4 2 の一辺（+X 方向側の辺）に対向する第 1 領域 7 2 a と、この第 1 領域 7 2 a の両端部（Y 方向両端部）から第 2 上部基板 4 2 から離れる方向（+X 方向）へと互いに平行に延びた一对の第 2 領域 7 2 b, 7 2 c とを有している。第 1 領域 7 2 a の両端部（Y 方向両端部）付近には、一对の第 2 ダイオード素子 $D_i 2$ がそれぞれ配置されている。これら的一对の第 2 ダイオード素子 $D_i 2$ に挟まれる中央付近に、一对の第 2 スイッチング素子 $T_r 2$ が Y 方向に並んで配置されている。すなわち、第 1 領域 7 2 a には、一对の第 2 ダイオード素子 $D_i 2$ と一对の第 2 スイッチング素子 $T_r 2$ とが Y 方向に整列した状態で配置されており、これらが第 2 上部基板 4 2 の一辺に対向している。一对の第 2 領域 7 2 b, 7 2 c には、第 2 スイッチング素子 $T_r 2$ が一つずつ配置されている。この一对の第 2 スイッチング素子 $T_r 2$ は、一对の第 2 ダイオード素子 $D_i 2$ に対して、第 2 上部基板 4 2 とは反対側（+X 方向側）に配置されており、第 2 上部基板 4 2 の一辺（+X 方向側の辺）に直交する方向（X 方向）に関して、一对の第 2 ダイオード $D_i 2$ と位置整合している。すなわち、一对の第 2 ダイオード素子 $D_i 2$ と、これらと X 方向に関してそれぞれ位置整合する一对の第 2 スイッチング素子 $T_r 2$ とは、第 2 上部基板 4 2 の一辺（換言すれば、第 2 上部導体層 4 4 の一辺。+X 方向側の辺）の両端部にそれぞれ対向している。

[0070] 第 2 上部導体層 4 4 は、第 2 上部基板 4 2 の表面（+Z 方向側表面）の略

全域に亘る矩形形状に形成されている。第2上部導体層44において、第2素子接合領域72に臨む領域は、ワイヤ45、46が接合されるワイヤ接合領域44aであり、第2端子接合領域71に臨む領域は、第2電源端子Nが接合される端子接合領域44bである。ワイヤ接合領域44aには、ワイヤ45、46の一端が接合されている。

[0071] 各第2ダイオード素子 D_i2 の上面（+Z方向側表面）に形成されたボンディングパッド（図示せず）には、複数本（たとえば5本）のワイヤ45の各一端が接合されている。これらのワイヤ45の各他端は、第2上部導体層44の一辺（+X方向側の辺）に沿ってY方向に整列した複数の位置で第2上部導体層44に接合されている。各ワイヤ45は、互いに接触せず、かつ、最短長となるように、第2上部導体層44の一辺（+X方向側の辺）と直交する方向（X方向）に沿うループを形成している。したがって、各ワイヤ45は、X方向に沿って、第2下部導体層43の上方の経路（第2下部導体層43から+Z方向に離間した経路）を通過して、各第2ダイオード素子 D_i2 と第2上部導体層44とを接続している。

[0072] 同様に、各第2スイッチング素子 T_r2 の上面（+Z方向側表面）に形成されたボンディングパッド（図示せず）には、複数本（たとえば6本）のワイヤ46の各一端が接合されている。これらのワイヤ46の各他端は、第2上部導体層44の一辺（+X方向側の辺）に沿ってY方向に整列した複数の位置で第2上部導体層44に接合されている。各ワイヤ46は、互いに接触せず、かつ、最短長となるように、第2上部導体層44の一辺（+X方向側の辺）と直交する方向（X方向）に沿うループを形成している。したがって、各ワイヤ46は、X方向に沿って、第2下部導体層43の上方の経路（第2下部導体層43から+Z方向に離間した経路）を通過して、各第2スイッチング素子 T_r2 と第2上部導体層44とを接続している。

[0073] ただし、第2素子接合領域72の第2領域72b、72cにそれぞれ配置された一対の第2スイッチング素子 T_r2 に接合されたワイヤ46は、X方向に整合配置された各第2ダイオード素子 D_i2 に対応するワイヤ45と接

触しないように、それらのワイヤ45の上方の経路（+Z方向に離間した経路）を通っている。さらに、それらのワイヤ46は、ワイヤ45よりも第2端子接合領域71側（-X方向側）の位置で第2上部導体層44に接合されている。なお、図3では、明瞭化のために、第2領域72b, 72cに配置された第2スイッチング素子Tr2のワイヤ46は、途中部を省略して図示してある。

[0074] 前述のとおり、複数の第2ダイオード素子Di2を第2上部導体層44に接続するワイヤ45は、それぞれ最短長となるように配置されている。そして、さらに、複数本のワイヤ45全体としての配置幅（Y方向の幅。以下「配置全幅」という。）は、第2上部導体層44の一辺（+X方向側の辺）の略全幅に渡っている。同様に、前述のとおり、複数の第2スイッチング素子Tr2を第2上部導体層44に接続するワイヤ46は、それぞれ最短長となるように配置されている。そして、さらに、複数本のワイヤ46の全体としての配置幅（Y方向の幅。配置全幅）は、第2上部導体層44の一辺（+X方向側の辺）の略全幅に渡っている。

[0075] ソースセンス端子SS2に対応した制御用導体層47は、第2素子接合領域72の第1領域72aに対向し、第2上部導体層44の一辺（+X方向側の辺）に平行な方向（Y方向）に延びた矩形形状を有している。この制御用導体層47の中央付近に、ソースセンス端子SS2が接合されている。

ゲート端子G2に対応した制御用導体層48は、-Z方向に見た平面視において、制御用導体層47を内包する略U字状に形成されている。すなわち、制御用導体層48は、第2素子接合領域72の第1領域72aとは反対側（+X方向側）から制御用導体層47に対向する中央部48aと、この中央部48aの両端部から前記第1領域72aに向かって-X方向に延びた一对の腕部48b, 48cとを有している。中央部48aは、Y方向に延びており、その中央付近に、ゲート端子G2が接合されている。一对の腕部48b, 48cは、制御用導体層47と、第2素子接合領域72の第2領域72bおよび第3領域72cとの間をそれぞれ通り、第1領域72aの近傍に達し

ている。

[0076] 複数の第2スイッチング素子 T_{r2} は、ワイヤ51をそれぞれ介して、ソースセンス端子 SS_2 のための制御用導体層47に接続されている。複数の第2スイッチング素子 T_{r2} のうち、第1領域72aに配置された一对の第2スイッチング素子 T_{r2} に対応するワイヤ51は、各一端が第2スイッチング素子 T_{r2} に接合され、各他端が第1領域72aに対向する一辺（ $-X$ 方向側の辺）の近傍において制御用導体層47に接合されている。これらのワイヤ51は、最短長となるように、 X 方向に沿うループを形成している。一方、複数の第2スイッチング素子 T_{r2} のうち、第2領域72b, 72cに配置された一对の第2スイッチング素子 T_{r2} に対応するワイヤ51は、制御用導体層48の腕部48b, 48cの上方の経路（制御用導体層48から $+Z$ 方向に離間した経路）を通っている。これらのワイヤ51は、各一端が第2スイッチング素子 T_{r2} に接合され、各他端が第2領域72b, 72cにそれぞれ対向する辺（ $-Y$ 方向側の辺および $+Y$ 方向側の辺）の近傍において制御用導体層47に接合されている。これらのワイヤ51は、最短長となるように、 Y 方向に沿うループを形成している。

[0077] さらに、複数の第2スイッチング素子 T_{r2} は、ワイヤ52をそれぞれ介して、ゲート端子 G_2 のための制御用導体層48に接続されている。複数の第2スイッチング素子 T_{r2} のうち、第1領域72aに配置された一对の第2スイッチング素子 T_{r2} に対応するワイヤ52は、各一端が第2スイッチング素子 T_{r2} に接合され、各他端が制御用導体層48の一对の腕部48b, 48cの先端部にそれぞれ接合されている。この接合位置は、第2領域72b, 72cに配置された一对の第2スイッチング素子 T_{r2} から引き出されたワイヤ51の経路よりも第2上部基板42側（ $-X$ 方向側）に位置している。したがって、ワイヤ51, 52同士が、平面視において交差していない。これらのワイヤ52は、最短長となるように、 X 方向に沿うループを形成している。一方、複数の第2スイッチング素子 T_{r2} のうち、第2領域72b, 72cに配置された一对の第2スイッチング素子 T_{r2} に対応するワ

ワイヤ52は、制御用導体層48の腕部48b、48cの基端部にそれぞれ接合されている。これらのワイヤ52は、各一端が第2スイッチング素子Tr2に接合され、各他端が制御用導体層48の腕部48b、48cの基端部（+X方向側端部）に接合されている。これらのワイヤ52は、最短長となるように、Y方向に沿うループを形成している。

[0078] 次に、図2および図3を参照して、第1電源端子P、第2電源端子N、出力端子OUTおよび接続部材38の構造について説明する。

第1電源端子Pは、導電性の板状体（たとえば、銅板にニッケルめっきを施したもの）からなる。第1電源端子Pは、第1下部導体層23に接合された接合部55aと、接合部55aに結合された第1立上部55bと、第1立上部55bに結合された横行部55cと、横行部55cに結合された第2立上部55dと、第2立上部55dに結合された接続端55eとを有している。

[0079] 接合部55aは、第1端子接合領域61の+Y方向寄りの領域に接合されており、平面視においてY方向に伸びた矩形に形成されている。接合部55aは、第1下部導体層23に平行な板状体からなり、この第1下部導体層23に接合されている。第1立上部55bは、接合部55aの-X方向側縁部から+Z方向に立ち上がっている。第1立上部55bは、Y方向およびZ方向に平行な平面（YZ平面）に沿う帯状の板状体からなり、接合部55aと略同幅に形成されている。横行部55cは、第1立上部55bの+Z方向側縁部に結合されていて、+X方向に伸びている。横行部55cは、放熱ベース2の主面に平行な帯状の板状体からなり、第1立上部55aと略同幅に形成されている。第2立上部55dは、横行部55cの+X方向側縁部から+Z方向に立ち上がり、ケース3の天板5（図1参照）を貫通している。第2立上部55dは、Y方向およびZ方向に平行な平面（YZ平面）に沿う帯状の板状体からなり、横行部55cと略同幅を有している。接続端55eは、第2立上部55dの+Z方向端縁から+X方向に伸びており、端子台15P（図1参照）の上面に沿っている。接続端55eは、放熱ベース2の主面に沿

う帯状の板状体からなり、第2立上部55dと略同幅を有し、略中央部に接続用の挿通孔55fを有している。組立時には、接続端55eは、第2立上部55dから延長された起立姿勢（YZ平面に沿う姿勢）とされている。この起立姿勢の接続端55eを天板5に形成されたスリット状挿通孔5P（図1参照）に通した後に、接続端55eが折り曲げられ、当該接続端55eはXY平面に沿う伏臥姿勢とされる。

[0080] 第2電源端子Nは、導電性の板状体（たとえば、銅板にニッケルめっきを施したもの）からなる。第2電源端子Nは、接合部56aと、立上部56bと、接続端56cとを有している。接合部56aは、第2上部導体層44の端子接合領域44bにおいて、+Y方向寄りの領域に接合されている。接合部56aは、Y方向に延びた矩形に形成されており、帯状の板状体からなる。この接合部56の+X方向側縁部に立上部56bが結合されている。立上部56bは、Y方向およびZ方向を含む平面（YZ平面）に平行な板状体からなり、この板状体の法線方向（X方向）から見たときに、略クランク形に成形されている。すなわち、立上部56bは、+Z方向に立ち上がり、さらに+Y方向へと横行し、そして、再び+Z方向に立ち上がっている。立上部56bの+Z方向側縁部に接続端56cが結合されている。接続端56cは、+X方向に延びており、端子台15N（図1参照）の上面に沿っている。接続端56cは、放熱ベース2の主面に沿う帯状の板状体からなり、略中央部に接続用の挿通孔56dを有している。組立時には、接続端56cは、立上部56bから延長された起立姿勢（YZ平面に沿う姿勢）とされている。この起立姿勢の接続端56cを天板5に形成されたスリット状挿通孔5N（図1参照）に通した後に、接続端56cが折り曲げられ、当該接続端56cはXY平面に沿う伏臥姿勢とされる。

[0081] 出力端子OUTは、導電性の板状体（たとえば、銅板にニッケルめっきを施したもの）からなる。出力端子OUTは、第2下部導体層43に接合された接合部57aと、接合部57aに結合された第1立上部57bと、第1立上部57bに結合された横行部57cと、横行部57cに結合された第2立

上部57dと、第2立上部57dに結合された接続端57eとを有している。

[0082] 接合部57eは、第2端子接合領域71の-Y方向寄りの領域に接合されており、平面視においてY方向に伸びた矩形に形成されている。接合部57aは、第2下部導体層43に平行な板状体からなり、この第2下部導体層43に接合されている。第1立上部57bは、接合部57aの-X方向側縁部から+Z方向に立ち上がっている。第1立上部57bは、Y方向およびZ方向に平行な平面（YZ平面）に沿う帯状の板状体からなり、接合部57aと略同幅に形成されている。横行部57cは、第1立上部57bの+Z方向側縁部に結合されていて、+X方向に伸びている。横行部57cは、放熱ベース2の主面に平行な帯状の板状体からなり、第1立上部57bと略同幅に形成されている。第2立上部57dは、横行部57cの+X方向側縁部から+Z方向に立ち上がり、ケース3の天板5（図1参照）を貫通している。第2立上部57dは、Y方向およびZ方向に平行な平面（YZ平面）に沿う帯状の板状体からなり、横行部57cと略同幅を有している。接続端57eは、第2立上部57dの+Z方向端縁から+X方向に伸びており、端子台15OUT（図1参照）の上面に沿っている。接続端57eは、放熱ベース2の主面に沿う帯状の板状体からなり、第2立上部57dと略同幅を有し、略中央部に接続用の挿通孔57fを有している。組立時には、接続端57eは、第2立上部57dから延長された起立姿勢（YZ平面に沿う姿勢）とされている。この起立姿勢の接続端57eを天板5に形成されたスリット状挿通孔5OUT（図1参照）に通した後に、接続端57eが折り曲げられ、当該接続端57eはXY平面に沿う伏臥姿勢とされる。

[0083] 接続部材38は、導電性の板状体（たとえば、銅板にニッケルめっきを施したもの）からなる。接続部材38は、第1接合部58aと、第1立上部58bと、横行接続部58cと、第2立上部58dと、第2接合部58eとを有している。第1接合部58aは、第1上部基板22の主面と平行な矩形の板状体からなり、第1上部導体層24のアセンブリ相互接続領域24bに

において-Y方向寄り（第2基板アッセンブリ40寄り）の位置に接合されている。第1立上部58bは、第1接合部58aの-X方向側縁部に結合されており、+Z方向に所定高さまで立ち上がっている。第1立上部58bは、Y方向およびZ方向に沿う平面（YZ平面）に平行な帯状の板状体からなり、第1接合部58aと略同幅に形成されている。一方、第2接合部58eは、第2下部基板41の主面と平行な矩形の板状体からなり、第2下部導体層43の第2端子接合領域71において+Y方向寄り（第1基板アッセンブリ20寄り）の位置に接合されている。第2立上部58dは、第2接合部58eの+Y方向側縁部に結合されており、+Z方向に前記所定高さまで立ち上がっている。第2立上部58dは、X方向およびZ方向に沿う平面（XZ平面）に平行な帯状の板状体からなり、第2接合部58eと略同幅に形成されている。横行接続部58cは、-Z方向に見た平面視において鉤状に折れ曲がった形状に形成されており、その一端が第1立上部58bに結合され、その他端が第2立上部58dに結合されている。横行接続部58cは、放熱ベース2の主面に平行な板状体からなる。第1および第2接合部58a、58eが近接して配置されているので、接続部材38は、最短経路長で第1および第2基板アッセンブリ20、40を相互接続しており、これにより、インダクタンスの低減に寄与している。

[0084] 図4は、パワーモジュール1の電氣的構成を説明するための電気回路図である。第1基板アッセンブリ20に備えられた複数の第1スイッチング素子 T_{r1} および複数の第1ダイオード素子 D_{i1} は、第1下部導体層23と第1上部導体層24との間に並列に接続されて、上アーム回路（ハイサイド回路）81を形成している。同様に、第2基板アッセンブリ40に備えられた複数の第2スイッチング素子 T_{r2} および第2ダイオード素子 D_{i2} は、第2下部導体層43と第2上部導体層44との間に並列に接続されて、下アーム回路（ローサイド回路）82を形成している。上アーム回路81と下アーム回路82とは、高電圧側の第1電源端子Pと低電圧側の第2電源端子Nとの間に直列に接続されており、上アーム回路81と下アーム回路82との間

の接続点 8 3 に出力端子 O U T が接続されている。このようにしてハーフブリッジ回路が構成されている。このハーフブリッジ回路を単相ブリッジ回路として用いることができる。また、このハーフブリッジ回路（パワーモジュール 1）を電源に複数個（たとえば 3 個）並列に接続することにより、複数相（たとえば 3 相）のブリッジ回路を構成することができる。

[0085] 第 1 および第 2 スイッチング素子 $T r 1$, $T r 2$ は、この実施形態では、N チャンネル型 D M O S (Double-Diffused Metal Oxide Semiconductor) 電界効果型トランジスタで構成されている。とくに、この実施形態では、第 1 および第 2 スイッチング素子 $T r 1$, $T r 2$ は、S i C 半導体デバイスで構成された高速スイッチング型の M O S F E T (S i C - D M O S) である。

[0086] また、第 1 および第 2 ダイオード素子 $D i 1$, $D i 2$ は、この実施形態では、ショットキーバリアダイオード (S B D) で構成されている。とくに、この実施形態では、第 1 および第 2 ダイオード素子 $D i 1$, $D i 2$ は、S i C 半導体デバイス (S i C - S B D) で構成されている。

複数の第 1 スイッチング素子 $T r 1$ のドレイン、および複数の第 1 ダイオード素子 $D i 1$ のカソードが、第 1 下部導体層 2 3 に共通接続されている。また、複数の第 1 スイッチング素子 $T r 1$ のソース、および複数の第 1 ダイオード素子 $D i 1$ のアノードが、第 1 上部導体層 2 4 に共通接続されている。さらに、複数の第 1 スイッチング素子 $T r 1$ のゲートがゲート端子 $G 1$ に共通接続されている。そして、複数の第 1 スイッチング素子 $T r 1$ のソースに、ソースセンス端子 $S S 1$ が共通に接続されている。出力端子 O U T から第 1 電源端子 P へと向かう電流は、第 1 スイッチング素子 $T r 1$ を迂回して第 1 ダイオード素子 $D i 1$ を通り、これにより、逆方向電流による第 1 スイッチング素子 $T r 1$ の破壊が防がれるようになっている。

[0087] 一方、複数の第 2 スイッチング素子 $T r 2$ のドレイン、および複数の第 2 ダイオード素子 $D i 2$ のカソードが、第 2 下部導体層 4 3 に共通接続されている。また、複数の第 2 スイッチング素子 $T r 2$ のソース、および複数の第 2 ダイオード素子 $D i 2$ のアノードが、第 2 上部導体層 4 4 に共通接続され

ている。さらに、複数の第2スイッチング素子 T_{r2} のゲートがゲート端子 G_2 に共通接続されている。そして、複数の第2スイッチング素子 T_{r2} のソースに、ソースセンス端子 SS_2 が共通に接続されている。第2電源端子 N から出力端子 OUT へと向かう電流は、第2スイッチング素子 T_{r2} を迂回して第2ダイオード素子 D_i2 を通り、これにより、逆方向電流による第2スイッチング素子 T_{r2} の破壊が防がれるようになっている。

[0088] 図5Aは、上アーム回路81（第1基板アセンブリ20）における電流経路を説明するための図解的な断面図であり、X方向およびZ方向を含む平面（XZ平面）に沿う切断面が図解的に示されている。放熱ベース2と第1下部基板21とは、中温半田85によって、互いに接合されている。第1下部基板21は、セラミック等の絶縁材料からなる絶縁基板を基体として含む。この絶縁性基板の上面（+Z方向側表面）に前述の第1下部導体層23が形成されており、その下面（-Z方向側表面）に接合用導体層33が形成されている。接合用導体層33は、たとえば、第1下部基板21の表面に形成された銅箔からなる。この接合用導体層33が中温半田85を介して放熱ベース2に接合されている。中温半田85は、融点が220°C程度の中温域に属する半田である。

[0089] 第1下部導体層23の一方側端部（-X方向側端部）に設定された第1端子接合領域61には、低温半田86Aによって、第1電源端子Pの基端部が接合されている。低温半田86Aは、その融点が、中温半田85の融点よりも低く、180°C程度の低温域に属する半田である。

第1下部導体層23の他方側端部（+X方向側端部）に設定された第1素子接合領域62には、高温半田87Aによって、第1スイッチング素子 T_{r1} および第1ダイオード素子 D_i1 （半導体チップ）が接合されている。第1スイッチング素子 T_{r1} は、第1下部導体層23に対向する下面（-Z方向側表面）にドレイン端子を有し、第1下部導体層23とは反対側の上面（+Z方向側表面）にソース端子およびゲート端子を有している。したがって、ドレイン端子が高温半田87Aによって第1下部導体層23に接合されて

いる。ソース端子には、ワイヤ25が接合されている。図5Aでは図示を省略するが、ゲート端子はワイヤ31（図3参照）に接合され、ソース端子はワイヤ32にも接合されている。第1ダイオード素子D_i1は、第1下部導体層23に対向する下面（-Z方向側表面）にカソード端子を有し、第1下部導体層23とは反対側の上面（+Z方向側表面）アノード端子を有している。したがって、カソード端子が高温半田87Aによって第1下部導体層23に接合されている。アノード端子には、ワイヤ26が接合されている。高温半田87Aは、その融点が中温半田85よりも高く、300℃程度の高温域に属する半田である。

[0090] 第1下部導体層23の表面（+Z側表面）において、第1端子接合領域61と第1素子接合領域62との間に設定された第1基板接合領域63には、高温半田87Bによって第1上部基板22が接合されている。第1上部基板22は、セラミック等の絶縁材料からなる絶縁基板を基体として有している。この絶縁基板の上面（+Z方向側表面）に前述の第1上部導体層24が形成されており、その下面（-Z方向側表面）に接合用導体層34が形成されている。接合用導体層34は、たとえば、第1上部基板22の表面に形成された銅箔からなる。この接合用導体層34が高温半田87Bを介して第1下部導体層23に接合されている。高温半田87Bは、高温半田87Aと同様の半田である。

[0091] 第1上部導体層24の-X方向側縁部には、接続部材38が低温半田86Bによって接合されている。低温半田86Bは、低温半田86Aと同様な半田である。

第1スイッチング素子T_r1が導通すると、第1電源端子Pから流入した電流は、第1下部導体層23を通過して+X方向へと流れ、第1スイッチング素子T_r1に到達する。第1スイッチング素子T_r1を通過した電流は、折り返されて、ワイヤ25を通過して-X方向へと流れ、第1上部導体層24へと到達する。第1上部導体層24内では、接続部材38に向かって-X方向に電流が流れる。この電流は、接続部材38から第2基板アセンブリ40の

第2下部導体層43へと導かれ、出力端子OUTからモータその他の負荷へと供給される。図5Aには、このときの電流の流れが示されている。

[0092] 一方、第1スイッチング素子Tr1が遮断状態のときに逆方向の電圧がかかると、ワイヤ26を通過して第1ダイオード素子Di1に至る+X方向の電流が流れる。第1ダイオード素子Di1を通った電流は、折り返されて、第1下部導体層23を通過して-X方向へと流れる。

このように、第1スイッチング素子Tr1に流入する電流は+X方向に流れ、第1スイッチング素子Tr1からの電流は-X方向に流れるので、互いに逆方向となる。そして、+X方向に流れる電流の経路を提供する第1下部導体層23と、-X方向に流れる電流の経路を提供するワイヤ25および第1上部導体層24とが、互いに接近している。同様に、第1ダイオード素子Di1に流入する電流は-X方向に流れ、第1ダイオード素子Di1からの電流は+X方向に流れるので、互いに逆方向となる。そして、+X方向に流れる電流の経路を提供するワイヤ26および第1上部導体層24と、-X方向に流れる電流の経路を提供する第1下部導体層23とが、互いに接近している。すなわち、互いに反対方向に流れる電流の経路が接近して配置されている。これにより、第1下部導体層23の自己インダクタンスと、ワイヤ25、26および第1上部導体層24の自己インダクタンスとが、それらの間の相互インダクタンスによって少なくとも部分的に打ち消される。これにより、パワーモジュール1のインダクタンスを低減できる。

[0093] 図5Bは、下アーム回路82（第2基板アセンブリ40）における電流経路を説明するための図解的な断面図であり、X方向およびZ方向を含む平面（XZ平面）に沿う切断面が図解的に示されている。放熱ベース2と第2下部基板41とは、中温半田95によって、互いに接合されている。第3下部基板41は、セラミック等の絶縁材料からなる絶縁基板を基体とするものである。この絶縁基板の上面（+Z方向側表面）に前述の第2下部導体層43が形成されており、その下面（-Z方向側表面）に接合用導体層53が形成されている。接合用導体層53は、たとえば、第2下部基板41の表面に

形成された銅箔からなる。この接合用導体層 5 3 が中温半田 8 5 を介して放熱ベース 2 に接合されている。中温半田 8 5 は、融点が 220℃程度の中温域に属する半田である。

[0094] 第 2 下部導体層 4 3 の一方側端部（-X 方向側端部）に設定された第 2 端子接合領域 7 1 には、低温半田 9 6 A によって、出力端子 OUT の基端部が接合されている。低温半田 9 6 A は、その融点が、中温半田 9 5 の融点よりも低く、180℃程度の低温域に属する半田である。

第 2 下部導体層 4 3 の他方側端部（+X 方向側端部）に設定された第 2 素子接合領域 7 2 には、高温半田 9 7 A によって、第 2 スイッチング素子 Tr 2 および第 2 ダイオード素子 Di 2（半導体チップ）が接合されている。第 2 スイッチング素子 Tr 2 は、第 2 下部導体層 4 3 に対向する下面（-Z 方向側表面）にドレイン端子を有し、第 2 下部導体層 4 3 とは反対側の上面（+Z 方向側表面）にソース端子およびゲート端子を有している。したがって、ドレイン端子が高温半田 9 7 A によって第 2 下部導体層 4 3 に接合されている。ソース端子には、ワイヤ 4 5 が接合されている。図 5 B では図示を省略するが、ゲート端子はワイヤ 5 1（図 3 参照）に接合され、ソース端子はワイヤ 5 2 にも接合されている。第 2 ダイオード素子 Di 2 は、第 2 下部導体層 4 3 に対向する下面（-Z 方向側表面）にカソード端子を有し、第 2 下部導体層 4 3 とは反対側の上面（+Z 方向側表面）アノード端子を有している。したがって、カソード端子が高温半田 9 7 A によって第 2 下部導体層 4 3 に接合される。アノード端子には、ワイヤ 4 6 が接合されている。高温半田 9 7 A は、その融点が中温半田 9 5 よりも高く、300℃程度の高温域に属する半田である。

[0095] 第 2 下部導体層 4 3 の表面（+Z 側表面）において、第 2 端子接合領域 7 1 と第 2 素子接合領域 7 2 との間に設定された第 2 基板接合領域 7 3 には、高温半田 9 7 B によって第 2 上部基板 4 2 が接合されている。第 2 上部基板 4 2 は、セラミック等の絶縁材料からなる絶縁基板を基体とするものである。その絶縁基板の上面（+Z 方向側表面）に前述の第 2 上部導体層 4 4 が形

成されており、その下面（ $-Z$ 方向側表面）に接合用導体層54が形成されている。接合用導体層54は、たとえば、第2上部基板42の表面に形成された銅箔からなる。この接合用導体層54が高温半田97Bを介して第2下部導体層43に接合されている。高温半田97Bは、高温半田97Aと同様の半田である。

[0096] 第2上部導体層44の $-X$ 方向側縁部には、第2電源端子Nが低温半田96Bによって接合されている。低温半田96Bは、低温半田96Aと同様な半田である。

第2スイッチング素子 T_r2 が導通すると、出力端子OUTから流入した電流は、第2下部導体層43を通過して $+X$ 方向へと流れ、第2スイッチング素子 T_r2 に到達する。第2スイッチング素子 T_r2 を通過した電流は、折り返されて、ワイヤ45を通過して $-X$ 方向へと流れ、第2上部導体層44へと到達する。第2上部導体層44内では、第2電源端子Nに向かって $-X$ 方向に電流が流れる。図5Bには、このときの電流の流れが示されている。

[0097] 一方、第2スイッチング素子 T_r2 が遮断状態のときに逆方向の電圧がかかると、ワイヤ46を通過して第2ダイオード素子 D_i2 に至る $+X$ 方向の電流が流れる。第2ダイオード素子 D_i2 を通過した電流は、折り返されて、第2下部導体層43を通過して $-X$ 方向へと流れる。

このように、第2スイッチング素子 T_r2 に流入する電流は $+X$ 方向に流れ、第2スイッチング素子 T_r2 からの電流は $-X$ 方向に流れるので、互いに逆方向となる。そして、 $+X$ 方向に流れる電流の経路を提供する第2下部導体層43と、 $-X$ 方向に流れる電流の経路を提供するワイヤ45および第2上部導体層44とが、互いに接近している。同様に、第2ダイオード素子 D_i2 に流入する電流は $-X$ 方向に流れ、第2ダイオード素子 D_i2 からの電流は $+X$ 方向に流れるので、互いに逆方向となる。そして、 $+X$ 方向に流れる電流の経路を提供するワイヤ46および第2上部導体層44と、 $-X$ 方向に流れる電流の経路を提供する第2下部導体層43とが、互いに接近している。すなわち、互いに反対方向に流れる電流の経路が接近して配置されて

いる。これにより、第2下部導体層43の自己インダクタンスと、ワイヤ45および第2上部導体層44の自己インダクタンスとが、それらの間の相互インダクタンスによって少なくとも部分的に打ち消される。これにより、パワーモジュール1のインダクタンスを低減できる。

[0098] 次に、パワーモジュール1の作製方法の一例を概説する。次の手順1～7を順に実行することにより、パワーモジュール1が作製される。

手順1：第1下部基板21に第1スイッチング素子Tr1、第1ダイオード素子Di1および第1上部基板22を高温半田87A、87Bで接合する。同様に、第2下部基板41に第2スイッチング素子Tr2、第2ダイオード素子Di2および第2上部基板42を高温半田97A、97Bで接合する。

[0099] 手順2：第1および第2下部基板21、22を中温半田85、95で放熱ベース2の表面に接合する。

手順3：端子類を低温半田で各所定位置に接合する。端子類は、第1電源端子P、第2電源端子N、出力端子OUT、接続部材38、ゲート端子G1、G2、ソースセンス端子SS1、SS2を含む。低温半田は、たとえば錫-鉛の共晶半田であってもよい。

[0100] 手順4：ケース3の枠部4を放熱ベース2の表面に接着する。接着には、たとえば、シリコン接着剤等の熱硬化性接着剤を用いてもよい。たとえば、シリコン接着剤は、150℃程度の温度で1時間程度加熱することにより、硬化させることができる。この温度は、半田の融点よりも低く、また、枠部4の構成材料（たとえばPPS）の耐熱温度よりも低い。

[0101] 手順5：枠部4内に絶縁材料からなるゲル材料（図示せず）を配置する。たとえば、シリコンゲルを用いることができる。ゲル材料はワイヤ相互間等の隙間を埋めて、それらの間の絶縁状態を保持する働きを有する。したがって、少なくとも全てのワイヤのループ高さよりも高い位置まで、枠4内にゲル材料を充填することが好ましい。

手順6：天板5を枠部4に固定する。この固定は接着剤を用いて行っても

よいし、ねじ止めによって行ってもよい。天板5を固定する際に、天板5に形成されたスリット状挿通孔5P, 5N, 5OUT(図1参照)に端子P, N, OUTを挿通させ、挿通孔5a, 5b, 5c, 5d(図1参照)にゲート端子G1, G2およびソースセンス端子SS1, SS2を挿通させる。

[0102] 手順7: 端子P, N, OUTを端子台15P, 15N, 15OUTの上面に沿う伏臥姿勢に折り曲げる。

図6Aは、ゲート端子G1, G2およびソースセンス端子SS1, SS2の保持構造を説明するための図解的な側面図であり、+X方向側の側板6(図1参照)を取り除いた状態が示されている。ゲート端子G1, G2とソースセンス端子SS1, SS2とは、同様の構造であるので、ゲート端子G1, G2の保持構造について説明する。

[0103] ゲート端子G1, G2は、接合部101と、第1立上部102と、横行部103と、第2立上部104とを有している。接合部101は、制御用導体層28, 48に半田接合されており、下部基板21, 41の主面と平行な板状に形成されている。第1立上部102は、接合部101の一縁部に結合され、下部基板21, 41から離れる方向(+Z方向)に立ち上がっており、断面L字状に形成されている。横行部103は、第1立上部102の上端に結合され、下部基板21, 41の主面に平行な方向(この実施形態ではY方向)に延びている。横行部103は、第1立上部102側の基端部から所定長の長さまでの領域が断面L字状に形成されている。すなわち、横行部103は、下部基板21, 41の主面と平行な帯状に形成された第1板状部103aと、第1板状部103aの一側縁(この実施形態では-X方向側側縁)から+Z方向に立ち上がった帯状の第2板状部103bとを有している。第2板状部103bは、第1板状部103aよりも短く形成されている。第2板状部103bは、下部基板21, 41から離れる方向(+Z方向)に立ち上がっており、その上端縁(+Z方向側端縁)は、下部基板21, 22の主面と平行に形成されている。この横行部103の先端部に第2立上部104が結合されている。第2立上部104は下部基板21, 41から離れる方向(+

+Z方向)に立ち上がる板状体からなり、幅広の本体部104aと、本体部104aの上端縁(+Z方向端縁)に接続された幅狭部104bとを有している。これにより、本体部104aと幅狭部104bとの結合部には、幅狭部104bの両側に、一対のショルダ104cが形成されている。幅狭部104bは、外部配線接続部を提供しており、配線接続を容易にするための孔104dを略中央部に有している。

[0104] 第2立上部104は、ケース3の天板5に形成された挿通孔5a, 5b(図1参照)を挿通している。これにより、本体部104aの上端部および幅狭部104bは、天板5の上面よりも上方(+Z方向)に位置している。ソースセンス端子SS1, SS2も同様に構成されていて、天板5に形成された挿通孔5c, 5d(図1参照)を挿通して、天板5の上面から+Z方向に突出している。

[0105] 第2立上部104の下方には、ケース3の内部に、台座110(端子台座)が配置されている。台座110は、樹脂材料(たとえばケース3と同材料)からなってもよい。台座110は、ケース3の枠部4(たとえば端板8, 9)の内側面に固定されていてもよいし、放熱ベース2の表面(+Z側表面)に固定されていてもよい。台座110は、たとえば直方体形状に形成されており、その上面(+Z側表面)は、横行部103の下面と略面一(すなわち略同じ高さ)となって、この下面に当接または近接している。台座110の上面には、ゲート端子G1, G2とソースセンス端子SS1, SS2との間に、隔壁110aが立設されていてもよい。

[0106] 一方、ケース3の天板5の下面111は、横行部103の第2板状部103bの上端縁と略面一(すなわち略同じ高さ)に形成されている。これにより、下面111は、横行部103の上端縁に当接または近接しており、横行部103の上方(+Z方向)への移動を規制する端子抑えとしての機能を有している。なお、図6Aには、ゲート端子G1, G2および天板5等の寸法公差を考慮して、天板5の下面111と横行部103の上端縁との間に微少なクリアランス112を形成した例が示されている。

[0107] このような構造により、ゲート端子G 1, G 2が確実に保持される。すなわち、ゲート端子G 1, G 2に対する配線等の接続または取外しの際に、ゲート端子G 1, G 2に対して外力が加わる。このとき、第2立上部104に対して下方（-Z方向）に向けて加えられる押し込み力は台座110によって受けられ、立上部102に対して上方（+Z方向）に向けて加えられる引き抜き力は、天板5の下面111によって受けられる。これにより、ゲート端子G 1, G 2のZ方向への変位または変形を防ぐことができ、さらに、ゲート端子G 1, G 2に加えられた外力が接合部101に加わることを抑制または防止できる。これにより、ゲート端子G 1, G 2の接続信頼性を高くできる。同様の理由で、ソースセンス端子SS 1, SS 2についても、接続信頼性を高くできる。したがって、パワーモジュール1は、十分な信頼性を有し、したがって、十分な耐久性を有する。

[0108] 図6Bは、ゲート端子G 1, G 2およびソースセンス端子SS 1, SS 2の保持構造の他の例を説明するための図解的な側面図であり、+X方向側の側板6（図1参照）を取り除いた状態が示されている。この図6Bにおいて、前述の図6Aの各部の対応部分には、図6Aと同一参照符号を付して示す。

この構造例では、天板5の下面111が、横行部103の上端縁と略面一となっていない。横行部103の上方（+Z方向）に相当する位置には、天板5の下面111に端子抑え113が設けられている。端子抑え113は、天板5の下面111から下方（-Z方向）に突出しており、横行部103と平行な規制面113Aを下面に有している。規制面113Aは、横行部103と略面一（すなわち略同じ高さ）に形成されている。これにより、規制面113Aは、横行部103の上端縁に当接または近接しており、横行部103の上方（+Z方向）への移動を規制する。このような構造によっても、図6Aの構造と同様の作用効果を実現できる。なお、図6Bには、ゲート端子G 1, G 2、天板5および端子抑え113等の寸法公差を考慮して、規制面113Aと横行部103の上端縁との間に微少なクリアランス114を形成

した例が示されている。

[0109] 図7Aは、ワイヤの長さを短くすることによってインダクタンスを低減できる効果を説明するための図である。図7Aには、直径 $350\mu\text{m}$ のアルミニウムワイヤに周波数1MHzの信号を入力してインダクタンスを求めた計算例が示されている。曲線L1は、種々の長さの1本のワイヤについてインダクタンスを測定した結果を示す。曲線L2は、種々の長さの2本平行なワイヤについてインダクタンスを測定した結果を示す。曲線L3は、種々の長さの3本の平行なワイヤについてインダクタンスを測定した結果を示す。

[0110] 曲線L1~L3から、ワイヤの本数が多いほどインダクタンスが低減され、ワイヤの長さが短いほどインダクタンスが低減されることが分かる。さらに、曲線L1~L3から、ワイヤの本数の増加よりも、ワイヤの長さの減少の方が、インダクタンス低減に効果的であることが分かる。

図7Bは、ワイヤの配置全幅を大きくすることによってインダクタンスを低減できる効果を説明するための図である。図7Bには、直径 $350\mu\text{m}$ 、長さ20mmのアルミニウムワイヤに周波数1MHzの信号を入力してインダクタンスを求めた計算例が示されている。曲線L11は、平行な2本のワイヤの間隔（配置全幅）を種々に設定してインダクタンスを算出した結果を示す。曲線L12は、種々に設定した配置全幅で3本のワイヤを等間隔に平行配置してインダクタンスを算出した結果を示す。曲線L13は、種々に設定した配置全幅で6本のワイヤを等間隔に平行配置してインダクタンスを算出した結果を示す。

[0111] 曲線L11~L13から、配置全幅を大きくするほどインダクタンス低減に有利であることが分かる。しかも、曲線L11~L13の比較から、ワイヤの本数を増加するよりも、配置全幅を大きくする方がインダクタンス低減に効果的であることが分かる。

以上のように、この第1の実施形態によれば、上アーム回路81を形成する第1基板アセンブリ20における電流経路は、第1電源端子Pから第1スイッチング素子 T_{r1} に向かい、この第1スイッチング素子で折り返され

て第1上部導体層24に至る。このように電流経路が折り返されており、しかも、互いに反対方向に電流が流れる一対の電流経路を形成する第1下部導体層23とワイヤ25および第1上部導体層24とが接近している。これにより、インダクタンスの低減が図られている。さらに、複数の第1スイッチング素子 T_{r1} と第1上部導体層24との間は、それぞれ最短長となる経路に沿って配置された複数本のワイヤ25で接続されている。これにより、さらにインダクタンスが低減されている。そして、複数本のワイヤ25は、第1上部導体層24の一辺（X方向側の辺）の略全幅におよぶ配置全幅を有するように配索されている。また、複数のダイオード素子 D_{i1} と第1上部導体層24とを接続するワイヤ26も、第1上部導体層24の一辺（X方向側の辺）の略全幅におよぶ配置全幅を有するように配置されている。これにより、より一層インダクタンスが低減されている。下アーム回路82を形成する第2基板アセンブリ40についても、同様にしてインダクタンスの低減が図られている。したがって、パワーモジュール1は、全体として小さなインダクタンスを有することになる。その結果、SiC半導体デバイスからなる高速スイッチング型のスイッチング素子 T_{r1} 、 T_{r2} を用いて損失の低減を図りつつ、サージ電圧を低減して耐圧裕度の増加を併せて図ることができる。

[0112] [第2の実施形態]

図8は、この発明の第2の実施形態に係るパワーモジュールの外観を示す斜視図である。この図8において、前述の図1等に表示された各部の対応部分は同一参照符号で示す。

このパワーモジュール120は、略直方体形状のケース123を備えている。ケース123は、この実施形態では、放熱ベース2の側面を取り囲んでいる。ケース123は、樹脂材料で構成されている。樹脂材料としては、とくに、PPS（ポリフェニレンサルファイド）等の耐熱性樹脂が適用されることが好ましい。ケース123は、平面視において放熱ベース2と略整合する矩形をなしており、放熱ベース2の一方表面（+Z方向表面）に固定され

た枠部 124 と、この枠部 124 に固定された天板 125 とを備えている。天板 125 は、枠部 124 の一方側（+Z 方向側）を閉塞し、枠部 124 の他方側（-Z 方向側）を閉塞する放熱ベース 2 の主面と対向している。これにより、放熱ベース 2、枠部 124 および天板 125 によって、回路収容空間がケース 123 の内部に区画されている。

[0113] 枠部 124 は、一对の側板 126, 127（第 1 ケース部品）と、これら一对の側板 126, 127 の両端をそれぞれ結合する一对の端板 128, 129（第 2 ケース部品）との組立体からなる。端板 128, 129 は、それぞれの中間部付近に、内方に凹んだ凹部 130, 131 を有している。これらの凹部 130, 131 の底面には、Z 方向に貫通した取付孔 132 が形成されている。パワーモジュール 120 は、取付孔 132 および放熱ベース 2 の対応する取付孔 12（図 9 参照）を挿通するボルト（図示せず）によって、取付対象の所定の固定位置に固定される。取付孔 132 を利用して、ヒートシンクその他の冷却手段が取り付けられてもよい。端板 128, 129 の凹部 130, 131 と整合するように、天板 125 の一对の端辺の各中間部付近に凹部 133, 134 が形成されている。

[0114] 一方の側板 126（+X 方向側の側板）には、出力端子 OUT のための端子台 15OUT が側板 126 の主面から離れる外方（+X 方向）に突出して形成されている。端子台 15OUT は、略矩形形状を有しており、その上面に、出力端子 OUT の先端部を受ける受け部 143（図 11 参照）をなす矩形の窪みが形成されている。出力端子 OUT の先端部は、側板 126 に形成されたスリット状挿通孔 140 を介して、X 方向に沿ってケース 123 外に引き出され、端子台 15OUT の受け部 143 に配置されている。

[0115] 他方の側板 127（-X 方向側の側板）には、その長手方向（Y 方向）に間隔を開けて、一对の端子台 15P, 15N が側板 127 の主面から離れる外方（-X 方向）に突出して形成されている。端子台 15P, 15N は、略矩形形状を有している。端子台 15P の上面には、第 1 電源端子 P の先端部を受ける受け部 144（図 11 参照）をなす窪みが形成されている。同様に

、端子台 15 N の上面には、第 2 電源端子 N の先端部を受ける受け部 145 (図 11 参照) をなす窪みが形成されている。第 1 電源端子 P は、側板 127 の長手方向 (Y 方向) に直線状に延びたスリット状挿通孔 141 (図 11 参照) を介して、-X 方向に沿ってケース 123 外に引き出され、端子台 15 P の受け部 144 に配置されている。同様に、第 2 電源端子 N は、側板 127 の長手方向 (Y 方向) に直線状に延びたスリット状挿通孔 142 (図 11 参照) を介して、-X 方向に沿ってケース 123 外に引き出され、端子台 15 N の受け部 145 に配置されている。

[0116] 端子台 15 OUT, 15 P, 15 N には、略中央に六角筒状凹部 (図示せず) が穿設されている。この六角筒状凹部に、ナット 146, 147, 148 (図 11 参照) がそれぞれ埋設されて固定されている。端子 OUT, P, N は、ナット 146, 147, 148 に螺合するボルト (図示せず) を用いることにより、取付対象側に備えられたバスバー (図示せず) に接続される。

[0117] 図 9 はケース 123 の内部に收容されたパワーモジュール回路の構成を説明するための図解的な斜視図であり、図 10 はその平面図である。図 9 および図 10 において、前述の図 2 および図 3 に示された各部の対応部分に同一参照符号を付す。

この実施形態においても、放熱ベース 2 の一方表面 (+Z 方向側表面) に、第 1 基板アッセンブリ 20 および第 2 基板アッセンブリ 40 が搭載されている。ただし、前述の第 1 の実施形態では、第 1 および第 2 基板アッセンブリ 20, 40 の相互間の接続が接続部材 38 によって達成されているのに対して、この第 2 の実施形態では、出力端子 OUT が、第 1 および第 2 基板アッセンブリ 20, 40 の相互間の接続を担っている。

[0118] より具体的に説明すると、出力端子 OUT は、この実施形態では、第 1 および第 2 基板アッセンブリ 40 の境界部に沿って、放熱ベース 2 の主面に平行に配置された帯状の板状体からなる。すなわち、出力端子 OUT は、X 方向に沿って延びる帯形の板状体からなる本体部 150 と、この本体部 150

の基端部（ $-X$ 方向側端部）の一方側縁から垂下して第1上部導体層24に接合された第1脚部151と、当該基端部の他方側縁から垂下して第2下部導体層43に接続された第2脚部152とを含む。本体部150は、 X 方向に沿って直線状に延びており、全体に亘って略均一幅に形成されていて、その先端部は側板126を挿通してケース123の外部の端子台15OUT上に引き出されている。第1脚部151は、本体部150から垂下した垂下部151aと、この垂下部151aの下縁（ $-Z$ 方向側縁）から第1上部導体層24の内方（ $+Y$ 方向）に向かって折り曲げられた接合部151bとを有し、この接合部151bが第1上部導体層24の $-Y$ 方向側縁部に接合されている。垂下部151aは、 X 方向および Z 方向を含む平面（ XZ 平面）に沿う帯状の板状体からなる。接合部151bは、放熱ベース2の主面に平行な帯状の板状体からなり、垂下部151aと同幅に形成されている。また、第2脚部152は、本体部150から垂下した垂下部152aと、この垂下部152aの下縁から第2下部導体層43の内方（ $-Y$ 方向）に向かって折り曲げられた接合部152bとを有し、この接合部152bが第2下部導体層43の $+Y$ 方向側縁部に接合されている。垂下部152aは、 X 方向および Z 方向を含む平面（ XZ 平面）に沿う帯状の板状体からなる。接合部152bは、放熱ベース2の主面に平行な帯状の板状体からなり、垂下部152aと同幅に形成されている。したがって、第1上部導体層24と第2下部導体層43とは、本体部150の基端側部分ならびに第1および第2脚部151, 152を介して、最短経路長で接続されている。第1上部導体層24と第2下部導体層43の第2端子接合領域71とは X 方向にずれているので、それに応じて、第1および第2脚部151, 152も X 方向にずれた位置に形成されている。

[0119] 第1電源端子Pは、放熱ベース2の主面に平行な帯状の板状体からなる本体部155と、本体部155の一端（ X 方向端）から垂下して第1下部導体層23の第1端子接合領域61に接合された脚部156とを有している。本体部155は、放熱ベース2の主面に沿って後方（ $-X$ 方向）に延び、側板

127を挿通してケース123の外部の端子台15P上に引き出されている。脚部156は、本体部156よりも幅狭の帯状板状体を折り曲げて形成されている。すなわち、脚部156は、本体部155から垂下した垂下部156aと、この垂下部156aの下端縁（-Z方向側縁）から+X方向に折り曲げられた接合部156bとを有し、この接合部156aが第1下部導体層23の第1端子接合領域61に接合されている。垂下部156aは、Y方向およびZ方向を含む平面（YZ平面）に沿う帯状の板状体からなる。接合部156bは、放熱ベース2の主面に平行な帯状の板状体からなり、垂下部156aと同幅に形成されている。

[0120] 第2電源端子Nは、放熱ベース2の主面に平行な帯状の板体からなる本体部159と、本体部159の一端（X方向端）から垂下して第2上部導体層44に接合された脚部160とを有している。本体部159は、放熱ベース2の主面に沿って後方（-X方向）に延び、側板127を挿通してケース123の外部の端子台15N上に引き出されている。脚部156は、本体部156よりも幅狭の帯状板状体を折り曲げて形成されている。すなわち、脚部160は、本体部159から垂下した垂下部160aと、この垂下部160aの下端から+X方向に折り曲げられた接合部160bとを有し、この接合部160bが第2上部導体層44に接合されている。垂下部160aは、Y方向およびZ方向を含む平面（YZ平面）に沿う帯状の板状体からなる。接合部160bは、放熱ベース2の主面に平行な帯状の板状体からなり、垂下部160aと同幅に形成されている。

[0121] このような構成により、放熱ベース2、第1下部基板21および第2下部基板41の主面と平行な方向に端子P、N、OUTを引き出した側方引き出し端子型のパワーモジュール120を提供できる。しかも、第1および第2電源端子P、Nの長さを短くすることができるので、これらの端子P、Nの自己インダクタンスを低減できる。その結果、パワーモジュール120は一層低減されたインダクタンスを有するから、サージ電圧を低減して耐圧裕度の向上を図ることができる。この構成について上アーム回路81（第1基板

アッセンブリ 20) に関し、周波数 1 MHz の信号に対して算出されたインダクタンスは 18.8 nH であった。

[0122] また、端子 P, N, OUT が側方に引き出されているので、ケース 123 の上面側に、たとえば、スイッチング素子 Tr1, Tr2 を制御するための制御基板を配置することができる。これにより、制御基板まで含めたパワーモジュールの小型化を図ることができる。

なお、この第 2 の実施形態によるパワーモジュール 120 の電氣的構成は、前述の第 1 の実施形態と同様であり、図 4 に示されている通りである。また、第 1 および第 2 基板アッセンブリ 20, 40 (上アーム回路 81 および下アーム回路 82) における電流経路も第 1 の実施形態と同様であり、図 5 に示されている通りである。したがって、第 1 の実施形態と同様に、第 1 および第 2 基板アッセンブリ 20, 40 において、反対方向に流れる電流経路が互いに接近しており、これにより、インダクタンスを相殺する効果が得られる。

[0123] 図 11 は、ケース 123 の分解斜視図である。この実施形態では、側板 126, 127 は、端板 128, 129 の両端部に複数本のボルト 135, 136 によって取り付けられるようになっている。すなわち、側板 126, 127 には、長手方向 (Y 方向) 両端縁付近に複数のボルト挿通孔 126a, 127a がそれぞれ形成されている。また、端板 128, 129 の両端面には、ボルト挿通孔 126a に対応した複数のねじ孔 137 と、ボルト挿通孔 127a に対応した複数のねじ孔 138 とが形成されている。ボルト 135 は、ボルト挿通孔 126a を挿通してねじ孔 137 に螺着される。これにより、側板 126 が端板 128, 129 に取り付けられる。また、ボルト 136 は、ボルト挿通孔 127a を挿通してねじ孔 138 に螺着される。これにより、側板 127 が端板 128, 129 に取り付けられ、一对の側板 126, 127 および一对の端板 128, 129 の組立体からなる枠部 124 が組み立てられる。さらに、この枠部 124 に天板 125 が接着剤 (たとえば熱硬化型接着剤) で固定されることにより、ケース 123 が組み立てられる。

[0124] この第2の実施形態では、端子P, N, OUTが側板126, 127を挿通して側方に引き出されている。そのため、端子P, N, OUTを第1および第2基板アッセンブリ20, 40に接合する前に、枠部124を予め組み立てておくことができない。そこで、端子P, N, OUTを半田付けして第1および第2基板アッセンブリ20, 40に接合した後に、枠部124が組み立てられる。端子P, N, OUTを第1および第2基板アッセンブリ20, 40に接合した後、一对の端板128, 129が、接着剤（たとえば熱硬化型接着剤）を用いて放熱ベース2の両端部（Y方向両端部）に接着される。次に、側板126がX方向から放熱ベース2に近づけられ、出力端子OUTをスリット状挿通孔140に挿通させた後、ボルト135, 136によって、側板126が端板128, 129に固定される。さらに、側板127が一X方向から放熱ベース2に近づけられ、第1および第2電源端子P, Nをそれぞれスリット状挿通孔141, 142に挿通させた後、ボルト136によって、側板127が端板128, 129に固定される。この後、ワイヤ間の絶縁を保つためのゲル材料（図示せず。たとえばシリコンゲル）が枠部124内に配置される。そして、天板125が枠部124に接着され、ケース123が密封される。その後、必要に応じて、接着剤を硬化させるための加熱処理が行われてもよい。

[0125] 側方引き出し端子型のパワーモジュールを実現するために、枠部124に端子P, N, OUTをインサート成型して予め一体化しておくことが考えられるかもしれない。この場合、枠部124は組立体である必要はなく一体成形品で構成することができる。しかし、このような構成を採るとすれば、枠部124およびこれを放熱ベース2に接着する接着剤は、端子P, N, OUTを半田付けするときの高温に耐えなければならない。そのため、枠部124の材料選択および接着剤の選択が困難になる。したがって、前述のように、枠部124を組立体とし、端子P, N, OUTの半田接合後に枠部124を放熱ベース2に固定することが好ましい。

[0126] なお、第1および第2基板アッセンブリ20, 40の作製、これらの放熱

ベース2への取り付け、ならびに子端子P, N, OUTの接合については、前述の第1の実施形態の場合と同様の手順（前述の手順1～3）で行うことができる。

また、この第2の実施形態においても、ゲート端子G1, G2およびソースセンス端子SS1, SS2の安定保持のために、前述の第1の実施形態と同様の構造がとられている（図6Aおよび図6B参照）。ただし、この第2の実施形態では、端板128, 129のX方向側端部に台座110が固定されている。これらの台座110は、端板128, 129と一体成形されていてもよい。

[0127] [端子の変形形態]

図12～図30は、端子P, N, OUTの様々な変形形態を説明するための斜視図である。これらの図において、前述の図1～図11に示された各部の対応部分には、同一参照符号を付して示す。

図12の構成例では、端子P, N, OUTが放熱ベース2の主面に平行な一側方（-X方向）に引き出されている。出力端子OUTは、第2電源端子Nよりも-Y方向寄りに配置されており、第2電源端子Nの下方（-Z方向側。第2下部基板41側）をくぐって第1上部導体層24に接合された接続部161を有している。この接続部161は、第1上部導体層24と第2下部導体層43とを接続している。また、第1電源端子Pの脚部156は、本体部155と略等幅に形成されており、同様に、第2電源端子Nの脚部160は、その本体部159と略等幅に形成されている。この構成では、第1および第2電源端子P, Nだけでなく出力端子OUTの長さも短くなるので、インダクタンスの一層の低下を図ることができる。この構成について上アーム回路81（第1基板アセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは18.13nHであった。

[0128] 図13の構成例では、出力端子OUTが第1および第2電源端子P, Nの間に配置されており、この構成例は、前述の第2の実施形態と類似している。ただし、出力端子OUTは、第1および第2電源端子P, Nとともに、放

熱ベース2の主面に平行な一側方（-X方向）に引き出されている。ただし、出力端子OUTの本体部150は、基端側が幅狭に形成されている。これにより、出力端子OUTを介して第1および第2基板アッセンブリ20, 40の相互間を接続する接続経路長の短縮が図られている。また、第1電源端子Pの脚部156は、本体部155と略等幅に形成されており、同様に、第2電源端子Nの脚部160は、その本体部159と略等幅に形成されている。この構成では、端子P, N, OUTが短縮され、さらに第1および第2基板アッセンブリ20, 40の相互間の接続経路長が短縮されるので、それに応じてインダクタンスが低減される。加えて、電源端子Pから流入して出力端子OUTへと出ていく電流の経路と、出力端子OUTから流入して電源端子Nから出ていく電流の経路とが、出力端子OUT内で交錯しない。これによっても、インダクタンスの低減を図ることができる。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは20.17nHであった。

[0129] 図14の構成例では、第1および第2電源端子P, Nならびに出力端子OUTがいずれも放熱ベース2の主面に平行な方向に引き出され、さらに、第1および第2電源端子P, Nが互いに微小距離を隔てて重なりあっている。より具体的には、出力端子OUTは、第1および第2基板アッセンブリ20, 40の境界領域に沿ってX方向に延びた本体部150を備えている。この本体部150は、放熱ベース2の主面に平行な帯状の板状体であり、その先端部（+X方向側端部）は、+X方向に引き出されている。また、本体部150は、ケース外に引き出される接続端よりもケース内部に収容される大部分の領域が幅狭に形成されている。本体部150の基端部（-X方向側端部）において、一方の側縁（+Y方向側の側縁）には第1上部導体層24に接合された脚部151が形成されている。また、当該基端部の他方の側縁（-Y方向側の側縁）には第2下部導体層43に接合された脚部152が形成されている。

[0130] 第1電源端子Pは、出力端子OUTの本体部150の後方（-X方向側）

に配置された本体部 173 を有している。この本体部 173 は、X 方向に延びて、その先端部（-X 方向側端部）は -X 方向に引き出されている。本体部 173 は、放熱ベース 2 の主面に平行な帯状の板状体で構成されている。本体部 173 の基端部側（+X 方向側端部）には、第 1 基板アッセンブリ 20 側に向けて +Y 方向へと延びた横行部 174 が形成されている。横行部 174 は、放熱ベース 2 の主面に平行な帯状の板状体からなる。この横行部 174 の先端縁（+Y 方向側端縁）には、放熱ベース 2 に向かって垂下し、第 1 下部導体層 23 の第 1 端子接合領域 61 に接合された脚部 175 が形成されている。脚部 175 は、帯状の板状体を L 字状に折り曲げて形成されており、Z 方向に延びた垂下部 175 a と、垂下部 175 a の下端（-Z 方向側端）から +Y 方向に延びた接合部 175 b とを有している。接合部 175 b が第 1 端子接合領域 61 に接合されている。垂下部 175 a は、X 方向および Z 方向に沿う平面（XZ 平面）に平行な板状体からなり、接合部 175 b は放熱ベース 2 の主面に平行な板状体からなる。

[0131] 第 2 電源端子 N は、出力端子 O U T の本体部 150 の後方（-X 方向側）において、第 1 電源端子 P の上方に微小な間隔（たとえば 1 mm）を開けて配置された本体部 176 を有している。この本体部 176 は、X 方向に延びて、その先端部（-X 方向側端部）は -X 方向に引き出されている。本体部 176 は、放熱ベース 2 の主面に平行な帯状の板状体で構成されている。本体部 176 において先端部側（-X 方向側）の大部分（約 75% 程度）の領域は、第 1 電源端子 P の本体部 173 と重なり合っている。より具体的には、第 1 および第 2 電源端子 P, N の本体部 173, 176 は、略等しい幅（Y 方向の幅。たとえば 6 mm）を有していて、互いに平行であり、Z 方向に微小間隔を開けて互いに対向している。そして、それらの本体部 173, 176 は、平面視において略同じ位置まで、-X 方向に向けて引き出されている。

[0132] 本体部 176 の基端部（+X 方向側端部）は、第 1 電源端子 P の本体部 173 を超えて +X 方向に延びている。この基端部には、第 2 基板アッセンブ

り40側に向けて-Y方向へと延びた横行部177が結合されている。横行部177は、放熱ベース2の主面に平行な帯状の板状体からなる。この横行部177の先端縁(-Y方向側端縁)には、放熱ベース2に向かって垂下し、第2上部導体層44に接合された脚部178が形成されている。脚部178は、帯状の板状体をL字状に折り曲げて形成されており、Z方向に延びた垂下部178aと、垂下部178aの下端(-Z方向側端)から-Y方向に延びた接合部178bとを有している。接合部178bが第2上部導体層44に接合されている。垂下部178aは、X方向およびZ方向に沿う平面(XZ平面)に平行な帯状の板状体からなり、接合部178bは放熱ベース2の主面に平行な帯状の板状体からなる。

[0133] この構成例では、互いに逆方向に電流が流れる第1および第2電源端子P, Nが微小間隔を開けて重なりあっているため、それらの電流によって互いのインダクタンスが相殺される。これにより、インダクタンスの低減を図ることができる。また、出力端子OUTが、ケース内において幅狭に形成されているため、第1および第2基板アセンブリ20, 40の相互間の接続経路長が短くなっており、これによっても、インダクタンスの低減が図られている。この構成について上アーム回路81(第1基板アセンブリ20)に関し、周波数1MHzの信号に対して算出されたインダクタンスは16.6nHであった。

[0134] 図15の構成例は、図14の構成例に類似している。この構成例では、第1および第2電源端子P, Nの幅(Y方向の幅)が図14の構成例の場合よりも広く(たとえば12mm)されている。それに応じて、横行部174, 177が短縮されている。この構成について上アーム回路81(第1基板アセンブリ20)に関し、周波数1MHzの信号に対して算出されたインダクタンスは14.8nHであった。すなわち、図14の構成例と比較して、インダクタンスが1nH程度低減された。

[0135] 図16の構成例は、図15の構成例からの変形であり、第1および第2電源端子P, N間の間隔(Z方向の間隔を)を広く(たとえば5mm)したも

のである。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは20.8nHであった。したがって、第1および第2電源端子P、N間の間隔が狭い方がインダクタンス低減に有利であることが分かった。

[0136] 図17の構成例は、図15の構成例からの変形であり、第2電源端子Nの本体部176において先端部（-X方向側端部）176aだけを持ち上げたものである。すなわち、第2電源端子Nの本体部176の基端部側の領域は、第1電源端子Pの本体部173との間に微小な間隔（たとえば1mm）を開けて配置されている。一方、第2電源端子Nの先端部176aは、第1電源端子Pの本体部173との間に比較的大きな間隔（たとえば5mm）を開けて配置されている。この構造は、第1および第2電源端子P、Nに対する外部接続（たとえばバスバーの接続）が容易になるという利点がある。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは15.3nHであった。よって、一部の領域であっても、第1および第2電源端子P、Nを微小間隔で重なり合わせることにより、インダクタンス低減効果が得られることが分かった。

[0137] 図18の構成例は、図17の構成例からの変形であり、第2電源端子Nの基端部側（+X方向側）を切り欠いて、出力端子OUTとの重なり部分を排除したものである。横行部177は、本体部176の基端部の-Y方向寄りの部分から+X方向へと延びて第2上部導体層44の上方に至り、さらに-Y方向に折れ曲がったL字形状を有している。また、この構成例では、脚部178の接合部178bの幅（X方向の幅）が広く形成されており、したがって、大きな面積（フットプリント）で第2上部導体層44に接合されている。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは14.7nHであった。この結果から、第2電源端子Nと出力端子OUTとの重なり部分を少なくすることにより、インダクタンスを低減できることが分かる。

[0138] 図19の構成例は、図18の構成例からの変形である。この構成では、第2電源端子Nの本体部176には、第1電源端子Pの本体部173に対して微小間隔で対向している領域に、電流狭窄用の切り込み176bが形成されている。この切り込み176bは、第2基板アッセンブリ40側の側縁から第1基板アッセンブリ20に向かって+Y方向に沿って直線状に形成されている。また、第1電源端子Pの本体部173にも、切り込み176bと対向する位置に同形状の切り込み173bが形成されている。このような構成により、第1および第2電源端子P、Nに流れる電流の方向を平行（正確には反平行）に近づけることができるから、インダクタンス相殺効果を高めることができる。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは15.3nHであった。

[0139] 図20の構成例は、図18の構成例からの変形である。この構成では、横行部177は、本体部176の基端部の側縁から-Y方向に延びている。そして、横行部177の+X方向側縁部から脚部178が垂下している。すなわち、脚部178の垂下部178aは、Y方向およびZ方向に沿う平面（YZ平面）に平行に形成されている。この垂下部178aの下縁に接合部178bが結合されている。接合部178は、この構成例では、Y方向に長い矩形形状を有している。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは14.7nHであった。

[0140] 図21の構成例は、図17の構成例からの変形である。この構成例は、第2電源端子Nの横行部177を短縮して（より好ましく無くして）、第2上部導体層44の第1基板アッセンブリ20寄りの縁部（+Y方向側縁部）において、脚部178を第2上部導体層44に接合したものである。これにより、第2電源端子Nを通る電流経路が短縮されるので、インダクタンスの低減に寄与できる。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは

13. 4 nHであった。

[0141] 図22の構成例は、図21の構成例からの変形である。この構成例は、第2電源端子Nを-Y方向に移動し、第1および第2電源端子P、Nの重なり領域をなくしたものである。第2電源端子Nの脚部178は、第2上部導体層44の第1基板アッセンブリ20とは反対側の縁部(-Y方向側縁部)付近において、第2上部導体層44に接合されている。この構成について上アーム回路81(第1基板アッセンブリ20)に関し、周波数1MHzの信号に対して算出されたインダクタンスは18.7 nHであった。

[0142] 図23の構成例は、図22の構成例からの変形である。この構成例は、第2電源端子Nに、前述の脚部178のほか、第2の脚部179を設けたものである。第1の脚部178が本体部176の-Y方向側縁部に設けられているのに対して、第2の脚部179は本体部176の+Y方向側縁部に設けられている。この第2の脚部179は、本体部176から垂下した垂下部179aと、垂下部179aの下端に結合された接合部179bとを含む。垂下部179aは、X方向およびZ方向を含む平面(XZ平面)に平行な帯状板状体で構成されている。接合部179bは放熱ベース2の主面に平行な帯状の板状体で構成されている。この接合部179bが、第2上部導体層44において第1基板アッセンブリ20寄りの縁部付近の領域に接続されている。この構成では、出力端子OUTに近い第2の脚部179により多くの電流が流れるので、実質的に電流経路長を短縮できる。これにより、インダクタンスの低減が図られる。この構成について上アーム回路81(第1基板アッセンブリ20)に関し、周波数1MHzの信号に対して算出されたインダクタンスは15.8 nHであった。

[0143] 図24の構成例は、図23の構成例からの変形である。第1電源端子Pは、出力端子OUTよりも第1基板アッセンブリ20側(+Y方向側)に位置しており、-X方向に引き出されている。第1電源端子Pは、帯状板体からなる本体部180と、この本体部180の基端側(+X方向側)の両側縁から垂下して第1下部導体層23に接合された第1および第2脚部181、1

82を有している。本体部180は、出力端子OUTと略同じ高さ位置で、放熱ベース2の主面に平行に配置されている。第1および第2脚部181, 182は、それぞれ、本体部180の側縁から垂下した垂下部181a, 182aと、垂下部181a, 182aの下端縁で折り曲げられた接合部181b, 182bとを有している。垂下部181a, 182aは、いずれもX方向およびZ方向に平行な平面(XZ平面)に沿って形成された帯状板体からなり、互いに平行に形成されて、互いにY方向に対向している。接合部181a, 182bは、放熱ベース2の主面に平行な帯状板体からなり、接合部181aは垂下部181aの下端縁から-Y方向に延び、接合部181bは垂下部182aの下端部から+Y方向に延びている。したがって、接合部181aは、第1下部導体層23の-X方向側縁部において第2基板アッセンブリ40側の縁部付近に接合されており、接合部182aは、第1下部導体層23の+X方向側縁部において第2基板アッセンブリ40とは反対側の縁部付近に接合されている。第2電源端子Nは、図23の構成例の場合と略同様の構成であるが、第1および第2の脚部178, 179が短くされていて、本体部176が出力端子OUTと略同じ高さ位置に配置されている。また、本体部176の先端部には上方(+Z方向)へのオフセット部分がなく、全体に亘って、放熱ベース2の主面に平行な平板状に形成されている。出力端子OUTは、本体部170が基端側から先端側に渡って略均一幅の板状体に形成されており、図23の構成例の場合よりも幅広となっている。この構成について上アーム回路81(第1基板アッセンブリ20)に関し、周波数1MHzの信号に対して算出されたインダクタンスは25.1nHであった。

[0144] 図25の構成例は、図24の構成例と類似しているが、第1および第2電源端子P, Nの接続部の構造が異なる。具体的には、第1電源端子Pは、本体部180の基端縁(X方向側端部)から垂下する一つの脚部185によって第1下部導体層23に接合されている。脚部185は、本体部181と略同幅の垂下部185aと、垂下部185aと略同幅の接合部185bとを有

している。垂下部 185 a は、本体部 181 の基端縁から第 1 下部導体層 23 に向かって -Z 方向に垂下しており、Y 方向および Z 方向を含む平面 (YZ 平面) に平行な帯状の板状体からなる。接合部 185 b は、垂下部 185 a の下端縁 (-Z 方向側端縁) から +X 方向に向けて直角に折り曲げられており、放熱ベース 2 の主面と平行な帯状板状体からなる。この接合部 185 a が、第 1 下部導体層 23 に接合されている。したがって、接合幅は、第 1 電源端子 P の幅と略等しい。第 2 電源端子 N も略同様の構造を有している。すなわち、第 2 電源端子 N は、本体部 176 の基端縁 (X 方向側端部) から垂下する一つの脚部 186 によって第 2 上部導体層 44 に接合されている。脚部 186 は、本体部 176 と略同幅の垂下部 186 a と、垂下部 186 a と略同幅の接合部 186 b とを有している。垂下部 186 a は、本体部 181 の基端縁から第 2 上部導体層 44 に向かって -Z 方向に垂下しており、Y 方向および Z 方向を含む平面 (YZ 平面) に平行な帯状板状体からなる。接合部 186 b は、垂下部 186 a の下端縁 (-Z 方向側端縁) から +X 方向に向けて直角に折り曲げられており、放熱ベース 2 の主面と平行な帯状の板状体からなる。この接合部 186 a が、第 2 上部導体層 44 に接合されている。したがって、接合幅は、第 2 電源端子 N の幅と略等しい。この構成について上アーム回路 81 (第 1 基板アッセンブリ 20) に関し、周波数 1 MHz の信号に対して算出されたインダクタンスは 22.6 nH であった。

[0145] 図 26 の構成例は、図 21 の構成例に近似している。ただし、出力端子 O U T の本体部 150 の幅が広げられており、それに応じて、第 2 電源端子 N の横行部 177 の長さが図 21 の構成例よりも若干長くなっている。また、第 2 電源端子 N の本体部 176 と第 1 電源端子 P とが微小間隔 (たとえば 1 mm) で重なり合っている部分の長さが図 21 の構成よりも短い。より具体的には、図 21 の構成例では、第 1 電源端子 P の本体部 173 の 50% 以上の領域に対して、第 2 電源端子 N の本体部 176 が微小間隔で重なっている。これに対して、図 26 の構成例では、第 1 電源端子 P の本体部 173 の 50% 未満 (たとえば 30% 程度) の領域に対して、第 2 電源端子 N の本体部

176が微小間隔で重なっている。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは14.4nHであった。

[0146] 図27の構成例は、図26の構成からの変形である。この構成例では、第1および第2電源端子P、Nの高さが低減（たとえば図27の構成例に比較して2mm低減）されている。そのために、出力端子OUTの本体部150は、基端部側（-X方向側）に高さの低い低部150aを有し、この低部150aよりも+X方向側に高部150bを有して、低部150aと高部150bとの間に段部150cが形成されている。第1電源端子Pの本体部173は、低部150aと略同じ高さに形成されており、それに応じて、脚部175の長さ（垂下部175aの長さ）が、図26の構成例よりも短くなっている。第2電源端子Nの本体部176は、基端側（-X方向側）に、高部150bと略同じ高さに形成された領域を有しており、この領域は、微小間隔（たとえば1mm）を開けて第1電源端子Pに重なりあっている。すなわち、前記段差150cは、第2電源端子Nの本体部176の厚さと前記微小間隔との和に略等しい。この構成によれば、第2電源端子Nの引き出し位置をケース123（図8参照）の頂面から十分に低い位置に配置でき、第2電源端子Nの引き出し位置近傍におけるケース123の強度（樹脂剛性）を確保するのに有利である。むしろ、パワーモジュールの低背化を併せて図ることができる。さらにまた、各端子P、N、OUTの脚部151、152、175、178の長さが短くなるので、電流経路長を短縮でき、それに応じてインダクタンスを低減することができる。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは12.0nHであった。

[0147] 図28の構成例は、図26の構成例からの変形である。この構成例では、出力端子OUTの本体部150が、第1および第2電源端子P、Nの本体部173、176よりも高い位置に配置されている。これにより、第1電源端子Pの脚部175および第2電源端子Nの脚部178の短縮が図られている

。出力端子OUTの本体部150は、その基端部（-X方向側）が、第2電源端子Nの本体部176（微小隙間で第1電源端子Pに対向する低部領域）の上方に位置し、この本体部176に重なっている。第2電源端子Nは、出力端子OUTを回避する必要がないので、その横行部177の長さを最短距離（好ましくは零）にすることができる。このようにして、第1および第2電源端子P、Nの電流経路長が短縮されるので、インダクタンスを低減できる。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは12.8nHであった。

[0148] 図29の構成例は、図25の構成からの変形である。この構成例では、第1電源端子Pは、本体部180の基端縁（X方向側端部）から垂下するブロック状の脚部191によって第1下部導体層23に接合されている。脚部191は、本体部180と略同幅の直方体形状を有しており、この脚部191の底面が第1下部導体層23に接合されている。したがって、接合幅は、本体部180の幅と略等しい。第2電源端子Nも略同様の構造を有している。すなわち、第2電源端子Nは、本体部176の基端縁（X方向側端部）から垂下するブロック状の脚部192によって第2上部導体層44に接合されている。脚部192は、本体部176と略同幅の直方体形状を有しており、この脚部192の底面が第2上部導体層44に接合されている。したがって、接合幅は、本体部176の幅と略等しい。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出されたインダクタンスは17.5nHであった。

[0149] 図30の構成例は、前記第2の実施形態に類似している。この構成例では、第1および第2電源端子P、Nの脚部の長さが第2実施形態の場合よりも長く（たとえば2mm長く）されている。これにより、第1および第2基板アッセンブリ20、40上に配置されるゲル材料の表面に対して十分なクリアランスを確保しようとしたものである。この構成について上アーム回路81（第1基板アッセンブリ20）に関し、周波数1MHzの信号に対して算出

されたインダクタンスは24.5 nHであった。

[0150] 前述の実施形態では、SiC半導体デバイスで構成したMOS型電界効果トランジスタをスイッチング素子の例として説明したが、IGBT (Insulated Gate Bipolar Transistor) 等の他の形態のスイッチング素子が適用されてもよい。また、前述の実施形態では、スイッチング素子およびダイオード素子がワイヤを用いて接続された例を説明したが、矩形断面の帯状接続部材であるリボンを代わりに用いてもよい。また、複数本のワイヤを用いる代わりに、リードフレームを用いてもよい。さらに、前述の実施形態では、スイッチング素子およびダイオード素子を備えた構成について説明したが、ダイオード素子が備えられていない半導体装置に対しても、この発明を適用できる。また、半導体装置は、必ずしもパワーモジュールを構成している必要はない。

[0151] [第3の実施形態]

図31Aは、本発明の第3の実施形態に係るパワーモジュールの内部構造を示す模式的な平面図である。図31Bは、図31Aに示すパワーモジュールの内部構造の模式的な側面図である。

パワーモジュール501は、放熱ベース50とケース570とを備えている。ケース570は、絶縁樹脂材料で構成されている。

[0152] また、パワーモジュール501は、たとえば、IGBTを有する半導体チップであるIGBTチップ502を備えている。IGBTチップ502は、平面視矩形状に形成されている。

また、パワーモジュール501は、薄板状の第1電極バー503および第2電極バー504を備えている。第1電極バー503および第2電極バー504は、放熱ベース560上に設けられた絶縁基板561上に配置されている。第1電極バー503および第2電極バー504は、互いに分離して並べて設けられている。これらの電極バー503、504は、たとえば、Cu (銅) からなる。

[0153] IGBTチップ502のコレクタ側の面は、半田などの導電性接合剤50

5を介して、第1電極バー503に接合されている。IGBTチップ502のエミッタ側の面には、エミッタ電極506が形成されている。

エミッタ電極506上には、たとえば、第2電極バー504側に片寄った位置に、導電性を有する弾性部材507が設けられている。弾性部材507は、たとえば、Al（アルミニウム）またはAu（金）のリボンワイヤからなる。弾性部材507は、その両端がエミッタ電極506に固定され、中央部がエミッタ電極506から浮き上がった形状に形成されることにより、中央部が弾性変形可能となっている。このような形状の弾性部材507は、ワイヤボンドを用いて、リボンワイヤの一端をエミッタ電極506に超音波接合し、キャピラリ（capillary）を移動させた後、リボンワイヤの他端をエミッタ電極506上の別の位置に超音波接合することにより形成される。

[0154] また、第2電極バー504上には、第1電極バー503側に片寄った位置に、弾性部材507と同じ構成を有する弾性部材508が設けられている。

なお、図31Aに示すように、パワーモジュール501では、弾性部材507、508が2つずつ設けられているが、弾性部材507、508の個数は、とくに限定されず、1つであってもよいし、3つ以上であってもよい。

[0155] IGBTチップ502と第2電極バー504との間には、配線用のフレーム509が掛け渡されている。フレーム509は、たとえば、Cuからなり、第1電極バー503と第2電極バー504との並び方向に延びる薄板状に形成されている。フレーム509の長手方向の一端部（以下、単に「フレーム509の一端部」という。）は、エミッタ電極506とほぼ平行をなし、エミッタ電極506上の弾性部材507に上方から圧接している。一方、フレーム509の長手方向の一端部と反対側の他端部（以下、単に「フレーム509の他端部」という。）は、第2電極バー504とほぼ平行をなし、第2電極バー504上の弾性部材508に上方から圧接している。そして、フレーム509は、その一端部および他端部間で屈曲し、たとえば、図31Bに示すように、側面視で略クランク状をなしている。エミッタ電極506と第2電極バー504とは、弾性部材507、508およびフレーム509を

介して、電氣的に接続されている。

[0156] IGBTチップ502、第1電極バー503、第2電極バー504、弾性部材507、508およびフレーム509を含む構造物は、ケース570内に收容されている。ケース570には、フレーム509の一端部および他端部と対向する位置にねじ孔571、572が形成されている。また、フレーム509の上面の一端部および他端部には、平面視において、ねじ孔571、572の中心部と対向する位置に凹所509a、509bが形成されている。ケース580の各ねじ孔571、572には、それぞれ、ケース570の上方から押圧用ねじ510、511がねじ嵌められている。そして、押圧用ねじ510、511の先端部は、それぞれ凹所509a、509bに嵌まっている。これにより、フレーム509は、ケース570に固定される。押圧用ねじ510、511の先端は、それぞれフレーム509の一端部および他端部を押圧している。これにより、フレーム509の一端部および他端部は、それぞれ押圧用ねじ510、511から受ける押圧力により、それぞれ弾性部材507、508を押圧し、それぞれ弾性部材507、508に確実に接続されている。

[0157] 以上のように、このパワーモジュール501では、IGBTチップ502のコレクタ側の面が第1電極バー503に接合されている。IGBTチップ502のエミッタ側の面には、エミッタ電極506が形成されている。エミッタ電極506は、配線用のフレーム509を介して、第2電極バー504と電氣的に接続されている。フレーム509は、薄板状をなし、その断面積は、ボンディングワイヤ（たとえば、金細線）の断面積よりも大きい。そのため、フレーム509の採用により、ボンディングワイヤが採用された構造よりも、自己インダクタンスを低減することができる。その結果、IGBTのスイッチング時（ターンオフ時）に発生するサージ電圧を小さくすることができる。

[0158] そして、IGBTチップ502のエミッタ電極506とフレーム509との間には、中央部が弾性変形可能な弾性部材507が介在されている。フレ

ーム509と弾性部材507との接続は、半田付けではなく、フレーム509によって弾性部材507がIGBTチップ502側に押圧されることによって達成されている。したがって、IGBTチップ502とフレーム509との間に熱膨張/収縮差が生じても、その熱膨張/収縮差を弾性部材507の変形またはフレーム509と弾性部材507との相対的なずれにより吸収することができる。そのため、フレーム509が弾性部材507（IGBTチップ502）から剥離することを防止できる。また、熱膨張/収縮差に起因する応力がIGBTチップ502に伝播することを防止でき、その応力の伝播によるIGBTチップ502のクラックの発生を防止できる。

[0159] よって、このパワーモジュール501の構造によれば、自己インダクタンスを低減させることができるとともに、熱サイクルに対する信頼性を向上させることができる。

また、第2電極バー504とフレーム509における第2電極バー504に対向する部分との間には、中央部が弾性変形可能な弾性部材508が介在されている。フレーム509と弾性部材508との接続は、半田付けではなく、フレーム509によって弾性部材508が第2電極バー504側に押圧されることによって達成されている。したがって、フレーム509と第2電極バー504との間に熱膨張/収縮差が生じても、その熱膨張/収縮差を弾性部材508の変形またはフレーム509と弾性部材508との相対的なずれにより吸収することができる。よって、フレーム509が弾性部材508（第2電極バー504）から剥離することを防止できる。

[0160] 前記実施形態では、フレーム509の上面に凹所509a, 509bが形成され、この凹所509a, 509bに押圧用ねじ510, 511の先端部が嵌まることにより、フレーム509がケース580に固定されているが、フレーム509の上面に凹所509a, 509bを形成せずに、フレーム509をケース580に固定させるようにしてもよい。たとえば、押圧用ねじ510, 511の先端部を尖らせて、フレーム509の上面に押圧用ねじ510, 511の先端を食い込ませるようにしてもよい。また、接着剤によつ

て、押圧用ねじ510, 511の先端部をフレーム509に固定させてもよい。さらに、フレーム509の上面に、押圧用ねじ510, 511の先端部の周囲を取り囲むような囲い（たとえば筒状突起）を形成するようにしてもよい。

[0161] [第4の実施形態]

図32Aは、本発明の第4の実施形態に係るパワーモジュールの内部構造を示す模式的な平面図である。図32Bは、図32Aに示すパワーモジュールの内部構造の模式的な側面図である。

図32A, 32Bに示すパワーモジュール521は、放熱ベース580とケース590とを備えている。ケース590は、絶縁樹脂材料で構成されている。

[0162] また、パワーモジュール521は、たとえば、IGBTを有する半導体チップであるIGBTチップ522を備えている。IGBTチップ522は、平面視矩形状に形成されている。

また、パワーモジュール521は、薄板状の第1電極バー523および第2電極バー524を備えている。第1電極バー523および第2電極バー524は、放熱ベース580上に設けられた絶縁基板581上に配置されている。第1電極バー523および第2電極バー524は、互いに分離して並べて設けられている。これらの電極バー523, 524は、たとえば、Cu（銅）からなる。

[0163] IGBTチップ522のコレクタ側の面は、半田などの導電性接合剤525を介して、第1電極バー523に接合されている。IGBTチップ522のエミッタ側の面には、エミッタ電極526が形成されている。

エミッタ電極526上には、第2電極バー524側に片寄った位置に、導電性を有する弾性部材527が設けられている。弾性部材527は、図31A, 31Bに示す弾性部材507と同様の構成を有している。

[0164] なお、図32Aに示すように、パワーモジュール521では、弾性部材527が2つ設けられているが、弾性部材527の個数は、とくに限定されず

、1つであってもよいし、3つ以上であってもよい。

そして、第2電極バー524には、フレーム528が一体的に形成されている。フレーム528は、第1電極バー523側の端縁からIGBTチップ522のエミッタ電極526上に向けて延びている。フレーム528は、途中部で屈曲し、その先端部は、エミッタ電極526とほぼ平行をなし、エミッタ電極526上の弾性部材527に上方から圧接している。エミッタ電極526と第2電極バー524とは、弾性部材527およびフレーム528を介して、電氣的に接続されている。

[0165] IGBTチップ522、第1電極バー523、第2電極バー524、弾性部材527およびフレーム528を含む構造物は、ケース590内に收容されている。ケース590には、フレーム528の先端部と対向する位置にねじ孔591が形成されている。また、フレーム528の先端部の上面には、平面視において、ねじ孔591の中心部と対向する位置に凹所528aが形成されている。ケース590のねじ孔591には、ケース590の上方から押圧用ねじ529がねじ嵌められている。そして、押圧用ねじ529の先端部は凹所528aに嵌まっている。押圧用ねじ529の先端は、フレーム528の先端部を押圧している。これにより、フレーム528の先端部は、押圧用ねじ529から受ける押圧力により、弾性部材527を押圧し、弾性部材527に確実に接続されている。

[0166] このパワーモジュール521においても、図31A、31Bに示すパワーモジュール501と同様の作用効果を奏することができる。

図33は、弾性部材の他の構成を示す模式的な側面図である。

図31Bに示す弾性部材507、508および図32Bに示す弾性部材527に代えて、図33に示す弾性部材531が用いられてもよい。弾性部材531は、たとえば、AlまたはAuなどの金属からなる薄板をV字状に折り曲げることにより形成される。そして、パワーモジュール501、521に弾性部材531が用いられる場合、弾性部材531の一方の片がエミッタ電極506、526に接合され、他方の片がフレーム509、528により

押圧される。

[0167] 第3の実施形態または第4の実施形態では、半導体チップとして、IGBTを有するIGBTチップ502, 522を取り上げたが、半導体チップは、パワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) またはダイオードなどの素子を有するものであってもよい。

[第5の実施形態]

図34～図36Bは、この発明の第5の実施形態を示している。図34は、ケース内に收容されたパワーモジュール回路の構成を示す図解的な斜視図である。図35は、第1および第2基板アセンブリを示す図解的な平面図である。図36Aは、第1基板アセンブリの図解的な断面図である。図36Bは、第2基板アセンブリの図解的な断面図である。図34において、図2と同じ部分には、図2と同じ参照符号を付してある。また、図35において、図3と同じ部分には、図3と同じ参照符号を付してある。また、図36Aまたは図36bにおいて、図5Aまたは図5Bと同じ部分には、図5Aまたは図5Bと同じ参照符号を付してある。

[0168] 第5の実施形態に係るパワーモジュールは、図1～図7Bに示される第1の実施形態に係るパワーモジュールとほぼ同様の構成を有している。第5の実施形態に係るパワーモジュールでは、第1スイッチング素子 T_{r1} および第1ダイオード D_{i1} と第1上部導体層24との電気的な接続構造と、第2スイッチング素子 T_{r2} および第2ダイオード D_{i2} と第2上部導体層44との電気的な接続構造とが、第1の実施形態と異なっている。

[0169] 第5の実施形態では、第1基板アセンブリ20において、図2の第1基板アセンブリ20に用いられているワイヤ25, 26に代って、板状のフレーム210が用いられている。そして、各第1スイッチング素子 T_{r1} のソースおよび各第1ダイオード D_{i1} のアノードは、図31Aおよび図31Bを用いて説明した前記第3の実施形態と同様に、弾性部材221, 222 (図36A参照) および板状のフレーム210を介して、第1上部基板22上の第1上部導体層24に接続されている。

- [0170] 図36Aに示すように、各第1スイッチング素子 T_{r1} の上面（+Z方向表面）および各第1ダイオード D_{i1} の上面（+Z方向表面）には、それぞれ、導電性を有する弾性部材221, 222が設けられている。これらの弾性部材221, 222は、前述した第3実施形態における弾性部材507と同様である。弾性部材221, 222は、たとえば、Al（アルミニウム）またはAu（金）のリボンワイヤからなる。
- [0171] 弾性部材221は、その両端が第1スイッチング素子 T_{r1} の上面に固定され、中央部が第1スイッチング素子 T_{r1} の上面から浮き上がった形状に形成されることにより、中央部が弾性変形可能となっている。同様に、弾性部材222は、その両端が第1ダイオード D_{i1} の上面に固定され、中央部が第1ダイオード D_{i1} の上面から浮き上がった形状に形成されることにより、中央部が弾性変形可能となっている。このような弾性部材221, 222は、対応する素子に対して1個だけ設けられていてもよいし、2個以上設けられていてもよい。
- [0172] 図34、図35および図36Aに示すように、フレーム210は、導電性の板状体（たとえばCu）からなる。フレーム210は、主要部が第1上部導体層24に接合された接合部211と、各第1スイッチング素子 T_{r1} および各第1ダイオード D_{i1} の上面に設けられた弾性部材221, 222に圧接した圧接部213と、接合部211と圧接部213とを連結する連結部212とを有している。
- [0173] 接合部211の主要部は、第1上部導体層24のX方向の幅の中央部付近から+X方向側縁部までの領域に、超音波接合されている。接合部211は、平面視においてY方向に延びた矩形に形成されている。接合部211は、第1上部導体層24に平行な板状体からなり、その主要部が第1上部導体層24に接合されている。連結部212は、接合部211の+X方向側縁部から+X方向と-Z方向との中間の方向に延びている。連結部212は、帯状の板状体からなる。
- [0174] 圧接部213は、連結部212の+X方向側縁部から+X方向に延びてい

る。圧接部 213 は、平面視において、+X 側に向かって開口した切欠き 214 を有する U 字形状に形成されている。圧接部 213 は、連結部 212 の +X 方向側縁部に結合された基部 213 a と、基部 213 a の両端部から +X 方向に延びた一対の腕部 213 b, 213 c とを有している。基部 213 a は、平面視において、Y 方向に延びた矩形に形成されている。基部 213 a は、2 つの第 1 ダイオード D_{i1} それぞれの上面の一部およびそれらのダイオード D_{i1} 間の 2 つの第 1 スイッチング素子 T_{r1} それぞれの上面の一部に、Z 方向に対向している。腕部 213 b, 213 c は、2 つの第 1 ダイオード D_{i1} それぞれの上面の一部およびそれらのダイオード D_{i1} の +X 側にある 2 つの第 1 スイッチング素子 T_{r1} それぞれの上面の一部に、Z 方向に対向している。

圧接部 213 は、各第 1 スイッチング素子 T_{r1} の上面および各第 1 ダイオード D_{i1} の上面に形成された弾性部材 221, 222 に、上方から圧接している。具体的には、2 つの第 1 ダイオード D_{i1} の +X 側にある 2 つの第 1 スイッチング素子 T_{r1} 上の弾性部材 221 には、圧接部 213 の腕部 213 b, 213 c が圧接している。2 つの第 1 ダイオード D_{i1} の間にある 2 つの第 1 スイッチング素子 T_{r1} 上の弾性部材 221 には、圧接部 213 の基部 213 a が圧接している。2 つの第 1 ダイオード D_{i1} 上の弾性部材 222 には、圧接部 213 の基部 213 a および腕部 213 b, 213 c の一方または両方が圧接している。これにより、各第 1 スイッチング素子 T_{r1} のソースおよび各第 1 ダイオード D_{i1} のアノードは、弾性部材 221, 222 およびフレーム 210 を介して、第 1 上部導体層 24 に電氣的に接続されている。

[0175] 図 36A に示すように、ケース 3 の天板 5 には、フレーム 210 の圧接部 213 と対向する位置に、複数のねじ孔 5 e が形成されている。天板 5 における圧接部 213 と対向する領域内には、各第 1 スイッチング素子 T_{r1} および各第 1 ダイオード D_{i1} に対向する位置のそれぞれに、ねじ孔 5 e が形成されていることが好ましい。また、圧接部 213 の上面には、平面視にお

いて、ねじ孔5 eの中心部と対向する位置に凹所2 1 5が形成されている。天板5の各ねじ孔5 eには、それぞれ、天板5の上方から押圧用ねじ2 2 3がねじ嵌められている。そして、押圧用ねじ2 2 3の先端部は、それぞれ対応する凹所2 1 5に嵌まっている。各押圧用ねじ2 2 3の先端は、フレーム2 1 0の圧接部2 1 3を押圧している。これにより、フレーム2 1 0の圧接部2 1 3は、押圧用ねじ2 2 3から受ける押圧力により、弾性部材2 2 1, 2 2 2を押圧し、それぞれ弾性部材2 2 1, 2 2 2に確実に接続されている。

[0176] 図3 4および図3 5に示すように、平面視において、圧接部2 1 3の切欠き2 1 4から、各第1スイッチング素子Tr 1の一部および各第1ダイオードDi 1の一部が露出している。各第1スイッチング素子Tr 1の前記露出部分において、各第1スイッチング素子Tr 1のソースが、ワイヤ3 1をそれぞれ介して、ソースセンス端子SS 1のための制御用導体層2 7に接続されている。また、各第1スイッチング素子Tr 1の前記露出部分において、各第1スイッチング素子Tr 1のゲートが、ワイヤ3 2をそれぞれ介して、ゲート端子G 1のための制御用導体層2 8に接続されている。

[0177] 第5の実施形態では、第2基板アッセンブリ4 0において、図2の第2基板アッセンブリ4 0に用いられているワイヤ4 5, 4 6に代って、板状のフレーム4 1 0が用いられている。そして、各第2スイッチング素子Tr 2のソースおよび各第2ダイオードDi 2のアノードは、弾性部材4 2 1, 4 2 2（図3 6 B参照）および板状のフレーム4 1 0を介して、第2上部基板4 2 上の第2上部導体層4 4に接続されている。

[0178] 図3 6 Bに示すように、各第2スイッチング素子Tr 2の上面（+Z方向表面）および各第2ダイオードDi 2の上面（+Z方向表面）には、それぞれ、導電性を有する弾性部材4 2 1, 4 2 2が設けられている。これらの弾性部材4 2 1, 4 2 2の構成は、前述した弾性部材2 2 1, 2 2 2の構成と同じである。このような弾性部材2 2 1, 2 2 2は、対応する素子に対して1個だけ設けられていてもよいし、2個以上設けられていてもよい。

[0179] 図34、図35および図36Bに示すように、フレーム410は、導電性の板状体（たとえばCu）からなる。フレーム410は、主要部が第2上部導体層44に接合された接合部411と、各第2スイッチング素子Tr2および各第2ダイオードDi2の上面に設けられた弾性部材421、422に圧接した圧接部413と、接合部411と圧接部413とを連結する連結部412とを有している。

[0180] 接合部411の主要部は、第2上部導体層44のX方向の幅の中央部付近から+X方向側縁部までの領域に、超音波接合されている。接合部411は、平面視においてY方向に延びた矩形に形成されている。接合部411は、第2上部導体層44に平行な板状体からなり、その主要部が第2上部導体層44に接合されている。連結部412は、接合部411の+X方向側縁部から+X方向と-Z方向との中間の方向に延びている。連結部412は、帯状の板状体からなる。

[0181] 圧接部413は、連結部412の+X方向側縁部から+X方向に延びている。圧接部413は、平面視において、+X側に向かって開口した切欠き414を有するU字形状に形成されている。圧接部413は、連結部412の+X方向側縁部に結合された基部413aと、基部413aの両端部から+X方向に延びた一对の腕部413b、413cとを有している。基部413aは、平面視において、Y方向に延びた矩形に形成されている。基部413aは、2つの第2ダイオードDi2それぞれの上面の一部およびそれらのダイオードDi2間の2つの第2スイッチング素子Tr2それぞれの上面の一部に、Z方向に対向している。腕部413b、413cは、2つの第2ダイオードDi2それぞれの上面の一部およびそれらのダイオードDi2の+X側にある2つの第2スイッチング素子Tr2それぞれの上面の一部に、Z方向に対向している。

圧接部413は、各第2スイッチング素子Tr2の上面および各第2ダイオードDi2の上面に形成された弾性部材421、422に、上方から圧接している。具体的には、2つの第2ダイオードDi2の+X側にある2つの

第2スイッチング素子 $T_r 2$ 上の弾性部材421には、圧接部413の腕部413b, 413cが圧接している。2つの第2ダイオード $D_i 2$ の間にある2つの第2スイッチング素子 $T_r 2$ 上の弾性部材421には、圧接部413の基部413aが圧接している。2つの第2ダイオード $D_i 2$ 上の弾性部材422には、圧接部413の基部413aおよび腕部413b, 413cの一方または両方が圧接している。これにより、各第2スイッチング素子 $T_r 2$ のソースおよび各第2ダイオード $D_i 2$ のアノードは、弾性部材421, 422およびフレーム410を介して、第2上部導体層44に電氣的に接続されている。

[0182] 図36Bに示すように、ケース3の天板5には、フレーム410の圧接部413と対向する位置に、複数のねじ孔5fが形成されている。天板5における圧接部413と対向する領域内には、各第2スイッチング素子 $T_r 2$ および各第2ダイオード $D_i 2$ に対向する位置のそれぞれに、ねじ孔5fが形成されていることが好ましい。また、圧接部413の上面には、平面視において、ねじ孔5fの中心部と対向する位置に凹所415が形成されている。天板5の各ねじ孔5fには、それぞれ、天板5の上方から押圧用ねじ423がねじ嵌められている。そして、押圧用ねじ423の先端部は、それぞれ対応する凹所414に嵌まっている。各押圧用ねじ423の先端は、フレーム410の圧接部413を押圧している。これにより、フレーム410の圧接部413は、押圧用ねじ423から受ける押圧力により、弾性部材421, 422を押圧し、それぞれ弾性部材421, 422に確実に接続されている。

[0183] 図34および図35に示すように、平面視において、圧接部413の切欠き414から、各第2スイッチング素子 $T_r 2$ の一部および各第2ダイオード $D_i 2$ の一部が露出している。各第2スイッチング素子 $T_r 2$ の前記露出部分において、各第2スイッチング素子 $T_r 2$ のソースが、ワイヤ51をそれぞれ介して、ソースセンス端子SS2のための制御用導体層47に接続されている。また、各第2スイッチング素子 $T_r 2$ の前記露出部分において、

各第2スイッチング素子 T_{r2} のゲートが、ワイヤ52をそれぞれ介して、ゲート端子 $G2$ のための制御用導体層48に接続されている。

[0184] この第5の実施形態においても、前述した第1の実施形態と同様な効果が得られる。さらに、この第5の実施形態では、第1基板アッセンブリ20において、第1スイッチング素子 T_{r1} および第1ダイオード D_{i1} は、配線用フレーム210を介して、第1上部導電層24に電氣的に接続されている。フレーム210の断面積は、ボンディングワイヤの断面積よりも大きい。そのため、この第5の実施形態では、第1スイッチング素子 T_{r1} および第1ダイオード D_{i1} をワイヤによって第1上部導電層24に電氣的に接続する構造に比べて、インダクタンスを低減させることができる。このため、スイッチング素子 T_{r1} のターンオフ時に発生するサージ電圧を小さくすることができる。

[0185] また、第1スイッチング素子 T_{r1} および第1ダイオード D_{i1} とフレーム210との間には、弾性部材221, 222が介在されている。そして、フレーム210とこれらの素子 T_{r1} , D_{i1} との接続は、半田付けではなく、フレーム210によって弾性部材221, 222が素子 T_{r1} , D_{i1} 側に押圧されることによって達成されている。

したがって、各素子 T_{r1} , D_{i1} とフレーム210との間に熱膨張/収縮差が生じても、その熱膨張/収縮差を弾性部材221, 222の変形またはフレーム210と弾性部材221, 222との相対的なずれにより吸収することができる。そのため、フレーム210が弾性部材221, 222(素子 T_{r1} , D_{i1})から剥離するのを防止できる。また、各素子 T_{r1} , D_{i1} とフレーム210との間の熱膨張/収縮差に起因する応力が、各素子 T_{r1} , D_{i1} に伝播するのを防止できる。このため、熱膨張/収縮差に起因する応力の伝播によって各素子 T_{r1} , D_{i1} にクラックが発生するのを防止できる。

[0186] 第2基板アッセンブリ40に関しても、前述したような第1基板アッセンブリ20の効果と同様な効果が得られる。

第5の実施形態では、第1基板アッセンブリ20上の各素子 T_{r1} 、 D_{i1} は、1つのフレーム210によって第1上部導体層24に接続されているが、第1基板アッセンブリ20上の各素子 T_{r1} 、 D_{i1} を複数の板状のフレームによって第1上部導体層24に接続するようにしてもよい。たとえば、前述したフレーム210の代わりに、平面視においてY方向の幅が短い矩形形状の4つのフレームを用いることができる。この場合、4つのフレームはY方向に間隔をおいて配置される。最も-Y方向側にある一方の第1ダイオード D_{i1} およびその+X側にある第1トランジスタ T_{r1} は、最も-Y方向側に配置されるフレームによって第1上部導体層24に接続される。最も+Y方向側にある他方の第1ダイオード D_{i1} およびその+X側にある第1トランジスタ T_{r1} は、最も+Y方向側に配置されるフレームによって第1上部導体層24に接続される。そして、2つの第1ダイオード D_{i1} の間にある2つの第1トランジスタ T_{r1} は、それぞれ、残りの2つのフレームによって、第1上部導体層24に接続される。

[0187] 同様に、第2基板アッセンブリ40上の各素子 T_{r2} 、 D_{i2} を、複数の板状のフレームによって第2上部導体層44に接続するようにしてもよい。

[第6の実施形態]

図37は、この発明の第6の実施形態を示している。図37は、ケース内に收容されたパワーモジュール回路の構成を示す図解的な斜視図である。第6の実施形態に係るパワーモジュールは、図34に示される第5の実施形態に係るパワーモジュールとほぼ同様の構成を有している。図37において、図34と同じ部分には、図34と同じ参照符号を付してある。

[0188] 第1基板アッセンブリ20において、各第1スイッチング素子 T_{r1} のソースおよび各第1ダイオード D_{r1} のアノードは、図34に示される第5の実施形態と同様に、弾性部材221、222（図37では図示略）およびフレーム210を介して、第1上部導体層24に電氣的に接続されている。このフレーム210は、第5の実施形態で説明したように、接合部211と圧接部213とそれらを連結する連結部212とからなる。また、このフレ

ーム210は、接続部材38に一体的に形成されている。つまり、接続部材38の接合部58aの+X方向側縁部に、フレーム210の接合部211の-X方向側縁部における-Y方向側縁部寄りの部分が結合されている。

[0189] 第2基板アッセンブリ40において、各第2スイッチング素子Tr2のソースおよび各第2ダイオードDr2のアノードは、図34に示される第5の実施形態と同様に、弾性部材421、422（図37では図示略）およびフレーム410を介して、第2上部導電体層44に電氣的に接続されている。このフレーム410は、第5の実施形態で説明したように、接合部411と圧接部413とそれらを連結する連結部412とからなる。また、このフレーム410は、第2電源端子Nに一体的に形成されている。

[0190] つまり、第2電源端子Nの立上部56bの-Z方向側縁部に、フレーム410の接合部211の-X方向側縁部における+Y方向側縁部寄りの部分が結合されている。ただし、図34に示される第5の実施形態のフレーム410に比べて、この実施形態のフレーム410は、その+Y方向側縁部が、第2電源端子Nの立上部56bの-Z方向側縁部における+Y方向側縁部と整合するように、+Y方向に延長されている。また、この実施形態における第2電源端子Nには、第5の実施形態における第2電源端子Nとは異なり、立上部56bの-Z方向側縁部から-X方向に延びた接合部55は存在しない。

[0191] 第6の実施形態では、第5の実施形態と同様な効果が得られる。さらに、第6の実施形態では、接続部材38とフレーム210とが一体的に形成されるとともに、第2電源端子Nとフレーム410とが一体的に形成されているので、部品数を低減することができると共に、パワーモジュールの製造が簡単となる。

[第7の実施形態]

図38は、この発明の第7の実施形態を示している。図38は、ケース内に收容されたパワーモジュール回路の構成を示す図解的な斜視図である。第7の実施形態に係るパワーモジュールでは、端子P、N、OUTの形状およ

び配置は、図13に示されるパワーモジュールにおける端子P、N、OUTの形状および配置と同じである。図38において、図13と同じ部分には、図13と同じ参照符号を付してある。

[0192] 第1基板アッセンブリ20において、各第1スイッチング素子Tr1のソースおよび各第1ダイオードDr1のアノードは、図34に示される第5の実施形態と同様に、弾性部材221、222（図38では図示略）およびフレーム210を介して、第1上部導電体層24に電氣的に接続されている。このフレーム210は、第5の実施形態で説明したように、接合部211と圧接部213とそれらを連結する連結部212とからなる。また、このフレーム210は、出力端子OUTに一体的に形成されている。つまり、出力端子OUTの接合部151bの+X方向側縁部に、フレーム210の接合部211の-X方向側縁部における-Y方向側縁部寄りの部分が結合されている。

[0193] 第2基板アッセンブリ40において、各第2スイッチング素子Tr2のソースおよび各第2ダイオードDr2のアノードは、図34に示される第5の実施形態と同様に、弾性部材421、422（図38では図示略）およびフレーム410を介して、第2上部導電体層44に電氣的に接続されている。このフレーム410は、第5の実施形態で説明したように、接合部411と圧接部413とそれらを連結する連結部412とからなる。また、このフレーム410は、第2電源端子Nに一体的に形成されている。つまり、第2電源端子Nの接合部160bの+X方向側縁部に、フレーム410の接合部411の-X方向側縁部におけるY方向中央部が結合されている。

[0194] 第7の実施形態では、第5の実施形態と同様な効果が得られる。さらに、第7の実施形態では、出力端子OUTとフレーム210とが一体的に形成されているとともに、第2電源端子Nとフレーム410とが一体的に形成されているので、部品数を低減することができると共に、パワーモジュールの製造が簡単となる。

本発明の実施形態について詳細に説明してきたが、これらは本発明の技術

的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

[0195] この出願は、2009年10月1日に日本国特許庁に提出された特願2009-230017号および2009年5月14日に日本国特許庁に提出された特願2009-117271号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

- [0196]
- | | |
|--------|------------|
| 1 | パワーモジュール |
| 2 | 放熱ベース |
| 3 | ケース |
| 4 | 枠部 |
| 5 | 天板 |
| 6, 7 | 側板 |
| 8, 9 | 端板 |
| 20 | 第1基板アッセンブリ |
| Tr 1 | 第1スイッチング素子 |
| Di 1 | 第1ダイオード素子 |
| 21 | 第1下部基板 |
| 22 | 第1上部基板 |
| 23 | 第1下部導体層 |
| 23 a | 切欠き |
| 24 | 第1上部導体層 |
| 25, 26 | ワイヤ |
| 27, 28 | 制御用導体層 |
| SS 1 | ソースセンス端子 |
| G 1 | ゲート端子 |
| 31, 32 | ワイヤ |

- 4 0 第 2 基板アッセンブリ
- T r 2 第 2 スイッチング素子
- D i 2 第 2 ダイオード素子
- 4 1 第 2 下部基板
- 4 2 第 2 上部基板
- 4 3 第 2 下部導体層
- 4 3 a 切欠き
- 4 4 第 2 上部導体層
- 4 5, 4 6 ワイヤ
- 4 7, 4 8 制御用導体層
- S S 2 ソースセンス端子
- G 2 ゲート端子
- 5 1, 5 2 ワイヤ
- P 第 1 電源端子
- N 第 2 電源端子
- O U T 出力端子
- 6 1 第 1 端子接合領域
- 6 2 第 1 素子接合領域
- 6 3 第 1 基板接合領域
- 7 1 第 2 端子接合領域
- 7 2 第 2 素子接合領域
- 7 3 第 2 基板接合領域
- 8 1 上アーム回路
- 8 2 下アーム回路
- 1 1 0 台座
- 1 1 1 天板の下面
- 1 1 3 端子抑え
- 1 2 0 パワーモジュール

- 1 2 3 ケース
- 1 2 4 枠部
- 1 2 5 天板
- 1 2 6, 1 2 7 側板
- 1 2 8, 1 2 9 端板
- 1 3 5, 1 3 6 ボルト
- 1 4 0, 1 4 1, 1 4 2 スリット状挿通孔

請求の範囲

- [請求項1] 表面に下部導体層が形成された下部基板と、
前記下部導体層に素子接合領域で接合されたスイッチング素子と、
前記下部導体層に端子接合領域で接合された端子と、
前記素子接合領域と前記端子接合領域との間の基板接合領域において前記基板に積層され、表面に上部導体層を有する上部基板と、
前記スイッチング素子と前記上部導体層とを接続するスイッチング素子接続部材とを含む、半導体装置。
- [請求項2] 前記上部導体層は矩形に形成されており、当該矩形の上部導体層の一辺に複数の前記スイッチング素子が対向しており、前記複数のスイッチング素子は前記一辺の両端部に対向する一対のスイッチング素子を含む、請求項1記載の半導体装置。
- [請求項3] 前記素子接合領域において前記下部導体層に接合されたダイオード素子と、
前記ダイオード素子と前記上部導体層とを接続するダイオード素子接続部材とをさらに含む、請求項1または2記載の半導体素子。
- [請求項4] 前記上部導体層は矩形に形成されており、当該矩形の上部導体層の一辺に複数の前記ダイオード素子が対向しており、前記複数のダイオード素子は前記一辺の両端部に対向する一対のダイオード素子を含む、請求項3記載の半導体装置。
- [請求項5] 前記スイッチング素子が、SiC半導体を用いた素子である、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記スイッチング素子が、複数のスイッチング素子を含み、
前記素子接合領域は、前記上部導体層の一辺に沿う第1領域と、この第1領域から前記上部基板から離れる方向に延びた第2領域と、前記第1領域から前記第2領域とは別の位置で前記第1領域から離れる方向に延びた第3領域とを含み、
前記1領域、第2領域および第3領域にそれぞれ少なくとも一つの

前記スイッチング素子が接合されており、

前記第1領域に対向して配置された第1制御用導体層と、

前記第1制御用導体層に対して前記第1領域とは反対側から対向し、さらに前記第1制御用導体層と前記第2領域および第3領域との間に延びて配置された第2制御用導体層と、

前記第1領域、第2領域および第3領域に配置されたスイッチング素子と前記第1制御用導体層および第2制御用導体層との間をそれぞれ接続する制御用配線部材とをさらに含む、請求項1～5のいずれか一項に記載の半導体装置。

[請求項7]

表面に第1下部導体層が形成された第1下部基板と、

前記第1下部導体層に第1素子接合領域で接合された第1スイッチング素子と、

前記第1下部導体層に第1端子接合領域で接合された第1電源端子と、

前記第1素子接合領域と前記第1端子接合領域との間の第1基板接合領域において前記第1下部基板に積層され、表面に第1上部導体層を有する第1上部基板と、

前記第1スイッチング素子と前記第1上部導体層とを接続する第1スイッチング素子接続部材と、

表面に第2下部導体層が形成された第2下部基板と、

前記第2下部導体層に第2素子接合領域で接合された第2スイッチング素子と、

前記第1上部導体層に電氣的に接続され、かつ、前記第2下部導体層に第2端子接合領域で接合された出力端子と、

前記第2素子接合領域と前記第2端子接合領域との間の第2基板接合領域において前記第2下部基板に積層され、表面に第2上部導体層を有する第2上部基板と、

前記第2スイッチング素子と前記第2上部導体層とを接続する第2

スイッチング素子接続部材と、

前記第 2 上部導体層に接合された第 2 電源端子と、

前記第 1 下部基板および前記第 2 下部基板を、前記第 1 および第 2 端子接合領域が隣り合うように保持する保持ベースとを含む、半導体装置。

[請求項8] 前記第 1 電源端子および第 2 電源端子が、所定の間隔を開けて互いに対向する板状部分をそれぞれ有している、請求項 7 記載の半導体装置。

[請求項9] 半導体素子と基板とを含む基板アッセンブリと、
前記基板アッセンブリに接合され、前記基板の主面と平行に延びる端子と、
前記配線基板を包囲する樹脂ケースとを含み、
前記樹脂ケースが、前記端子が挿通する挿通孔を有する第 1 ケース部品と、この第 1 ケース部品と組み合わされる第 2 ケース部品とを含む組立体からなる、半導体装置。

[請求項10] 半導体素子と基板とを含む基板アッセンブリと、
前記基板に接合された接合部、前記接合部から前記基板の主面から離れる方向に立ち上がる第 1 立上部、前記第 1 立上部の上端から前記基板の主面に沿って延びる横行部、および前記横行部から前記基板の主面から離れる方向に立ち上がる第 2 立上部を有する端子と、
前記第 2 立上部と前記基板の主面との間に配置された端子台座と、
前記基板の主面とは反対側から前記横行部に当接または近接するように配置された端子抑えとを含む、半導体装置。

[請求項11] 前記基板アッセンブリを包囲するケースをさらに含み、
前記ケースは、前記第 2 立上部を挿通させる挿通孔が形成されたケース板を含み、このケース板に前記端子抑えが備えられている、請求項 10 記載の半導体装置。

[請求項12] 前記端子抑えは、前記ケース板の前記横行部に対向する内表面であ

り、前記内表面が前記横行部と略面一に配置されるように前記ケース板が前記ケースに組み付けられるようになっている、請求項 10 記載の半導体装置。

[請求項13] 前記スイッチング素子接続部材は、板状体からなるスイッチング素子接続用フレームである、請求項 1 に記載の半導体装置。

[請求項14] 前記スイッチング素子と前記スイッチング素子接続用フレームとの間に介在される導電性を有するスイッチング素子接続用弾性部材と、
前記スイッチング素子接続用フレームによって前記スイッチング素子接続用弾性部材が前記スイッチング素子側に押圧された状態となるように、前記スイッチング素子接続用フレームを前記スイッチング素子側に押圧する押圧部材と、をさらに含む請求項 13 に記載に半導体装置。

[請求項15] 前記ダイオード素子接続部材は、板状体からなるダイオード素子接続用フレームである、請求項 3 に記載の半導体装置。

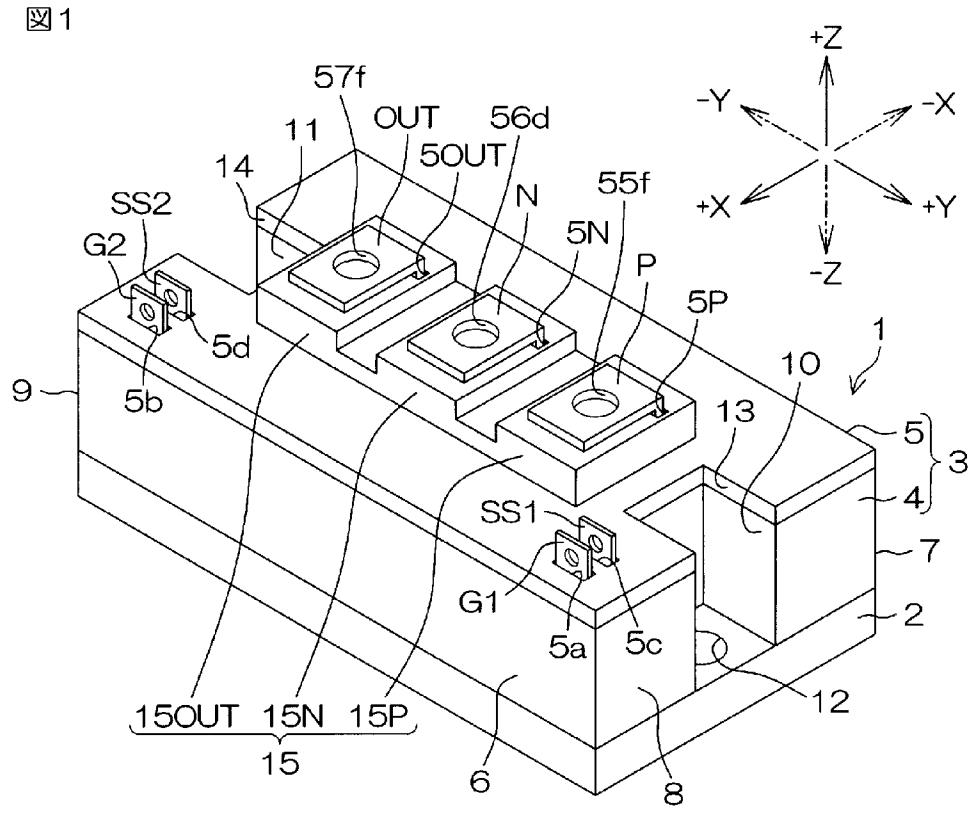
[請求項16] 前記ダイオード素子と前記ダイオード素子接続用フレームとの間に介在される導電性を有するダイオード素子接続用弾性部材と、
前記ダイオード素子接続用フレームによって前記ダイオード素子接続用弾性部材が前記ダイオード素子側に押圧された状態となるように、前記ダイオード素子接続用フレームを前記ダイオード素子側に押圧する押圧部材と、をさらに含む請求項 15 に記載に半導体装置。

[請求項17] 前記スイッチング素子接続部材および前記ダイオード素子接続部材は、板状体からなる単一の素子接続用フレームである、請求項 3 に記載の半導体装置。

[請求項18] 前記スイッチング素子と前記素子接続用フレームとの間に介在される導電性を有するスイッチング素子接続用弾性部材と、
前記ダイオード素子と前記素子接続用フレームとの間に介在される導電性を有するダイオード素子接続用弾性部材と、
前記素子接続用フレームによって、前記スイッチング素子接続用弾

性部材が前記スイッチング素子側に押圧された状態となるとともに、前記ダイオード素子接続用弾性部材が前記ダイオード素子側に押圧された状態となるように、前記素子接続用フレームを前記スイッチング素子側および前記ダイオード素子側に押圧する押圧部材と、をさらに含む請求項 17 に記載に半導体装置。

[図1]



[圖2]

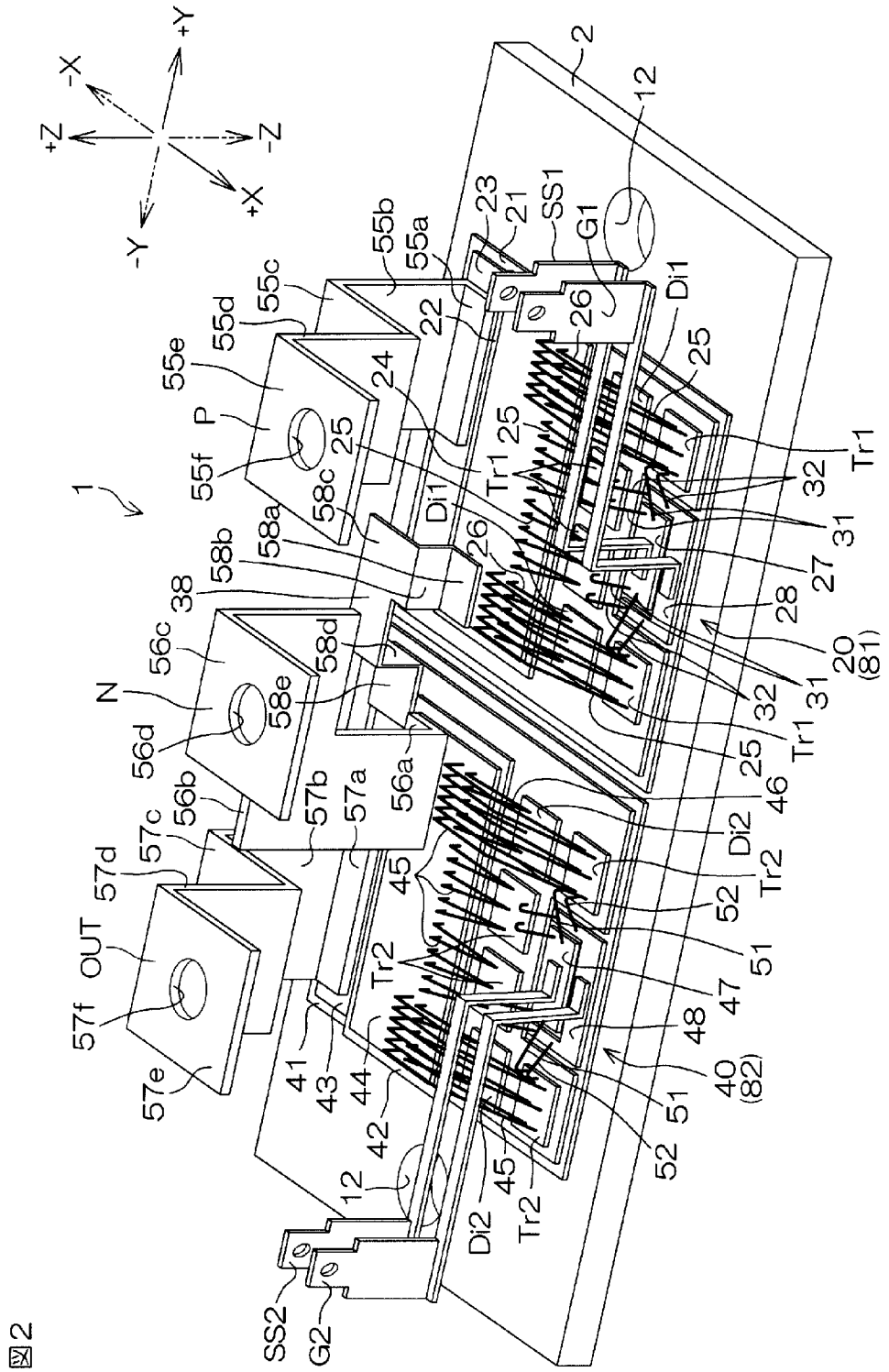


圖2

[図3]

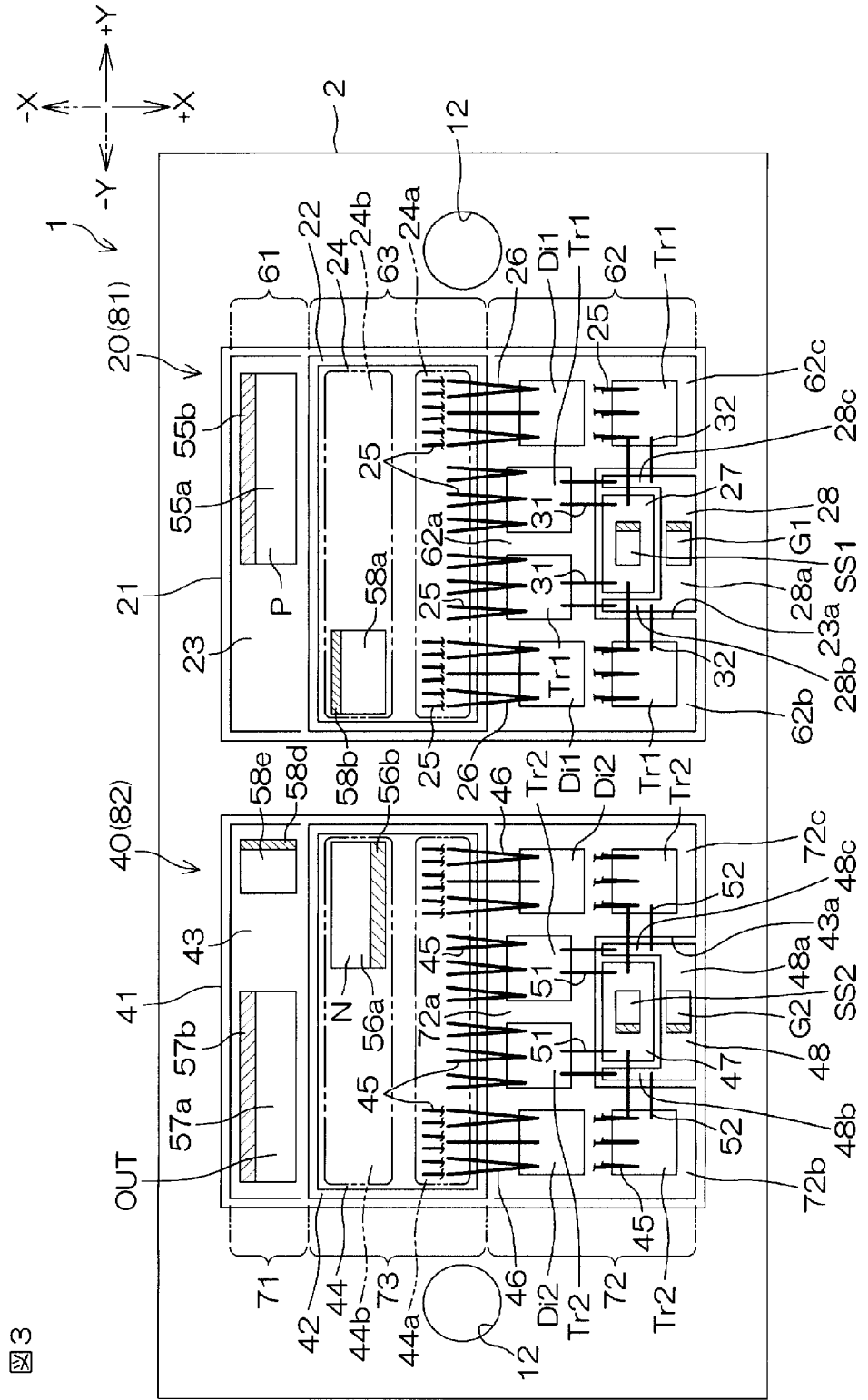
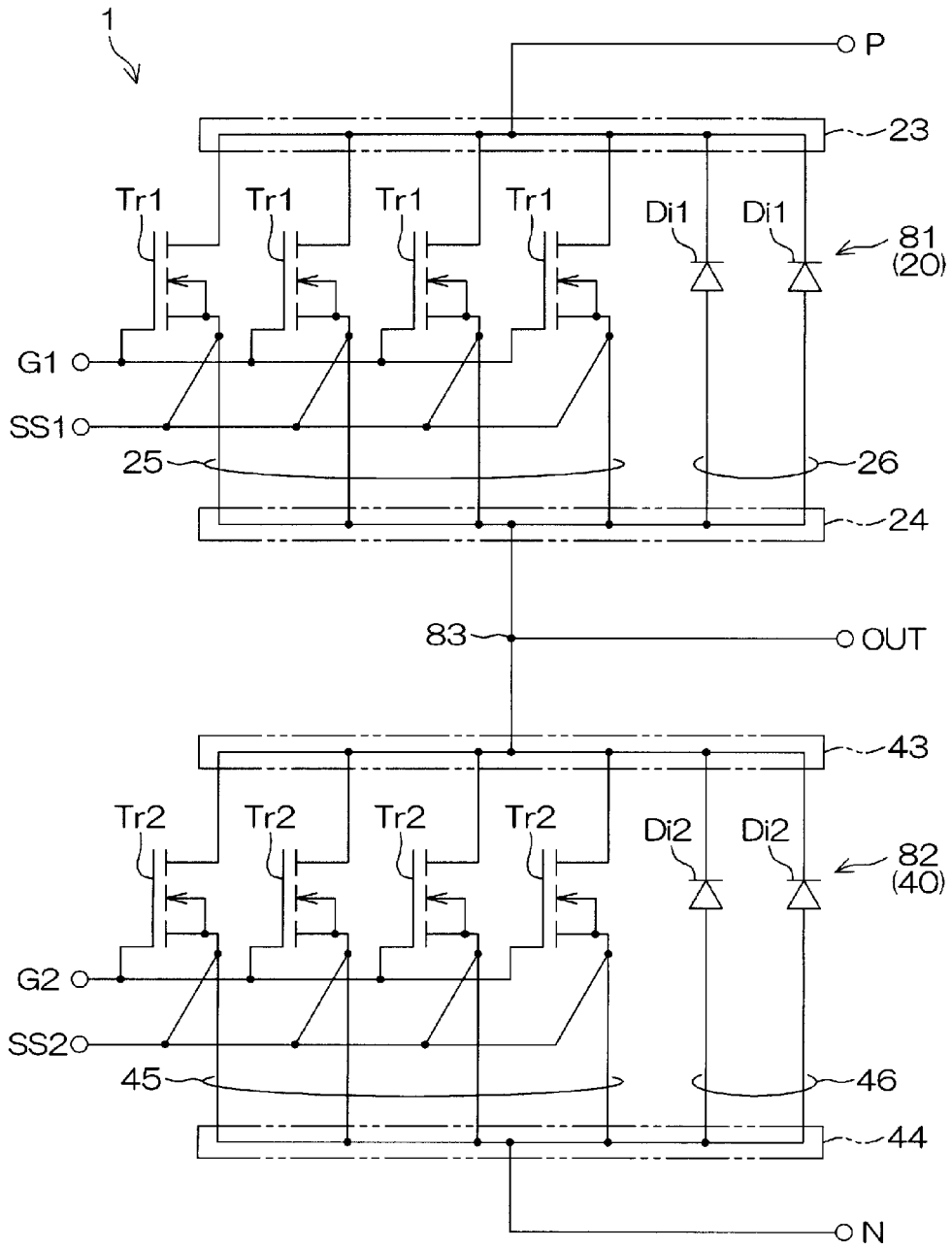


図3

[図4]

図4



[図5]

図5A

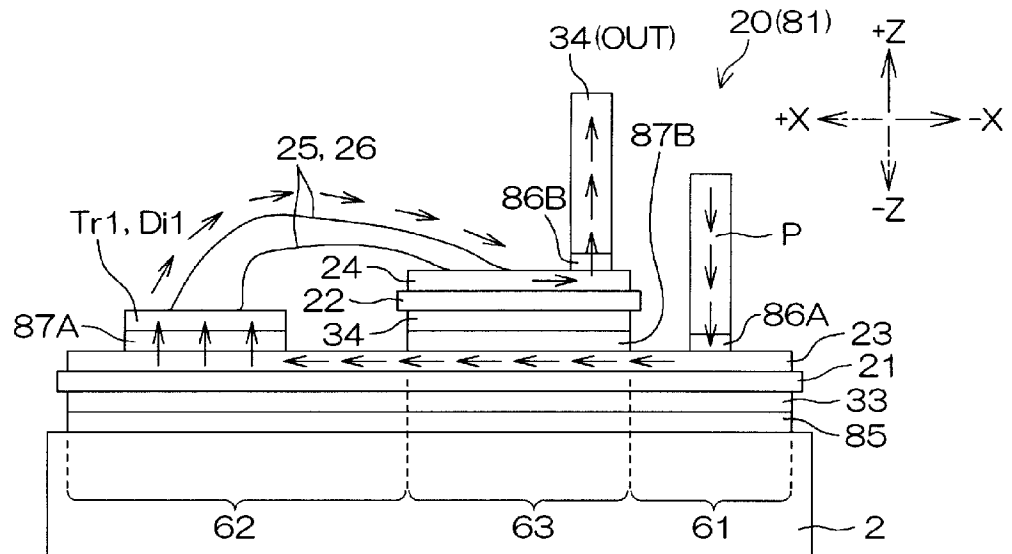
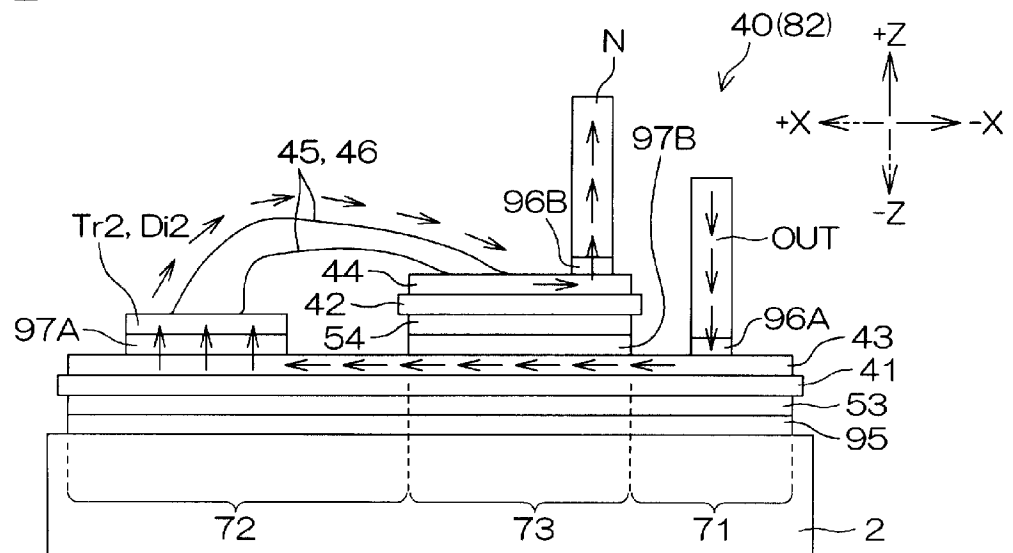


図5B



[圖6A]

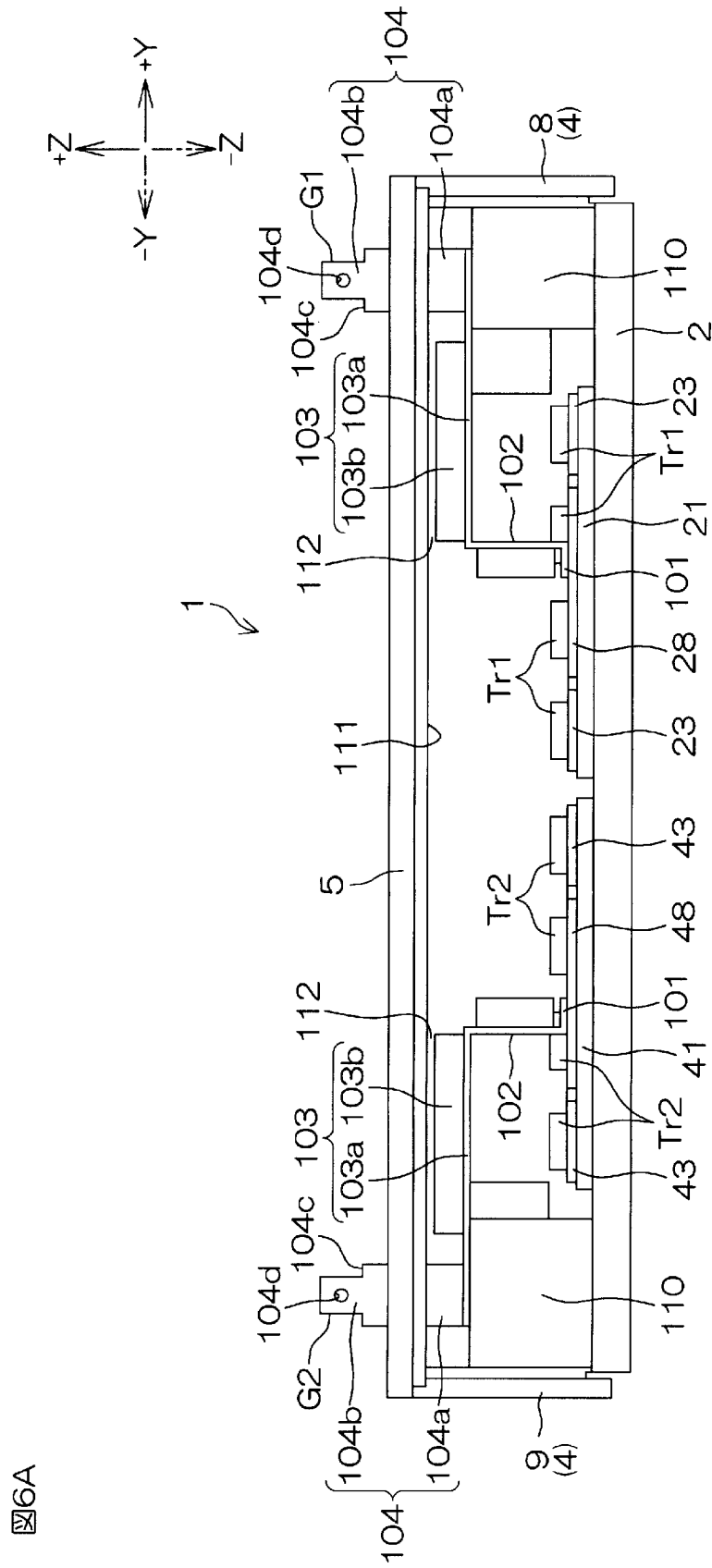


圖6A

[圖6B]

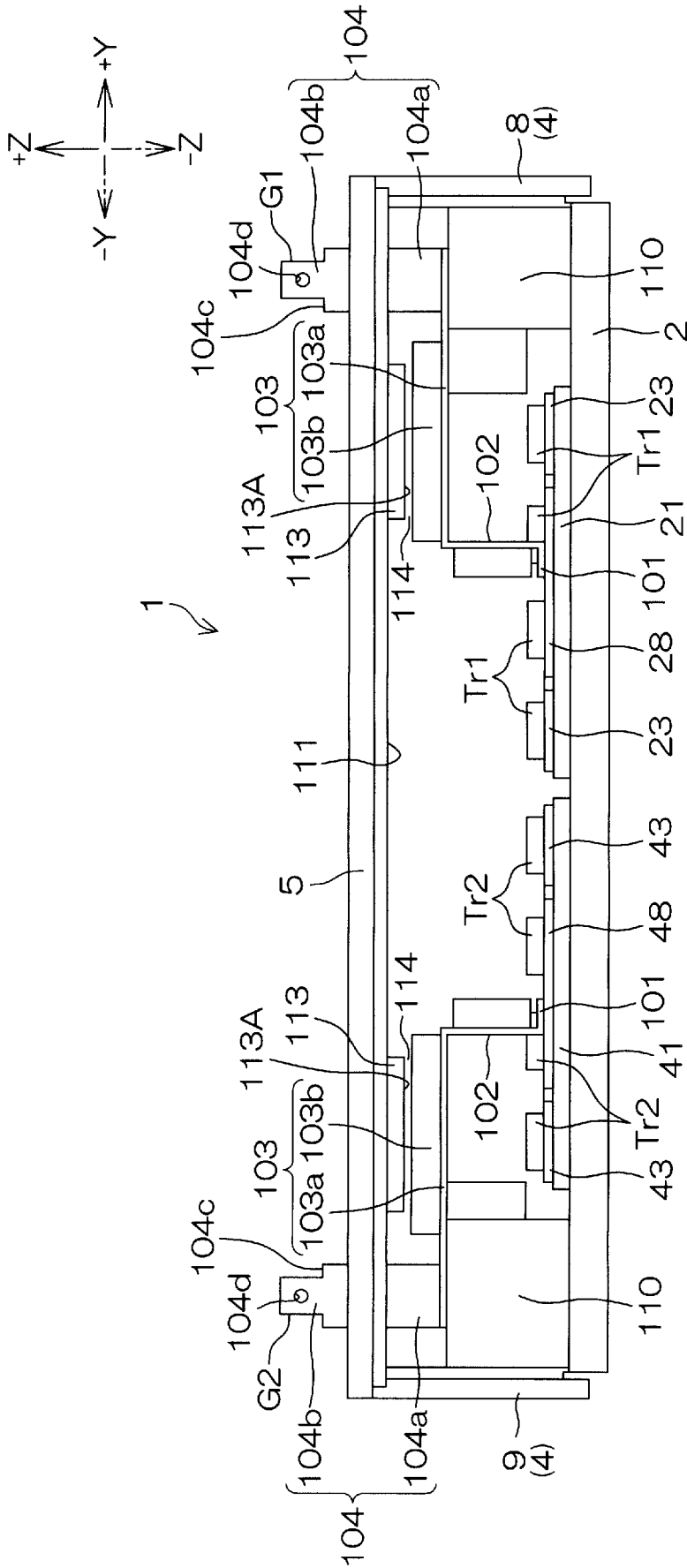
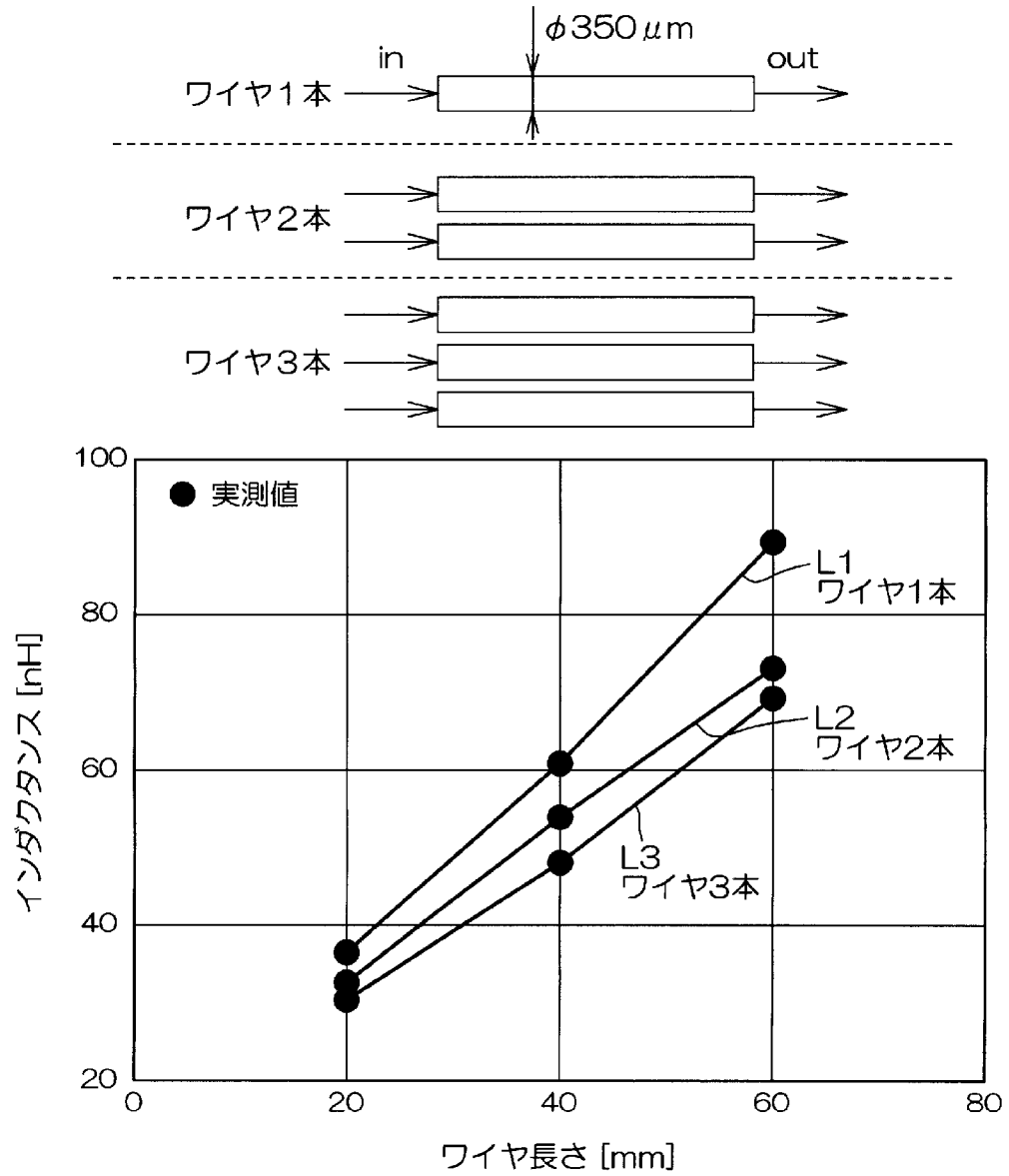


圖6B

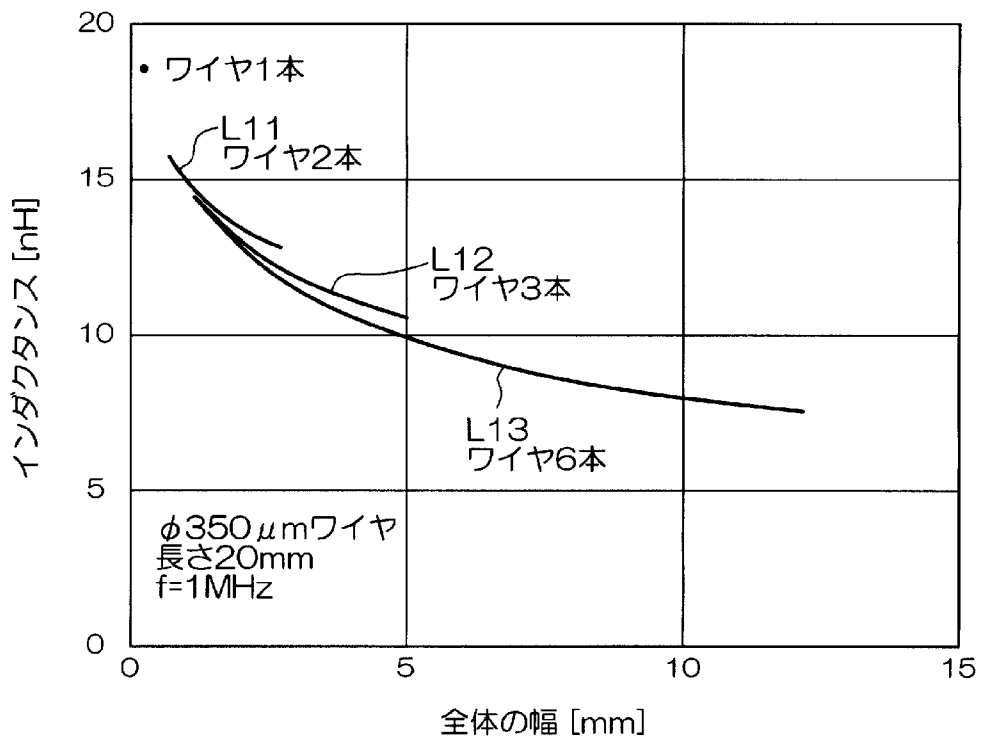
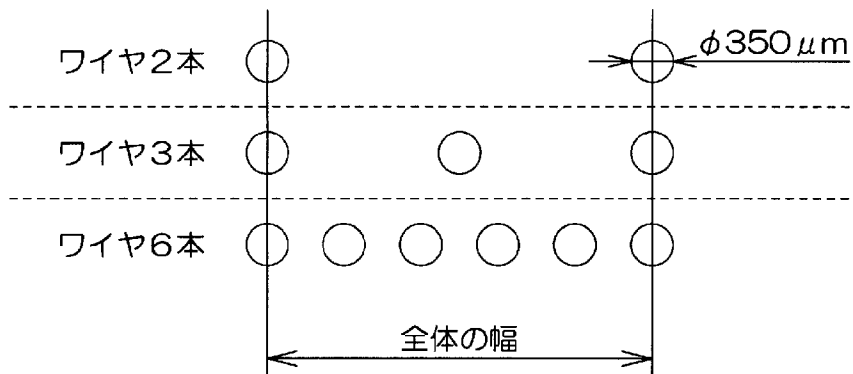
[図7A]

図7A

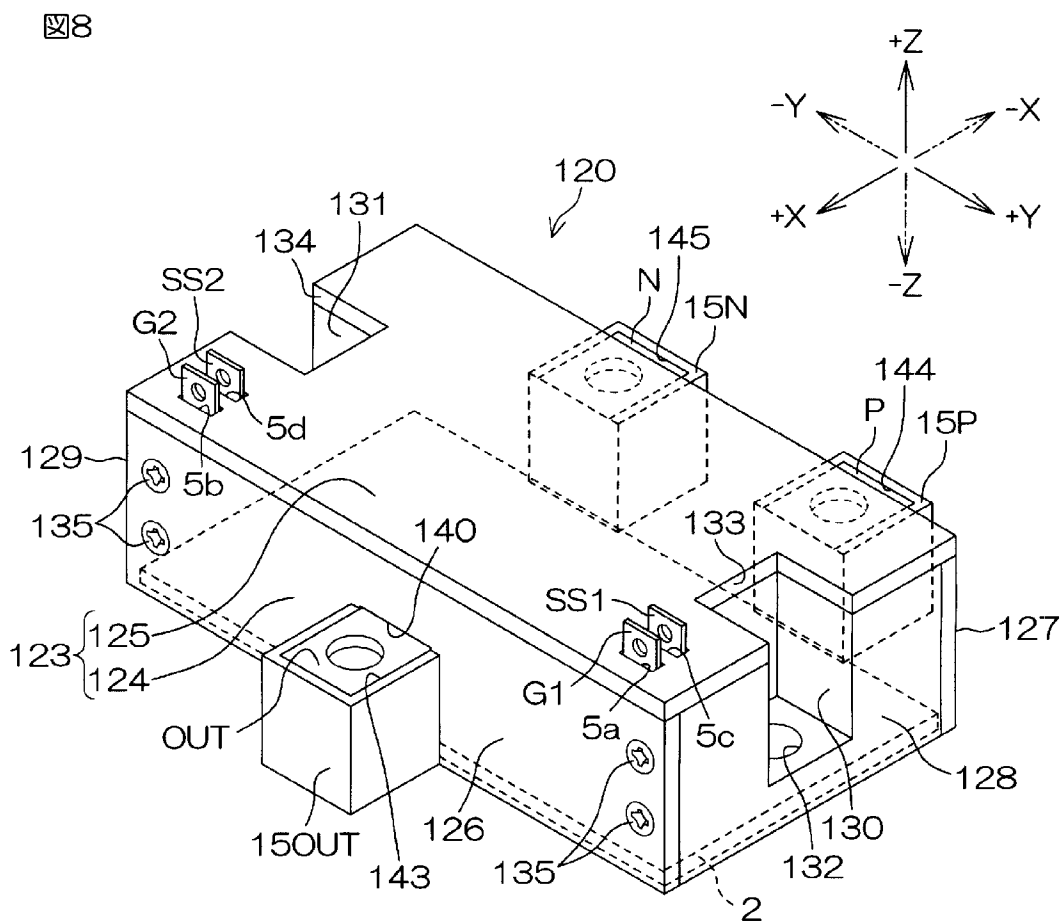


[図7B]

図7B



[図8]



[FIG. 10]

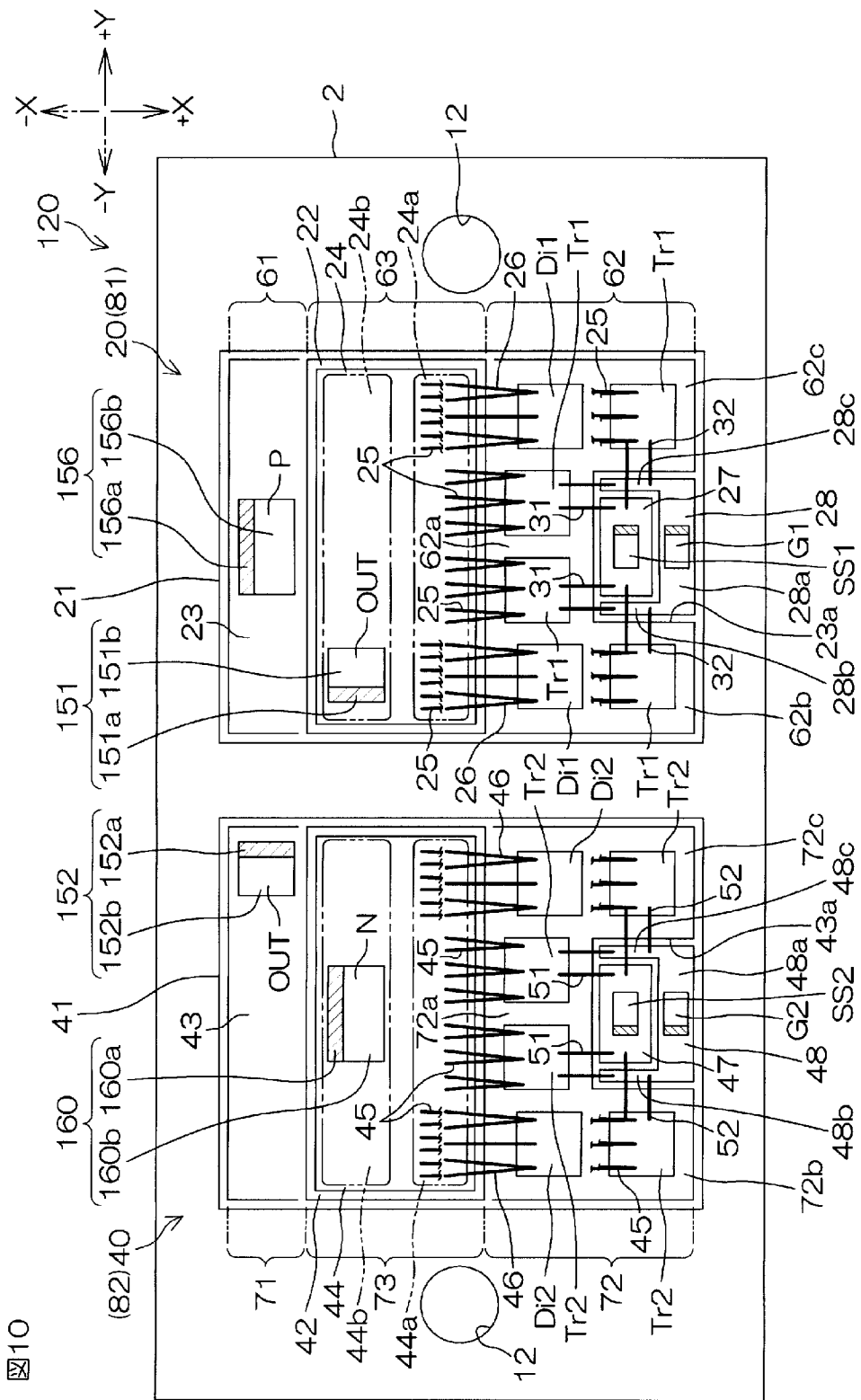
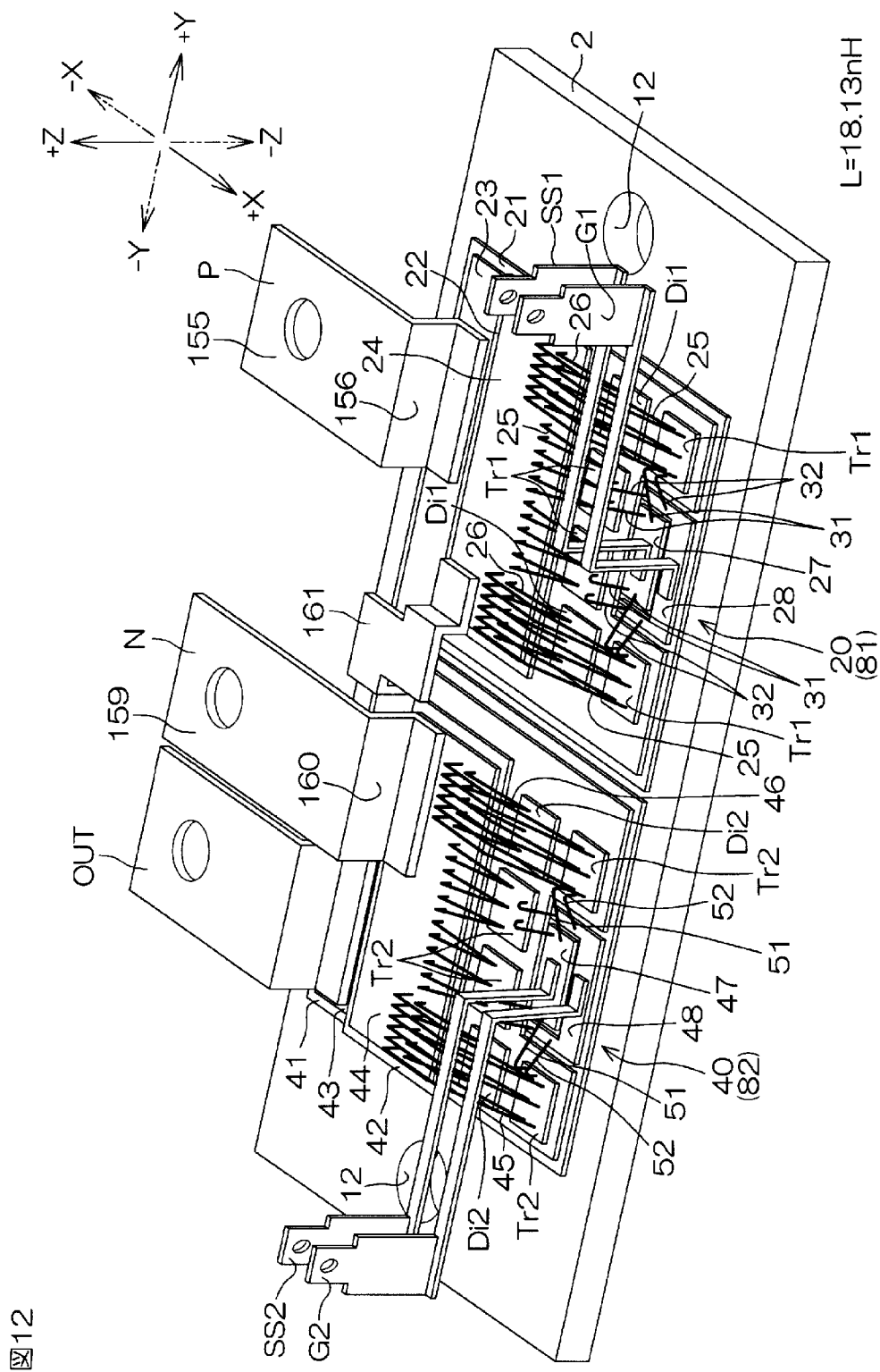
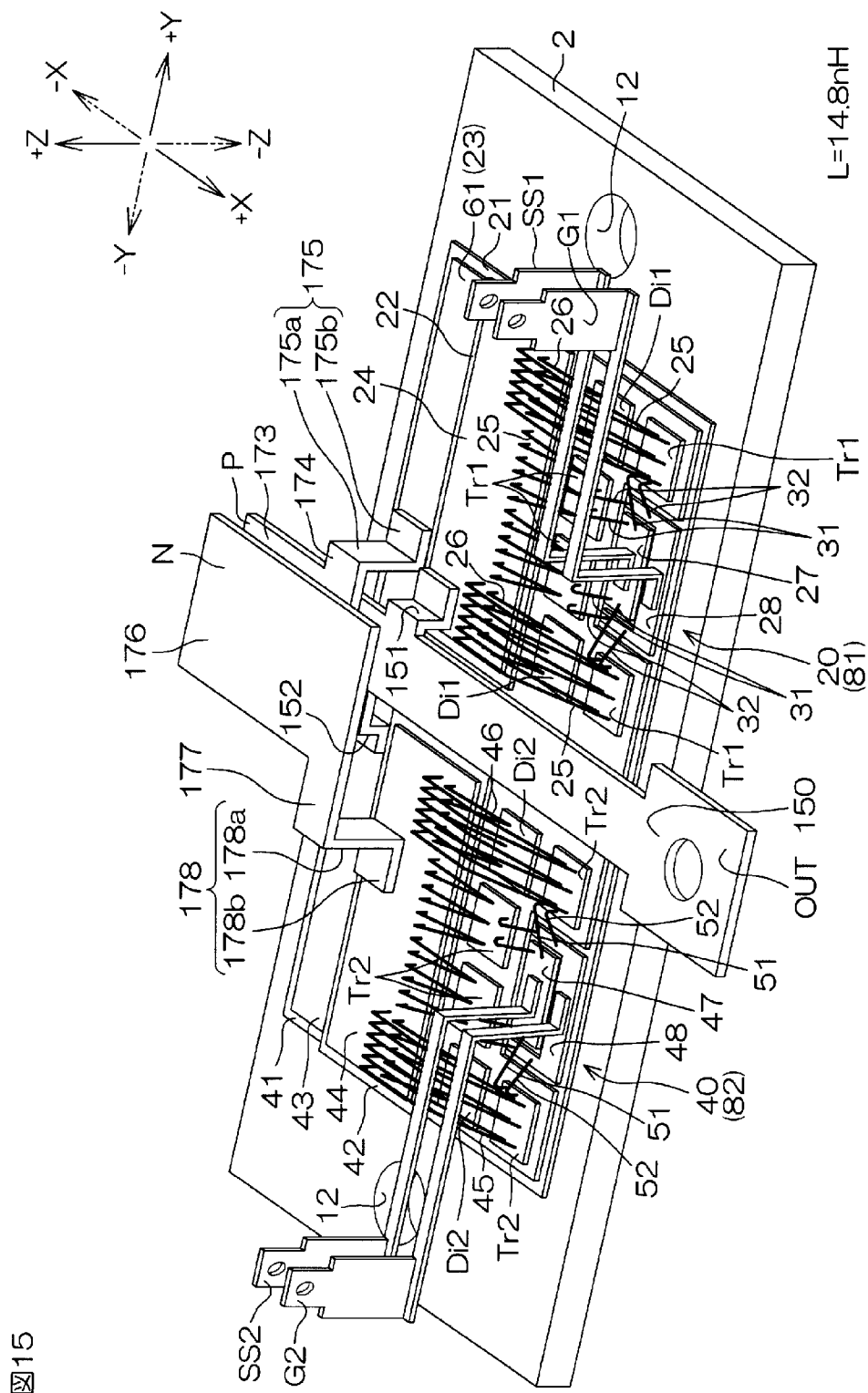


FIG. 10

[12]

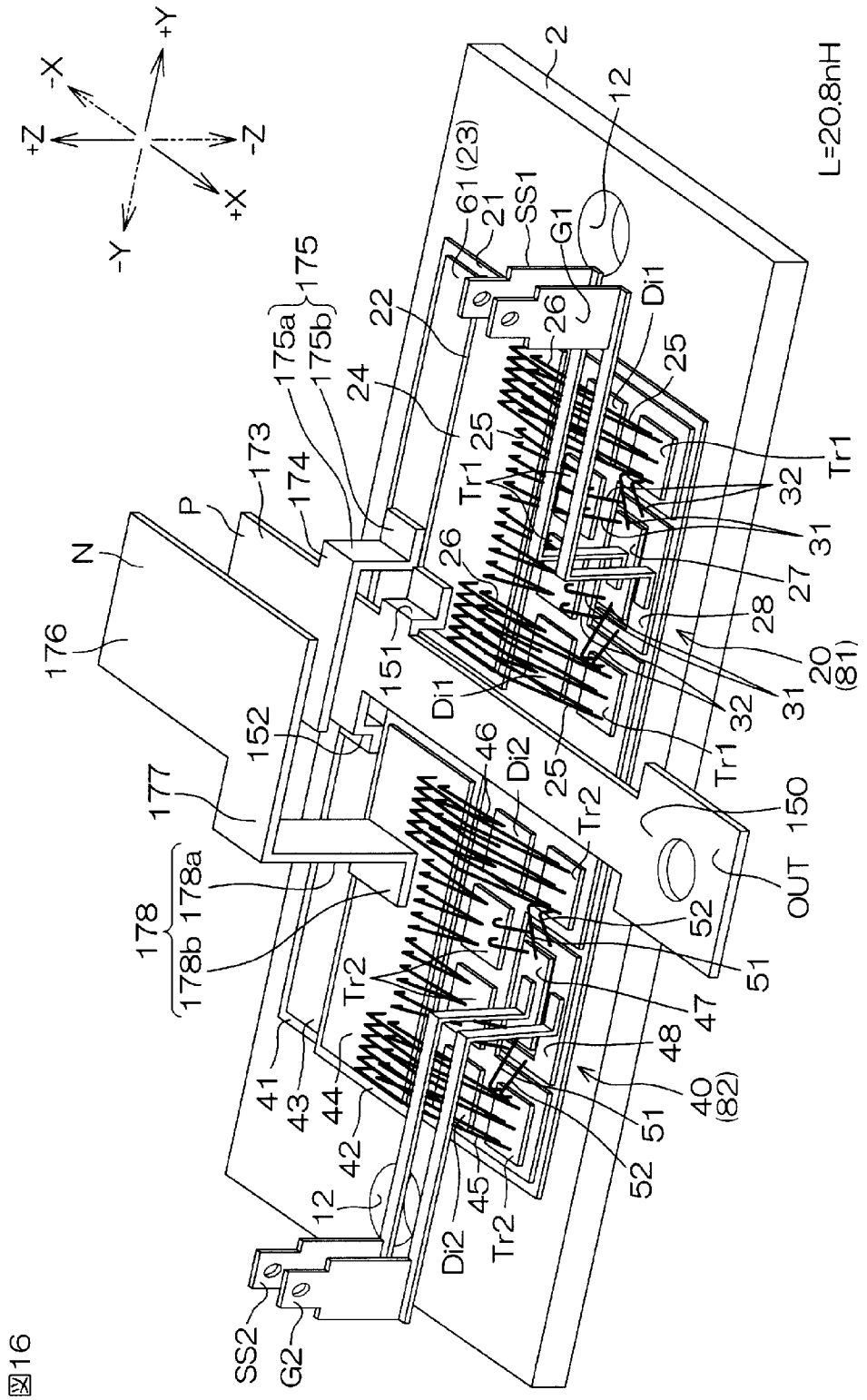


[15]



15

[16]



[圖18]

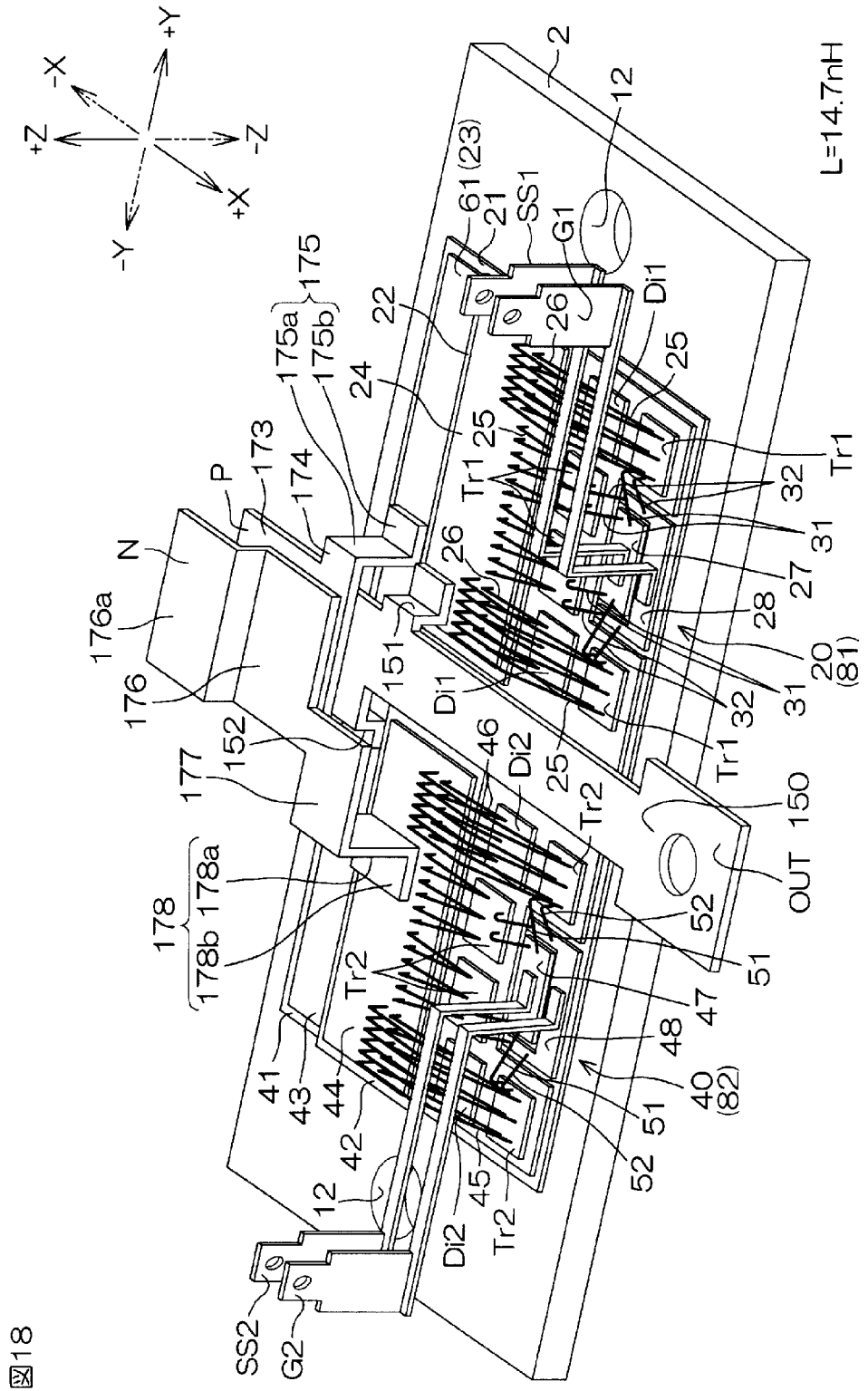
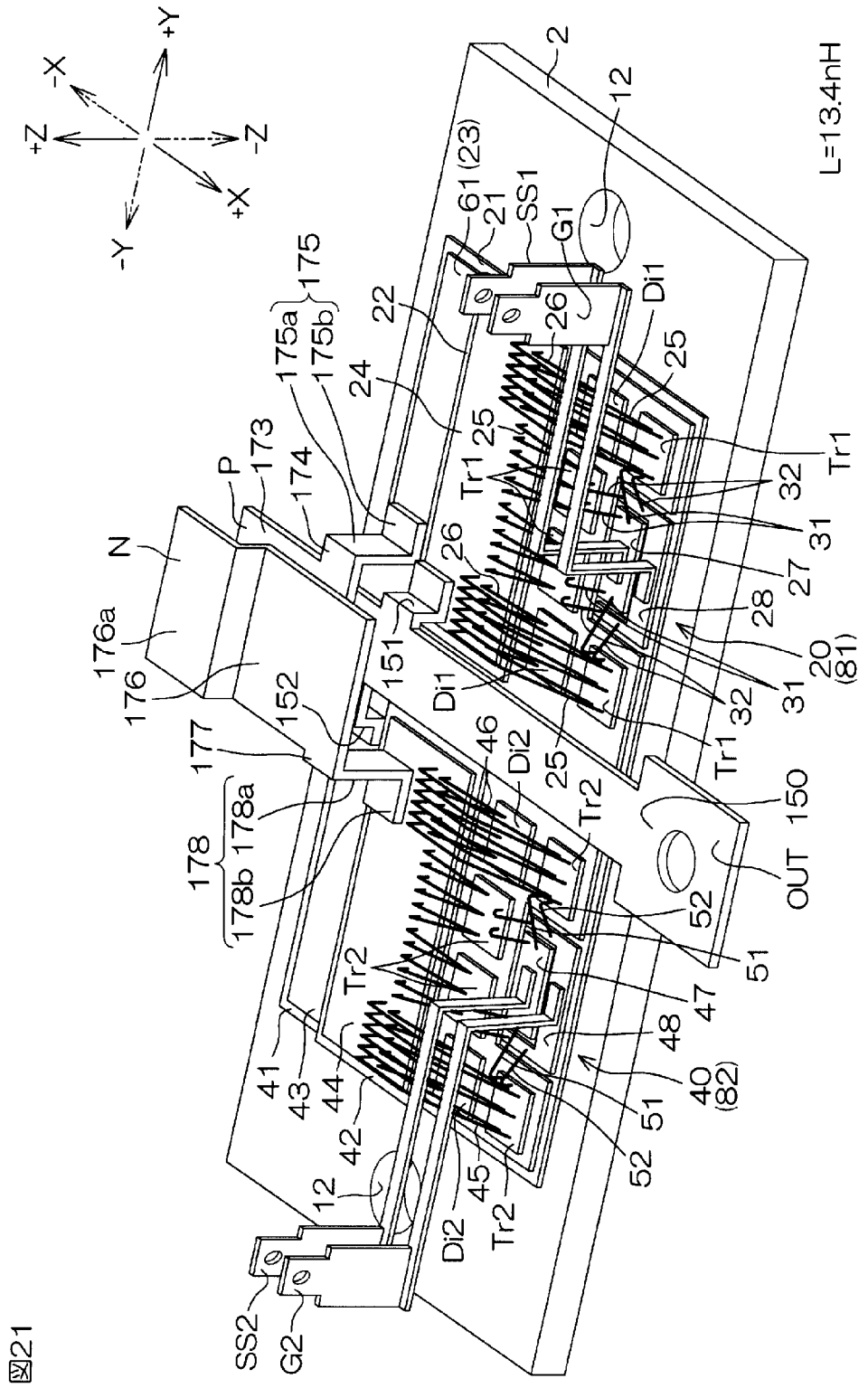
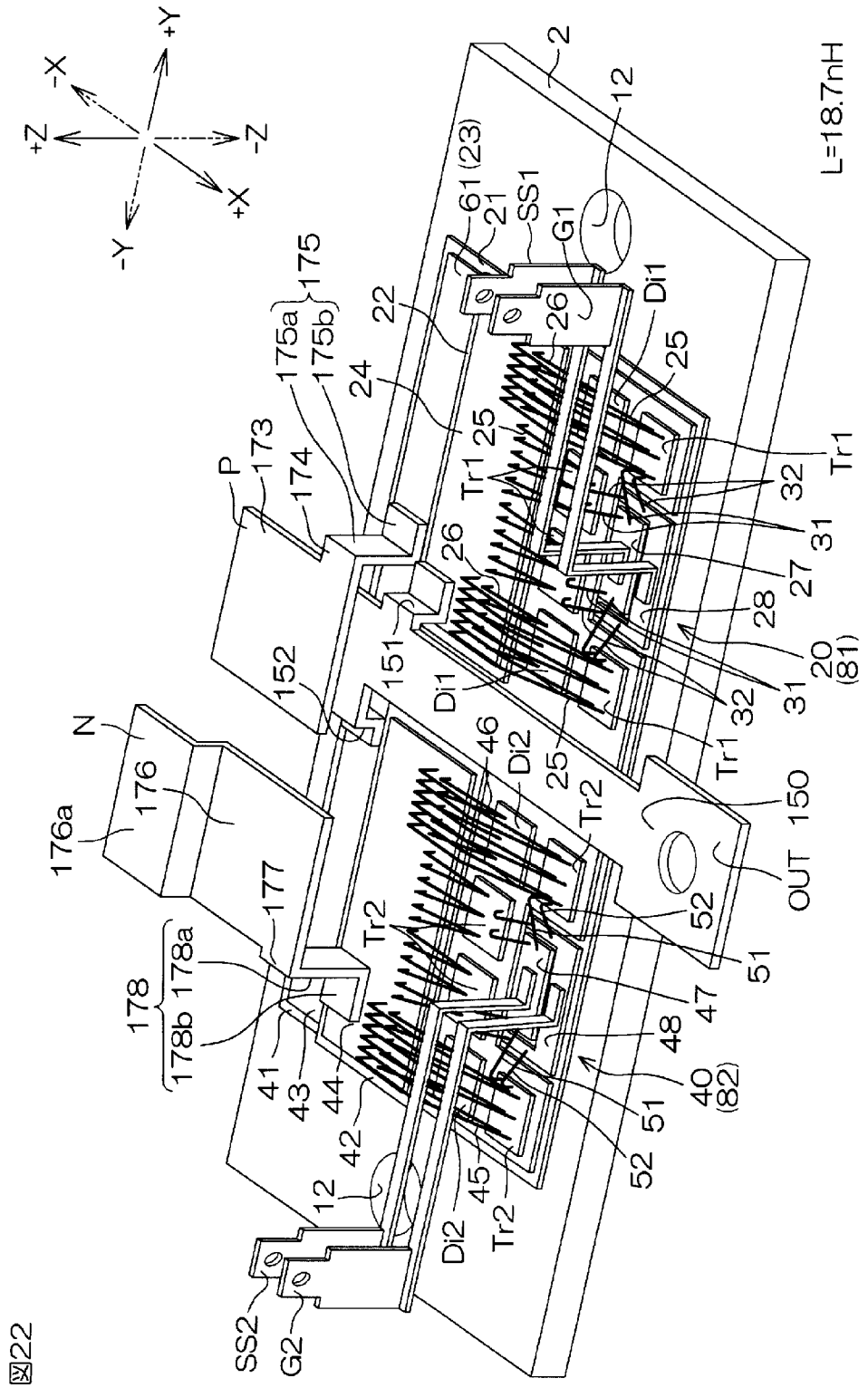


圖18

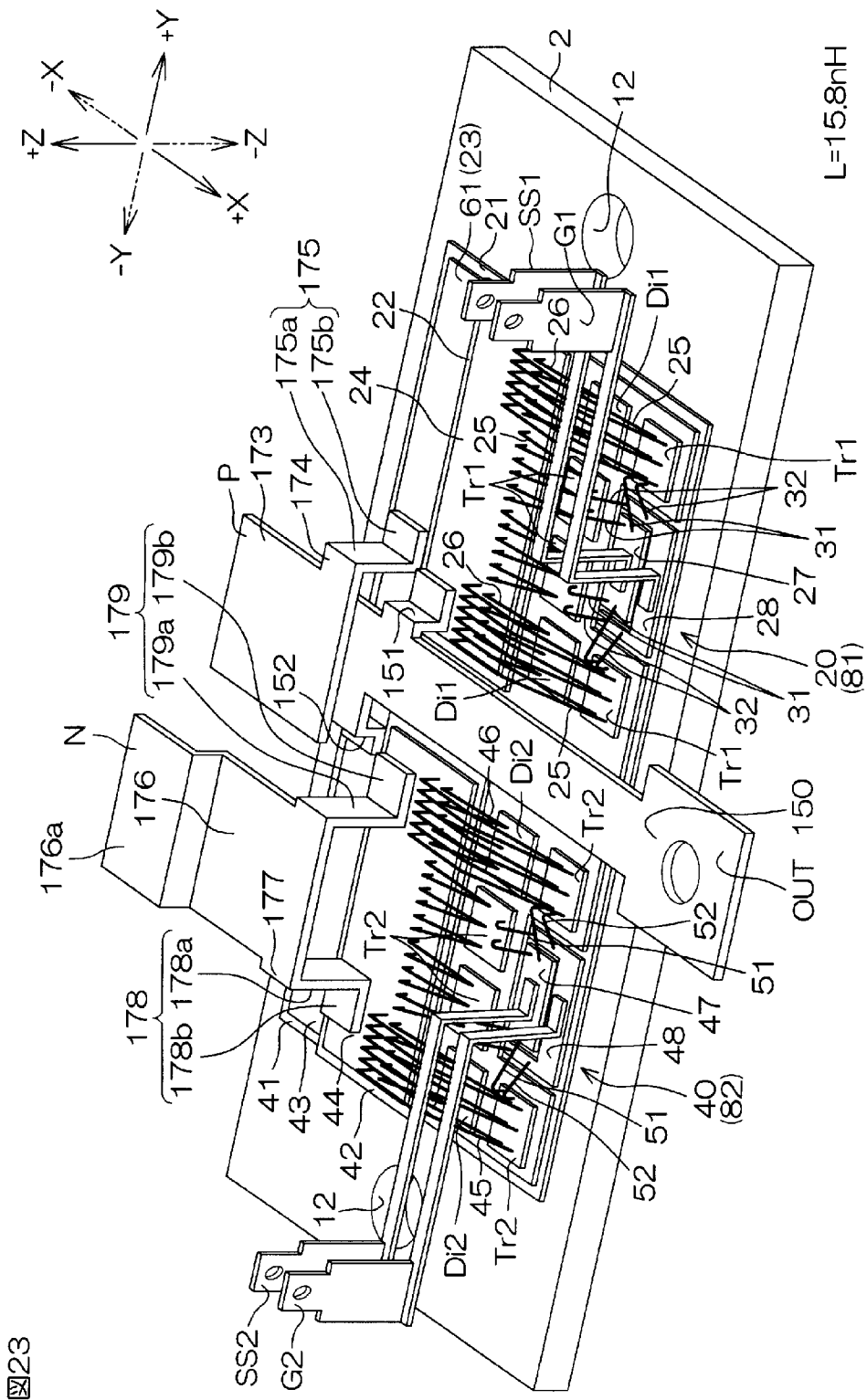
[21]



[22]



[23]



[圖24]

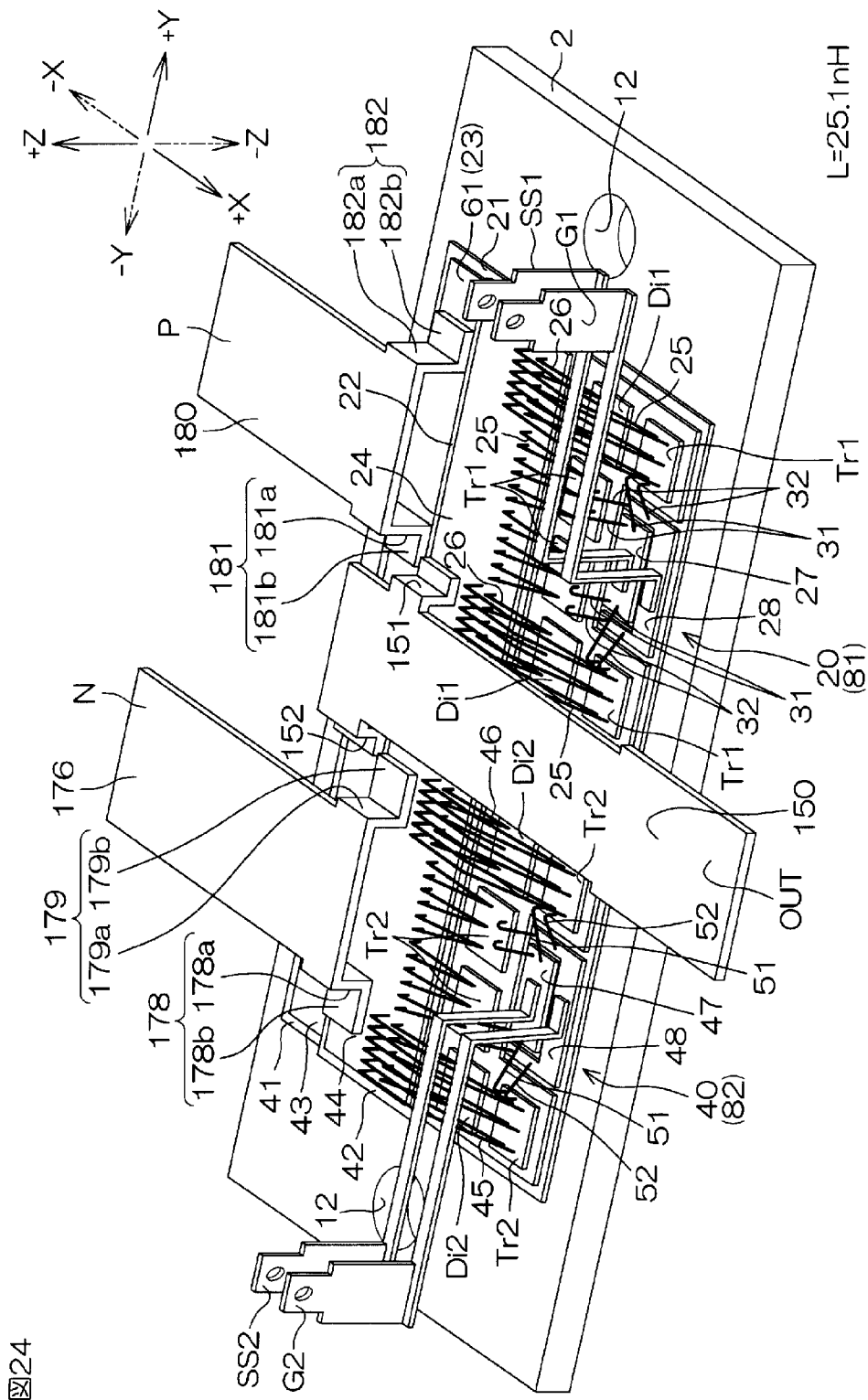
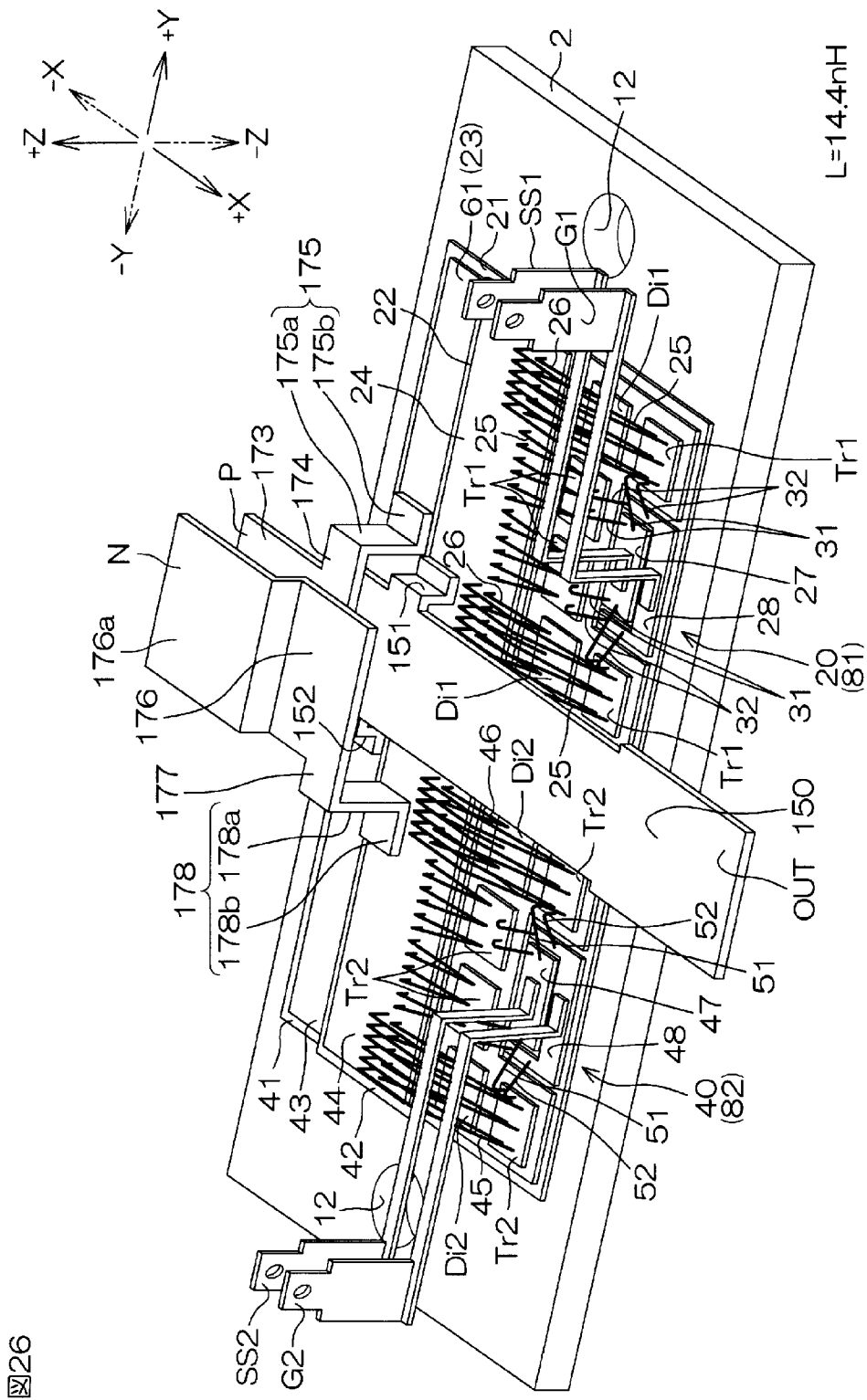
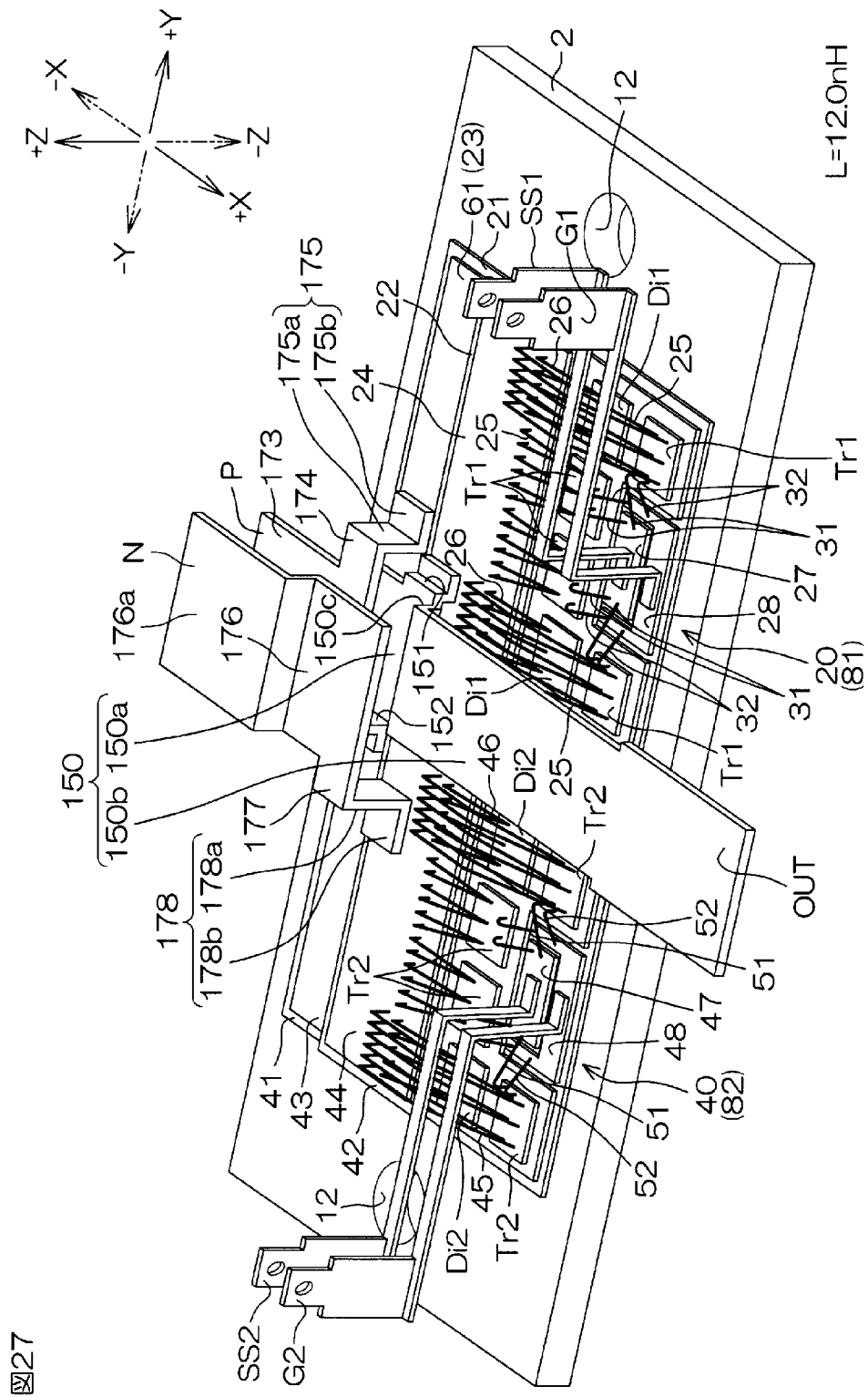


圖24

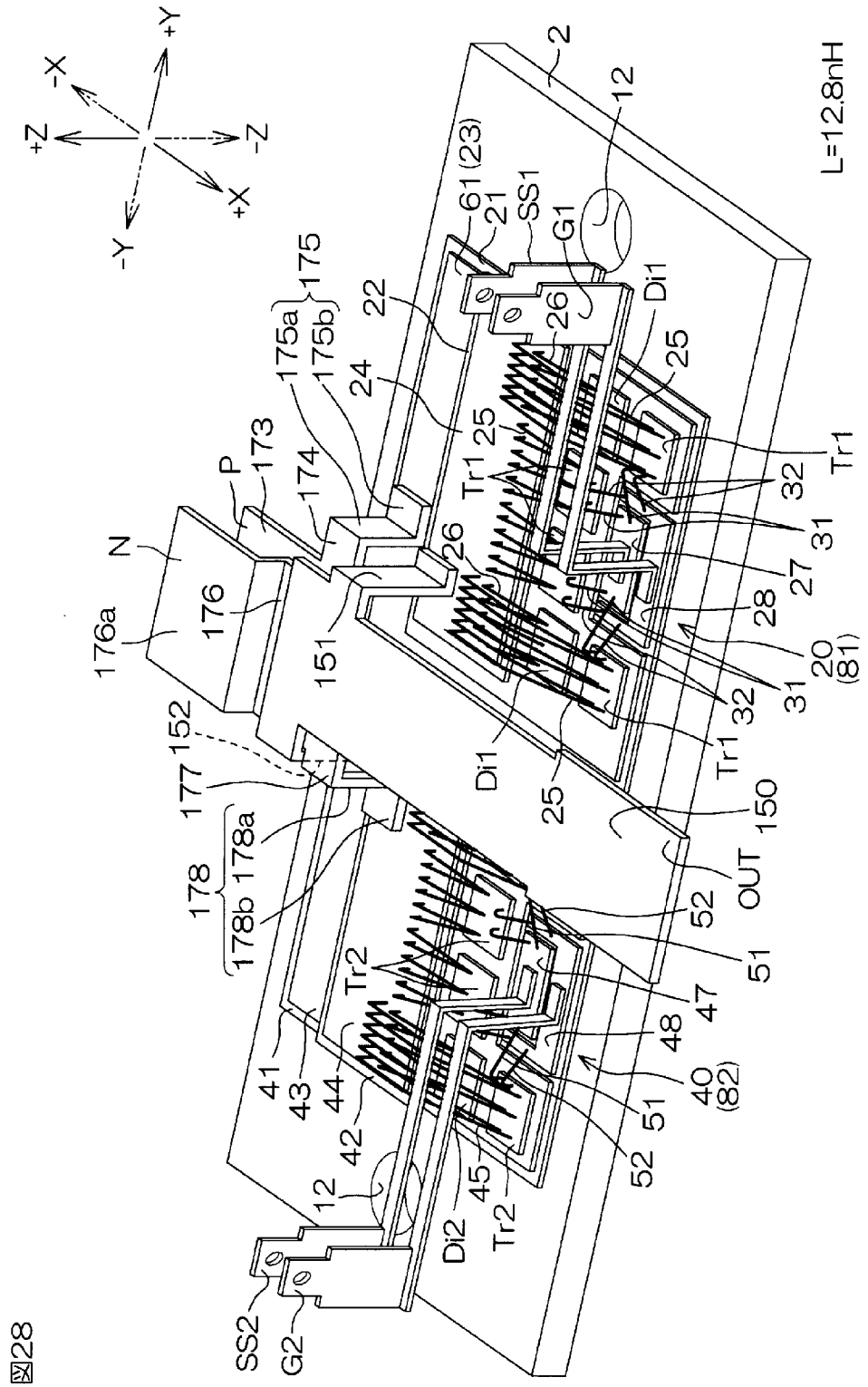
[26]



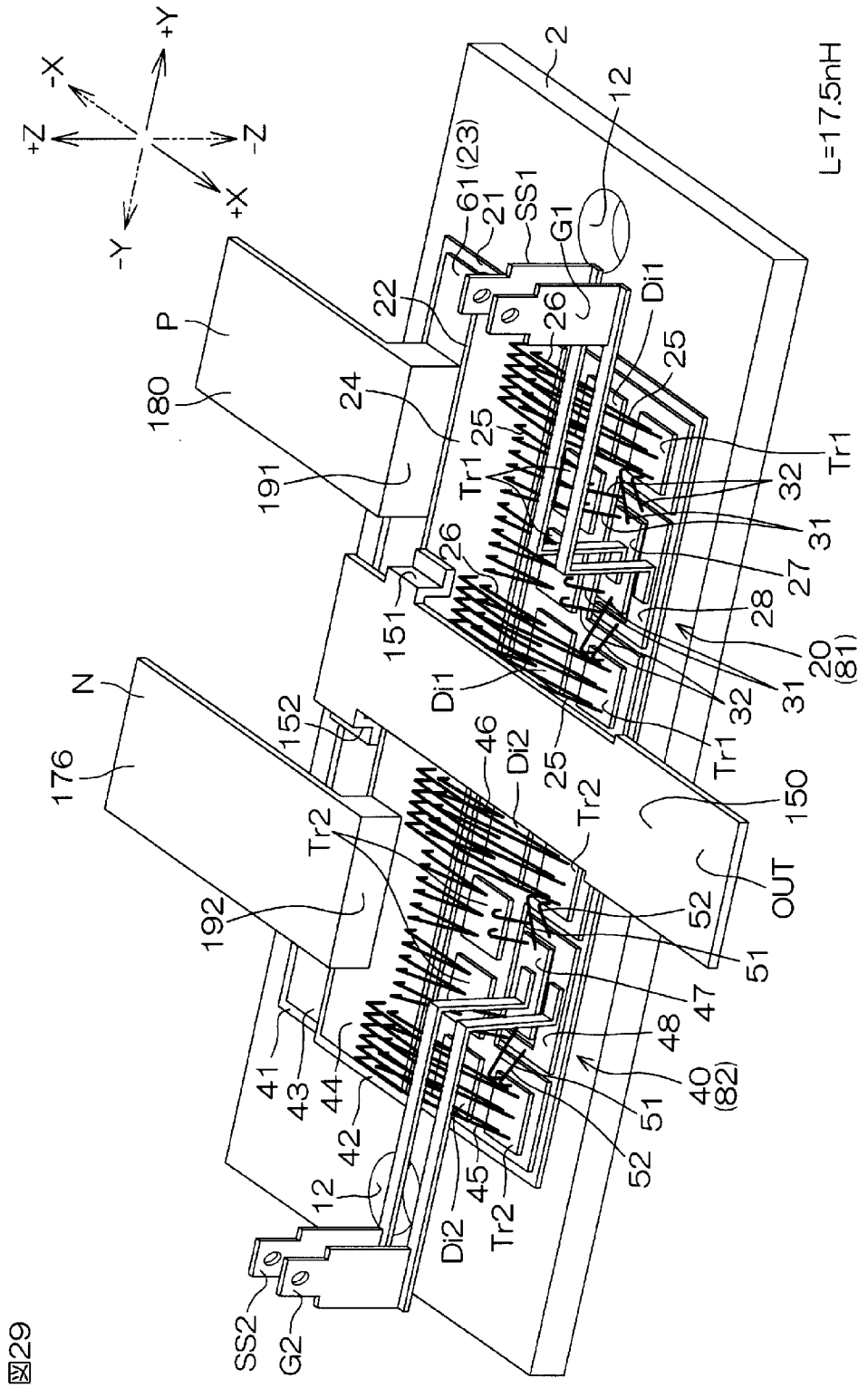
[27]



[28]



[ 29]



[Fig. 30]

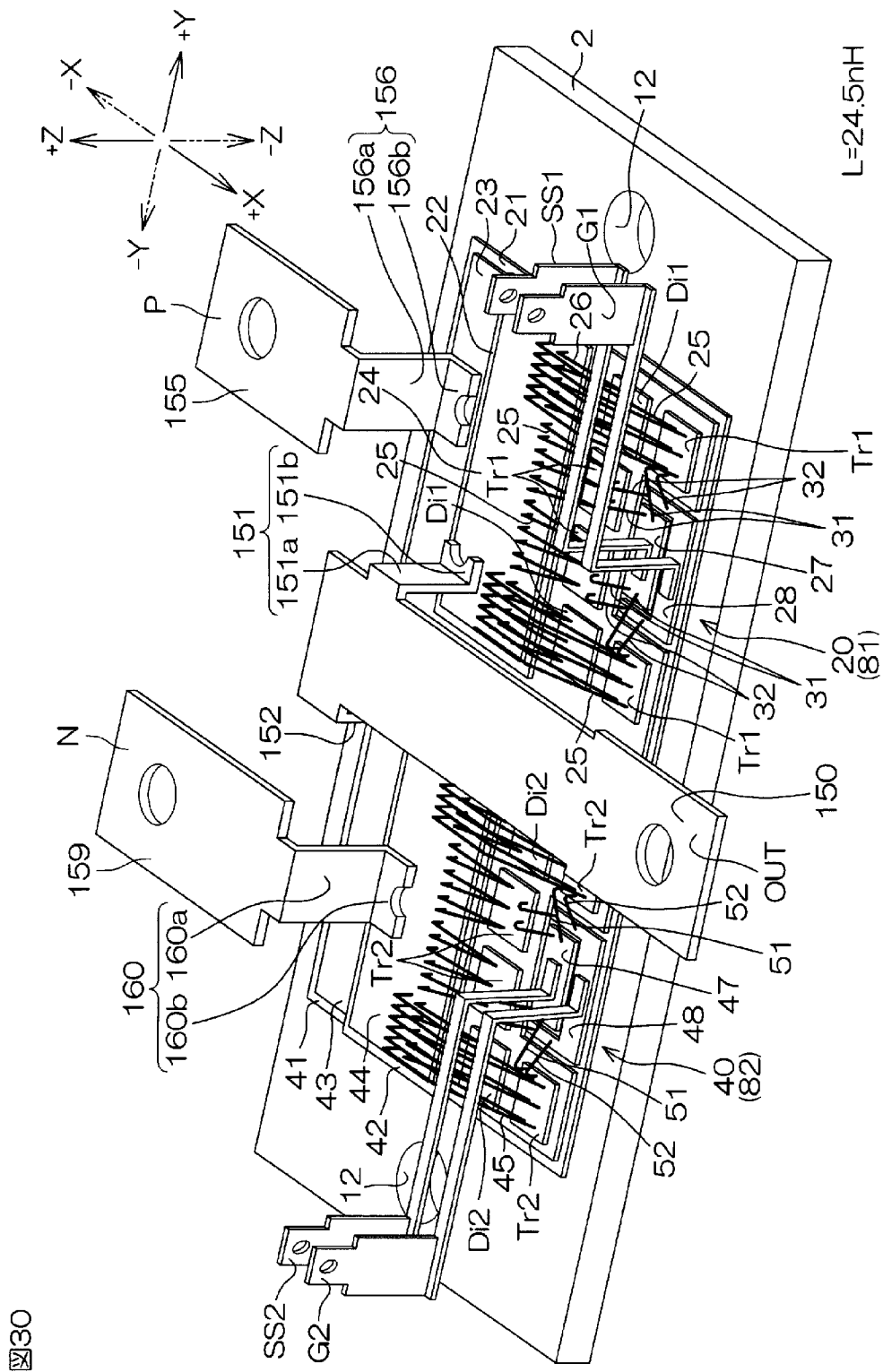


Fig. 30

[図31]

図31A

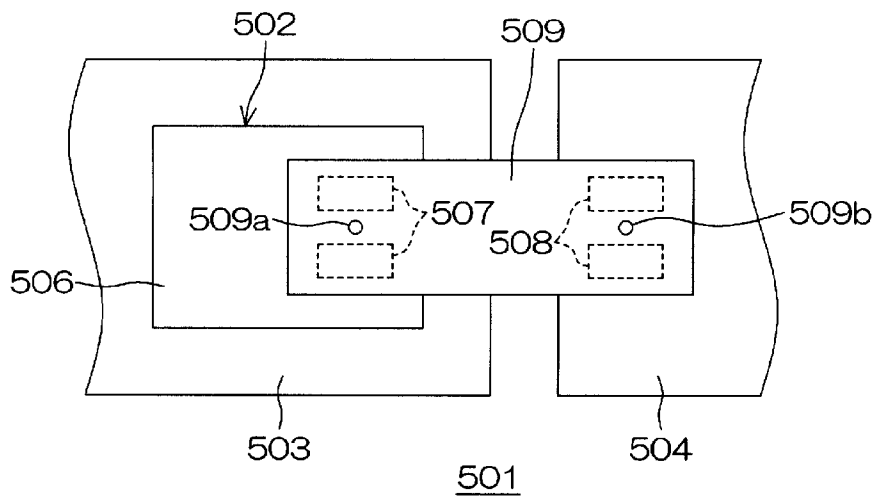
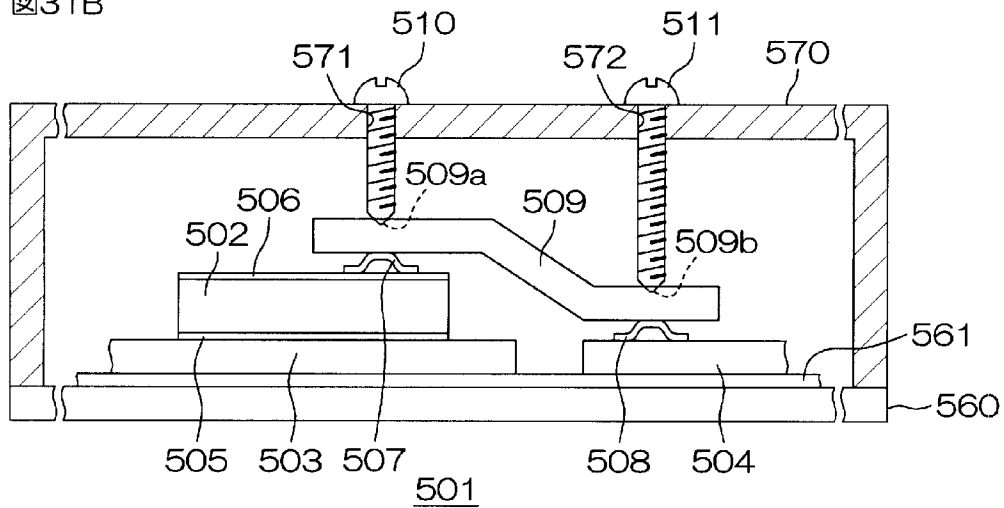


図31B



[図32]

図32A

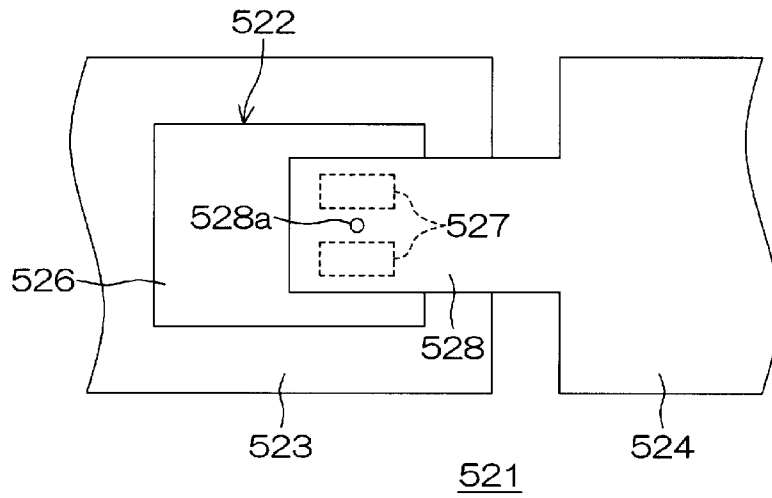
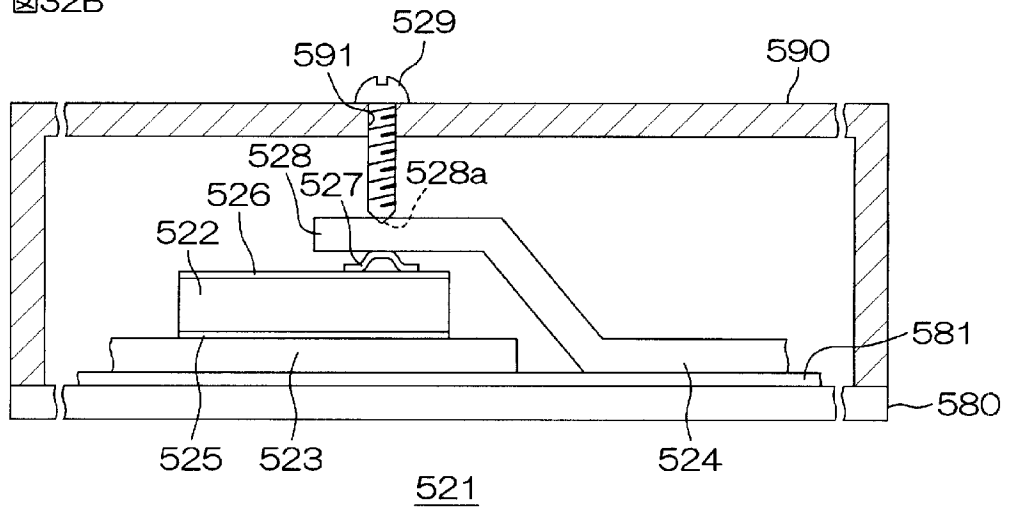
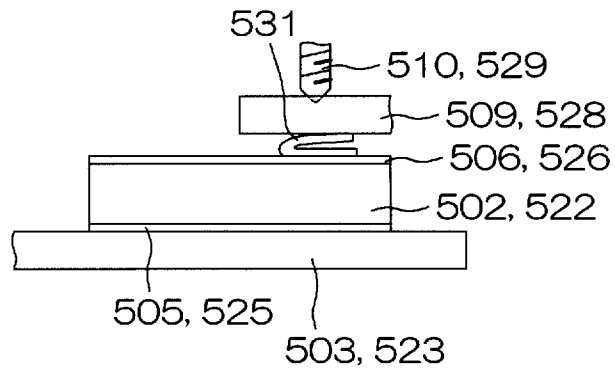


図32B



[33]

33



[Fig. 34]

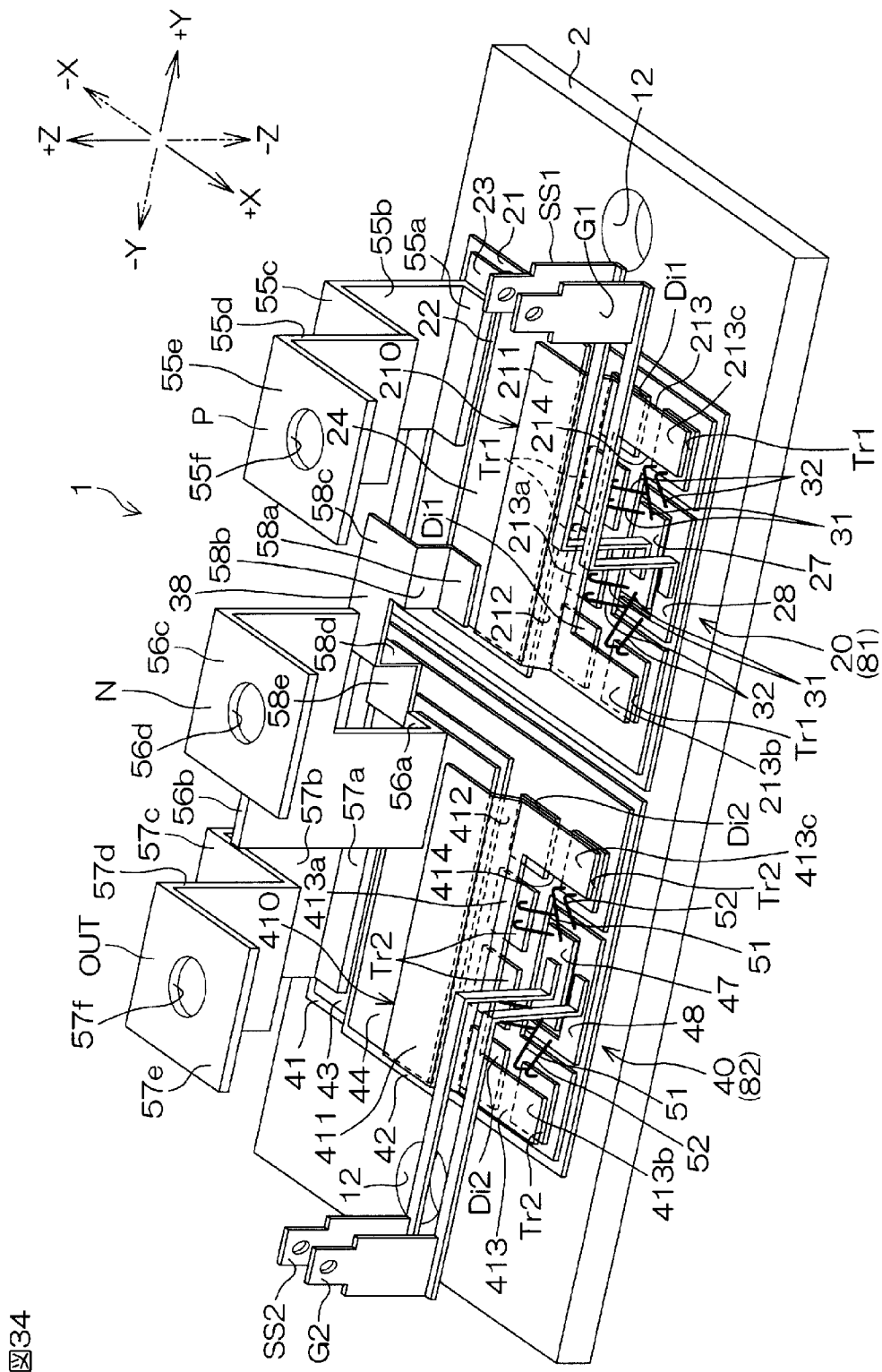
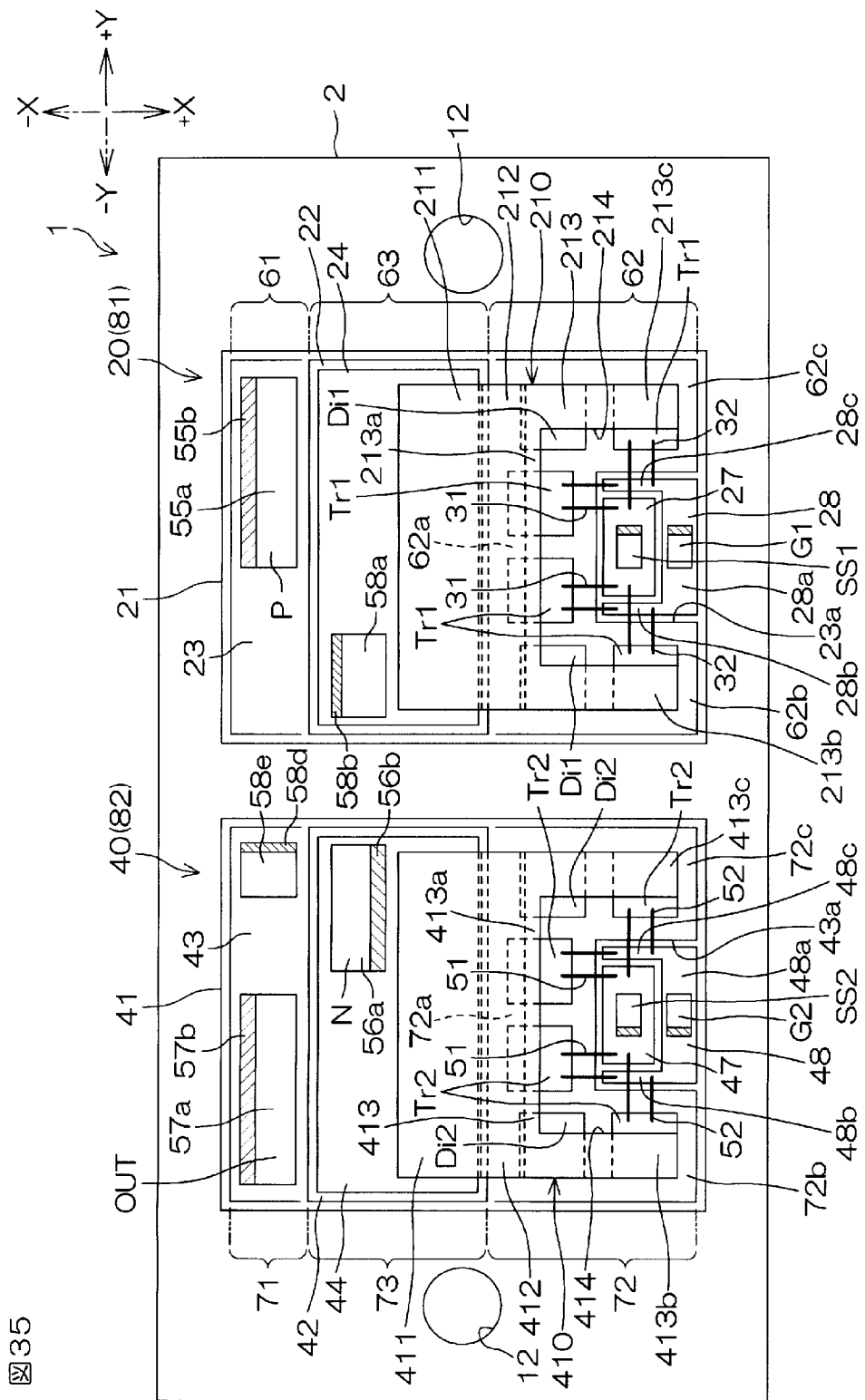


Fig. 34

[35]



35

[圖36]

圖36A

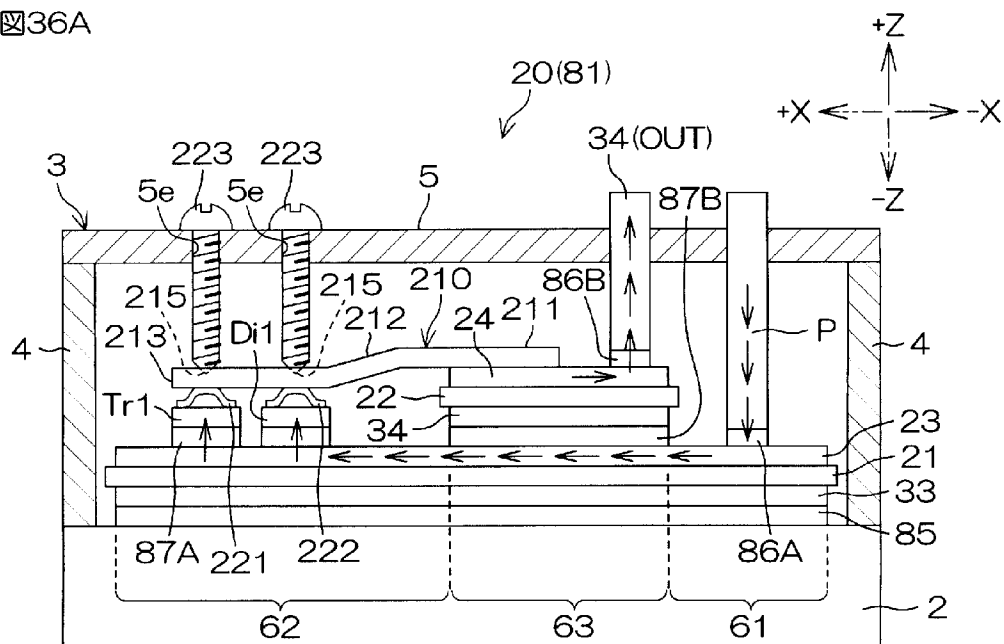
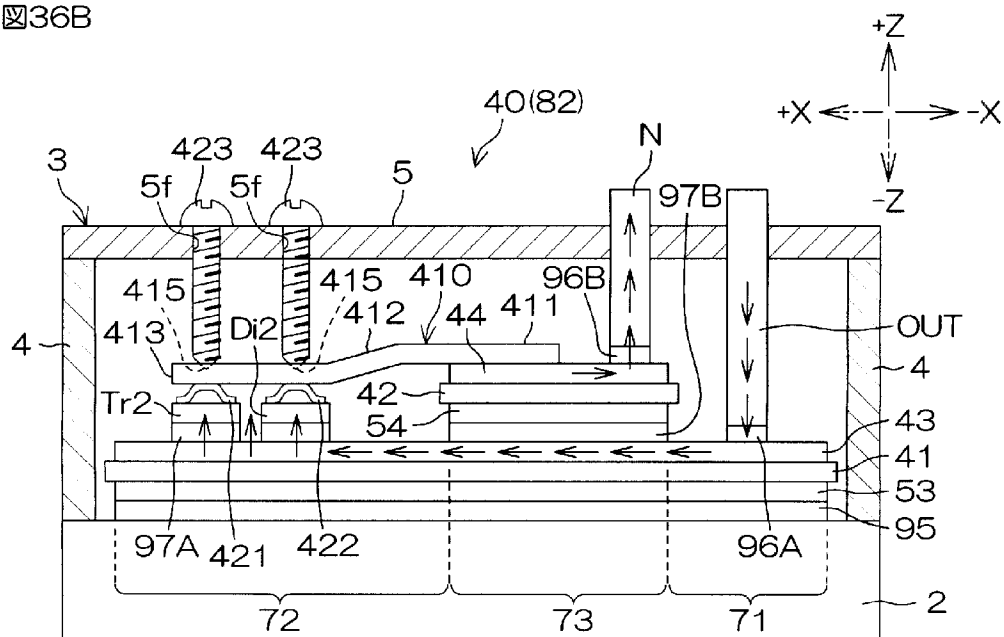


圖36B



[Fig. 37]

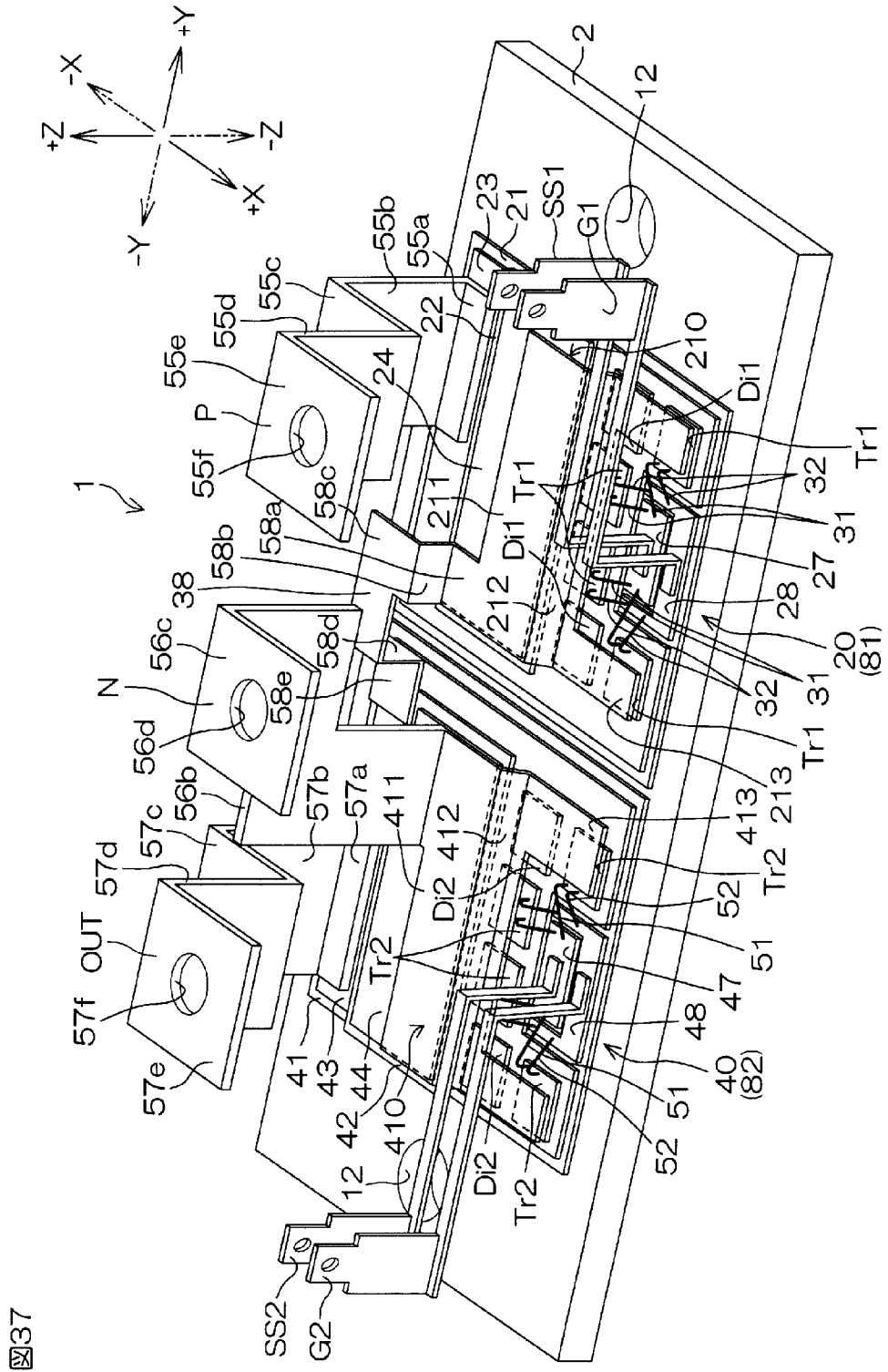
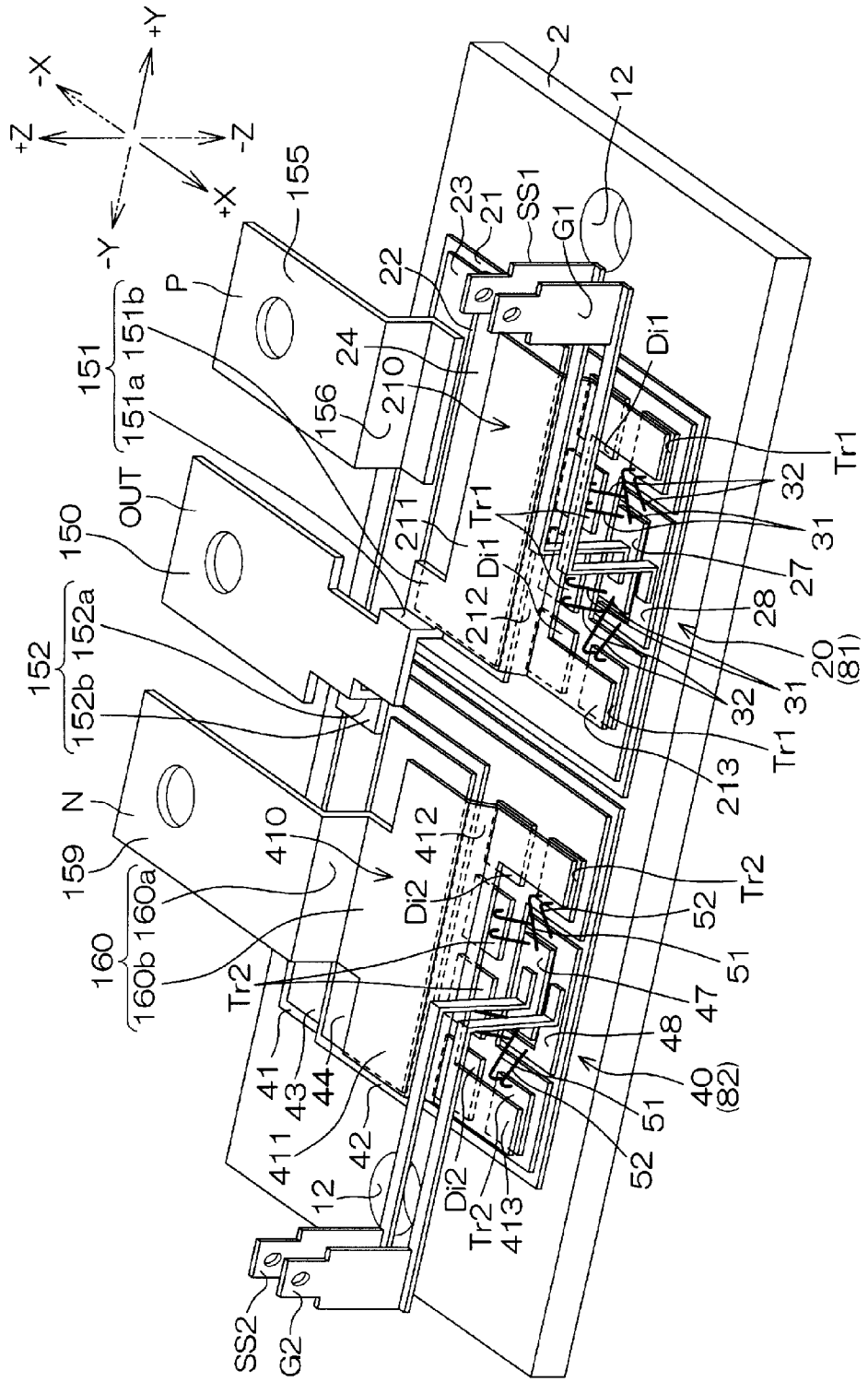


Fig. 37

[38]

38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/058049

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L21/60(2006.01)i, H01L25/04(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L21/60, H01L25/04, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-041098 A (Hitachi, Ltd.), 09 February 2006 (09.02.2006), paragraphs [0008] to [0021]; fig. 1 to 3 (Family: none)	1-8, 13-18
Y	JP 2005-223141 A (Toyota Industries Corp.), 18 August 2005 (18.08.2005), paragraphs [0011] to [0027]; fig. 1 to 4 (Family: none)	1-8, 13-18
Y	JP 2008-085169 A (Mitsubishi Electric Corp.), 10 April 2008 (10.04.2008), paragraphs [0008] to [0012]; fig. 1 to 2 & US 2007/0033260 A1 & DE 102007015534 A1	3-4, 15, 17

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 July, 2010 (30.07.10)Date of mailing of the international search report
10 August, 2010 (10.08.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/058049

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-289130 A (Fuji Electric Co., Ltd.), 10 October 2003 (10.10.2003), paragraphs [0003] to [0006]; fig. 4 (Family: none)	9
Y	JP 3-025963 A (Fuji Electric Co., Ltd.), 04 February 1991 (04.02.1991), page 2, upper right column, line 18 to lower right column, line 2; fig. 1, 3 (Family: none)	10-12
Y	JP 1-255257 A (Toshiba Corp.), 12 October 1989 (12.10.1989), page 4, lower left column, lines 12 to 20; fig. 6 & US 5130784 A & EP 340466 A2	10-12
Y	JP 2009-200416 A (Mitsubishi Electric Corp.), 03 September 2009 (03.09.2009), paragraphs [0045] to [0062]; fig. 5 to 6 & DE 102008045581 A1	10-12
Y	JP 53-015762 A (Mitsubishi Electric Corp.), 14 February 1978 (14.02.1978), page 2, upper right column, line 9 to lower right column, line 9; fig. 3 (Family: none)	14,16,18
A	JP 2000-091498 A (Toyoda Automatic Loom Works, Ltd.), 31 March 2000 (31.03.2000), paragraphs [0025] to [0041]; fig. 1 to 2 & US 6566750 B1 & EP 987762 A2	1-18
A	JP 59-031048 A (Mitsubishi Electric Corp.), 18 February 1984 (18.02.1984), page 2, lower left column, line 20 to lower right column, line 12; fig. 4 (Family: none)	10-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L25/07(2006.01)i, H01L21/60(2006.01)i, H01L25/04(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L25/07, H01L21/60, H01L25/04, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-041098 A (株式会社日立製作所) 2006.02.09, 段落【0008】 - 【0021】, 第1-3図 (ファミリーなし)	1-8, 13-18
Y	JP 2005-223141 A (株式会社豊田自動織機) 2005.08.18, 段落【0011】 - 【0027】, 第1-4図 (ファミリーなし)	1-8, 13-18
Y	JP 2008-085169 A (三菱電機株式会社) 2008.04.10, 段落【0008】 - 【0012】, 第1-2図 & US 2007/0033260 A1 & DE 102007015534 A1	3-4, 15, 17

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 30.07.2010	国際調査報告の発送日 10.08.2010
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 関根 崇 電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-289130 A (富士電機株式会社) 2003. 10. 10, 段落【0003】－【0006】，第4図 (ファミリーなし)	9
Y	JP 3-025963 A (富士電機株式会社) 1991. 02. 04, 第2頁右上欄第18行－右下欄第2行，第1, 3図 (ファミリーなし)	10-12
Y	JP 1-255257 A (株式会社東芝) 1989. 10. 12, 第4頁左下欄第12－20行，第6図 & US 5130784 A & EP 340466 A2	10-12
Y	JP 2009-200416 A (三菱電機株式会社) 2009. 09. 03, 段落【0045】－【0062】，第5-6図 & DE 102008045581 A1	10-12
Y	JP 53-015762 A (三菱電機株式会社) 1978. 02. 14, 第2頁右上欄第9行－右下欄第9行，第3図 (ファミリーなし)	14, 16, 18
A	JP 2000-091498 A (株式会社豊田自動織機製作所) 2000. 03. 31, 段落【0025】－【0041】，第1-2図 & US 6566750 B1 & EP 987762 A2	1-18
A	JP 59-031048 A (三菱電機株式会社) 1984. 02. 18, 第2頁左下欄第20行－右下欄第12行，第4図 (ファミリーなし)	10-12