(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G01R 31/26

(11) 공개번호 특1998-0010449
(43) 공개일자 1998년04월30일

(21) 출원번호 특1996-0027898
(22) 출원일자 1996년07월11일

(71) 출원인 엘지반도체 주식회사 문정환
충청북도 청주시 흥덕구 향정동 1번지 (우 : 361-480)
(72) 발명자 배정환
경기도 성남시 분당구 야탑동 530번지 쌍용아파트 503동 205호
(74) 대리인 박장원

심사청구 : 있음

(54) 아날로그/디지탈 변환기의 전기적 특성 테스트 장치

요약

본 발명은 아날로그/디지탈 변환기의 전기적 특성 테스트 장치에 관한 것으로, 아날로그/디지탈 변환기 출력의 두 개의 LSB 출력의 비트 변화에 따라 아날로그/디지탈 변환기의 변환 특성을 테스트 할 수 있도록 하여 테스트 회로가 보다 간결하고 신뢰성있게 동작할 수 있으며, 또한 4개의 카운터를 이용하여 각 디지털 코드 출력시 출력의 첫 시점 N부터 N+2의 출력 변화시까지 테스트되도록 하여 아날로그/디지탈 변환시 발생되는 변환 노이즈까지도 감안한 테스트가 될 수 있도록 함으로써, 보다 정확하게 미분비직선성 및 모노토니시티의 테스트가 이루어질 수 있도록 하는 데에 그 목적이 있다. 이러한 본 발명의 목적은 램프 전압을 인가받아 디지탈 코드를 출력하는 아날로그/디지탈 변환기와, 상기 아날로그/디지탈 변환기에서 출력되는 출력 코드에 따라 그 각각의 출력코드가 몇회씩 출력되는가를 카운트하는 제1카운트 회로부와, 상기 아날로그/디지탈 변화기의 출력코드의 변화에 따라 제1카운트 회로부가 순차적으로 클럭을 카운트 할 수 있도록 아날로그/디지탈 변환기의 출력 중 두 개의 LSB 출력 비트를 구성하는 라인 디코더 및 카운트 컨트롤부와, 상기 제1카운트회로부의 출력이 규정된 기준값 이내에 포함되는지를 판단하는 비교부와, 상기 비교부의 출력변화를 감지하여 변화횟수를 카우트하는 제2카운트 회로부와, 상기 제2 카운트 회로부에서 의 최종 카운트 결과와 기대값을 비교하여 PASS 및 FAIL 신호를 출력하는 데이타 비교기를 포함하여 구성함으로써 달성된다.

대표도

도1

명세서

[발명의 명칭]

아날로그/디지탈 변환기의 전기적 특성 테스트 장치

[도면의 간단한 설명]

제1도는 종래 아날로그/디지탈 변환기의 전기적 특성 테스트 장치의 구성도.

제2도는 본 발명 아날로그/디지탈 변환기의 전기적 특성 테스트 장치의 구성도.

제3도는 제2도에 있어서, 4비트 아날로그/디지탈 변환기의 이상적인 출력 특성도.

제4도는 제2도에 있어서, 44비트 아날로그/디지탈 변환기의 디엔엘(DNL)에러 특성도.

제5도는 제2도에 있어서, 4비트 아날로그.디지탈 변환기의 미싱(Missing) 코드 에러 특성도.

제6도는 제2도에 있어서, 4비트 크기 비교기 및 그 동작 진리표의 상태도.

제7도는 변환 노이즈에 의한 아날로그/디지탈 변환 코드의 출력특성도.

* 도면의 주요 부분에 대한 부호의 설명

101 : 아날로그/디지탈 변환기 102 : 라인 디코더 및 카운트 컨트롤부
103~107 : 카운터 108~111 : 래치
112~119 : m비트 비교기 120 : 데이타 비교기
121~124 : 버퍼 125~128 : 익스크루시브 오아게이트

129 : 오아게이트 130 : 램프 발생기

140 : 제1카운트 회로부 150 : 비교부

160 : 제2카운트 회로부

[발명의 상세한 설명]

본 발명은 아날로그/디지탈 변환기의 전기적 특성, 검출장치에 관한 것으로, 특히 고기능의 복합신호 테스트 장비 없이도 아날로그/디지탈 변환기의 비분비직선성 및 모노토니시티(Monotonicity)를 테스트 하는 데에 적당하도록 한 아날로그/디지탈 변환기의 전기적 특성 검출장치에 관한 것이다.

종래의 아날로그/디지탈 변환기의 전기적 특성 검출장치는 제 1 도에 도시한 바와 같이, 램프 전압을 인가 받아 디지탈 코드를 출력하는 아날로그/디지탈 변환기(1)와 상기 아날로그/디지탈 출력되는 디지탈 코드가 변환될 때 마다 이를 순차적으로 저장하는 현코드 레지스터(2) 및 선향 코드 레지스터(3)와, 상기 현코드 레지스터(2) 및 선행 코드 레지스터(3)의데이터를 입력받아 상기 아날로그/디지탈 변환기(1)에서 출력되는 디지털 코드가 어떠한 양태로 변화되는지를 비교하는 비교기(4)와 상기 비교기(4)의 비교결과에 따라 아날로그/디지탈 변환기의 디지털 코드 변환의 정상유무 신호를 출력하는 컨트롤로적(5)으로 구성되는 것으로, 이와같이 구성되는 종래의 아날로그/디지탈 변환기의적의 특성 테스트 장치에 대해 좀 더 상세히 설명하면 다음과 같다.

먼저, 램프 발생기(30)로부터 발생된 램프 전압이 아날로그/디지탈 변환기(1)에 인가되고 클럭이 인가되면 입력되는 램프 전압에 해당되는 디지털 코드를 출력한다.

즉, 램프 발생기(30)로부터 아날로그/디지탈 변환기(1)에 입력될 수 있는 가장 낮은 전압부터 가장 높은 전압까지의 램프 전압을 연속적으로 발생기키고 클럭(Sampling frequency)을 인가하면 아날로그/디지탈 변환기(1)는, 가장 낮은 디지탈 코드 0 0····0부터 순차적으로 1 1····1까지 출력하게 된다.

이렇게 아날로그/디지탈 변환기(1)로부터 출력되는 디지탈 코드가 변환될 때 마다 현코드 레지스터(2)와 선행 코드 레지스터(3)에 순차적으로 저장되고 이 두 레지스터(2,3)의 데이타가 비교기(4)에 입력되면 비교기(4)는 상기 아날로그/디지탈 변환기(1)로부터 출력되는 디지탈 코드가 어떠한 양태로 변화되는지를 비교하여 판단한다. 즉, 램프 전압이 아날로그/디지탈 변환기(1)에 입력되므로 출력되는 디지털 코드는 바로 앞의 출력 코드보다 +1씩 증가하여 출력되어야 하는데, 제7도에 도시한 아날로그/디지탈 변환 구간의 변환 노이즈(Transition noise) 특성에 의하여 -1이 되는 경우도 발생될 수 있다.

따라서, 비교기(4)는 바로 앞의 출력 코드인 선행 코드 레지스터(3)의 데이타와 현코드 레지스터(2)의 데이터가 동일하거나(equal) + 1증가, -1 감소되는 경우는 정상적으로 아날로그/디지탈 변환 동작이 이루어진다고 가정하여 컨트롤 로직(5)에서 PASS 신호를출력하게 되며, ± 2 이상의 변화가 있을 경우에는 아날로그/디지탈 변환이 정상적으로 이루어지지 않은 것으로 간주하여 FAIL 신호를 출력하게 된다.

그러나, 상기 아날로그/디지탈 변환기(1)에서 출력되는 디지탈 코드의 모든 비트를 이용하여 데이터를 저장하고 비교하므로 회로의 구성이 복잡해진다.

즉, n 비트의 경우 n개의 데이터 라인이 필요하다.

또한, 단순히 +1, -1 또는 equal의 비교만을 하여 아날로그/디지탈 변환기(1)의 특성을 테스트 하므로 아날로그/디지탈 변환기(u)로부터 출력되는 각 디지탈 코드의 미분비직선성 특성을 알 수 없는 문제를 갖는 다.

본 발명은 상기와 같은 종래의 문제를 해결하기 위하여 창안된 것으로, 아날로그/디지탈 변환기 출력의 두 개의 LSB 출력의비트 변화에 따라 아날로그/디지탈 변환기의 변환 특성을 테스트 할 수 있도록 하여 테스트 회로가 보다 간결하고 신뢰성 있게 동작할 수 있으며, 또한 4개의 카운터를 이용하여 각 디지탈 코드 출력시 출력의 첫 시점 N부터 N+2의 출력 변화시까지 테스트되도록 하여 아날로그/디지탈 변환시 발생되는 변환 노이즈까지도 감안한 테스트가 될 수 있도록 함으로써, 보다 정확하게 미분비직선성 및 모노토니시티의 테스트가 이루어질 수 있는 아날로그/디지탈 변환기의 전기적 특성 테스트를 장치를 제공함에 그목적이 있다.

상기와 같은 목적을 달성하기 위한 본 발명 아날로그/디지탈 변환기의 전기적 특성 테스트 장치는 제2도에 도시한 바와 같이, 램프 전압을 인가받아 디지탈 코드를 출력하는 아날로그/디지탈 변환기(101)와, 상기 아날로그/디지탈 변환기(101)에서 출력되는 출력 코드에 따라 그 각각의 출력코드가 몇회씩 출력되는가를 카운트하는 제1카운트 회로부(140)와, 상기 아날로그/디지탈 변환기(101)의 출력코드의 변화에 따라 제1카운트 회로부(140)가 순차적으로 클럭을 카운트할수 있도록 아날로그/디지탈 변환기(101)의 출력중 두 개의 LSB 출력 비트를 구성하는 라인 디코더 및 카우트 컨트롤부(102)와, 상기 제1카운트 회로부(140)의 출력이 규정된 기준값 이내에 포함되는지를 판단하는 비교부(150)와, 상기 비교부(150)의 출력변화를 감지하여 변화횟수를 카운트하는 제2카운트 회로부(160)와, 상기 제2카운트 회로부(160)에서의 최종카운트 결과와 기대값을 비교하여 PASS 및 FAIL 신호를 출력하는 데이타 비교기(120)로 구성된다.

또한, 상기 제1카운트 회로부(140)는 지연 클럭신호에 의해 동작하며 아날로그/디지탈변환기(101)의 출력 코드 중 해당되는 출력 코드만을 인에이블 시키는 버퍼(121~124)와, 상기 라인 디코더 및 카운트 컨트롤부(102)의 출력을 CLR 신호로 인가받으며 버퍼(121~124)의 출력 코드에 대응하여 해당되는 클럭을 카운트하는카운터(103~106)와 상기 카운터(103~106)의 데이타를 래치하는 래치(108~111)로 이루어진다.

또한, 상기 비교부(150)는 일측 입력(A)으로 상기 제1카운트 회로부(140)의 출력을 인가받고 타측입력(B)으로 최대 카운트값(Max.count data)과 최소 카운트값(Min.count data)를 번갈아 가며 인가받는 m비트 비교기(112~119)로 이루어진다.

또한, 상기 제2카운트 회로부(160)는 상기 비교부(150)내의 비교기 출력을 각각 두개씩 익스크루시브 오아조합하는 익스크루시브 오아게이트(125~128)와, 상기 오아게이트(125~128)의 출력을 오아조합하는 오아게이트(129)와, 상기 익스크루시브 오아게이트(129)의 출력을 클럭신호로 인가 받아 변화 횟수를 감지하는 카운터(107)로 이루어진다.

이와같이 구성되는 본 발명 아날로그/디지탈 변환기의 전기적 특성 테스트 장치의 동작 및 효과에 대해 좀 더 상세히 설명하고자 다음과 같은 조건을 제시하고자 한다.

아날로그/디지탈 변환기(101)는 4비트 아날로그/디지탈 변환기(101)로, 입력전압의 범위는 0V→5V로, 초대 변환시간은 1μs(1MHz)로 가정한다.

따라서, 클럭은 1MHz의 주파수를 사용하고 아날로그/디지탈 변환기(101)의 미분비직선성 스펙 수준은 ±0.5 LSB로 하며, 이와같은 아날로그/디지탈 변환기(101)의 변환 특성을 테스트하기 위하여 램프 발생기(130)는 0V→5V 까지의 램프 전압을 1600μs는 0V→5V까지의 램프 전압을 1600μs동안 램프시켜 공급하도록 한다.

이와 같은 테스트, 조건하에서 아날로그/디지탈 변환기(101)가 동작할 경우, 아날로그/디지탈 변환기(101)는 램프 전압 전압이 0V→5V까지 1600μs간 압력되는 동안 1MHz의 클럭에 의하여 1600회의 지지탈 코드를 출력한다.

이렇게 출력되는 1600회의 디지털 코드 중 4비트 아날로그/디지탈 변환기(101)가 출력할 수 있는 디지털 코드(0 0 0 0 , 0 0 0 1,· · ·1 1 1 1)가 각 각 몇회씩 출력되었는가를 제1카운트 회로부(140)에서 카운트하게 된다.

그러면, 제2도를 참조하여 아날로그/디지탈 변환기(101)의 출력에 따른 제1카운트 회로부(140)의 동작을 설명한다.

먼저, 아날로그/디지탈 변환기(101)의 출력코드가 〈 x x 0 0〉 인 경우 즉, 0 0 0 0, 0 1 0 0,1 0 0 0,1 1 0 0인 경우엔, 버퍼(121)의 0E단만 로우가 되고 나머지 버퍼(122~124)의 0E단은 하이가 되어1MHz의 지연 클럭신호는 카운터(103)의 클럭단에만 인가되어 1MHz의 클럭을 카운트 하는데, 이 카운터(103)는 출력코드가 〈x x 0 0〉 일 때 리셋된다.

또한, 출력 코드가 〈 x x 0 1〉 인 경우 즉, 0 0 0 1, 0 1 0 1,1 0 0 1,1 1 0 1인 경우에는,버퍼(122)의 0E단만 로우가 되고 나머지 버퍼(121,123,124)은 하이가 되어 1MHz의 지연 클럭신호는 카운터(104)는 클럭단에만 인가되어 1MHz의 클럭을 카운트 하는데 이 카운타(104)는 출력코드가 〈x x 1 1〉 일 때 리셋된다.

또한, 출력 코드가 〈 x x 1 0〉 인 경우 즉,, 0 0 1 0, 0 1 1 0,1 0 1 0,1 1 1 0의 경우에는 버퍼(123)의 0E단만 로우가 되고 나머지 버퍼(121, 122, 124)의 0E 단은 하이가 되어1MHz의 지연 클럭신호는 카운터(105)의 클럭단에만 인가되어 1MHz의 클럭을 카운트 하는데, 이 카운터(104)는 출력코드가 〈x x 0 0〉 일 때 리셋된다.

또한, 출력 코드가 〈 x x 1 1〉 인 경우 즉, 0 0 1 1, 0 1 1 1,1 0 1 1,1 1 1 1일 경우에는 버퍼(124)의 0E단만 로우가 되고 버퍼(121~123)의 0E단은 하이가 되어 1MHz의 지연 클럭신호는 카운터(106)의 클럭단에만 인가되어 1MHz의 클럭을 카운트 하는데, 이 카운터(106)는 출력코드가 〈x x 0 1〉 일 때 리셋된다.

다음으로, 제3도를 참조하여 4비트 아날로그/디지탈 변환기(101)가 이상적으로 동작하는 경우의 동작을 살펴보면 다음과 같다.

16개의 각 출력코드를 출력할 대 100회의 1MHz의 클럭이 카운트될 것이며, 이 경우의 1LSB는 100회의 카운트로 표현할 수 있다.

또한, 4비트 아날로그/디지탈 변환기(101)의 최대 카운트값(Max.count data)은 150회이고 〈1 0 0 1 0 1 1 0〉 의 데이터가 되며, 최소 카운트값(Min.count data)은 50회이고 〈0 0 1 1 0 0 1 0〉 의 데이터가 되어 비교부(150)의 일측입력(B)으로 번갈아 입력된다.

제3도에 도시된 바와 같이, 4비트 아날로그/디지탈 변환기(101)가 이상적으로 동작하는 경우 각 출력 코드간의 넓이는 100μs가 되고 100μs동안 각 카운터는 1MHz의 클럭을 100회 카운트하게 된다.

이상에서는 아날로그/디지탈 변환기(101)가 이상적으로 동작하는 경우를 살펴보았는데, 그러면 미분비직선성 에러 및 모노토니시티 에러를 갖는 경우에 대해 제4도 및 제5도를 참조하여 설명한다.

먼저, 제 3 도를 참조하여 미분지직선성 에러를 갖는 경우를 설명한다.

입력전압이 V_A에서 V_B로 변화되는 160μs동안 아날로그/디지탈 변환기 (101)의 출력이 〈 0 0 1 1〉을 유지하는 경우와 입력전압이 V_C에서 V_D로 변화되는 40μs동안 〈 1 0 1 0〉의 출력을 유지하는 경우를 볼 수 있는데, 각각 160회와 40회의 1MHz 의 클럭을 카운트하게 되고 최대 카운트 값인 150회 및 최소 카운트 값인 50회를 벗어나므로 미분비직선성 에러가 검출된다.

그러면, 이와같은 미분비직선성 에러에 대한 그 실제 회로의 동작은 다음과 같다.

먼저, 아날로그/디지탈 변환기(101)가 〈0 0 1 1〉을 출력하는 경우, 버퍼(124)가 인에이블 되어 카운터(106)가 1MHz의 클럭을 160회 카운트하고 이카운트(106)가 리셋되기 전에 래치(111)를 통하여 mbit 비교기(118)(119)의 일측입력(A)으로 인가되는데, 이때 160회 카운트(1 0 1 0 0 0 0 0 1)의 데이터가 되며 비교부(150)에 각 mbit 비교기(112-119)는 제6도와 같이 동작하게 된다. 그 결과 mbit 비교기(118)는 일측입력(A) 〈1 0 1 0 0 0 0 0〉과 타측입력(B) 즉, 최대 카운터값 〈0 0 1 1 0 0 1〉을 비교하여 일측입력(A)이 크므로 하이를 출력하고 nbit 비교기(119)는 일측입력(A) 〈1 0 1 0 0 0 0 0〉

과 타측입력(B) 즉, 최대카운터값〈1 0 0 1 0 1 1 0?을 비교하여 일측입력(A)이 크므로 하이를 출력한다.

따라서, 익스크루시브 오아게이트(128)는 로우 출력을 유지하게 되고 오아게이트(129)의 출력도 아무 변화없이 로우를 유지하므로 카운터(107)는 아날로그/디지탈 변환기(101)가 〈0 0 1 1〉을 출력할 때 아무런 카운트도 하지 않는다.

또한, 아날로그/디지털 변환기(101)가 〈1 0 1 0〉을 출력하는 경우, 버퍼(123)가 인에이블 되어 카운터(105)가 1MHz의 클럭을 40회 카운트하고 이 카운터(105)가 리셋되기 전에 래치(110)를 통하여 m비트 비교기(116)(117)의 일측입력(A)으로 인가 되는데, 이때 40회 카운트는〈0 0 1 0 1 0 0 0 〉의 데이타가 된다.

그 결과, m비트 비교기 (116)는 일측입력(A) 〈0 0 1 0 1 0 0 0 〉과 타측 입력(B) 〈0 0 1 1 0 0 1 0 〉을 비교하여 타측입력이 크므로 하이를 출력하고, m비트비교기(117)는 일측 입력(A) 〈0 0 1 0 0 0 〉과 타측 입력(B) 〈1 0 0 1 0 1 1 0 〉을 비교하여 타측입력(B)이 크므로 하이를 출력한다.

따라서, 익스크루시브 오아게이트(127)는 로우 출력을 유지고 오아게이트(129)의 출력도 변화가 없으므로 아날로그/디지탈 변환기(101)가 〈1 0 1 0〉를 출력할 때도 아무런 카운트도 하지 않게 된다.

다음으로, 제5도를 참조하여 모노토니시티(Montonity) 에러가 발생하는 경우에 대해 설명한다.

입력전압이 V5~V6의 사이일 경우, 아날로그/디지탈 변환기(101)는 〈0 1 1 0〉을 출력해야하는데, V5~V7까지 〈 0 1 0 1〉을 유자하고 곧바로 〈0 1 1 1〉을 출력하게 되면 아날로그/디지탈 변환 중 미싱(missing) 코드 에러인 모노토니시티 에러가 발생하게 된다.

이런 경우, 아날로그/디지탈 변환기(101)의 출력이 〈0 1 1 0〉시의 1㎒의 클럭을 카운터(105)가 카운트하여 카운트 결과가 비교부(140)에서 비교 되어야 하지만 〈0 1 1 0〉을 출력하지 않으므로 그 카운트 결과도 없고 그에 따른 비교부(140)의 출력도 없게 되어 카운트(107)도 아무런 카운트도 하지 않는다.

그러나, 아날로그/디지탈 변환기(101)가 정상적으로 동작되는 구간인 V8~V9에서 아날로그/디지탈 변환기(101)는 〈1 0 0 0〉을 출력하고 카운터(103)는 100 ㎲ 동안 1㎒의 클럭을 100회 카운트하게 된다.

이 카운트의 결과는 카운트(103)가 리셋되기 전부터 다음 카운트가 시작되기 전까지 래치(108)를 통해 m비트 비교기(112, 113)의 일측입력(A)으로 인가되며 100회 카운트는 〈0 1 1 0 0 1 0 0〉가 되어 m비트 비교기(12)의 타녹입력(B), 최소 카운트값 〈0 0 1 1 0 0 1 0〉과 m비트 비교기(B)의 타측입력(B) 즉, 최대 카운트값〈1 0 0 1 0 1 1 0〉과 비교된다.

그 결과, m비트 비교기(112)는 일측입력(A)이 크므로 하이 출력을 m비트 비교기(B)는 일측입력(A)이 작으므로 로우를 출력하게 되어, 익스크루시브 오아게이트(125)는 하이를 출력하고 카운트(103)가 다시 리셋되면 m비트 비교기(112, 113)의 모든 출력이 로우로 되어 익스크르시브 오아게이트(125)는 로우를 출력된다.

결과적으로, 익스크루시브 오아게이트(125)는 하이를 출력하고 이 하이신호는 오아게이트(129)를 통해 카운터(107)의 클럭단에 인가되고 카운터(107)는 1개의 클럭을 카운터하게 된다.

이와같은, 정상적인 디지탈 코드가 출력되는 구간마다 오아게이트(129)는 하이 신호를 1개씩 출력하여 카웃터(107)가 클럭을 카운트하게 된다.

이처럼 4비트 아날로그/디지탈 변환기(101)가 정상적으로 동작하는 경우, 0 0 0 0,0 0 0 1,…1 1 1 1까지 16회의 코드가 변화하는 동안 카운터(107)는 16의 카운트를하여 그 결과로 〈1 0 0 0 0〉의 데이타를 출력하여 데이타 비교기(120)의 일측입력(A)으로 인가되며, 상기에는 4비트라고 가정하였으므로 데이타 비교기(120)의 타측입력(B)인 기대(Expected) 데치터는 2^4=16 즉, 〈1 0 0 0 0〉이다.

따라서, 데이타 비교기(120)는 두입력이 같은 경우만 하이를 출력하므로 이 4비트인 경우에는 하이를 출력하여 PASS 신호를 출력하게 된다.

그러나, 상기에서 예시한 바와 같이 미분비직선성 에러가 2번 발생하고 미싱 코드에러인 모노토니시티 에러가 1번 발생하면 카운터(107)에서 카운터된 결과는 13 즉, 〈0 1 1 0 1〉이 된다.

따라서, 데이타 비교기(120)의 두입력이 다르므로 로우를 출력하여 FAIL 신호를 출력하게 된다.

이와같이, n비트 아날로그/디지탈 변환기(101)의 미분비직선상 에러 및 미싱 코드와 같은 모노토니시티 에러를 검출하는 테스팅를 할 수 있게 된다.

상술한 바와 같이, 본 발명은 아날로그/디지탈 변환기(101)의 출력 중 LSB 두 개의 출력 비트의 변화에 따라 아날로그/디지탈 변환기(101)의 변환특성 테스트를 가능하게 하여 테스트 회로가 보다 간결하고 신뢰성 있게 동작할 수 있도록 할 수 있는 효과가 있다.

또한, 4개의 카운터를 사용하여 각각의 코드 출력시 출력의 첫 시점 N부터 N+2의 출력변화시까지 테스트가 이루어지도록 하여 변환시 발생되는 변환 노이즈까지 감안한 테스트가 되게 하여 보다 정확하게 미분비직선상 및 모노토니시티를 테스트 할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

램프 전압을 인가받아 디지탈 코드를 출력하는 아날로그/디지탈 변환기와, 상기 아날로그/디지탈 변환기

에서 출력되는 출력 코드에 따라 그 각각의 출력코드가 몇회씩 출력되는가를 카운터하는 제1카운트 회로부와, 상기 아날로그/디지탈 변환기의 출력코드의 변화에 따라 제1카우트 회로부가 순차적으로 클럭을 카운트할 수 있도록 아날로그/디지탈 변환기의 출력 중 두 개의 LSB 출력 비트를 구성하는 라인 디코더 및 카운트 컨트롤부와, 상기 제1카운트 회로부의 출력이 규정된 기준값 이내에 포함되는 지를 판단하는 비교부와, 상기 비교부의 출력변화를 감지하여 변화횟수를 카운트하는 제2카운트 회로부와, 상기 제2카운트 회로부에서 최종 카운트 결과와 기대 데이타를 비교하여 PASS 및 FAIL 신호를 출력하는 데이타 비교기로 구성하여 된 것을 특징으로 하는 아날로그/디지탈 변환기의 전기적 특성 테스트 장치.

청구항 2

제1항에 있어서, 상기 제1카우트 회로부는 지연 클럭신호에 의해 동작하여 아날로그/디지탈 변환기의 출력 코드 중 해당하는 출력 코드만을 인에이블 시키는 버퍼와, 상기 라인 디코더 및 카운트 컨트롤부의 출력을 CLR 신호로 인가 받으며 버퍼의 출력 코드에 대응하여 해당되는 클럭을 카운트하는 카운터와, 상기 카운터의 데이타를 래치하는 래치로 구성하여 된 것을 특징으로 하는 아날로그/디지탈 변환기의 전기적 특성 테스트 장치.

청구항 3

제1항에 있어서, 상기 비교부는 일측 입력(A)으로 상기 제1카운트 회로부의 출력을 인가받고 타측입력(B)으로 최대 카운트값(Max.countdata)와 최소 카운트값(Min.count data)를 번갈아 가며 인가받는 m비트 비교기로 구성하여 된 것을 특징으로 아날로그 디지탈 변환기의 전기적 특성 테스트 장치.

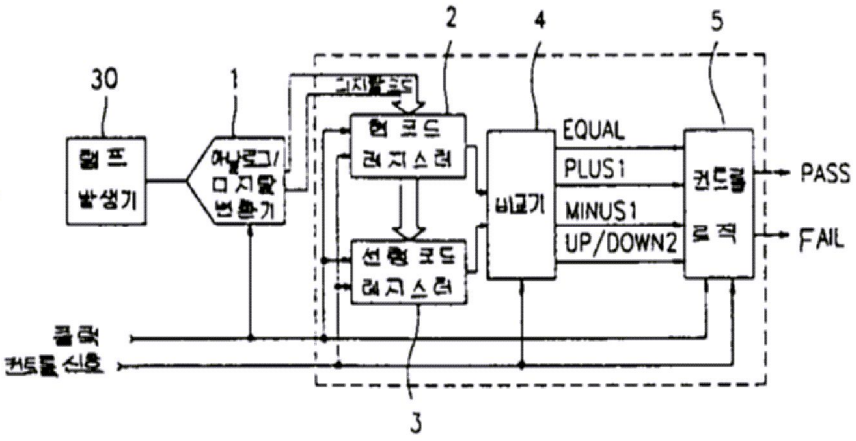
청구항 4

제1항에 있어서, 상기 제2카운트 회로부는 상기 비교부내의 비교기 출력을 각각 두 개씩 익스크루시브 오아조합하는 익스크루시브 오아게이트와, 상기 익스크루시브 오아게이트의 출력을 오아조합하는 오아게이트와, 상기 오아게이트의 출력을 클럭신호로 인가받아 변화 횟수를 감지하는 카운터로 구성하여 된 것을 특징으로 하는 아날로그/디지탈 변환기의 전기적 특성 테스트 장치.

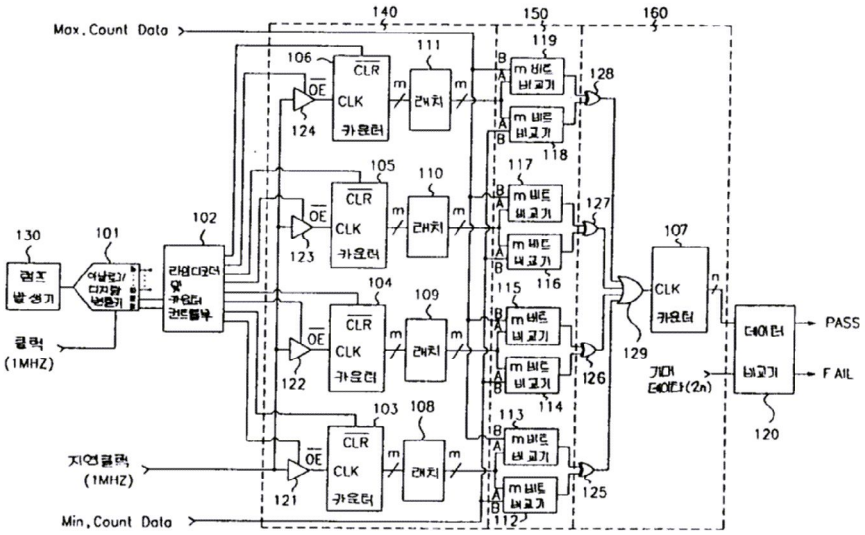
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

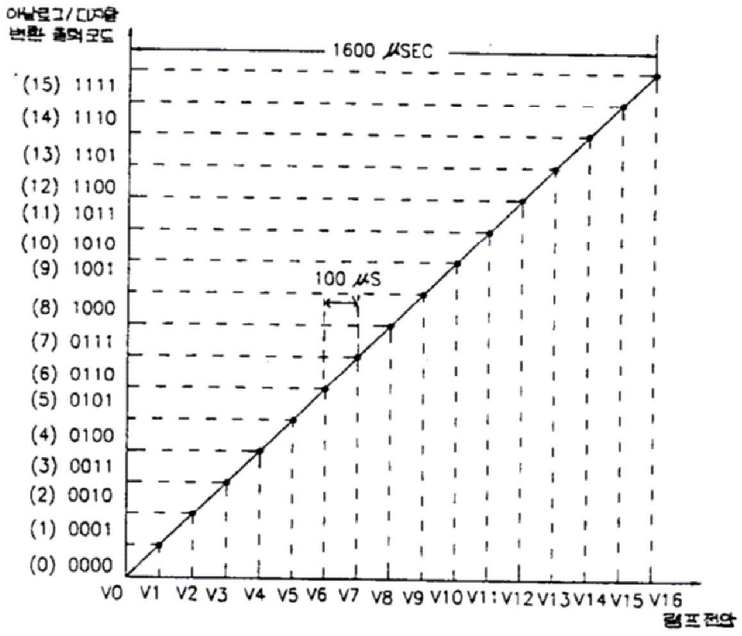
도면1



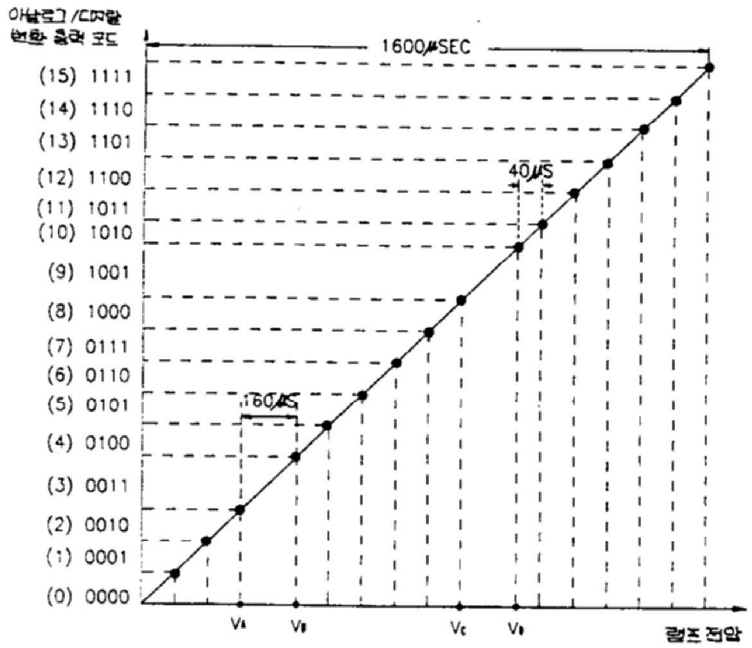
도면2


Max. Count Data
Min. Count Data
지연클럭
(1MHZ)
클럭
(1MHZ)
PASS
FAIL
CLK
CLR
OE
m 비트
비교기
래치
카운터
기대
데이타(2n)
140
150
160
130
101
102
103
104
105
106
107
108
109
110
111
112
113
114
115
116
117
118
119
120
121
122
123
124
125
126
127
128
129

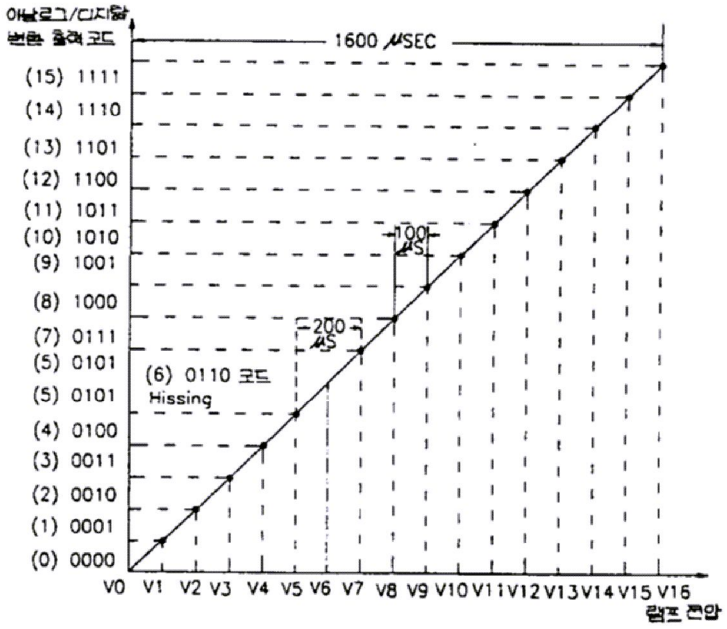
도면3


1600 μSEC
100 μS
(15) 1111
(14) 1110
(13) 1101
(12) 1100
(11) 1011
(10) 1010
(9) 1001
(8) 1000
(7) 0111
(6) 0110
(5) 0101
(4) 0100
(3) 0011
(2) 0010
(1) 0001
(0) 0000
V0 V1 V2 V3 V4 V5 V6 V7 V8 V9 V10 V11 V12 V13 V14 V15 V16

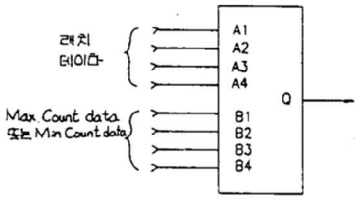
도면4


아날로그/디지탈
변환 출력 코드
1600㎲SEC
(15) 1111
(14) 1110
(13) 1101
(12) 1100
(11) 1011
(10) 1010
(9) 1001
(8) 1000
(7) 0111
(6) 0110
(5) 0101
(4) 0100
(3) 0011
(2) 0010
(1) 0001
(0) 0000
40㎲S
160㎲S
램프 전압

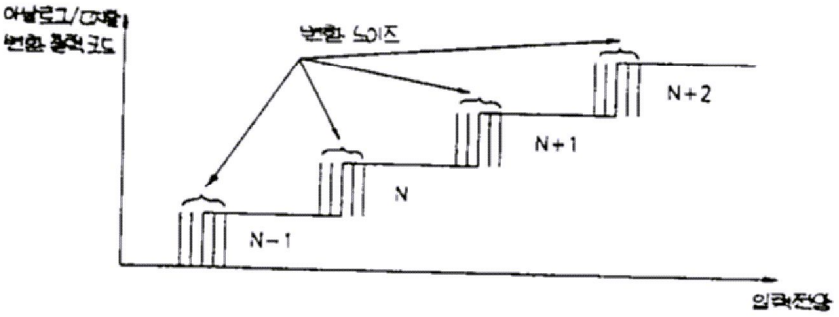
도면5


아날로그/디지탈
변환 출력 코드
1600 ㎲SEC
(15) 1111
(14) 1110
(13) 1101
(12) 1100
(11) 1011
(10) 1010
(9) 1001
(8) 1000
(7) 0111
(5) 0101
(5) 0101
(4) 0100
(3) 0011
(2) 0010
(1) 0001
(0) 0000
100㎲S
200㎲S
(6) 0110 코드
Hissing
V0 V1 V2 V3 V4 V5 V6 V7 V8 V9 V10 V11 V12 V13 V14 V15 V16
램프 전압

도면6



〈진리표〉

LSB			MSB	LSB			MSB	
A1	A2	A3	A4	B1	B2	B3	B4	Q
0	0	0	0	1	1	0	1	L
1	0	0	0	1	1	0	1	L
0	1	0	0	1	1	0	1	L
1	1	0	0	1	1	0	1	L
0	0	1	0	1	1	0	1	L
1	0	1	0	1	1	0	1	L
0	1	1	0	1	1	0	1	L
1	1	1	0	1	1	0	1	L
0	0	0	1	1	1	0	1	L
1	0	0	1	1	1	0	1	L
0	1	0	1	1	1	0	1	L
1	1	0	1	1	1	0	1	L
0	0	1	1	1	1	0	1	H
1	0	1	1	1	1	0	1	H
0	1	1	1	1	1	0	1	H
1	1	1	1	1	1	0	1	H

도면7