

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-526250
(P2004-526250A)

(43) 公表日 平成16年8月26日(2004.8.26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 17/10	G06F 17/10 D	5B056
G06F 17/16	G06F 17/16 K	
H03H 17/06	H03H 17/06 613Z	
	H03H 17/06 621A	
	H03H 17/06 655Z	

審査請求 未請求 予備審査請求 有 (全 40 頁)

(21) 出願番号 特願2002-576299 (P2002-576299)
 (86) (22) 出願日 平成14年2月28日 (2002. 2. 28)
 (85) 翻訳文提出日 平成15年9月24日 (2003. 9. 24)
 (86) 国際出願番号 PCT/US2002/006224
 (87) 国際公開番号 W02002/078182
 (87) 国際公開日 平成14年10月3日 (2002. 10. 3)
 (31) 優先権主張番号 09/817, 711
 (32) 優先日 平成13年3月26日 (2001. 3. 26)
 (33) 優先権主張国 米国 (US)

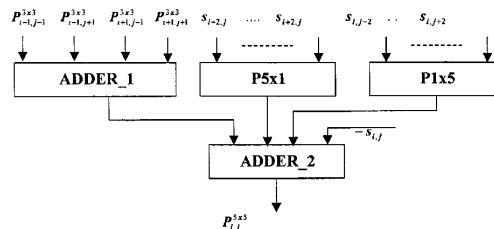
(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ プーレバード・2200
 (74) 代理人 100064621
 弁理士 山川 政樹
 (72) 発明者 アチャリヤ, ティンク
 アメリカ合衆国・85226・アリゾナ州
 ・チャンドラー・ウエスト エリー スト
 リート・4840
 Fターム(参考) 5B056 BB28 BB42 HH03

最終頁に続く

(54) 【発明の名称】 2次元ピラミッド・フィルタ・アーキテクチャ

(57) 【要約】

2次元ピラミッド・フィルタ・アーキテクチャの実施形態について記載する。



【特許請求の範囲】

【請求項 1】

次数 $2N - 1$ の 2 次元ピラミッド・フィルタ・アーキテクチャを含み、 N は 2 より大きい正の整数であって、

前記次数 $2N - 1$ の 2 次元ピラミッド・フィルタ・アーキテクチャが、動作中にそれぞれのクロック・サイクルで、少なくとも

次数 $2N - 1$ の 2 つの 1 次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号と、

4 つの 2 次元ピラミッド・フィルタ、または、次数 $[2(N - 1) - 1]$ の信号サンプル行列を使用する次数 $[2(N - 1) - 1]$ の 1 つの 2 次元ピラミッド・フィルタのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号とを生成可能であり、

前記 2 次元ピラミッド・フィルタ・アーキテクチャ内のそれぞれの出力信号が、前記 2 次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで合計される、集積回路。

【請求項 2】

N が 3 であって、

前記次数 5 の 2 次元ピラミッド・フィルタ・アーキテクチャが、動作中に、それぞれのクロック・サイクルで、4 つの 2 次元ピラミッド・フィルタ、または、4 つの信号サンプル行列 $P^{3 \times 3}_{i-1, j-1}$ 、 $P^{3 \times 3}_{i-1, j+1}$ 、 $P^{3 \times 3}_{i+1, j-1}$ 、 $P^{3 \times 3}_{i+1, j+1}$ を使用する次数 3 の 1 つの 2 次元ピラミッドのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号を生成することが可能であり、ピラミッド・フィルタリング済み出力信号が複数の 1 次元ピラミッド・フィルタによって生成される請求項 1 に記載の集積回路。

【請求項 3】

前記 1 次元ピラミッド・フィルタが、スケラブルなカスケードされた乗算器なし演算ユニットのシーケンスを含み、前記演算ユニットが異なる次数のピラミッド・フィルタリング済み出力信号サンプル・ストリームを生成可能である請求項 2 に記載の集積回路。

【請求項 4】

前記 1 次元ピラミッド・フィルタが 1 次元乗算器なしピラミッド・フィルタ以外を含む請求項 2 に記載の集積回路。

【請求項 5】

前記次数 5 の 2 次元ピラミッド・フィルタ・アーキテクチャが、動作中に、それぞれのクロック・サイクルで、4 つの 2 次元ピラミッド・フィルタ、または、4 つの信号サンプル行列 $P^{3 \times 3}_{i-1, j-1}$ 、 $P^{3 \times 3}_{i-1, j+1}$ 、 $P^{3 \times 3}_{i+1, j-1}$ 、 $P^{3 \times 3}_{i+1, j+1}$ を使用する次数 3 の 1 つの 2 次元ピラミッドのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号を生成することが可能であり、複数の 1 次元ピラミッド・フィルタによって生成されるピラミッド・フィルタリング済み出力信号が、次数 3 の 8 つの 1 次元ピラミッド・フィルタによって生成される請求項 2 に記載の集積回路。

【請求項 6】

次数 3 の 8 つの 1 次元ピラミッド・フィルタのうち、4 つが行方向、4 つが列方向に適用される請求項 5 に記載の集積回路。

【請求項 7】

前記次数 5 の 2 次元ピラミッド・フィルタ・アーキテクチャが、動作中に、それぞれのクロック・サイクルで、次数 3 の 4 つの 2 次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号を生成することが可能であり、複数の 1 次元ピラミッド・フィルタによって生成されるピラミッド・フィルタリング済み出力信号が、次数 3 の 8 つの 1 次元ピラミッド・フィルタによって生成される請求項 5 に記載の集積回路。

10

20

30

40

50

【請求項 8】

次数 3 の 8 つの 1 次元ピラミッド・フィルタのうち、4 つが行方向、4 つが列方向に適用される請求項 7 に記載の集積回路。

【請求項 9】

前記次数 5 の 2 次元ピラミッド・フィルタ・アーキテクチャが、動作中に、それぞれのクロック・サイクルで、次数 3 の 4 つの 2 次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号を生成することが可能であり、複数の 1 次元ピラミッド・フィルタによって生成されるピラミッド・フィルタリング済み出力信号が、1 次元乗算器なしピラミッド・フィルタ以外によって生成される請求項 2 に記載の集積回路。

10

【請求項 10】

N が 3 であって、

前記次数 5 の 2 次元ピラミッド・フィルタ・アーキテクチャが、動作中に、それぞれのクロック・サイクルで、少なくとも

次数 3 の 4 つの 2 次元ピラミッド・フィルタによって生成される出力信号を生成することが可能である請求項 1 に記載の集積回路。

【請求項 11】

前記次数 5 の 2 次元ピラミッド・フィルタ・アーキテクチャが、動作中に、それぞれのクロック・サイクルで、次数 3 の 4 つの 2 次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号を生成することが可能であり、ピラミッド・フィルタリング済み出力信号が、4 つの 2 次元ピラミッド・フィルタ以外の 2 次元ピラミッド・フィルタによって生成される請求項 1 に記載の集積回路。

20

【請求項 12】

次数 $2N - 1$ の 2 次元ピラミッド・フィルタ・アーキテクチャを使用してイメージをフィルタリングする方法であって、N は 2 より大きい正の整数であり、前記方法が、

前記 2 次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで

次数 $2N - 1$ の 2 つの 1 次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号と、

4 つの 2 次元ピラミッド・フィルタ、または、次数 $[2(N - 1) - 1]$ の信号サンプル行列を使用する次数 $[2(N - 1) - 1]$ の 1 つの 2 次元ピラミッド・フィルタのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号とを、合計することを含む方法。

30

【請求項 13】

N が 3 であって、

4 つの 2 次元ピラミッド・フィルタ、または、次数 $[2(N - 1) - 1]$ の信号サンプル行列を使用する次数 $[2(N - 1) - 1]$ の 1 つの 2 次元ピラミッド・フィルタのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号が、次数 3 の 4 つの 2 次元ピラミッド・フィルタによって生成された出力信号を含む請求項 12 に記載の方法。

【請求項 14】

N が 3 であって、

4 つの 2 次元ピラミッド・フィルタ、または、4 つの信号サンプル行列 $P^{3 \times 3}_{i-1, j-1}$ 、 $P^{3 \times 3}_{i-1, j+1}$ 、 $P^{3 \times 3}_{i+1, j-1}$ 、 $P^{3 \times 3}_{i+1, j+1}$ を使用する次数 3 の 1 つの 2 次元ピラミッドのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号が、複数の 1 次元ピラミッド・フィルタによって生成されたピラミッド・フィルタリング済み出力信号を含む請求項 12 に記載の方法。

40

【請求項 15】

前記 1 次元ピラミッド・フィルタが、スケラブルなカスケードされた乗算器なし演算ユニットのシーケンスを含み、前記演算ユニットが異なる次数のピラミッド・フィルタリング済み出力信号サンプル・ストリームを生成可能である請求項 14 に記載の集積回路。

50

【請求項 16】

記憶媒体を含む製品であって、前記記憶媒体がその上に命令を格納しており、この命令が実行されると、結果として、 N が2より大きい正の整数である次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャを使用して、

前記2次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで次数 $2N - 1$ の2つの1次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号と、

4つの2次元ピラミッド・フィルタ、または、次数 $[2(N - 1) - 1]$ の信号サンプル行列を使用する次数 $[2(N - 1) - 1]$ の1つの2次元ピラミッド・フィルタのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号とを、合計することにより、

イメージをフィルタリングすることになる製品。

10

【請求項 17】

N が3であって、

4つの2次元ピラミッド・フィルタ、または、次数 $[2(N - 1) - 1]$ の信号サンプル行列を使用する次数 $[2(N - 1) - 1]$ の1つの2次元ピラミッド・フィルタのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号が、次数3の4つの2次元ピラミッド・フィルタによって生成された出力信号を含む請求項16に記載の製品。

【請求項 18】

N が3であって、

4つの2次元ピラミッド・フィルタ、または、4つの信号サンプル行列 $P^{3 \times 3}_{i-1, j-1}$ 、 $P^{3 \times 3}_{i-1, j+1}$ 、 $P^{3 \times 3}_{i+1, j-1}$ 、 $P^{3 \times 3}_{i+1, j+1}$ を使用する次数3の1つの2次元ピラミッドのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号が、複数の1次元ピラミッド・フィルタによって生成されたピラミッド・フィルタリング済み出力信号を含む請求項16に記載の製品。

20

【請求項 19】

前記1次元ピラミッド・フィルタが、スケラブルなカスケードされた乗算器なし演算ユニットのシーケンスを含み、前記演算ユニットが異なる次数のピラミッド・フィルタリング済み出力信号サンプル・ストリームを生成可能である請求項18に記載の製品。

30

【請求項 20】

スキャンされたカラー・イメージをフィルタリングするためのイメージ処理ユニットを含むイメージ処理システムであって、

前記イメージ処理ユニットが、少なくとも1つの2次元ピラミッド・フィルタ・アーキテクチャを含み、

前記少なくとも1つの2次元ピラミッド・フィルタ・アーキテクチャが、

次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャを含み、 N は2より大きい正の整数であって、

前記次数 $2N - 1$ の2次元ピラミッド・フィルタ・アーキテクチャが、動作中にそれぞれのクロック・サイクルで、少なくとも

40

次数 $2N - 1$ の2つの1次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号と、

4つの2次元ピラミッド・フィルタ、または、次数 $[2(N - 1) - 1]$ の信号サンプル行列を使用する次数 $[2(N - 1) - 1]$ の1つの2次元ピラミッド・フィルタのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号とを生成可能であり、

前記2次元ピラミッド・フィルタ・アーキテクチャ内のそれぞれの出力信号が、前記2次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで合計されるシステム。

【請求項 21】

50

Nが3であって、

4つの2次元ピラミッド・フィルタ、または、次数 $[2(N-1)-1]$ の信号サンプル行列を使用する次数 $[2(N-1)-1]$ の1つの2次元ピラミッド・フィルタのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号が、次数3の4つの2次元ピラミッド・フィルタによって生成された出力信号を含む請求項20に記載のシステム。

【請求項22】

Nが3であって、

4つの2次元ピラミッド・フィルタ、または、4つの信号サンプル行列 $P^{3 \times 3}_{i-1, j-1}$ 、 $P^{3 \times 3}_{i-1, j+1}$ 、 $P^{3 \times 3}_{i+1, j-1}$ 、 $P^{3 \times 3}_{i+1, j+1}$ を使用する次数3の1つの2次元ピラミッドのいずれかによって生成された、出力信号に対応するピラミッド・フィルタリング済み出力信号が、複数の1次元ピラミッド・フィルタによって生成されたピラミッド・フィルタリング済み出力信号を含む請求項20に記載のシステム。

【請求項23】

前記1次元ピラミッド・フィルタが、スケラブルなカスケードされた乗算器なし演算ユニットのシーケンスを含み、前記演算ユニットが異なる次数のピラミッド・フィルタリング済み出力信号サンプル・ストリームを生成可能である請求項22に記載のシステム。

【発明の詳細な説明】

【関連出願】

【0001】

(関連出願の相互引用)

本特許出願は、本発明の譲受人に譲渡され、参照により本明細書に組み込まれた、2001年1月3日出願のTinku Acharyaによる「Multiplierless Pyramid Filter」という名称の米国特許出願第09/754684号に関連する。

【技術分野】

【0002】

本発明は、ピラミッド・フィルタに関する。

【背景技術】

【0003】

イメージ処理においては、スキャンされたカラー・イメージなどのイメージを、2つまたはそれ以上の別々のイメージ表現に分解することが好ましい場合が多い。たとえば、カラーまたはグレイ・スケールのドキュメント・イメージを、典型的な写真複写機またはスキャナ・デバイスで適用される場合、強調、圧縮などの効率的なイメージ処理オペレーションのために背景および前景イメージに分解することがある。このような状況では、このオペレーションはデスクリーニング・オペレーションと呼ばれることが多い。このデスクリーニングは、元のスキャンされたイメージに存在する可能性のあるハーフトーン・パターンを除去するために適用されることもある。たとえば、これらのハーフトーン・パターンは、適切に除去されないと、人間の目に不快なアーティファクトを生じさせる。この分解またはデスクリーニングのための従来の方法は、カラー・イメージをぼかすためにフィルタリングすることである。こうしてぼかされた結果は、分解するためにイメージをどの程度ぼかしたり鮮明にしたりするかを決定するのに助けるために使用される。典型的には、このぼかしは「対称ピラミッド」フィルタを使用して達成することができる。対称ピラミッド有限インパルス応答(FIR)フィルタがよく知られている。

【0004】

ただし、このイメージ処理技法の欠点の1つは、この技法を前述のように適用する際、複数のぼかされたイメージを生成するためにサイズの異なるいくつかのピラミッド・フィルタが並列に適用されると、複雑さが何倍にも増すことである。この複数のピラミッド・フィルタリング方法のための力まかせの方法が、図1に示されたような複数のFIRフィルタを並列に使用するものである。こうした方法は、単一のソース・イメージから異なるぼ

10

20

30

40

50

かされたイメージを並列に生成するために、高速「対称ピラミッド・フィルタリング」アーキテクチャの設計および実施が望ましいことを実証している。

【0005】

図1で各FIRブロックについて括弧内に提供された数は、対応する長さのピラミッド・フィルタを表す。たとえば、(1, 2, 1)は、次数または長さが3の対称ピラミッド有限インパルス応答(FIR)フィルタのフィルタ係数である。同様に、(1, 2, 3, 2, 1)は、次数5のFIRピラミッド・フィルタの係数である、という具合である。

【0006】

残念ながら、図1で実証された方法には欠点がある。たとえば、計算が冗長であることから効率が悪い場合がある。同様に、FIRの実施には乗算器回路が使用される。シフティングまたは加算回路などを使用して、乗算器の使用を減らすかまたは避けるための実施があるが、その結果クロッキングが増加し、回路のスループットが低下してしまう場合がある。

10

【発明の開示】

【発明が解決しようとする課題】

【0007】

したがって、ピラミッド・フィルタリングの実施またはアーキテクチャの改善が求められている。

【課題を解決するための手段】

【0008】

主題は、本明細書の結論部分で具体的に指摘され、明確に請求されている。ただし、オペレーションの構成および方法の両方に関して、その目的、特徴、および付属物と共に請求された主題は、添付の図面と共に読めば、以下の詳細な説明を参照することによって、最もよく理解されよう。

20

【発明を実施するための最良の形態】

【0009】

以下の詳細な説明では、請求された主題を完全に理解するために多数の特定の細部について記述している。ただし当分野の技術者であれば、記載された主題はこれらの特定の細部なしでも実施可能であることを理解されよう。その他の場合、請求された主題を不鮮明にしないように、よく知られた方法、手順、構成要素、および回路については詳細に記載していない。

30

【0010】

前述のように、ピラミッド・フィルタリング、より具体的には対称ピラミッド・フィルタリングは、イメージを、たとえば背景および前景イメージなどに分解またはデスクリーニングするために、カラー・イメージまたはカラー・イメージ処理と関連して使用することができる。請求された主題の範囲はこの点で限定されるものではないが、こうした状況では、計算の複雑さまたは処理および/またはハードウェアのコストを減らすピラミッド・フィルタリング・アーキテクチャが特に望ましい。同様に、乗算器なしの実施、すなわち実施において具体的に乗算を使用しないことも通常は望ましい。なぜなら、こうした実施または実施形態が乗算器回路を使用するかまたは含むものよりも安価に実施できるからである。

40

【0011】

請求の範囲はこの点で限定されるものではないが、図2は、前述の2001年1月3日出願のT. Acharyaによる「Multiplierless Pyramid Filter」という名称の米国特許出願第09/754684号(整理番号042390.P10722)でより詳細に記載されているような、1次元ピラミッド・フィルタの実施形態200を示す図である。実施形態200は、様々な次数を有する一連のピラミッド・フィルタまたはピラミッド・フィルタ・シーケンスに対して複数のフィルタリング済み出力信号ストリームを生成し、この出力信号ストリームが並列に生成される、統一された乗算器なしカスケードされた対称ピラミッド・フィルタリング・アーキテクチャを含む。た

50

だしこの特定の実施形態でも、請求された主題の範囲はこの点で限定されるものではなく、フィルタリング済み出力信号ストリームは、実施される異なる次数の各ピラミッド・フィルタに対して、あらゆるクロック・サイクルで生成される。したがってこの特定の実施形態は、計算が効率的であることに加えて、スループットの点でも良い結果を生み出す。ただし以前に示したように、この特定の実施形態は1次元ピラミッド・フィルタを実施する。

【0012】

図2は、特有の表記法の状況で理解される。たとえば、入力ソース信号Xは、以下のよう
に示すことができる。

【0013】

【数1】

$$X = (X_0, X_1, \dots, X_{i-2}, X_{i-1}, X_i, X_{i+1}, X_{i+2}, \dots)$$

【0014】

デジタルまたは離散的信号処理では、フィルタリングを、入力信号Xと、この状況では有限長さのデジタル・フィルタであり本明細書では有限インパルス応答(FIR)フィルタと呼ばれるフィルタFとの、コンボリューション(\times)として表すことができる。したがって、フィルタリング済み出力信号ストリームは、以下のよう示される。(訳注:(\times)は実際は下記の式のように丸の中に「 \times 」を書き入れた記号である。)

【0015】

【数2】

$$Y = X \otimes F$$

【0016】

前述のように、図2の特定の実施形態はピラミッド・フィルタを使用する。これらのフィルタは、典型的には、3、5、7、9などの奇数の長さまたは次数のデジタル・フィルタを使用して実施される。この状況では、奇数の数または次数は $2N - 1$ の形で表すことが可能であり、ここでNはたとえば2よりも大きい正の整数である。こうしたデジタル・フィルタのいくつかの例は、以下のようになる。

【0017】

【数3】

$$F_3 = (1, 2, 1)$$

$$F_5 = (1, 2, 3, 2, 1)$$

$$F_7 = (1, 2, 3, 4, 3, 2, 1)$$

$$F_9 = (1, 2, 3, 4, 5, 4, 3, 2, 1)$$

...

$$F_M = (1, 2, 3, \dots, N, \dots, 3, 2, 1) \quad (\text{この状況では } M = 2N - 1)$$

【0018】

上記のフィルタの場合、フィルタリング済み出力信号または出力信号ストリームは、以下のよう表すことができる。

$B^3 = X(\times)F_3 = (b_0^3, b_1^3, \dots, b_{i-1}^3, b_i^3, b_{i+1}^3, \dots)$ 入力
信号Xを F_3 でフィルタリングした結果

$B^5 = X(\times)F_5 = (b_0^5, b_1^5, \dots, b_{i-1}^5, b_i^5, b_{i+1}^5, \dots)$ 入力
信号Xを F_5 でフィルタリングした結果

10

20

30

40

50

$B^7 = X(x) F_7 = (b_0^7, b_1^7, \dots, b_{i-1}^7, b_i^7, b_{i+1}^7, \dots)$ 入力
信号 X を F_7 でフィルタリングした結果

$B^9 = X(x) F_9 = (b_0^9, b_1^9, \dots, b_{i-1}^9, b_i^9, b_{i+1}^9, \dots)$ 入力
信号 X を F_9 でフィルタリングした結果

$B^M = X(x) F_M = (b_0^M, b_1^M, \dots, b_{i-1}^M, b_i^M, b_{i+1}^M, \dots)$ 入力
信号 X を F_M でフィルタリングした結果

【0019】

これらのフィルタリング済み出力信号サンプルを経験に基づいて表すための代替方法は、
以下ようになる。

【0020】

【数4】

$$b_i^3 = x_{i-1} + 2x_i + x_{i+1}$$

$$b_i^5 = x_{i-2} + 2x_{i-1} + 3x_i + 2x_{i+1} + x_{i+2}$$

$$b_i^7 = x_{i-3} + 2x_{i-2} + 3x_{i-1} + 4x_i + 3x_{i+1} + 2x_{i+2} + x_{i+3}$$

$$b_i^9 = x_{i-4} + 2x_{i-3} + 3x_{i-2} + 4x_{i-1} + 5x_i + 4x_{i+1} + 3x_{i+2} + 2x_{i+3} + x_{i+4}$$

【0021】

同様に、この状況では状態変数と呼ばれるものを導入することにより、上記の式を以下の
ように書き直すことができる。

$$b_i^3 = x_i + s_i^3 \quad \text{この式で、} s_i^3 = x_{i-1} + x_i + x_{i+1}$$

$$b_i^5 = b_i^3 + s_i^5 \quad \text{この式で、} s_i^5 = x_{i-2} + x_{i-1} + x_i + x_{i+1} + x_{i+2}$$

$$b_i^7 = b_i^5 + s_i^7 \quad \text{この式で、} s_i^7 = x_{i-3} + x_{i-2} + x_{i-1} + x_i + x_{i+1} + x_{i+2} + x_{i+3}$$

$$b_i^9 = b_i^7 + s_i^9 \quad \text{この式で、} s_i^9 = x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} + x_i + x_{i+1} + x_{i+2} + x_{i+3} + x_{i+4}$$

したがって、所望のピラミッド・フィルタは、以下のように表すことができる。

$$B^3 = X + S_3 \quad \text{この式で、} S_3 = (s_0^3, s_1^3, s_2^3, \dots, s_{i-1}^3, s_i^3, s_{i+1}^3, \dots)$$

$$B^5 = B^3 + S_5 \quad \text{この式で、} S_5 = (s_0^5, s_1^5, s_2^5, \dots, s_{i-1}^5, s_i^5, s_{i+1}^5, \dots)$$

$$B^7 = B^5 + S_7 \quad \text{この式で、} S_7 = (s_0^7, s_1^7, s_2^7, \dots, s_{i-1}^7, s_i^7, s_{i+1}^7, \dots)$$

$$B^9 = B^7 + S_9 \quad \text{この式で、} S_9 = (s_0^9, s_1^9, s_2^9, \dots, s_{i-1}^9, s_i^9, s_{i+1}^9, \dots)$$

【0022】

図2の研究は、図2に示されたピラミッド・フィルタの算出された出力信号ストリーム B^3 、 B^5 、 B^7 、 B^9 などが、例示された実施形態によって生成されることを示している。

【0023】

前述のピラミッド・フィルタの考察は、1次元フィルタリングの状況で生じるものである
が、少なくとも一部はこうしたフィルタの対称性により、特別な計算ステップを使用する
行方向および列方向の1次元様式で計算する代わりに、ピラミッド2次元フィルタリング
を実施することが可能である。1次元のkタップのピラミッド・フィルタを、 $F_k = [1$
 $2 \quad 3 \quad \dots \quad (k-1)/2 \quad \dots \quad 3 \quad 2 \quad 1]$ で表す場合、対応する2次元
ピラミッド・フィルタ $F_{k \times k}$ は、図6に示されるように導出することができる。図7には
、 $k=9$ の場合の2次元ピラミッド・フィルタ・カーネルを示した。図5に示された形を
有する2次元入力信号、たとえば信号サンプルを想定すると、図4は、ここでは結果的に

10

20

30

40

50

2次元フィルタリング済み信号サンプル出力 $P^{k \times k}$ が得られる行列を示す表であり、2次元入力信号サンプル行列が2次元ピラミッド・フィルタ・カーネル $F_{k \times k}$ を使用してフィルタリングされる。

【0024】

図8に示された行列は、2次元入力信号サンプル行列のあらゆる行で1次元kタップ・ピラミッド・フィルタを適用することによって得られ、図9に示された行列は、2次元入力信号サンプル行列のあらゆる列で1次元kタップ・ピラミッド・フィルタを適用することによって得られる。図4の行列は、2次元入力信号サンプル行列に2次元($k \times k$)タップ・フィルタを適用することによって得られるか、あるいは1次元kタップ・ピラミッド・フィルタを行方向に適用した後、列方向に適用することによって得られる。この方法をフィルタリング済み信号サンプル出力 $P^{1 \times 3}$ 、 $P^{3 \times 1}$ 、および $P^{3 \times 3}$ に適用すると、以下の関係が生じる。

10

【0025】

【数5】

$$P_{i,j}^{1 \times 3} = s_{i,j-1} + 2s_{i,j} + s_{i,j+1}$$

$$P_{i,j}^{3 \times 1} = s_{i-1,j} + 2s_{i,j} + s_{i+1,j}$$

$$P_{i,j}^{3 \times 3} = s_{i-1,j-1} + 2s_{i-1,j} + s_{i-1,j+1} + 2s_{i,j-1} + 4s_{i,j} + 2s_{i,j+1} + s_{i+1,j-1} + 2s_{i+1,j} + s_{i+1,j+1}$$

20

【0026】

同様に、フィルタリング済み信号サンプル出力 $P^{1 \times 5}$ 、 $P^{5 \times 1}$ 、および $P^{5 \times 5}$ を生成すると、以下の関係が生じる。

【0027】

【数6】

$$P_{i,j}^{5 \times 1} = s_{i-2,j} + 2s_{i-1,j} + 3s_{i,j} + 2s_{i+1,j} + s_{i+2,j}$$

$$P_{i,j}^{1 \times 5} = s_{i,j-2} + 2s_{i,j-1} + 3s_{i,j} + 2s_{i,j+1} + s_{i,j+2}$$

$$P_{i,j}^{5 \times 5} = (s_{i-2,j-2} + 2s_{i-2,j-1} + 3s_{i-2,j} + 2s_{i-2,j+1} + s_{i-2,j+2}) + (2s_{i-1,j-2} + 4s_{i-1,j-1} + 6s_{i-1,j} + 4s_{i-1,j+1} + 2s_{i-1,j+2}) + (3s_{i,j-2} + 6s_{i,j-1} + 9s_{i,j} + 6s_{i,j+1} + 3s_{i,j+2}) + (2s_{i+1,j-2} + 4s_{i+1,j-1} + 6s_{i+1,j} + 4s_{i+1,j+1} + 2s_{i+1,j+2}) + (s_{i+2,j-2} + 2s_{i+2,j-1} + 3s_{i+2,j} + 2s_{i+2,j+1} + s_{i+2,j+2})$$

30

【0028】

これらの数式を数学的に処理すると、以下の結果が得られる。

40

【0029】

【数7】

$$P_{i,j}^{5 \times 5} = (P_{i,j}^{5 \times 1} + P_{i,j}^{1 \times 5}) + (P_{i-1,j-1}^{3 \times 3} + P_{i-1,j+1}^{3 \times 3} + P_{i+1,j-1}^{3 \times 3} + P_{i+1,j+1}^{3 \times 3}) - s_{i,j} \quad [1]$$

【0030】

上記の数式[1]は、次数 $2N - 1$ の直接2次元ピラミッド・フィルタ・アーキテクチャが、次数 $[2(N - 1) - 1]$ の4つの2次元ピラミッド・フィルタを使用するか、または、4つの信号サンプル行列 $P^{3 \times 3}_{i-1, j-1}$ 、 $P^{3 \times 3}_{i-1, j+1}$ 、 $P^{3 \times 3}_{i+1, j-1}$ 、 $P^{3 \times 3}_{i+1, j+1}$ 、および次数 $2N - 1$ のこの例では行方向と列方向の2つの1次元ピラ

50

ミッド・フィルタを使用する次数 $[2(N-1)-1]$ の1つの2次元ピラミッド・フィルタのいずれかで潜在的に実施可能であることを示しており、この場合 N は3である。図3は、こうした実施形態を示す概略図であるが、もちろん請求された主題の範囲はこの特定の実施または実施形態に限定されるものではない。たとえば次数 $2(N-1)-1$ 、ここでは N が3であるため次数3の、4つの2次元ピラミッド・フィルタによって生成された出力信号サンプルに対応する出力信号サンプルは、必ずしも2次元ピラミッド・フィルタで生成しなくてもよい。一例として、これらの出力信号は1次元ピラミッド・フィルタを使用して生成してもよい。こうしたフィルタの1つが図2に示されているが、ここでも、図3に示されたアーキテクチャ用の出力信号を生成するために、追加の方法を使用することができる。

10

【0031】

図3は、集積回路(IC)300を示した図であるが、もちろん必ずしも単一の集積回路チップ上で代替の実施形態を実施しなくてもよい。IC300は、次数 $2N-1$ の2次元ピラミッド・フィルタ・アーキテクチャを含み、ここで N は2よりも大きい正の整数、この例では3である。この次数 $2N-1$ 、すなわちこの例では次数5の動作中の2次元ピラミッド・フィルタ・アーキテクチャは、それぞれのクロック・サイクルで少なくとも以下のものを生成することができる。図3では、ピラミッド・フィルタリング済み出力信号は、次数 $2N-1$ 、ここでも N は3であるためこの例では次数5の、2つの1次元ピラミッド・フィルタ、330および340によって生成された出力信号に対応して生成される。ピラミッド・フィルタリング済み出力信号は、4つの2次元ピラミッド・フィルタ、あるいは、信号サンプル行列 $P^{3 \times 3}_{i-1, j-1}$ 、 $P^{3 \times 3}_{i-1, j+1}$ 、 $P^{3 \times 3}_{i+1, j-1}$ 、 $P^{3 \times 3}_{i+1, j+1}$ を使用する次数 $[2(N-1)-1]$ すなわち N は3であるためここでは次数3の1つの2次元ピラミッドの、いずれかによって生成された出力信号に対応して生成される。これらの出力信号は、図3の加算器310で合計される。同様に、図3の実施におけるこの2次元ピラミッド・フィルタ・アーキテクチャ実施でのそれぞれの出力信号、たとえば出力信号310、330、および340は、図3の加算器320によって、2次元ピラミッド・フィルタ・アーキテクチャのそれぞれのクロック・サイクルで合計される。もちろん、図3は実施の可能な一例にすぎず、請求された主題の範囲はこの実施または他の特定の実施に限定されるものではない。

20

【0032】

たとえば、 N は3に限定されるものではない。同様に、2次元ピラミッド・フィルタによって生成された出力信号に対応するピラミッド・フィルタリング済み出力信号は、1次元ピラミッド・フィルタまたは2次元ピラミッド・フィルタによって実施されるものとは限定されない。同様に、前述のように、1次元フィルタが使用される場合、フィルタは前述の2001年1月3日出願のTinku Acharyaによる「Multiplierless Pyramid Filter」という名称の米国特許出願第09/754684号に記載された実施方法に限定されるものではない。たとえば、乗算器なしピラミッド・フィルタ以外の1次元ピラミッド・フィルタを使用することができる。同様に、実施に応じて、様々な数のこうしたピラミッド・フィルタおよび様々な次数のこうしたピラミッド・フィルタを使用することができる。たとえば、出力信号は、様々な数、寸法、または次数のピラミッド・フィルタに対応するピラミッド・フィルタリング済み出力信号を生成するように、組み合わせるかまたは処理することができる。

30

40

【0033】

もちろん、これまで特定の実施形態について説明してきたが、本発明の範囲は特定の実施形態または実施に限定されるものではないことを理解されよう。たとえば、一実施形態はハードウェアで可能であり、他の実施形態はソフトウェアで可能である。同様に、一実施形態は、ファームウェア、あるいはたとえばハードウェア、ソフトウェア、またはファームウェアの任意の組合せで可能である。同様に、本発明の範囲はこの点で限定されるものではないが、一実施形態は記憶媒体などの製品を含むことができる。たとえばCD-ROMまたはディスクなどのこうした記憶媒体は、その上に命令を格納することが可能であり

50

、この命令がコンピュータ・システムまたはプラットフォーム、あるいはイメージング・システムなどのシステムによって実行されると、結果として、たとえば前述のようにイメージまたはビデオをフィルタリングまたは処理する方法の一実施形態などの本発明に従った方法の一実施形態が実行されることになる。たとえば、イメージ処理プラットフォームまたはイメージ処理システムは、イメージ処理ユニット、ビデオまたはイメージ入出力デバイス、および/またはメモリを含むことができる。

【0034】

以上、本発明の一定の特徴について本明細書で例示および説明してきたが、これで当分野の技術者であれば、多くの修正、置換、変更、および等価形態を思いつくであろう。したがって、添付の特許請求の範囲は、本発明の真の精神を逸脱することなく、こうしたすべての修正および変更をカバーすることを意図したものであることが理解されよう。

10

【図面の簡単な説明】

【0035】

【図1】有限インパルス応答(FIR)の複数のピラミッド・フィルタリング・アーキテクチャを実施するための力まかせの方法を示す構成図である。

【図2】1次元乗算器なしピラミッド・フィルタの一実施形態を示す図である。

【図3】2次元ピラミッド・フィルタ・アーキテクチャの一実施形態を示す図である。

【図4】図3の実施形態によって実施可能なものなどの、2次元ピラミッド・フィルタ・アーキテクチャを実施することで得られる行列の一例を示す表/行列である。

【図5】2次元ピラミッド・フィルタ・アーキテクチャによって動作可能な2次元信号の一例を示す表/行列である。

20

【図6】行方向および列方向の両方での1次元ピラミッド・フィルタ・カーネルの適用例を示す表/行列である。

【図7】 $k = 9$ の場合の図6の表/行列である。

【図8】1次元ピラミッド・フィルタを2次元入力信号サンプル行列の行に適用した結果を示す表/行列である。

【図9】1次元ピラミッド・フィルタを2次元入力信号サンプル行列の列に適用した結果を示す表/行列である。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
3 October 2002 (03.10.2002)

PCT

(10) International Publication Number
WO 02/078182 A2

- (51) International Patent Classification: **H03H 17/02**
- (21) International Application Number: PCT/US02/06224
- (22) International Filing Date: 28 February 2002 (28.02.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:
09/817,711 26 March 2001 (26.03.2001) US
- (71) Applicant (for all designated States except US): **INTEL CORPORATION** [US/US], 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).
- (72) Inventor; and
(75) Inventor/Applicant (for US only): **ACHARYA, Tinku** [IN/US], 4840 West Erie Street, Chandler, AZ 85226 (US).
- (74) Agents: **MALLIE, Michael, J.** et al.; Blakely, Sokoloff, Taylor & Zafman, 7th floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025 (US).
- (81) Designated States (national): AE, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.
- (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, HE, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- Published:**
without international search report and to be republished upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*



WO 02/078182 A2

(54) Title: TWO-DIMENSIONAL PYRAMID FILTER ARCHITECTURE

(57) Abstract: Embodiments of a two-dimensional pyramid filter architecture are described.

WO 02/078182

PCT/US02/06224

TWO-DIMENSIONAL PYRAMID FILTER ARCHITECTURE

RELATED APPLICATIONS

5 This patent application is related to U.S. Patent Application Serial No. 09/754,684, titled "Multiplierless Pyramid Filter," filed January 3, 2001, by Tinku Acharya, assigned to the assignee of the present invention and herein incorporated by reference.

BACKGROUND

10 This disclosure is related to pyramid filters.

In image processing it is often desirable to decompose an image, such as a scanned color image, into two or more separate image representations. For example, a color or gray-scale document image can be decomposed into background and foreground images for efficient image processing operations, such as enhancement, compression, etc., as are at

15 times applied in a typical photocopying machine or scanner device. In this context, this operation is often referred to as a descreening operation. This descreening is also sometimes applied to remove halftone patterns that may exist in an original scanned image. For example, these halftone patterns may cause objectionable artifacts for human eyes if not properly removed. The traditional approach for this decomposition or descreening is to filter

20 the color image in order to blur it. These blurred results are then used to assist in determining how much to blur and sharpen the image in order to produce the decomposition. Typically this blurring can be achieved using a "symmetric pyramid" filter. Symmetric pyramid finite impulse response (FIR) filters are well-known.

One disadvantage of this image processing technique, however, is that the

25 complexity increases many fold when a number of pyramid filters of different sizes are applied in parallel in order to generate multiple blurred images, to apply the technique as

WO 02/078182

PCT/US02/06224

just described. A brute force approach for this multiple pyramid filtering approach is to use multiple FIR filters in parallel, as illustrated in FIG. 1. Such an approach demonstrates that the design and implementation of fast "symmetric pyramid filtering" architectures to generate different blurred images in parallel from a single source image may be desirable.

5 The numbers provided in parenthesis for each FIR block in FIG. 1 represents the pyramid filter of corresponding length. For example, (1, 2, 1) are the filter coefficients for a symmetric pyramid finite impulse response (FIR) filter of order or length 3. Likewise, (1, 2, 3, 2, 1) are the coefficients for an FIR pyramid filter of order 5, and so forth.

Unfortunately, the approach demonstrated in FIG. 1 has disadvantages. For
10 example, inefficiency may result from redundant computations. Likewise, FIR implementations frequently employ multiplier circuits. While implementations exist to reduce or avoid the use of multipliers, such as with shifting and summing circuitry, that may then result in increased clocking and, hence, may reduce circuit through-put. A need, therefore, exists for improving pyramid filtering implementations or architectures.

15 BRIEF DESCRIPTION OF THE DRAWINGS

Subject matter is particularly pointed out and distinctly claimed in the concluding portion of the specification. The claimed subject matter, however, both as to organization and method of operation, together with objects, features, and appendages thereof, may best be understood by reference of the following detailed description when read with the
20 accompanying drawings in which:

FIG. 1 is a block diagram illustrating a brute force approach to implementing a finite impulse response (FIR) multiple pyramid filtering architecture;

FIG. 2 is one embodiment of a one-dimensional multiplierless pyramid filter;

WO 02/078182

PCT/US02/06224

FIG. 3 is one embodiment of a two-dimensional pyramid filter architecture;

FIG. 4 is a table/matrix showing an example of a matrix that may result from implementing a two-dimensional pyramid filter architecture, such as one that may be implemented by the embodiment of FIG. 3;

5 FIG. 5 is a table/matrix showing an example of a two-dimensional signal that may be operated upon by a two-dimensional pyramid filter architecture;

FIG. 6 is a table/matrix showing an example of applying a one-dimensional pyramid filter kernel both row-wise and column-wise;

FIG. 7 is the table/matrix of FIG. 6 for $k=9$;

10 FIG. 8 is a table/matrix showing the result of applying a one-dimensional pyramid filter to the rows of a two-dimensional input signal sample matrix; and

FIG. 9 is a table/matrix showing the result of applying a one-dimensional pyramid filter to the columns of a two-dimensional input signal sample matrix.

DETAILED DESCRIPTION

15 In the following detailed description, numerous specific details are set forth in order to provide a thorough understanding of the claimed subject matter. However, it will be understood by those skilled in the art that the claimed subject matter may be practiced without these specific details. In other instances, well-known methods, procedures, components and circuits have not been described in detail in order so as not to obscure the
20 claimed subject matter.

As previously described, pyramid filtering, in particular, symmetric pyramid filtering, may be employed in connection with color images or color image processing in order to decompose or descreen the image, such as into a background and foreground image, for example. Although the claimed subject matter is not limited in scope in this respect, in

WO 02/078182

PCT/US02/06224

such a context, pyramid filtering architectures that reduce computational complexity or processing and/or hardware cost are particularly desirable. Likewise, implementations that are multiplierless, that is do not specifically employ multiplication in the implementation, are also desirable usually because such implementations or embodiments are cheaper to
5 implement than those that employ or include multiplier circuits.

Although the claimed scope is not limited in scope in this respect, FIG. 2 illustrates an embodiment 200 of a one-dimensional pyramid filter, such as described in more detail in aforementioned U.S. Patent Application Serial No. 09/754,684, titled "Multiplierless Pyramid Filter," by T. Acharya (attorney docket no. 042390.P10722), filed on January 3,
10 2001. Embodiment 200 comprises a unified multiplierless cascaded symmetric pyramid filtering architecture to generate a multiple number of filtered output signal streams for a series or sequence of pyramid filters having different orders, the generation of the output signal streams occurring in parallel. In this particular embodiment, although, again, the claimed subject matter is not limited in scope in this respect, a filtered output signal stream
15 is produced on every clock cycle for each pyramid filter of a different order being implemented. Therefore, in addition to being computationally efficient, this particular embodiment produces good results in terms of throughput. However, as previously indicated, this particular embodiment implements a one-dimensional pyramid filter.

FIG. 2 is understood in the context of specific notation. For example, an input
20 source signal, X, may be designated as follows:

$$X = (x_0, x_1, \dots, x_{i-2}, x_{i-1}, x_i, x_{i+1}, x_{i+2}, \dots)$$

In digital or discrete signal processing, filtering may be expressed as a convolution, \otimes , of the input signal, X, and a filter, F, in this context a digital filter of finite length, referred to here as a finite impulse response (FIR) filter. Therefore, the filtered output signal

WO 02/078182

PCT/US02/06224

stream is indicated as follows:

$$Y = X \otimes F$$

As previously described, the particular embodiment in FIG. 2 employs pyramid filters. These filters are typically implemented using digital filters of lengths or orders that are odd, such as 3, 5, 7, 9, etc. Odd numbers or orders, in this context, may be expressed in the form $2N-1$, where N is a positive integer greater than two, for example. Some examples of such digital filters are as follows:

$$F_3 = (1, 2, 1)$$

$$F_5 = (1, 2, 3, 2, 1)$$

$$F_7 = (1, 2, 3, 4, 3, 2, 1)$$

$$F_9 = (1, 2, 3, 4, 5, 4, 3, 2, 1)$$

...

$$F_M = (1, 2, 3, \dots, N, \dots, 3, 2, 1) \text{ (where, in this context, } M = 2N-1)$$

For the foregoing filters, the filtered output signals or output signal streams may be represented as follows:

$B^3 = X \otimes F_3 = (b_0^3, b_1^3, \dots, b_{i-1}^3, b_i^3, b_{i+1}^3, \dots)$ result of input signal X filtered by F_3

$B^5 = X \otimes F_5 = (b_0^5, b_1^5, \dots, b_{i-1}^5, b_i^5, b_{i+1}^5, \dots)$ result of input signal X filtered by F_5

$B^7 = X \otimes F_7 = (b_0^7, b_1^7, \dots, b_{i-1}^7, b_i^7, b_{i+1}^7, \dots)$ result of input signal X filtered by F_7

$B^9 = X \otimes F_9 = (b_0^9, b_1^9, \dots, b_{i-1}^9, b_i^9, b_{i+1}^9, \dots)$ result of input signal X filtered by F_9

.....

WO 02/078182

PCT/US02/06224

$B^M = X \otimes F_M = (b_0^M, b_1^M, \dots, b_{i-1}^M, b_i^M, b_{i+1}^M, \dots)$ result of input signal X

filtered by F_M

An alternate way to empirically represent these filtered output signal samples is as

5 follows:

$$b_i^3 = x_{i-1} + 2x_i + x_{i+1}$$

$$b_i^5 = x_{i-2} + 2x_{i-1} + 3x_i + 2x_{i+1} + x_{i+2}$$

$$b_i^7 = x_{i-3} + 2x_{i-2} + 3x_{i-1} + 4x_i + 3x_{i+1} + 2x_{i+2} + x_{i+3}$$

$$b_i^9 = x_{i-4} + 2x_{i-3} + 3x_{i-2} + 4x_{i-1} + 5x_i + 4x_{i+1} + 3x_{i+2} + 2x_{i+3} + x_{i+4}$$

10 Likewise, by introducing what is referred to, in this context, as state variables, the

above expressions may be re-expressed as follows:

$$b_i^3 = x_i + s_i^3, \text{ where } s_i^3 = x_{i-1} + x_i + x_{i+1}$$

$$b_i^5 = b_i^3 + s_i^5, \text{ where } s_i^5 = x_{i-2} + x_{i-1} + x_i + x_{i+1} + x_{i+2}$$

$$b_i^7 = b_i^5 + s_i^7, \text{ where } s_i^7 = x_{i-3} + x_{i-2} + x_{i-1} + x_i + x_{i+1} + x_{i+2} + x_{i+3}$$

15 $b_i^9 = b_i^7 + s_i^9, \text{ where } s_i^9 = x_{i-4} + x_{i-3} + x_{i-2} + x_{i-1} + x_i + x_{i+1} + x_{i+2} + x_{i+3} + x_{i+4}$

Hence, the desired pyramid filter may be expressed as follows:

$$B^3 = X + S_3, \text{ where } S_3 = (s_0^3, s_1^3, s_2^3, \dots, s_{i-1}^3, s_i^3, s_{i+1}^3, \dots)$$

$$B^5 = B^3 + S_5, \text{ where } S_5 = (s_0^5, s_1^5, s_2^5, \dots, s_{i-1}^5, s_i^5, s_{i+1}^5, \dots)$$

$$B^7 = B^5 + S_7, \text{ where } S_7 = (s_0^7, s_1^7, s_2^7, \dots, s_{i-1}^7, s_i^7, s_{i+1}^7, \dots)$$

20 $B^9 = B^7 + S_9, \text{ where } S_9 = (s_0^9, s_1^9, s_2^9, \dots, s_{i-1}^9, s_i^9, s_{i+1}^9, \dots)$

A study of FIG. 2 illustrates that the computed output signal streams, $B_3, B_5, B_7, B_9,$
etc. of the pyramid filters shown in FIG. 2 are produced by the embodiment illustrated.

The previous discussion of pyramid filters occurs in the context of one-dimensional
filtering; however, due at least in part to the symmetric nature of such filters, it is possible to

WO 02/078182

PCT/US02/06224

implement pyramid two-dimensional filtering instead of computing in a row-wise and column-wise one-dimensional fashion that employs extra computational steps. If we represent the one-dimensional k -tap pyramid filter as

$$F_k = \left[1 \quad 2 \quad 3 \quad \dots \quad \frac{k-1}{2} \quad \dots \quad 3 \quad 2 \quad 1 \right], \text{ the corresponding two dimensional pyramid}$$

5 filter F_{kk} may be derived as shown in FIG. 6. In FIG. 7, we have shown the two-dimensional pyramid filter kernel for $k=9$. Assuming a two-dimensional input signal, e.g. signal samples, having the form shown in FIG. 5, FIG. 4 is a table illustrating a matrix that may result, here a two-dimensional filtered signal sample output matrix, $P^{2 \times 2}$, in which the two dimensional input signal sample matrix is filtered using two-dimensional pyramid filter

10 kernel F_{kk} .

The matrix shown in FIG. 8 may result from applying a one-dimensional k -tap pyramid filter in every row of the two-dimensional input signal sample matrix and the matrix shown in FIG. 9 may result from applying a one-dimensional k -tap pyramid filter in every column of the two-dimensional input signal sample matrix. The matrix in FIG. 4 may

15 result from applying the two-dimensional ($k \times k$) tap filter to the two dimensional input signal sample matrix or, alternatively, it may result from applying the one-dimensional k -tap pyramid filter row-wise and then followed by column-wise. Applying this approach to generate filtered signal samples outputs $P^{1 \times 3}$, $P^{2 \times 1}$, and $P^{3 \times 3}$, produces the following relationships:

20

$$P_{i,j}^{1 \times 3} = s_{i,j-1} + 2s_{i,j} + s_{i,j+1}$$

$$P_{i,j}^{2 \times 1} = s_{i-1,j} + 2s_{i,j} + s_{i+1,j}$$

$$P_{i,j}^{3 \times 3} = s_{i-1,j-1} + 2s_{i-1,j} + s_{i-1,j+1} + 2s_{i,j-1} + 4s_{i,j} + 2s_{i,j+1} + s_{i+1,j-1} + 2s_{i+1,j} + s_{i+1,j+1}$$

WO 02/078182

PCT/US02/06224

Likewise, generating filtered signal samples outputs $P^{1 \times 5}$, $P^{5 \times 1}$, and $P^{5 \times 5}$, produces the following relationships:

$$P_{i,j}^{5 \times 1} = s_{i-2,j} + 2s_{i-1,j} + 3s_{i,j} + 2s_{i+1,j} + s_{i+2,j}$$

$$P_{i,j}^{1 \times 5} = s_{i,j-2} + 2s_{i,j-1} + 3s_{i,j} + 2s_{i,j+1} + s_{i,j+2}$$

$$P_{i,j}^{5 \times 5} = (s_{i-2,j-2} + 2s_{i-2,j-1} + 3s_{i-2,j} + 2s_{i-2,j+1} + s_{i-2,j+2}) + (2s_{i-1,j-2} + 4s_{i-1,j-1} + 6s_{i-1,j} + 4s_{i-1,j+1} + 2s_{i-1,j+2}) + (3s_{i,j-2} + 6s_{i,j-1} + 9s_{i,j} + 6s_{i,j+1} + 3s_{i,j+2}) + (2s_{i+1,j-2} + 4s_{i+1,j-1} + 6s_{i+1,j} + 4s_{i+1,j+1} + 2s_{i+1,j+2}) + (s_{i+2,j-2} + 2s_{i+2,j-1} + 3s_{i+2,j} + 2s_{i+2,j+1} + s_{i+2,j+2})$$

Mathematical manipulation of these equations produces the following result:

$$P_{i,j}^{5 \times 5} = (P_{i,j}^{5 \times 1} + P_{i,j}^{1 \times 5}) + (P_{i-1,j-1}^{3 \times 3} + P_{i-1,j+1}^{3 \times 3} + P_{i+1,j-1}^{3 \times 3} + P_{i+1,j+1}^{3 \times 3}) - s_{i,j} \quad [1]$$

Equation [1] above illustrates that a direct two-dimensional pyramid filter architecture of order $2N-1$, in this case where N is three, may potentially be implemented using either four two-dimensional pyramid filters of order $[2(N-1)-1]$ or one two-dimensional pyramid filter of order $[2(N-1)-1]$ using four signal sample matrices $P_{i-1,j-1}^{3 \times 3}$, $P_{i-1,j+1}^{3 \times 3}$, $P_{i+1,j-1}^{3 \times 3}$, $P_{i+1,j+1}^{3 \times 3}$ and two one-dimensional pyramid filters of order $2N-1$, here row-wise and column-wise, in this example. FIG. 3 is a schematic diagram illustrating such an embodiment, although, of course, the claimed subject matter is not limited in scope to this particular implementation or embodiment. For example, the output signal samples corresponding to those produced by four two-dimensional pyramid filters of order $2(N-1)-1$, here order three where N is three, may not necessarily be produced by two-dimensional pyramid filters. As just one example, these output signals may be produced using one-dimensional pyramid filters. One such filter is shown in FIG. 2, although, again, additional approaches to producing the output signals for the architecture shown in FIG. 3 may also be employed.

WO 02/078182

PCT/US02/06224

FIG. 3 illustrates an integrated circuit (IC), 300, although, of course, alternative
embodiments may not necessarily be implemented on a single integrated circuit chip. IC
300 includes a two-dimensional pyramid filter architecture of an order $2N-1$, where N is a
positive integer greater than two, here three. This two-dimensional pyramid filter
5 architecture of order $2N-1$, or order five here, in operation, is capable of producing, on
respective clock cycles, at least the following. Pyramid filtered output signals are produced
corresponding to output signals produced by two one-dimensional pyramid filters of order
 $2N-1$, again, five in this example where N is three, 330 and 340 in FIG. 3. Pyramid filtered
output signals are also produced corresponding to output signals produced either by four
10 two-dimensional pyramid filters or one two-dimensional pyramid of order $[2(N-1) - 1]$ or
three here, where N is three, using signal sample matrices $P_{i-1,j-1}^{3 \times 3}$, $P_{i-1,j+1}^{3 \times 3}$, $P_{i+1,j-1}^{3 \times 3}$, $P_{i+1,j+1}^{3 \times 3}$.
These output signals are summed by adder 310 in FIG. 3. Likewise, the respective output
signals in this two dimensional pyramid filter architecture implementation, in the
implementation in FIG. 3, for example, the output signals of 310, 330 and 340, are summed
15 on respective clock cycles of the two dimensional pyramid filter architecture, by adder 320
in FIG. 3. Of course, FIG. 3 is just one possible example of an implementation and the
claimed subject matter is not limited in scope to this or to another particular
implementation.

For example, N is not limited to three. Likewise, the pyramid filtered output signals
20 that correspond to output signals produced by a two-dimensional pyramid filter are not
limited to being implemented by one-dimensional pyramid filters or to two-dimensional
pyramid filters. Likewise, as previously indicated, if one-dimensional filters are employed,
then the filters are not limited to the implementation approach described in aforementioned
U.S. Patent Application Serial No. 09/754,684, titled "Multiplierless Pyramid Filter," filed

WO 02/078182

PCT/US02/06224

January 3, 2001, by Tinku Acharya. For example, one-dimensional pyramid filters other than multiplierless pyramid filters may be employed. Likewise, depending on the implementation, different numbers of such pyramid filters and different orders of such pyramid filters may be employed. For example, the output signals may be combined or
5 processed in a way to produce pyramid filtered output signals corresponding to pyramid filters of a different number, dimension, or order.

It will, of course, be understood that, although particular embodiments have just been described, the invention is not limited in scope to a particular embodiment or implementation. For example, one embodiment may be in hardware, whereas another
10 embodiment may be in software. Likewise, an embodiment may be in firmware, or any combination of hardware, software, or firmware, for example. Likewise, although the invention is not limited in scope in this respect, one embodiment may comprise an article, such as a storage medium. Such a storage medium, such as, for example, a CD-ROM, or a
15 disk, may have stored thereon instructions, which when executed by a system, such as a computer system or platform, or an imaging system, for example, may result in an embodiment of a method in accordance with the present invention being executed, such as an embodiment of a method of filtering or processing an image or video, for example, as
previously described. For example, an image processing platform or an imaging processing system may include an image processing unit, a video or image input/output device and/or
20 memory.

While certain features of the invention have been illustrated and described herein, many modifications, substitutions, changes and equivalents will now occur to those skilled in the art. It is, therefore, to be understood that the appended claims are intended to cover all such modifications and changes as fall within the true spirit of the invention.

WO 02/078182

PCT/US02/06224

Claims:

1. An integrated circuit comprising:
 a two-dimensional pyramid filter architecture of an order $2N-1$, where N is a positive integer greater than two;
- 5 said two dimensional pyramid filter architecture of order $2N-1$, in operation, capable of producing, on respective clock cycles, at least the following:
 pyramid filtered output signals corresponding to output signals produced by two one-dimensional pyramid filters of order $2N-1$; and
 pyramid filtered output signals corresponding to output signals produced either by
 10 four two-dimensional pyramid filters or one two-dimensional pyramid filter of order $[2(N-1) - 1]$ using signal sample matrices of order $[2(N-1)-1]$;
 wherein the respective output signals in said two dimensional pyramid filter architecture are summed on respective clock cycles of said two dimensional pyramid filter architecture
- 15
2. The integrated circuit of claim 1, wherein N is three; and
 wherein said two dimensional pyramid filter architecture of order five, in operation, capable of producing, on respective clock cycles, the pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filter or one two-dimensional pyramid of order three using four signal sample
 20 matrices $P_{j-1,j-1}^{3 \times 3}$, $P_{j-1,j+1}^{3 \times 3}$, $P_{j+1,j-1}^{3 \times 3}$, $P_{j+1,j+1}^{3 \times 3}$, the pyramid filtered output signals being produced by a plurality of one-dimensional pyramid filters.
3. The integrated circuit of claim 2, wherein said one-dimensional pyramid filters comprise a sequence of scalable cascaded multiplierless operational units, each of said

WO 02/078182

PCT/US02/06224

operational units capable of producing a different order pyramid filtered output signal sample stream.

4. The integrated circuit of claim 2, wherein said one-dimensional pyramid filters comprise other than one-dimensional multiplierless pyramid filters.
5. The integrated circuit of claim 2, wherein said two dimensional pyramid filter architecture of order five, in operation, capable of producing, on respective clock cycles, the pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid of order three using four signal sample matrices $P_{i-1,j-1}^{3 \times 3}$, $P_{i-1,j+1}^{3 \times 3}$, $P_{i+1,j-1}^{3 \times 3}$, $P_{i+1,j+1}^{3 \times 3}$, the pyramid filtered output signals produced by a plurality of one-dimensional pyramid filters being produced by eight one-dimensional pyramid filters of order three.
6. The integrated circuit of claim 5, wherein, of the eight one-dimensional pyramid filters of order three, four are applied row-wise and four are applied column-wise.
7. The integrated circuit of claim 5, wherein said two dimensional pyramid filter architecture of order five, in operation, capable of producing, on respective clock cycles, the pyramid filtered output signals corresponding to output signals produced by four two-dimensional pyramid filters of order three, the pyramid filtered output signals produced by a plurality of one-dimensional pyramid filters being produced by eight one-dimensional multiplierless pyramid filters of order three.
8. The integrated circuit of claim 7, wherein, of the eight one-dimensional pyramid filters of order three, four are applied row-wise and four are applied column-wise.
9. The integrated circuit of claim 2, wherein said two dimensional pyramid filter architecture of order five, in operation, capable of producing, on respective clock

WO 02/078182

PCT/US02/06224

cycles, the pyramid filtered output signals corresponding to output signals produced by four two-dimensional pyramid filters of order three, the pyramid filtered output signals produced by a plurality of one-dimensional pyramid filters being produced by other than one-dimensional multiplierless pyramid filters.

5 10. The integrated circuit of claim 1, wherein N is three;
said two dimensional pyramid filter architecture of order five, in operation, being capable of producing, on respective clock cycles, at least the following:

output signals produced by four two-dimensional pyramid filters of order three.

10 11. The integrated circuit of claim 1, wherein said two dimensional pyramid filter architecture of order five, in operation, capable of producing, on respective clock cycles, the pyramid filtered output signals corresponding to output signals produced by four two-dimensional pyramid filters of order three, the pyramid filtered output signals being produced by two-dimensional pyramid filters other than four two-dimensional pyramid filters.

15 12. A method of filtering an image using a two-dimensional pyramid filter architecture of order $2N-1$, where N is a positive integer greater than two, said method comprising:

summing, on respective clock cycles of said two dimensional pyramid filter architecture, the following:

20 pyramid filtered output signals corresponding to output signals produced by two one-dimensional pyramid filters of order $2N-1$; and

pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid filter of order $[2(N-1) - 1]$ using signal sample matrices of order $[2(N-1)-1]$.

WO 02/078182

PCT/US02/06224

13. The method of claim 12, wherein N is three;

pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid filter of order $[2(N-1) - 1]$ using signal sample matrices of order $[2(N-1)-1]$ comprising output signals produced by four two-dimensional pyramid filters of order three.

14. The method of claim 12, wherein N is three; and

wherein the pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid of order three using four signal sample matrices $P_{i-1,j-1}^{2 \times 3}$, $P_{i-1,j+1}^{2 \times 3}$, $P_{i+1,j-1}^{2 \times 3}$, $P_{i+1,j+1}^{2 \times 3}$, comprise pyramid filtered output signals produced by a plurality of one-dimensional pyramid filters.

15. The method of claim 14, wherein said one-dimensional pyramid filters comprise a sequence of scalable cascaded multiplierless operational units, each of said operational units capable of producing a different order pyramid filtered output signal sample stream.

16. An article comprising: a storage medium, said storage medium having stored thereon instructions, that, when executed result in filtering an image using a two-dimensional pyramid filter architecture of order $2N-1$, where N is a positive integer greater than two, by:

summing, on respective clock cycles of said two dimensional pyramid filter architecture, the following:

pyramid filtered output signals corresponding to output signals produced by two one-dimensional pyramid filters of order $2N-1$; and

pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid filter

WO 02/078182

PCT/US02/06224

of order $[2(N-1) - 1]$ using signal sample matrices of order $[2(N-1)-1]$.

17. The article of claim 16, wherein N is three;

pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid filter of order $[2(N-1) - 1]$ using signal sample matrices of order $[2(N-1)-1]$ comprising output signals produced by four two-dimensional pyramid filters of order three.

18. The article of claim 16, wherein N is three; and

wherein the pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid of order three using four signal sample matrices $P_{i-1,j-1}^{3 \times 3}$, $P_{i-1,j+1}^{3 \times 3}$, $P_{i+1,j-1}^{3 \times 3}$, $P_{i+1,j+1}^{3 \times 3}$, comprise pyramid filtered output signals produced by a plurality of one-dimensional pyramid filters.

19. The article of claim 18, wherein said one-dimensional pyramid filters comprise a sequence of scalable cascaded multiplierless operational units, each of said operational units capable of producing a different order pyramid filtered output signal sample stream.

20. An image processing system comprising:

an image processing unit to filter scanned color images;

said image processing unit including at least one two-dimensional pyramid filter architecture;

said at least one two-dimensional pyramid filter architecture comprising:

a two-dimensional pyramid filter architecture of an order $2N-1$, where N is a positive integer greater than two;

said two dimensional pyramid filter architecture of order $2N-1$, in operation, capable of producing, on respective clock cycles, at least the following:

WO 02/078182

PCT/US02/06224

pyramid filtered output signals corresponding to output signals produced by two one-dimensional pyramid filters of order $2N-1$; and

pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid filter of order $[2(N-1) - 1]$ using signal sample matrices of order $[2(N-1)-1]$;

wherein the respective output signals in said two dimensional pyramid filter architecture are summed on respective clock cycles of said two dimensional pyramid filter architecture.

21. The system of claim 20, wherein N is three;

pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid filter of order $[2(N-1) - 1]$ using signal sample matrices of order $[2(N-1)-1]$ comprising output signals produced by four two-dimensional pyramid filters of order three.

22. The system of claim 20, wherein N is three; and

wherein the pyramid filtered output signals corresponding to output signals produced either by four two-dimensional pyramid filters or one two-dimensional pyramid of order three using four signal sample matrices $P_{i-1,j-1}^{2 \times 2}$, $P_{i-1,j+1}^{2 \times 2}$, $P_{i+1,j-1}^{2 \times 2}$, $P_{i+1,j+1}^{2 \times 2}$, comprise pyramid filtered output signals produced by a plurality of one-dimensional pyramid filters.

23. The system of claim 22, wherein said one-dimensional pyramid filters

comprise a sequence of scalable cascaded multiplierless operational units, each of said operational units capable of producing a different order pyramid filtered output signal sample stream.

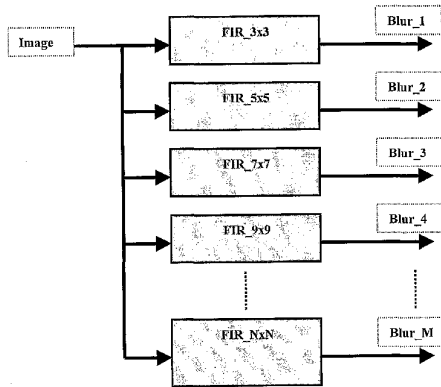


FIG. 1

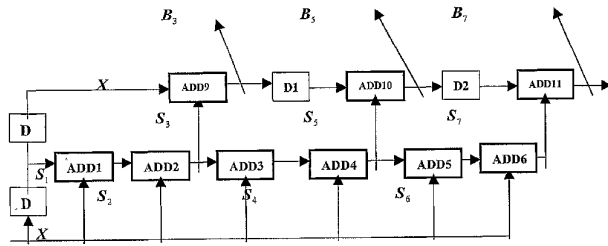


FIG. 2

3/7

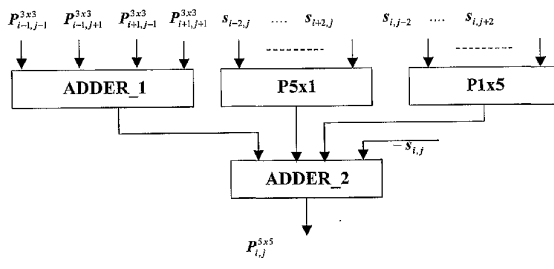


FIG. 3

4/7

FIG. 4

$$P^{k\alpha k} = \begin{bmatrix} P_{0,0}^{k\alpha k} & P_{0,1}^{k\alpha k} & \dots & \dots & P_{0,N-1}^{k\alpha k} \\ P_{1,0}^{k\alpha k} & P_{1,1}^{k\alpha k} & \dots & \dots & P_{1,N-1}^{k\alpha k} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ P_{i,j}^{k\alpha k} & \dots & \dots & \dots & \dots \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ P_{M-1,0}^{k\alpha k} & P_{M-1,1}^{k\alpha k} & \dots & \dots & P_{M-1,N-1}^{k\alpha k} \end{bmatrix}$$

FIG. 5

$$S = \begin{bmatrix} S_{0,0} & S_{0,1} & \dots & \dots & S_{0,N-1} \\ S_{1,0} & \dots & \dots & \dots & S_{1,N-1} \\ \vdots & \vdots & S_{i-1,j-1} & S_{i-1,j} & S_{i-1,j+1} & \vdots \\ \vdots & \vdots & S_{i,j-1} & S_{i,j} & S_{i,j+1} & \vdots \\ \vdots & \vdots & S_{i+1,j-1} & S_{i+1,j} & S_{i+1,j+1} & \vdots \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ S_{M-1,0} & S_{M-1,1} & \dots & \dots & S_{M-1,N-1} \end{bmatrix}$$

$$F_{k \times k} = \begin{bmatrix} 1 \\ 2 \\ 3 \\ \vdots \\ k-1 \\ 2 \\ \vdots \\ 3 \\ 2 \\ 1 \end{bmatrix} * \begin{bmatrix} 1 & 2 & 3 & \dots & \frac{k-1}{2} & 4 & 3 & 2 & 1 \end{bmatrix}$$

$$= \begin{bmatrix} 1 & 2 & 3 & \dots & \frac{k-1}{2} & \dots & 3 & 2 & 1 \\ 2 & 4 & 6 & \dots & \frac{2(k-1)}{2} & \dots & 6 & 4 & 2 \\ 3 & 6 & 9 & \dots & \frac{3(k-1)}{2} & \dots & 9 & 6 & 3 \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ k-1 & 2(k-1) & 3(k-1) & \dots & (k-1) * \frac{k-1}{2} & \dots & 3(k-1) & 2(k-1) & k-1 \\ \frac{2}{2} & \frac{2}{2} & \frac{2}{2} & \dots & \frac{4}{2} & \dots & \frac{2}{2} & \frac{2}{2} & \frac{2}{2} \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ 3 & 6 & 9 & \dots & \frac{3(k-1)}{2} & \dots & 9 & 6 & 3 \\ 2 & 4 & 6 & \dots & \frac{2(k-1)}{2} & \dots & 6 & 4 & 2 \\ 1 & 2 & 3 & \dots & \frac{k-1}{2} & \dots & 3 & 2 & 1 \end{bmatrix}$$

FIG. 6

$$F_{9 \times 9} = \begin{bmatrix} 1 \\ 2 \\ 3 \\ 4 \\ 5 \\ 4 \\ 3 \\ 2 \\ 1 \end{bmatrix} * \begin{bmatrix} 1 & 2 & 3 & 4 & 5 & 4 & 3 & 2 & 1 \end{bmatrix} = \begin{bmatrix} 1 & 2 & 3 & 4 & 5 & 4 & 3 & 2 & 1 \\ 2 & 4 & 6 & 8 & 10 & 8 & 6 & 4 & 2 \\ 3 & 6 & 9 & 12 & 15 & 12 & 9 & 6 & 3 \\ 4 & 8 & 12 & 16 & 20 & 16 & 12 & 8 & 4 \\ 5 & 10 & 15 & 20 & 25 & 20 & 15 & 10 & 5 \\ 4 & 8 & 12 & 16 & 20 & 16 & 12 & 8 & 4 \\ 3 & 6 & 9 & 12 & 15 & 12 & 9 & 6 & 3 \\ 2 & 4 & 6 & 8 & 10 & 8 & 6 & 4 & 2 \\ 1 & 2 & 3 & 4 & 5 & 4 & 3 & 2 & 1 \end{bmatrix}$$

FIG. 7

WO 02/078182

PCT/US02/06224

7/7

$$P^{1sk} = \begin{bmatrix} P_{0,0}^{1sk} & P_{0,1}^{1sk} & \dots & \dots & P_{0,N-1}^{1sk} \\ P_{1,0}^{1sk} & P_{1,1}^{1sk} & \dots & \dots & P_{1,N-1}^{1sk} \\ \dots & \dots & \dots & \dots & \dots \\ \vdots & \dots & P_{i,j}^{1sk} & \dots & \vdots \\ \dots & \dots & \dots & \dots & \dots \\ P_{M-1,0}^{1sk} & P_{M-1,1}^{1sk} & \dots & \dots & P_{M-1,N-1}^{1sk} \end{bmatrix}$$

FIG. 8

$$P^{skl} = \begin{bmatrix} P_{0,0}^{skl} & P_{0,1}^{skl} & \dots & \dots & P_{0,N-1}^{skl} \\ P_{1,0}^{skl} & P_{1,1}^{skl} & \dots & \dots & P_{1,N-1}^{skl} \\ \dots & \dots & \dots & \dots & \dots \\ \vdots & \dots & P_{i,j}^{skl} & \dots & \vdots \\ \dots & \dots & \dots & \dots & \dots \\ P_{M-1,0}^{skl} & P_{M-1,1}^{skl} & \dots & \dots & P_{M-1,N-1}^{skl} \end{bmatrix}$$

FIG. 9

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
3 October 2002 (03.10.2002)

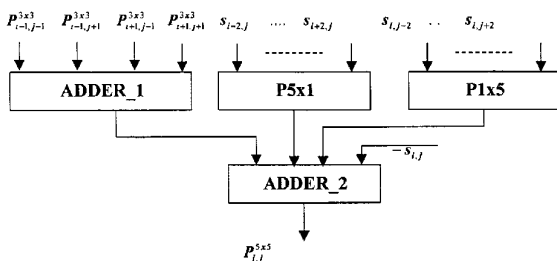
PCT

(10) International Publication Number
WO 02/078182 A3

- (51) International Patent Classification: H03H 17/02
- (21) International Application Number: PCT/US02/06224
- (22) International Filing Date: 28 February 2002 (28.02.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/817,711 26 March 2001 (26.03.2001) US
- (71) Applicant (for all designated States except US): INTEL CORPORATION [US/US]; 2200 Mission College Boulevard, Santa Clara, CA 95052 (US).
- (72) Inventor; and
(75) Inventor/Applicant (for US only): ACHARYA, Tinku [IN/US]; 4840 West Erie Street, Chandler, AZ 85226 (US).
- (74) Agents: MALLIE, Michael, J. et al.; Blakely, Sokoloff, Taylor & Zafman, 7th floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025 (US).
- (81) Designated States (national): AU, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.
- (84) Designated States (regional): ARIPO patent (GI, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, U, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BE, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NI, SN, TD, TG).
- Published: with international search report
- (88) Date of publication of the international search report: 5 June 2003



(54) Title: TWO-DIMENSIONAL PYRAMID FILTER ARCHITECTURE



WO 02/078182 A3

(57) Abstract: This invention relates to an integrated circuit comprising a two-dimensional pyramid filter architecture of order 2N-1, where N is a positive integer greater than two. With this architecture reduction of computational complexity or processing and/or hardware cost is achieved.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/06224
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03H17/02 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H03H		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CASTLEMAN K R ET AL: "Simplified design of steerable pyramid filters" CIRCUITS AND SYSTEMS, 1998. ISCAS '98. PROCEEDINGS OF THE 1998 IEEE INTERNATIONAL SYMPOSIUM ON MONTEREY, CA, USA 31 MAY-3 JUNE 1998, NEW YORK, NY, USA, IEEE, US, 31 May 1998 (1998-05-31), pages 329-332, XP010289971 ISBN: 0-7803-4455-3 abstract ---	1,12,16, 20
A	US 5 561 617 A (VAN DER WAL GOOITZEN S) 1 October 1996 (1996-10-01) column 13, line 18 -column 16, line 56; figure 6A; example 6B --- -/-	1,12,16, 20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents:		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ** document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *** document member of the same patent family		
Date of the actual completion of the international search	Date of mailing of the international search report	
17 September 2002	26/09/2002	
Name and mailing address of the ISA European Patent Office, P.B. 5016 Patentlaan 2 NL - 2280 LV Rijswijk Tel: (+31-70) 340-3040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer D/L PINTA BALLE., L	

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/06224
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 703 514 A (VAN DER WAL GOOITZEN S) 27 October 1987 (1987-10-27) column 9, line 11 -column 16, line 17; figures 3,,4A-4C -----	1,12,16, 20

INTERNATIONAL SEARCH REPORT

*Information on patent family members

International Application No
PCT/US 02/06224

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5561617	A	01-10-1996	US 5359674 A 25-10-1994
			DE 69231518 D1 23-11-2000
			DE 69231518 T2 17-05-2001
			EP 0571607 A1 01-12-1993
			ES 2150935 T3 16-12-2000
			WO 9312507 A1 24-06-1993
			US 4703514
			DE 3631333 A1 26-03-1987
			FR 2587521 A1 20-03-1987
			GB 2180676 A ,B 01-04-1987
			HK 82294 A 19-08-1994
			JP 2008610 C 11-01-1996
			JP 7038562 B 26-04-1995
			JP 62076312 A 08-04-1987
			KR 9005458 B1 30-07-1990
			SG 17092 G 12-03-1993

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW