(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0122909
(43) 공개일자 2023년08월22일

(51) 국제특허분류(Int. Cl.)
G06F 12/06 (2006.01) *G06F 11/10* (2006.01)
G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 12/0646 (2013.01)
G06F 11/1008 (2013.01)
(21) 출원번호 10-2022-0019737
(22) 출원일자 2022년02월15일
심사청구일자 2022년02월15일

(71) 출원인
경상국립대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
(72) 발명자
김재호
경상남도 진주시 진주대로 501, 경상국립대학교 407동 313호(가좌동)
손승우
경상남도 창원시 성산구 창원천로 34, 105동 902호(대원동, 포레나 대원)
(74) 대리인
김태헌

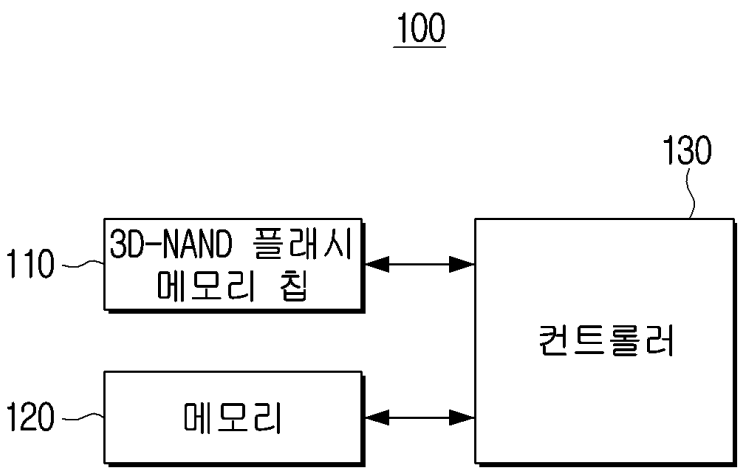
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **데이터를 저장하는 전자 장치 및 그를 이용한 데이터 저장 방법**

(57) 요 약

전자 장치가 개시된다. 본 전자 장치는, 레이어 및 레이어에 포함된 페이지로 구별되는 복수의 저장 공간을 포함하는 3D-NAND 플래시 메모리 칩(chip), 저장 공간 별 보유 오류 발생 확률 정보 및 3D-NAND 플래시 메모리 칩에 저장된 데이터 별 접속 정보가 저장된 메모리 및 3D-NAND 플래시 메모리 칩과 외부 장치 간의 데이터 통신을 수행하고, 3D-NAND 플래시 메모리 칩에 대한 데이터 읽기 및 쓰기 작업을 제어하는 컨트롤러를 포함하며, 접속 정보는, 데이터 별 접속 빈도 정보 및 데이터 별 접속 주기 정보 중 적어도 하나를 포함하며, 컨트롤러는, 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

대 표 도 - 도3



(52) CPC특허분류
G06F 3/0604 (2013.01)
G06F 3/0617 (2013.01)
G06F 3/0679 (2013.01)

명 세 서

청구범위

청구항 1

레이어 및 상기 레이어에 포함된 페이지로 구별되는 복수의 저장 공간을 포함하는 3D-NAND 플래시 메모리 칩(chip);

상기 저장 공간 별 보유 오류 발생 확률 정보 및 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터 별 접속 정보가 저장된 메모리; 및

상기 3D-NAND 플래시 메모리 칩과 외부 장치 간의 데이터 통신을 수행하고, 상기 3D-NAND 플래시 메모리 칩에 대한 데이터 읽기 및 쓰기 작업을 수행하는 컨트롤러;를 포함하며,상기 접속 정보는,

상기 데이터 별 접속 빈도 정보 및 상기 데이터 별 접속 주기 정보 중 적어도 하나를 포함하며,

상기 컨트롤러는,

상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는, 전자 장치.

청구항 2

제1항에 있어서,

상기 컨트롤러는,

상기 외부 장치로부터 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 재배치 명령이 입력되면, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는, 전자 장치.

청구항 3

제1항에 있어서,

상기 컨트롤러는,

상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 GC(Garbage Collection) 시점 또는 데이터 마이그레이션(migration) 시점 중 적어도 하나의 시점에, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는, 전자 장치.

청구항 4

제1항에 있어서,

상기 컨트롤러는,

상기 3D-NAND 플래시 메모리 칩에 기 설정된 용량 이상의 데이터가 저장되면, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는, 전자 장치.

청구항 5

제1항에 있어서,

상기 컨트롤러는,

상기 외부 장치로부터 태그를 포함한 데이터가 입력되면, 상기 태그에 기초하여 상기 입력된 데이터의 예상되는 접속 정보를 확인하고, 상기 데이터 별 접속 정보 및 상기 입력된 데이터의 예상되는 접속 정보에 기초하여, 접

속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는, 전자 장치.

청구항 6

제1항에 있어서,

상기 데이터 별 접속 빈도 정보는,

상기 데이터가 저장된 기간 동안 상기 데이터에 접속한 횟수에 기초하여 산출되며,

상기 데이터 별 접속 주기 정보는,

상기 데이터가 저장된 기간 동안 상기 데이터에 접속한 주기의 평균값에 기초하여 산출되는, 전자 장치.

청구항 7

제1항에 있어서,

스트라이핑(striping)된 복수의 3D-NAND 플래시 메모리 칩을 포함하며,

상기 메모리는,

상기 3D-NAND 플래시 메모리 칩의 P/E(Program/Erasure) 사이클 수 및 상기 저장 공간 별 저장 오류 발생 확률 정보를 더 저장하며,

상기 컨트롤러는,

상기 P/E 사이클 수가 기 설정된 수 이상이면, 상기 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프(stripe)에 대해 패리티(parity) 데이터를 추가로 저장하는, 전자 장치.

청구항 8

제7항에 있어서,

상기 컨트롤러는,

상기 저장 오류 발생 확률이 제1 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제1 패리티 데이터를 저장하고,

상기 저장 오류 발생 확률이 상기 제1 임계치보다 큰 제2 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제2 패리티 데이터를 더 저장하는, 전자 장치.

청구항 9

제7항에 있어서,

상기 저장 오류 발생 확률 정보는,

P/E 사이클 수에 따른 복수의 저장 오류 발생 확률 정보를 포함하며,

상기 컨트롤러는,

상기 3D-NAND 플래시 메모리 칩의 P/E 사이클 수를 확인하고, 상기 복수의 저장 오류 발생 확률 정보 중 상기 P/E 사이클 수에 대응되는 저장 오류 발생 확률 정보에 기초하여, 상기 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 패리티 데이터를 추가로 저장하는, 전자 장치.

청구항 10

레이어 및 상기 레이어에 포함된 페이지로 구별되는 복수의 저장 공간을 포함하는 3D-NAND 플래시 메모리 칩(chip)을 포함하는 전자 장치의 데이터 저장 방법에 있어서,

상기 저장 공간 별 보유 오류 발생 확률 정보 및 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터 별 접속 정보를 확인하는 단계; 및

상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류

발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계;를 포함하며,

상기 접속 정보는,

상기 데이터 별 접속 빈도 정보 및 상기 데이터 별 접속 주기 정보 중 적어도 하나를 포함하는, 데이터 저장 방법.

청구항 11

제10항에 있어서,

외부 장치로부터 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 재배치 명령이 입력되는 단계; 및

상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계;를 더 포함하는, 데이터 저장 방법.

청구항 12

제11항에 있어서,

상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 GC(Garbage Collection) 또는 데이터 마이그레이션(migration) 중 적어도 하나를 수행하는 단계; 및

상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계;를 더 포함하는, 데이터 저장 방법.

청구항 13

제10항에 있어서,

상기 3D-NAND 플래시 메모리 칩에 저장된 데이터 용량을 확인하는 단계; 및

상기 확인한 용량이 기 설정된 용량 이상이면, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계;를 더 포함하는, 데이터 저장 방법.

청구항 14

제10항에 있어서,

외부 장치로부터 태그를 포함한 데이터가 입력되는 단계;

상기 태그에 기초하여 상기 입력된 데이터의 예상되는 접속 정보를 확인하는 단계; 및

상기 데이터 별 접속 정보 및 상기 입력된 데이터의 예상되는 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계;를 더 포함하는, 데이터 저장 방법.

청구항 15

제10항에 있어서,

복수의 3D-NAND 플래시 메모리 칩이 스트라이핑(striping)되는 단계;

상기 3D-NAND 플래시 메모리 칩의 P/E(Program/Erasure) 사이클 수 및 상기 저장 공간 별 저장 오류 발생 확률 정보를 확인하는 단계; 및

상기 P/E 사이클 수가 기 설정된 수 이상이면, 상기 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프(stripe)에 대해 패리티(parity) 데이터를 추가로 저장하는 단계;를 더 포함하는, 데이터 저장 방법.

청구항 16

제15항에 있어서,

상기 저장 오류 발생 확률이 제1 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제1 패리티 데이터를 저

장하는 단계; 및

상기 저장 오류 발생 확률이 상기 제1 임계치보다 큰 제2 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제2 패리티 데이터를 더 저장하는 단계;를 더 포함하는, 데이터 저장 방법.

청구항 17

제15항에 있어서,

상기 저장 오류 발생 확률 정보는,

P/E 사이클 수에 따른 복수의 저장 오류 발생 확률 정보를 포함하며,

상기 3D-NAND 플래시 메모리 칩의 P/E 사이클 수를 확인하는 단계;

상기 복수의 저장 오류 발생 확률 정보 중 상기 P/E 사이클 수에 대응되는 저장 오류 발생 확률 정보를 확인하는 단계; 및

상기 확인한 저장 오류 발생 확률 정보에 기초하여, 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 패리티 데이터를 추가로 저장하는 단계;를 더 포함하는, 데이터 저장 방법.

발명의 설명

기 술 분 야

[0001] 본 개시는 데이터를 저장하는 전자 장치 및 그를 이용한 데이터 저장 방법에 관한 것으로, 보다 구체적으로는 3D-NAND 플래시 메모리 칩(chip)을 포함하는 전자 장치에서 발생하는 보유 오류 및 저장 오류를 효과적으로 방지할 수 있는 전자 장치 및 데이터 저장 방법에 관한 것이다.

배 경 기 술

[0002] 3D-NAND 플래시 메모리는 평면적 구조인 2D-NAND 셀을 적층하는 방식으로 단위 면적당 고용량을 제공할 수 있다. 하지만 2D-NAND 플래시 메모리와는 다르게 3D-NAND 플래시 메모리는 제조 공정의 특성상 레이어와 페이지의 물리적인 위치에 따라 오류 발생률이 다르게 분포된다.

[0003] 구체적으로, 적층 공정의 특성상 3D 구조의 비틀림, 채널 구멍의 구부러짐, 상단 레이어에서 하단 레이어까지의 채널 구멍의 직경 변화 등이 발생할 수 있으며, 이 경우 레이어와 페이지의 물리적 위치에 따라 오류 발생 확률이 다르게 분포하며, 저장 공간 별로 서로 다른 오류 특성을 가지게 된다.

[0004] 플래시 메모리에서 발생할 수 있는 오류는 보유 오류 및 저장 오류가 있다. 보유 오류는 플래시 메모리의 페이지에 데이터를 저장한 후 일정 기간이 경과하면, 전자가 페이지로부터 빠져나와 해당 페이지의 데이터 값이 변하는 오류를 의미한다. 저장 오류는 플래시 메모리가 노후 됨에 따라 각 페이지에 데이터 입력 시, 전자가 인접 페이지에도 들어가며 데이터 값이 변하는 발생하는 오류이다.

[0005] 현재 대부분의 플래시 메모리는 ECC(Error Correction Code)를 이용하여 모든 저장 공간에 대해 동일한 수준의 오류 교정 강도를 부여한다. 물리적 위치에 따라 오류 발생률이 다르게 분포하는 3D-NAND 플래시 메모리에서는 일괄적으로 ECC를 적용하여 오류를 대처하기는 어려운 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 따라서 본 개시는 상술한 바와 같은 문제점을 해결하기 위한 것으로, 3D-NAND 플래시 메모리 칩의 물리적 구조에 따른 저장 공간 별 보유 오류 발생률에 기초하여, 데이터의 사용 패턴에 따라 데이터를 배치함으로써, 보유 오류 발생을 효과적으로 방지할 수 있는 전자 장치 및 방법을 제공하는 데 있다.

[0007] 또한, 3D-NAND 플래시 메모리 칩의 노후에 따른 저장 공간 별 저장 오류 발생률에 기초하여, 저장 오류 발생률이 높은 저장 공간이 포함된 스트라이프(stripe)에는 패리티(parity) 데이터를 추가로 저장하여, 데이터 보호를 효율적으로 수행할 수 있는 전자 장치 및 방법을 제공하는 데 있다.

과제의 해결 수단

[0008] 본 개시는 이상과 같은 목적을 달성하기 위한 것으로, 본 개시에 따른 전자 장치는, 레이어 및 상기 레이어에 포함된 페이지로 구별되는 복수의 저장 공간을 포함하는 3D-NAND 플래시 메모리 칩(chip), 상기 저장 공간 별 보유 오류 발생 확률 정보 및 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터 별 접속 정보가 저장된 메모리 및 상기 3D-NAND 플래시 메모리 칩과 외부 장치 간의 데이터 통신을 수행하고, 상기 3D-NAND 플래시 메모리 칩에 대한 데이터 읽기 및 쓰기 작업을 제어하는 컨트롤러를 포함하며, 상기 접속 정보는, 상기 데이터 별 접속 빈도 정보 및 상기 데이터 별 접속 주기 정보 중 적어도 하나를 포함하며, 상기 컨트롤러는, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

[0009] 한편, 상기 컨트롤러는, 상기 외부 장치로부터 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 재배치 명령이 입력되면, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

[0010] 한편, 상기 컨트롤러는, 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 GC(Garbage Collection) 시점 또는 데이터 마이그레이션(migration) 시점 중 적어도 하나의 시점에, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

[0011] 한편, 상기 컨트롤러는, 상기 3D-NAND 플래시 메모리 칩에 기 설정된 용량 이상의 데이터가 저장되면, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

[0012] 한편, 상기 컨트롤러는, 상기 외부 장치로부터 태그를 포함한 데이터가 입력되면, 상기 태그에 기초하여 상기 입력된 데이터의 예상되는 접속 정보를 확인하고, 상기 데이터 별 접속 정보 및 상기 입력된 데이터의 예상되는 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

[0013] 이 경우, 상기 데이터 별 접속 빈도 정보는, 상기 데이터가 저장된 기간 동안 상기 데이터에 접속한 횟수에 기초하여 산출되며, 상기 데이터 별 접속 주기 정보는, 상기 데이터가 저장된 기간 동안 상기 데이터에 접속한 주기의 평균값에 기초하여 산출될 수 있다.

[0014] 한편, 본 개시에 따른 전자 장치는, 스트라이핑(striping)된 복수의 3D-NAND 플래시 메모리 칩을 포함하며, 상기 메모리는, 상기 3D-NAND 플래시 메모리 칩의 P/E(Program/Erasure) 사이클 수 및 상기 저장 공간 별 저장 오류 발생 확률 정보를 더 저장하며, 상기 컨트롤러는, 상기 P/E 사이클 수가 기 설정된 수 이상이면, 상기 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프(stripe)에 대해 패리티(parity) 데이터를 추가로 저장할 수 있다.

[0015] 이 경우, 상기 컨트롤러는, 상기 저장 오류 발생 확률이 제1 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제1 패리티 데이터를 저장하고, 상기 저장 오류 발생 확률이 상기 제1 임계치보다 큰 제2 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제2 패리티 데이터를 더 저장할 수 있다.

[0016] 한편, 상기 저장 오류 발생 확률 정보는, P/E 사이클 수에 따른 복수의 저장 오류 발생 확률 정보를 포함하며, 상기 컨트롤러는, 상기 3D-NAND 플래시 메모리 칩의 P/E 사이클 수를 확인하고, 상기 복수의 저장 오류 발생 확률 정보 중 상기 P/E 사이클 수에 대응되는 저장 오류 발생 확률 정보에 기초하여, 상기 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 패리티 데이터를 추가로 저장할 수 있다.

[0017] 레이어 및 상기 레이어에 포함된 페이지로 구별되는 복수의 저장 공간을 포함하는 3D-NAND 플래시 메모리 칩(chip)을 포함하는 전자 장치의 데이터 저장 방법은, 상기 저장 공간 별 보유 오류 발생 확률 정보 및 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터 별 접속 정보를 확인하는 단계 및 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계를 포함하며, 상기 접속 정보는, 상기 데이터 별 접속 빈도 정보 및 상기 데이터 별 접속 주기 정보 중 적어도 하나를 포함할 수 있다.

[0018] 한편, 외부 장치로부터 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 재배치 명령이 입력되는 단계 및 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유

오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계를 더 포함할 수 있다.

[0019] 한편, 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터에 대한 GC(Garbage Collection) 또는 데이터 마이그레이션(migration) 중 적어도 하나를 수행하는 단계 및 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계를 더 포함할 수 있다.

[0020] 한편, 상기 3D-NAND 플래시 메모리 칩에 저장된 데이터 용량을 확인하는 단계 및 상기 확인한 용량이 기 설정된 용량 이상이면, 상기 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계를 더 포함할 수 있다.

[0021] 한편, 외부 장치로부터 태그를 포함한 데이터가 입력되는 단계, 상기 태그에 기초하여 상기 입력된 데이터의 예상되는 접속 정보를 확인하는 단계 및 상기 데이터 별 접속 정보 및 상기 입력된 데이터의 예상되는 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 상기 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계를 더 포함할 수 있다.

[0022] 한편, 복수의 3D-NAND 플래시 메모리 칩이 스트라이핑(striping)되는 단계, 상기 3D-NAND 플래시 메모리 칩의 P/E(Program/Erasure) 사이클 수 및 상기 저장 공간 별 저장 오류 발생 확률 정보를 확인하는 단계 및 상기 P/E 사이클 수가 기 설정된 수 이상이면, 상기 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프(stripe)에 대해 패리티(parity) 데이터를 추가로 저장하는 단계를 더 포함할 수 있다.

[0023] 이 경우, 상기 저장 오류 발생 확률이 제1 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제1 패리티 데이터를 저장하는 단계 및 상기 저장 오류 발생 확률이 상기 제1 임계치보다 큰 제2 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 제2 패리티 데이터를 더 저장하는 단계를 더 포함할 수 있다.

[0024] 한편, 상기 저장 오류 발생 확률 정보는, P/E 사이클 수에 따른 복수의 저장 오류 발생 확률 정보를 포함하며, 상기 3D-NAND 플래시 메모리 칩의 P/E 사이클 수를 확인하는 단계, 상기 복수의 저장 오류 발생 확률 정보 중 상기 P/E 사이클 수에 대응되는 저장 오류 발생 확률 정보를 확인하는 단계 및 상기 확인한 저장 오류 발생 확률 정보에 기초하여, 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 패리티 데이터를 추가로 저장하는 단계를 더 포함할 수 있다.

발명의 효과

[0025] 본 개시에 따른 전자 장치는, 3D-NAND 플래시 메모리 칩의 물리적 구조에 따른 저장 공간 별 보유 오류 발생률의 차이 및 저장된 데이터의 접속 빈도에 기초하여 데이터를 재배치함으로써, 보유 오류 발생을 효과적으로 방지할 수 있도록 하며, 3D-NAND 플래시 메모리 칩의 노후에 따른 저장 공간 별 저장 오류 발생률의 차이를 고려하여, 저장 오류 발생률이 높은 저장 공간이 포함된 스트라이프에만 패리티 데이터를 추가로 저장함으로써, 저장된 데이터의 보호를 효율적으로 수행할 수 있도록 한다.

도면의 간단한 설명

[0026] 도 1은 본 개시의 일 예에 따른 3D-NAND 플래시 메모리 칩의 P/E(Program/Erasure) 사이클 수에 따른 오류 발생률을 나타낸 그래프이다.

도 2a 및 2b는, 본 개시의 일 예에 따른 3D-NAND 플래시 메모리 칩의 저장 공간 별 보유 오류 발생률을 나타낸 그래프이다.

도 3은 본 개시의 일 예에 따른 전자 장치의 구성을 설명하기 위한 블록도이다.

도 4a 및 도 4b는 본 개시의 일 예에 따른 데이터 재배치를 설명하기 위한 도면이다.

도 5a 및 도 5b는 데이터 재배치 여부에 따른 보유 오류 발생률을 나타낸 그래프이다.

도 6a 및 도 6b는 본 개시의 일 예에 따른 3D-NAND 플래시 메모리 칩의 저장 공간 별 저장 오류 발생률을 나타낸 그래프이다.

도 7은 본 개시의 일 예에 따른 패리티 데이터 저장을 설명하기 위한 도면이다.

도 8은 데이터 저장 모델 별 저장 오류율을 나타낸 그래프이다.

도 9는 본 개시의 일 예에 따른 데이터 저장 방법을 설명하기 위한 순서도이다.

도 10은 본 개시의 다양한 예에 따른 데이터 저장 방법을 설명하기 위한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하에서 설명되는 예는 본 개시의 이해를 돕기 위하여 예시적으로 나타낸 것이며, 본 개시는 여기서 설명되는 예들과 다르게, 다양하게 변형되어 실시될 수 있음이 이해되어야 할 것이다. 다만, 이하에서 본 개시를 설명함에 있어서, 관련된 공지 기능 혹은 구성요소에 대한 구체적인 설명이 본 개시의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명 및 구체적인 도시를 생략한다.

[0028] 본 명세서 및 청구범위에서 사용되는 용어는 본 개시의 기능을 고려하여 일반적인 용어들을 선택하였다. 하지만, 이러한 용어들은 당 분야에 종사하는 기술자의 의도나 법률적 또는 기술적 해석 및 새로운 기술의 출현 등에 따라 달라질 수 있다.

[0029] 또한, 일부 용어는 출원인이 임의로 선정한 용어도 있다. 이러한 용어에 대해서는 본 명세서에서 정의된 의미로 해석될 수 있으며, 구체적인 용어 정의가 없으면 본 명세서의 전반적인 내용 및 당해 기술 분야의 통상적인 기술 상식을 토대로 해석될 수도 있다.

[0030] 그리고, 본 명세서에서는 본 개시의 각 예의 설명에 필요한 구성요소를 설명한 것이므로, 반드시 이에 한정되는 것은 아니다. 따라서, 일부 구성요소는 변경 또는 생략될 수도 있으며, 다른 구성요소가 추가될 수도 있다. 또한 서로 다른 독립적인 장치에 분산되어 배치될 수도 있다.

[0031] 본 개시의 설명에 있어서 각 단계의 순서는 선행 단계가 논리적 및 시간적으로 반드시 후행 단계에 앞서서 수행되어야 하는 경우가 아니라면 각 단계의 순서는 비제한적으로 이해되어야 한다. 즉, 위와 같은 예외적인 경우를 제외하고는 후행 단계로 설명된 과정이 선행 단계로 설명된 과정보다 앞서서 수행되더라도 개시의 본질에는 영향이 없으며 권리범위 역시 단계의 순서에 관계없이 정의되어야 한다.

[0032] 그리고 본 명세서에서 "A 또는 B"라고 기재한 것은 A와 B 중 어느 하나를 선택적으로 가리키는 것뿐만 아니라 A와 B 모두를 포함하는 것도 의미하는 것으로 정의된다. 또한, 본 개시에서 "포함"이라는 용어는 포함하는 것으로 나열된 요소 이외에 추가로 다른 구성요소를 더 포함하는 것도 포괄하는 의미를 가진다.

[0033] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 개시의 예를 상세하게 설명하지만, 본 개시가 예들에 의해 제한되거나 한정되는 것은 아니다.

[0034] 이하에서는 첨부된 도면을 참조하여 본 개시에 대하여 더욱 상세히 설명하도록 한다.

[0035] 3D-NAND 플래시 메모리 칩(chip)은 2D-NAND 플래시 메모리를 적층시켜 입체적인 구조로 만들어지며, 하나의 층을 레이어라 하고, 하나의 레이어에는 복수의 페이지가 포함될 수 있다. 즉, 3D-NAND 플래시 메모리 칩은 레이어 및 레이어에 포함된 페이지로 구별되는 복수의 저장 공간을 포함한다.

[0036] 플래시 메모리에서 가장 기본적인 작업은 읽기 및 쓰기 작업이며, 페이지 단위로 수행된다. 플래시 메모리는, 하나의 페이지에 저장할 수 있는 비트(bit)에 따라 SLC(Single-Level Cell), MLC(Multi-Level Cell), TLC(Triple-Level Cell), QLC(Quad-Level Cell) 등으로 구별될 수 있다.

[0037] 도 1은 본 개시의 일 예에 따른 3D-NAND 플래시 메모리 칩의 P/E(Program/Erasure) 사이클 수에 따른 오류 발생률을 나타낸 그래프이다.

[0038] 도 1을 참조하면, 1000 P/E 사이클 이하에서는, 블록 넘버 별로 오류율이 크게 다르지 않으나, P/E 사이클 수가 증가할수록 평균 오류율이 증가하는 것을 확인할 수 있다. 즉, 플래시 메모리의 노후에 따라 오류 발생 빈도가 증가하는 것을 알 수 있다. 또한, 3000 P/E 사이클 이후에서 평균 오류율이 현저하게 증가하는 것을 확인할 수 있다.

[0039] 도 2a 및 2b는, 본 개시의 일 예에 따른 3D-NAND 플래시 메모리 칩의 저장 공간 별 보유 오류 발생률을 나타낸 그래프이다.

[0040] 보유 오류는 플래시 메모리의 페이지에 데이터를 저장한 후 일정 기간이 경과하면, 전자가 페이지로부터 빠져나와 해당 페이지의 데이터 값이 변하는 오류를 의미한다.

[0041] 본 개시의 일 예에 따른 도 2a는, 3D TLC NAND 플래시 메모리 칩에 데이터를 저장한 후 일정 기간이 경과함에

따라 각 저장 공간에서 발생하는 보유 오류의 발생률을 나타낸 것이며, 그래프의 분포는 SLC, MLC, TLC, QLC 등 메모리의 종류에 따라 상이할 수 있다.

[0042] 도 2a의 x축인 레이어는 0부터 1까지 나타내었는데, 0에 가까울수록 하단 레이어를 의미하고, 1에 가까울수록 상단 레이어를 의미한다. 또한, y축인 Fail bits는 오류가 발생한 횟수로서 상대적인 값으로 나타내었다.

[0043] 도 2a를 참조하면, 3D-NAND 플래시 메모리 칩의 중단 페이지에서 보유 오류 발생률이 높고, 하단 페이지에서 보유 오류 발생률이 낮은 것을 확인할 수 있다. 레이어별로는 하단 레이어에서 오류 발생률이 높고, 상단 레이어에서 오류 발생률이 낮은 것을 확인할 수 있다.

[0044] 도 2b는 오류 발생률에 기초하여, 저장 공간을 복수의 구간으로 구별한 것이다.

[0045] 도 2b를 참조하면, 레이어를 4개의 구간으로 구별하였으며, 보유 오류 발생률 0.5를 기준(210)으로 보유 오류 발생이 잘 일어나는지 여부를 구별하였다.

[0046] 도 2b와 같이 저장 공간 별 보유 오류 발생 확률 정보를 기초로 하여, 플래시 메모리에 저장된 데이터 중 접속 빈도가 낮아 오랜 기간 저장되는 데이터를 보유 오류 발생률이 낮은 저장 공간에 저장하면 플래시 메모리 칩의 전반적인 보유 오류 발생률을 효과적으로 낮출 수 있다.

[0047] 도 3은 본 개시의 일 예에 따른 전자 장치(100)의 구성을 설명하기 위한 블록도이다.

[0048] 전자 장치(100)는 플래시 메모리 칩을 기반으로 한 저장 장치일 수 있으며, 일 예로 SSD(Solid State Drive)일 수 있다.

[0049] 일 예에 따른 전자 장치(100)는 3D-NAND 플래시 메모리 칩(110)을 포함하며, 3D-NAND 플래시 메모리 칩(110)은 상술한 바와 같이 2D-NAND의 회로를 적층하는 방식으로 제작한 플래시 메모리 칩을 의미한다. 3D-NAND 플래시 메모리 칩(110)은 레이어 및 레이어에 포함된 페이지로 구별되는 복수의 저장 공간을 포함할 수 있다.

[0050] 메모리(120)는 전자 장치(100)의 동작에 필요한 각종 데이터 또는 인스트럭션(instruction)을 저장하기 위한 구성요소이다.

[0051] 메모리(120)는 3D-NAND 플래시 메모리 칩(110)의 저장 공간 별 보유 오류 발생 확률 정보 및 3D-NAND 플래시 메모리 칩(110)에 저장된 데이터 별 접속 정보를 저장할 수 있다.

[0052] 저장 공간 별 보유 오류 발생 확률 정보는, 3D-NAND 플래시 메모리 칩(110)에 포함된 저장 공간 별 보유 오류 발생률에 대한 정보를 포함할 수 있다.

[0053] 데이터 별 접속 정보는, 데이터 별 접속 빈도 정보 및 데이터 별 접속 주기 정보 중 적어도 하나를 포함할 수 있다.

[0054] 데이터 별 접속 빈도 정보는, 데이터가 저장된 기간 동안 해당 데이터에 접속한 횟수에 기초하여 산출될 수 있으며, 이에 한정되는 것은 아니고, 외부 장치로부터 태그를 포함한 데이터가 입력될 경우, 해당 태그에 포함된 예상되는 접속 빈도 정보에 기초하여 입력된 데이터의 접속 빈도를 산출할 수도 있다.

[0055] 데이터 별 접속 주기는, 데이터에 접속한 시점 사이의 간격을 의미하며, 메모리(120)는 데이터 별 접속 주기를 데이터가 저장된 기간 동안 누적하여 저장할 수 있다. 일 예에 따라 데이터 별 접속 주기는, 데이터가 저장된 기간 동안 데이터에 접속한 주기의 평균값에 기초하여 산출될 수 있다. 이에 한정되는 것은 아니고, 누적하여 저장한 주기 값의 분포에 대한 표준편차 등을 종합적으로 고려하여 데이터의 접속 정도를 분류할 수도 있다. 또한, 외부 장치로부터 태그를 포함한 데이터가 입력될 경우, 해당 태그에 포함된 예상되는 접속 주기 정보에 기초하여 입력한 데이터의 접속 주기를 산출할 수도 있다.

[0056] 컨트롤러(130)는, 메모리(120)에 저장된 데이터 또는 인스트럭션에 기초하여 다양한 동작을 수행할 수 있다. 컨트롤러(130)는 CPU(central processing unit), ASIC(application-specific integrated circuit) 또는 SoC(System on Chip) 등으로 구현될 수 있으며, 이에 한정되는 것은 아니다.

[0057] 컨트롤러(130)는, 3D-NAND 플래시 메모리 칩(110)과 외부 장치(미도시) 간의 데이터 통신을 수행할 수 있으며, 외부 장치는, PC, 서버, 단말 장치 등 전자 장치(100)와 유선 또는 무선으로 연결된 다른 전자 장치일 수 있다.

[0058] 또한, 컨트롤러(130)는, 3D-NAND 플래시 메모리 칩(110)에 대한 데이터 읽기 및 쓰기 작업을 수행할 수 있다.

[0059] 도 4a 및 도 4b는 본 개시의 일 예에 따른 데이터 재배치를 설명하기 위한 도면이다.

[0060] 도 4a 및 도 4b를 참조하면, 5개의 3D-NAND 플래시 메모리 칩(110-1 내지 110-5)이 스트라이핑(striping)되며, 스프라이핑된 5개의 3D-NAND 플래시 메모리 칩(110-1 내지 110-5)은 채널에 의해 컨트롤러(130)에 연결되고, 하나의 블록은 3개의 페이지로 구성되는 것으로 표시하였다.

[0061] 각 저장 공간에 저장된 데이터는, 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 콜드(Cold) 데이터로 분류하고 접속 빈도가 높은 데이터를 핫(Hot) 데이터로 분류하여 표시하였다.

[0062] 핫 데이터는 사용빈도가 높고 사용시간 간격이 짧은 특성을 가지며, 콜드 데이터는 반대의 특성을 가진다. 데이터 분류는 이에 한정되는 것은 아니며, 데이터에 대한 접속 빈도 수 또는 데이터에 대한 접속 주기에 따라 데이터를 더 세분화하여 very hot data, hot data, warm data, cold data 및 very cold data의 5단계로 분류할 수도 있으며, 접속 빈도 수 또는 접속 주기에 따라 순차적으로 분류할 수도 있다.

[0063] 도 4a는 최초 데이터 저장 상태를 나타낸 도면이다. 도 2b에서 설명한 바와 같이 하단 레이어의 중단 페이지(410)의 경우 보유 오류 발생 확률이 높으나, 해당 저장 공간에 콜드 데이터가 저장되어 있으며, 이 경우 해당 데이터는 보유 오류 발생 확률이 높아 데이터가 손상될 확률이 높을 것을 예상할 수 있다.

[0064] 이에 따라, 컨트롤러(130)는 3D-NAND 플래시 메모리 칩(110)의 저장 공간 별 보유 오류 발생 확률 정보 및 저장된 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

[0065] 도 4b는 데이터 재배치를 수행한 이후 데이터 저장 상태를 나타낸 도면이다.

[0066] 도 4b를 참조하면, 도 2b에서 설명한 바와 같이, 모든 레이어에 대한 하단 페이지, 중하단 및 상단 레이어에 대한 상단 페이지에 해당하는 저장 공간에서 보유 오류 발생 확률이 낮으므로 해당하는 저장 공간에 콜드 데이터를 배치하여 저장하였으며, 모든 레이어에 대한 중단 페이지, 하단 및 중상단 레이어에 대한 상단 페이지에 해당하는 저장 공간에서 보유 오류 발생 확률이 높으므로 해당하는 저장 공간에 핫 데이터를 배치하여 저장한 것을 확인할 수 있다.

[0067] 이에 따라, 핫 데이터의 특성상 데이터의 업데이트나 데이터 사용 간격이 짧기 때문에 보유 오류가 잘 발생하지 않으므로, 메모리 칩에 저장된 데이터 전반에 대해 보유 오류 발생률을 낮출 수 있는 효과가 있다.

[0068] 도 4a 및 도 4b에서는 보유 오류 발생률에 기초하여 저장 공간을 두 종류로 구별하였으나, 이에 한정되는 것은 아니며, 보유 오류 발생률이 낮은 순서대로 저장 공간을 분류하고, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 순차적으로 재배치할 수도 있다.

[0069] 본 개시의 일 예에 따른 컨트롤러(130)는, 외부 장치로부터 3D-NAND 플래시 메모리 칩(110)에 저장된 데이터에 대한 재배치 명령이 입력되면, 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수 있다.

[0070] 본 개시의 일 예에 따른 컨트롤러(130)는, 3D-NAND 플래시 메모리 칩(110)에 저장된 데이터에 대한 GC(Garbage Collection) 시점 또는 데이터 마이그레이션(migration) 시점 중 적어도 하나의 시점에 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수도 있다.

[0071] 데이터에 대한 GC는 플래시 메모리 칩의 저장 공간을 관리하는 기법 중 하나이다. 플래시 메모리의 특성상 제자리 갱신(in-place update)가 불가능하여, 한페이지의 값을 변경하고자 하는 경우에 다른 페이지에 값을 쓰고 새로운 정보인 매핑 테이블을 변경하는 방식으로 사용자의 쓰기 요청을 처리한다.

[0072] 새로운 페이지에 변경된 값이 쓰여지면 기존의 페이지의 값은 무효한 값이 된다. 새로운 페이지에 계속 쓰기를 하는 경우 유한한 페이지 수로 인해 공간이 부족해지므로 저장 공간을 확보하기 위해 무효한 페이지가 포함된 블록을 삭제하여 빈페이지로 만드는 작업을 수행하는데, 이를 GC라고 한다.

[0073] 플래시 메모리 칩의 블록에 저장된 데이터를 삭제할 때 선택된 블록 내에 유효한 페이지가 포함되어 있으면, 유효 페이지는 다른 블록의 다른 빈 페이지로 옮기고 데이터를 삭제해야 하는데, 이때 유효 페이지에 저장된 데이터를 옮기는 작업을 데이터 마이그레이션이라고 한다. 일 예로, SSD의 GC, Refresh, Scrubbing 등 내부 연산에 의해 데이터를 특정 페이지에서 다른 페이지로 옮기는 작업을 통칭하여 데이터 마이그레이션이라 할 수 있다.

[0074] 이에 한정되는 것은 아니며, 컨트롤러(130)는 3D-NAND 플래시 메모리 칩(110)에 기 설정된 용량 이상의 데이터가 저장되면, 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유

오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수도 있다. 일 예로, 3D-NAND 플래시 메모리 칩(110)의 전체 용량에 대해 10%의 용량이 채워질 때마다 데이터 재배치를 수행할 수도 있다.

[0075] 본 개시의 일 예에 따른 컨트롤러(130)는, 외부 장치로부터 태그를 포함한 데이터가 입력되면, 해당 태그로부터 입력된 데이터의 예상되는 접속정보를 확인하고, 기 저장된 데이터에 대한 접속 정보 및 입력된 데이터의 예상되는 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장할 수도 있다.

[0076] 이에 따라, 3D-NAND 플래시 메모리 칩(110)에 저장된 데이터를 효과적으로 보호할 수 있다.

[0077] 도 5a 및 도 5b는, 9000 P/E 사이클 수를 가지는 3D TLC NAND 플래시 메모리 칩에 대해 데이터 재배치 여부에 따른 보유 오류 발생률을 나타낸 그래프이다.

[0078] 도 5a는 데이터 재배치만 수행한 경우의 보유 오류 발생률을 나타낸 것이며, 도 5b는 ECC와 데이터 재배치가 함께 수행되는 경우의 보유 오류 발생률을 나타낸 것이다.

[0079] 그래프의 x축은 데이터가 저장된 후 일정 기간이 경과된 시점을 나타내며, 0주부터 6주까지 2주 간격으로 나타낸 것이다.

[0080] 도 5a를 참조하면, 데이터 재배치를 수행하는 경우 BER(Bit Error Rate)이 크게 감소하는 것을 확인할 수 있다.

[0081] 도 5b를 참조하면, ECC가 수행되는 경우에도 본 개시의 일 예에 따른 데이터 재배치를 수행하는 경우 BER이 감소하는 것을 확인할 수 있다.

[0082] 3D-NAND 플래시 메모리는 상술한 보유 오류뿐만 아니라 저장 오류도 발생할 수도 있다.

[0083] 저장 오류는 플래시 메모리가 노후 됨에 따라 각 페이지에 데이터 입력 시, 전자가 인접 페이지에도 들어가며 데이터 손상이 발생하는 오류이다.

[0084] 도 6a 및 도 6b는 본 개시의 일 예에 따른 3D-NAND 플래시 메모리 칩(110)의 저장 공간 별 저장 오류 발생률을 나타낸 그래프이다. 일 예로, 3D-NAND 플래시 메모리 칩에 임의의 패턴으로 데이터를 반복적으로 쓰고 지운 뒤, 각 저장 공간 별로 잘못된 비트 수를 확인하는 Endurance 테스트가 끝난 후에 오류 발생 횟수를 측정하여 획득할 수 있다.

[0085] 본 개시의 일 예에 따른 도 6a 및 도 6b에서는 3D TLC NAND 플래시 메모리에 대한 오류율을 나타낸 것이며, 플래시 메모리의 종류에 따라 오류율 분포는 상이하게 나타날 수 있다.

[0086] 도 6a 및 도 6b를 참조하면, x축인 레이어는 0 ~ 1까지 나타내었는데 0에 가까울수록 하단 레이어이고 1에 가까울수록 상단 레이어이다. 또한 y축인 Fail bits 는 오류가 발생한 횟수로서 상대적인 값으로 0 에서 1까지 나타내었다.

[0087] 도 6a를 참조하면, 하단 레이어의 하단 페이지에서 저장 오류 발생률이 높고, 상단 레이어의 하단 페이지에서 저장 오류 발생률이 낮게 나타남을 확인할 수 있다.

[0088] 오류 발생률에 기초하여, 저장 공간을 복수의 구간으로 구별할 수 있으며, 도 6b는 레이어를 3개의 구간으로 구별하고, 오류율에 대한 제1 임계치(610) 및 제2 임계치(620)에 기초하여 저장 공간을 구별한 것을 나타낸 것이다. 오류율에 대한 임계치는 그래프의 분포나 데이터 속성에 따라 상이하게 설정될 수 있다.

[0089] 도 6b를 참조하면, 중단 레이어에 데이터 저장 시 저장 오류가 잘 발생하지 않고, 하단 레이어의 하단 페이지에 데이터 저장 시 저장 오류가 잘 발생하는 것을 확인할 수 있다.

[0090] 이에 따라, 컨트롤러(130)는 저장 오류가 잘 발생하는 저장 공간이 포함된 스트라이프(stripe)에 패리티(parity) 데이터를 추가로 저장하여, 저장 오류가 발생한 경우 효율적으로 데이터를 복구할 수 있도록 할 수 있다.

[0091] 패리티 데이터는, 복수의 3D-NAND 플래시 메모리 칩(110-1 내지 110-5)이 스트라이핑 된 경우, 하나의 스트라이프에 대해 일부 페이지에 저장된 데이터가 손상되었을 경우 데이터 복원 시 사용되는 데이터이다.

[0092] 구체적으로, 데이터가 스트라이프 내의 페이지에 저장될 때 동일 스트라이프 내에 함께 저장되어 오류 교정 시 사용되는 중복 데이터를 의미하며, 스트라이프 내 특정 데이터에서 오류가 발생하여 해당 데이터를 읽지 못하는 경우, 동일 스트라이프 내에 저장된 패리티 데이터를 이용하여 오류가 발생한 데이터를 복원할 수 있다.

[0093] 일 예로, 하나의 스트라이프에 저장된 데이터에 대한 XOR 연산 결과를 패리티 데이터로 기록하여 저장하여, 해당 스트라이프에 저장된 데이터에서 에러 발생 시 패리티 데이터에 저장된 정보를 이용하여 에러가 발생한 데이터를 복구할 수 있다. 복수의 페이지에 저장된 데이터에서 오류가 발생한 경우, 패리티 데이터는 복수개 필요할 수 있다.

[0094] 3D-NAND 플래시 메모리 칩의 저장 공간 별 저장 오류율을 고려하지 않고 모든 스트라이프에 대해 패리티 데이터를 저장할 경우 전체적인 저장 오류율을 낮출 수는 있지만, 이 경우 무분별한 패리티 데이터 쓰기로 인한 WAF(Write Amplification Factor)가 증가하여 성능에 악영향을 줄 수 있다.

[0095] 이에 따라, 본 개시에서는 저장 공간 별 저장 오류 발생 확률 정보에 기초하여, 저장 오류가 잘 발생하는 저장 공간이 포함된 스트라이프에 대해서만 패리티 데이터를 저장하므로, 플래시 메모리 칩을 효율적으로 사용할 수 있는 효과가 있다.

[0096] 이를 위해 본 개시의 일 예에 따른 메모리(120)는 3D-NAND 플래시 메모리 칩(110)의 P/E 사이클 수 및 3D-NAND 플래시 메모리 칩(110)의 저장 공간 별 저장 오류 발생 확률 정보를 저장할 수 있다.

[0097] 도 7은 본 개시의 일 예에 따른 패리티 데이터 저장을 설명하기 위한 도면이다.

[0098] 도 6b에서와 같이 저장 공간 별로 저장 오류 발생률을 구분할 경우, 컨트롤러(130)는 제1 임계치(610) 또는 제2 임계치(620) 이상의 저장 오류율을 가지는 저장 공간이 포함된 스트라이프에 대해 패리티 데이터를 추가로 저장할 수 있다.

[0099] 도 7을 참조하면, 제1 임계치(610) 이상의 저장 오류율을 가지는 하단 레이어의 상단, 중단 및 하단 페이지를 포함하는 스트라이프(710 내지 730) 및 상단 레이어의 상단 페이지를 포함하는 스트라이프(740)에 제1 패리티 데이터가 추가로 저장되는 것을 확인할 수 있다.

[0100] 또한, 컨트롤러(130)는 저장 오류 발생 확률이 제1 임계치(610)보다 큰 제2 임계치(620) 이상인 저장 공간이 포함된 스트라이프(730)에 대해 제2 패리티 데이터를 더 저장할 수도 있다. 제1 패리티 데이터와 상이한 제2 패리티 데이터를 더 저장하므로, 저장 오류 발생 확률이 가장 높은 스트라이프(730)에 대해서는 데이터 보호 강도를 더 높일 수 있는 효과가 있다.

[0101] 본 개시의 일 예에 따른 메모리(120)는 3D-NAND 플래시 메모리 칩(110)의 P/E 사이클 수에 따른 복수의 저장 오류 발생 확률 정보를 더 저장할 수 있다. 이 경우 컨트롤러(130)는, 3D-NAND 플래시 메모리 칩(110)의 P/E 사이클 수를 확인하고, 메모리(120)에 저장된 복수의 저장 오류 발생 확률 정보 중 현재 P/E 사이클 수와 대응되는 저장 오류 발생 확률 정보에 기초하여, 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 패리티 데이터를 추가로 저장할 수 있다. 이에 따라, 현재 3D-NAND 플래시 메모리 칩(110)의 노후화 정도를 고려하여 데이터 보호 강도를 적용할 수 있다.

[0102] 컨트롤러(130)는 3D-NAND 플래시 메모리 칩(110)을 효율적으로 사용하기 위해 P/E 사이클 수가 기 설정된 수 이상일 경우에만 스트라이프에 패리티 데이터를 저장할 수 있다. 일 예로 도 1에서 나타난 것과 같이, 오류율이 현저히 증가하는 3000 P/E 사이클 수 이상에서부터 패리티 데이터를 저장할 수 있다.

[0103] 컨트롤러(130)는 보유 오류에 따른 데이터 재배치 시 패리티 데이터를 추가로 저장할 수 있으며, 이에 한정되는 것은 아니고, 보유 오류에 따른 데이터 재배치와 별개로 패리티 데이터 저장을 수행할 수도 있다.

[0104] 도 8은 데이터 저장 모델 별 저장 오류율을 나타낸 그래프이다.

[0105] RBER(Raw Bit Error Rate)은 3000 P/E 사이클에서 초기 비트 오류율을 나타낸 것이며, ECC는 ECC만 사용하여 데이터를 보호하는 경우의 비트 오류율을 나타낸 것이다. 차별화된 보호(Differential Protection)는 ECC 뿐만 아니라 상술한 바와 같이 저장 공간 별 저장 오류 발생 확률을 고려하여 패리티 데이터를 추가로 저장한 경우의 비트 오류율을 나타낸 것이다.

[0106] 도 8의 y축은 복수의 저장 공간에 대한 평균 오류율을 나타낸 것이며, 오류율 10^{-15} 부근의 점선(810)은 통상적인 메모리 칩의 한계 오류율로, 10^{-15}을 넘는 오류가 발생하면 메모리 칩의 수명이 다했다고 볼 수 있다.

[0107] 도 8의 x축은 도 6b에 기초하여 하단 레이어의 하단 페이지를 제1 클러스터로, 하단 레이어의 중단 및 상단 페이지를 제2 클러스터로, 상단 레이어의 상단 페이지를 제3 클러스터로, 중단 레이어를 제4 클러스터로, 상단 레이어의 중단 및 하단 페이지를 제5 클러스터로 구분한 것이다ㅏ.

[0108] 도 7에서 설명한 바와 같이 제1 클러스터에는 두개의 패리티 데이터가 저장되며, 제2 및 제3 클러스터에는 하나의 패리티 데이터가 저장된다.

[0109] 도 8을 참조하면, 기존의 ECC만 사용하여 데이터를 보호하는 기존의 모델에 비해 본 개시에 따른 차별화된 데이터 보호를 추가로 적용한 모델이 모든 클러스터에 대해 동일하거나 낮은 저장 오류율을 나타내는 것을 확인할 수 있다.

[0110] 제4 및 제5 클러스터에서는 ECC를 사용하여 데이터를 보호하는 경우와 동일한 저장 오류율이 나타나는 것을 확인할 수 있는데, 이는 제4 및 제5 클러스터에는 패리티 데이터를 저장하지 않고 ECC에 의한 보호만 적용되기 때문이다.

[0111] 도 9는 본 개시의 일 예에 따른 데이터 저장 방법을 설명하기 위한 순서도이다.

[0112] 도 9를 참조하면, 레이어 및 페이지로 구별되는 복수의 저장 공간을 포함하는 3D-NAND 플래시 메모리 칩을 포함하는 전자 장치의 데이터 저장 방법은, 저장 공간 별 보유 오류 발생 확률 정보 및 3D-NAND 플래시 메모리 칩에 저장된 데이터 별 접속 정보를 확인하는 단계(S910) 및 데이터 별 접속 정보에 기초하여, 접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장하는 단계(S920)를 포함한다.

[0113] 저장 공간 별 보유 오류 발생 확률 정보 및 데이터 별 접속 정보에 기초하여 데이터를 재배치하여 저장하는 것과 관련된 내용은 상술한 부분에서 기재한 바 있으므로 중복 설명은 생략한다.

[0114] 도 10은 본 개시의 다양한 예에 따른 데이터 저장 방법을 설명하기 위한 순서도이다.

[0115] 도 10을 참조하면, 본 개시의 다양한 예에 따른 데이터 저장 방법은, 복수의 3D-NAND 플래시 메모리 칩이 스트라이핑(striping)되는 단계(S1010), 3D-NAND 플래시 메모리 칩의 P/E(Program/Erasure) 사이클 수 및 저장 공간 별 저장 오류 발생 확률 정보를 확인하는 단계(S1020) 및 P/E 사이클 수가 기 설정된 수 이상이면, 저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프(stripe)에 대해 패리티(parity) 데이터를 추가로 저장하는 단계(S1030)를 더 포함할 수 있다.

[0116] 복수의 3D-NAND 플래시 메모리 칩이 스트라이핑 되는 것과 관련된 내용 및 패리티 데이터를 추가로 저장하는 것과 관련된 내용은 상술한 부분에서 기재한 바 있으므로 중복 설명은 생략한다.

[0117] 한편, 상술한 다양한 실시 예에 따른 구조 정보 표시 방법은 각 단계들을 수행하기 위한 프로그램 코드 형태로 구현되어, 기록 매체에 저장되고 배포될 수도 있다. 이 경우, 기록 매체가 탑재된 장치는 상술한 처리 동작들을 수행할 수 있다.

[0118] 이러한 기록 매체는, ROM, RAM, 메모리 칩, 메모리 카드, 외장형 하드, 하드, CD, DVD, 자기 디스크 또는 자기 테이프 등과 같은 다양한 유형의 컴퓨터 판독 가능 매체가 될 수 있다.

[0119] 이상 첨부 도면을 참고하여 본 개시에 대해서 설명하였지만 본 개시의 권리범위는 후술하는 특허청구범위에 의해 결정되며 전술한 실시 예 및/또는 도면에 제한되는 것으로 해석되어서는 안 된다. 그리고 특허청구범위에 기재된 개시의, 당업자에게 자명한 개량, 변경 및 수정도 본 개시의 권리범위에 포함된다는 점이 명백하게 이해되어야 한다.

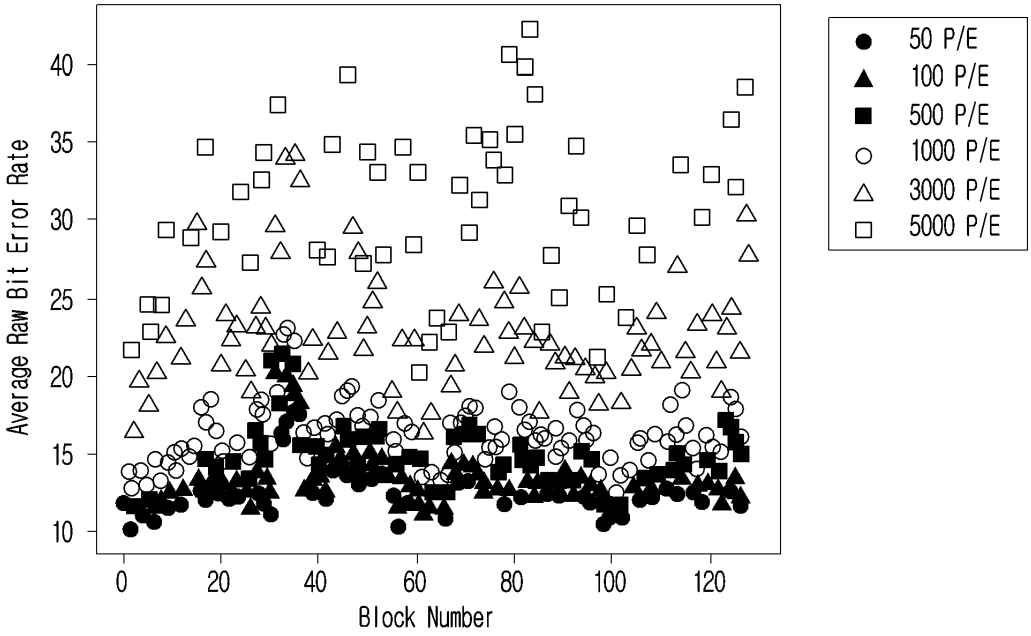
부호의 설명

[0120] 100: 전자 장치 110: 3D-NAND 플래시 메모리 칩

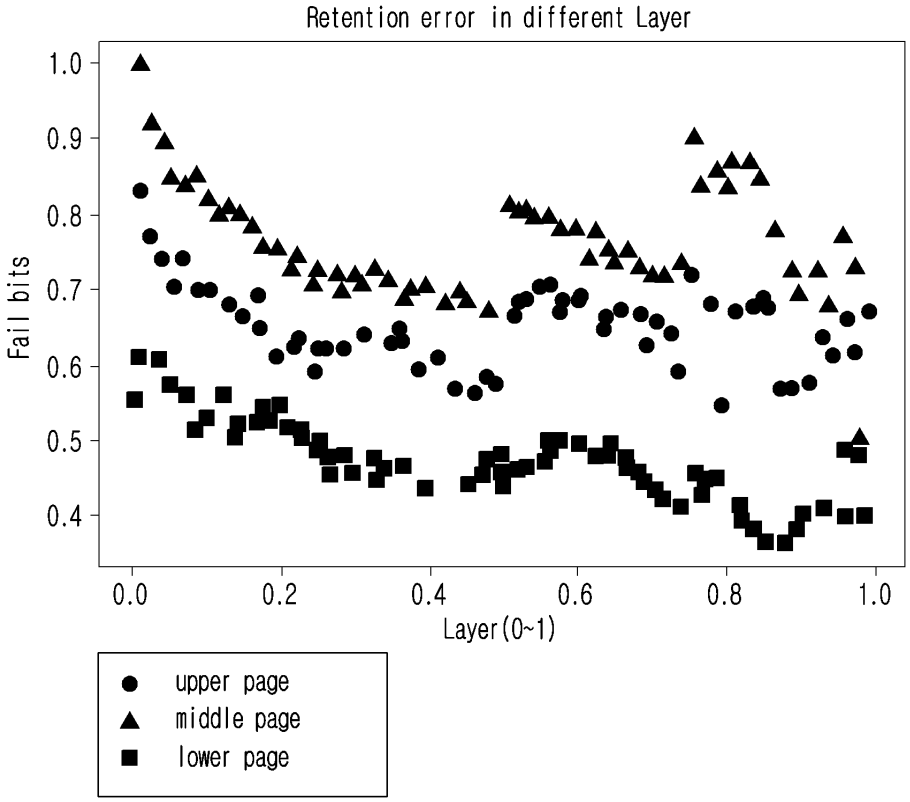
120: 메모리 130: 컨트롤러

도면

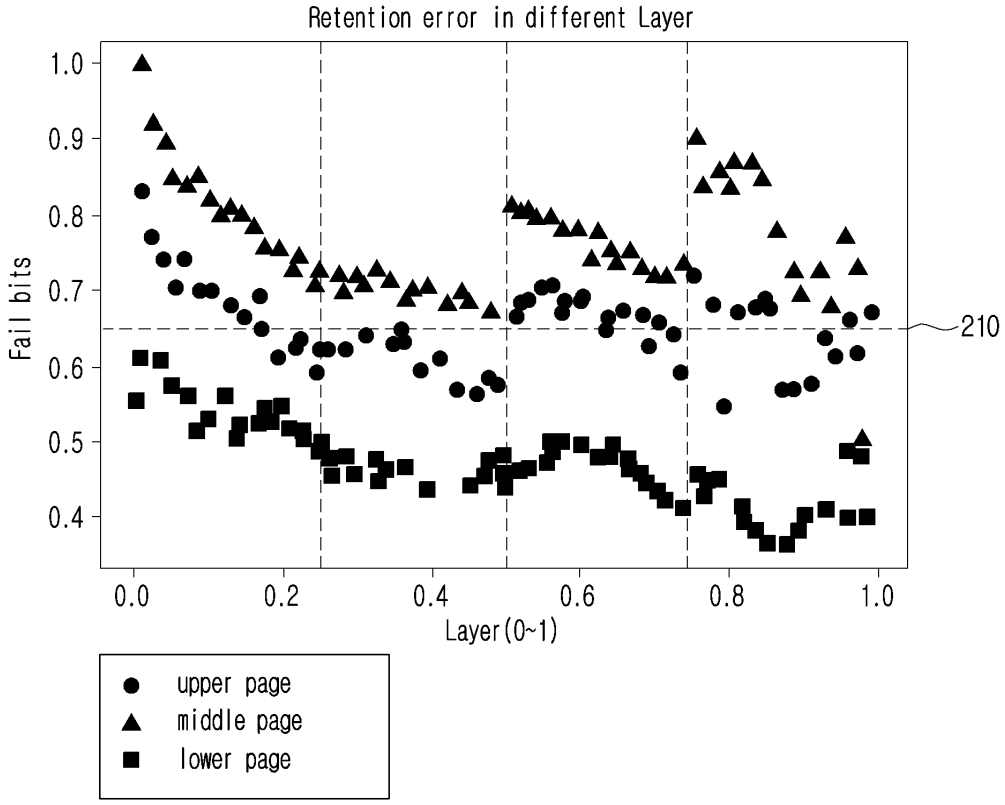
도면1


Average Raw Bit Error Rate
Block Number
50 P/E
100 P/E
500 P/E
1000 P/E
3000 P/E
5000 P/E

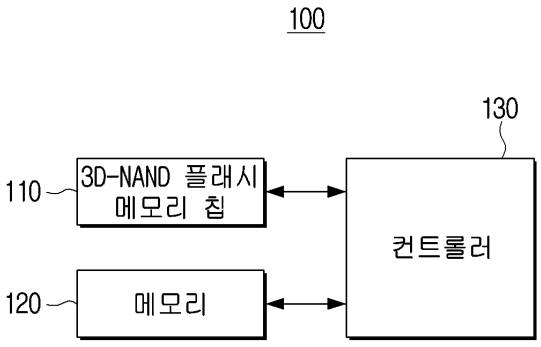
도면2a


Retention error in different Layer
Fail bits
Layer(0~1)
upper page
middle page
lower page

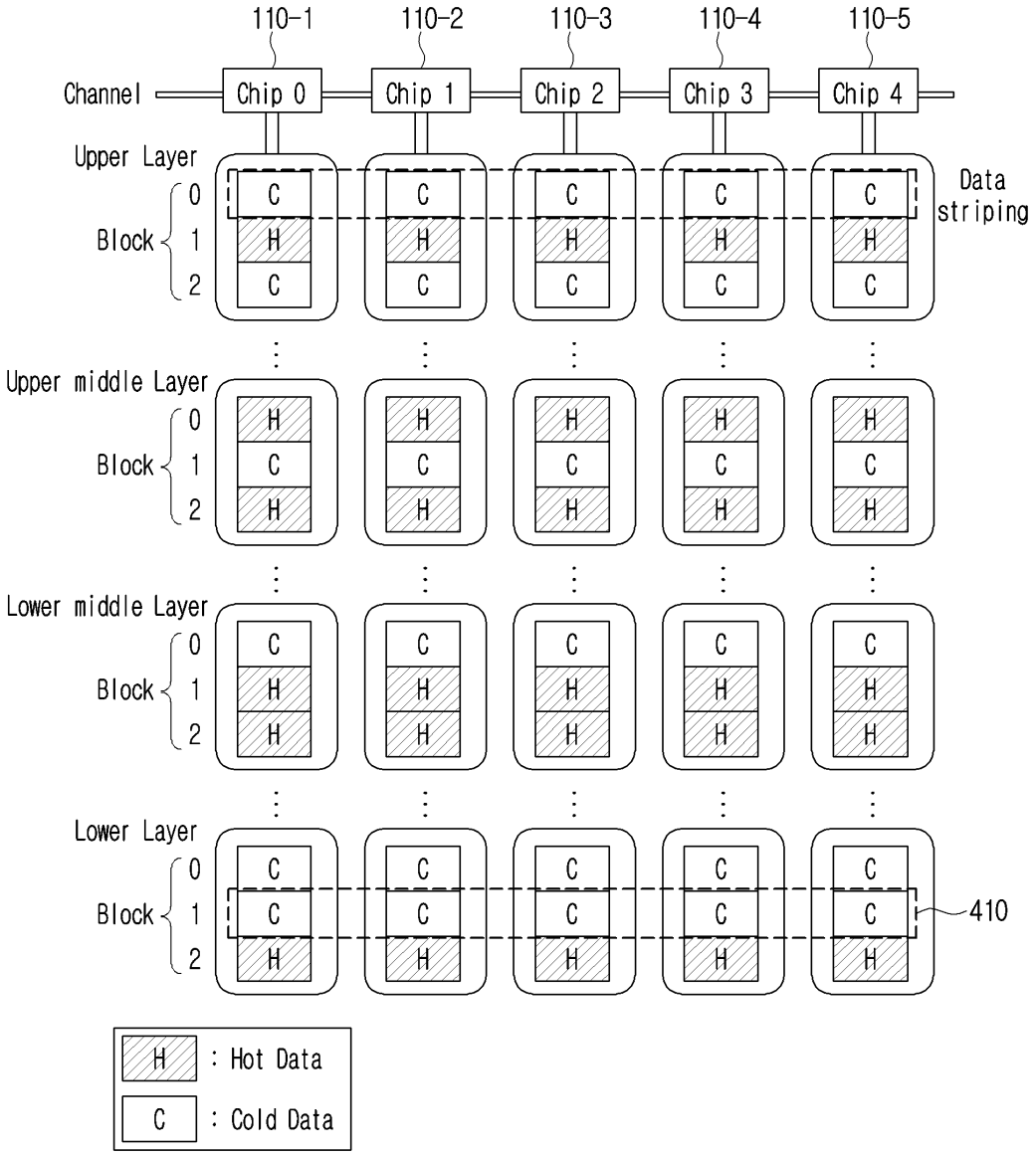
도면2b


Retention error in different Layer
Fail bits
1.0
0.9
0.8
0.7
0.6
0.5
0.4
0.0
0.2
0.4
0.6
0.8
1.0
Layer(0~1)
210
upper page
middle page
lower page

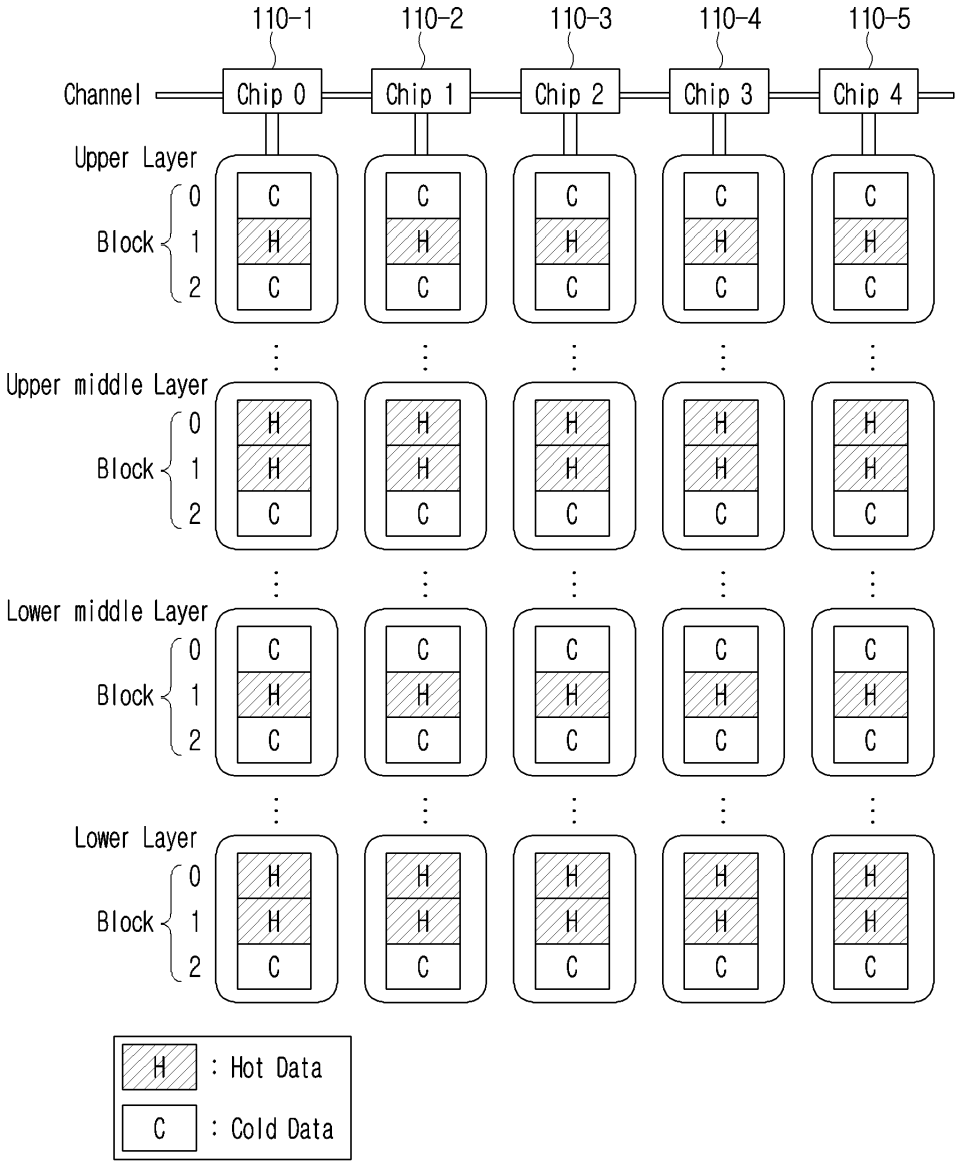
도면3


100
130
110
3D-NAND 플래시 메모리 칩
120
메모리
컨트롤러

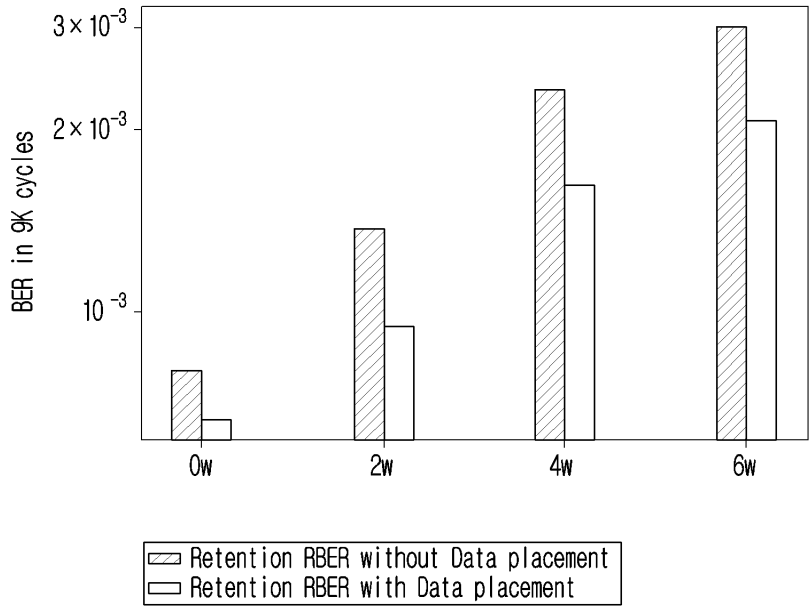
도면4a


110-1
110-2
110-3
110-4
110-5
Channel
Chip 0
Chip 1
Chip 2
Chip 3
Chip 4
Upper Layer
Block
0
1
2
C
H
Data striping
Upper middle Layer
Lower middle Layer
Lower Layer
410
H : Hot Data
C : Cold Data

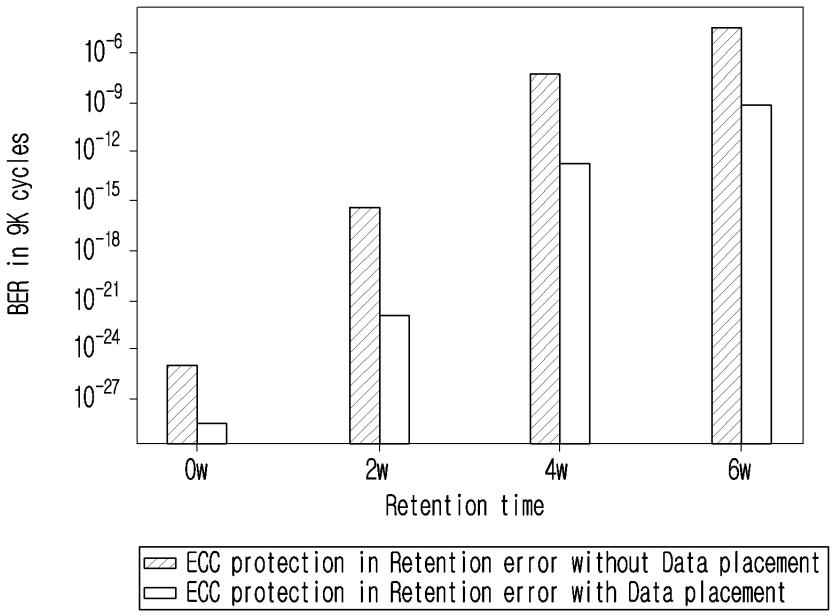
도면4b


110-1
110-2
110-3
110-4
110-5
Channel
Chip 0
Chip 1
Chip 2
Chip 3
Chip 4
Upper Layer
Upper middle Layer
Lower middle Layer
Lower Layer
Block
0
1
2
C
H
H : Hot Data
C : Cold Data

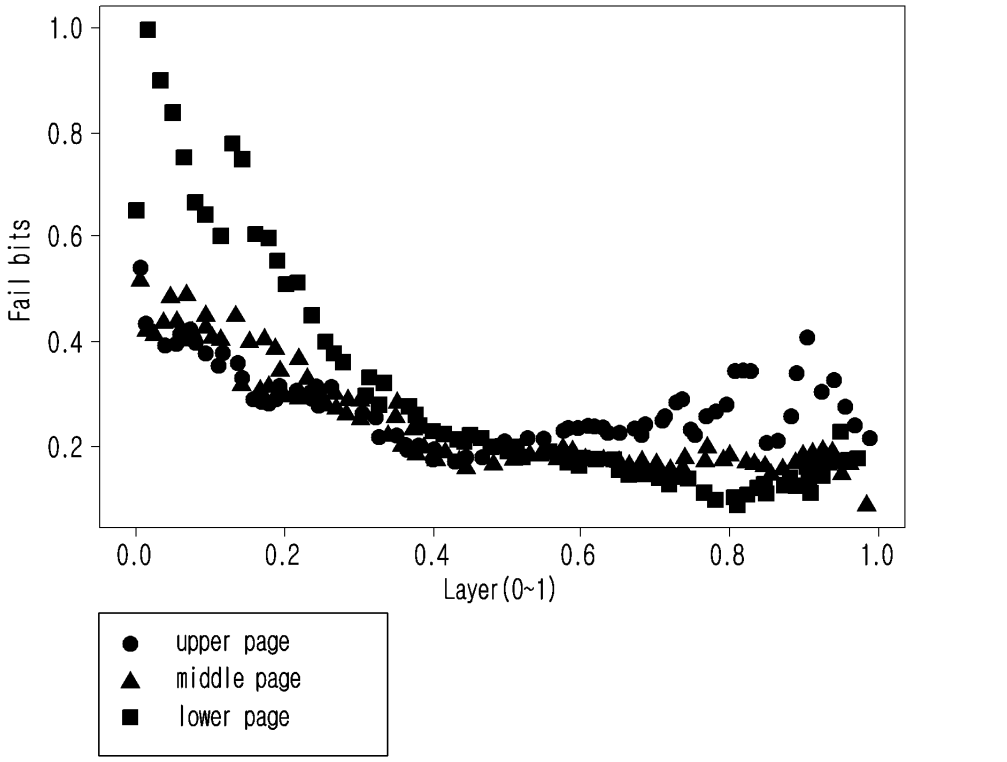
도면5a


3×10-3
2×10-3
10-3
BER in 9K cycles
0w
2w
4w
6w
Retention RBER without Data placement
Retention RBER with Data placement

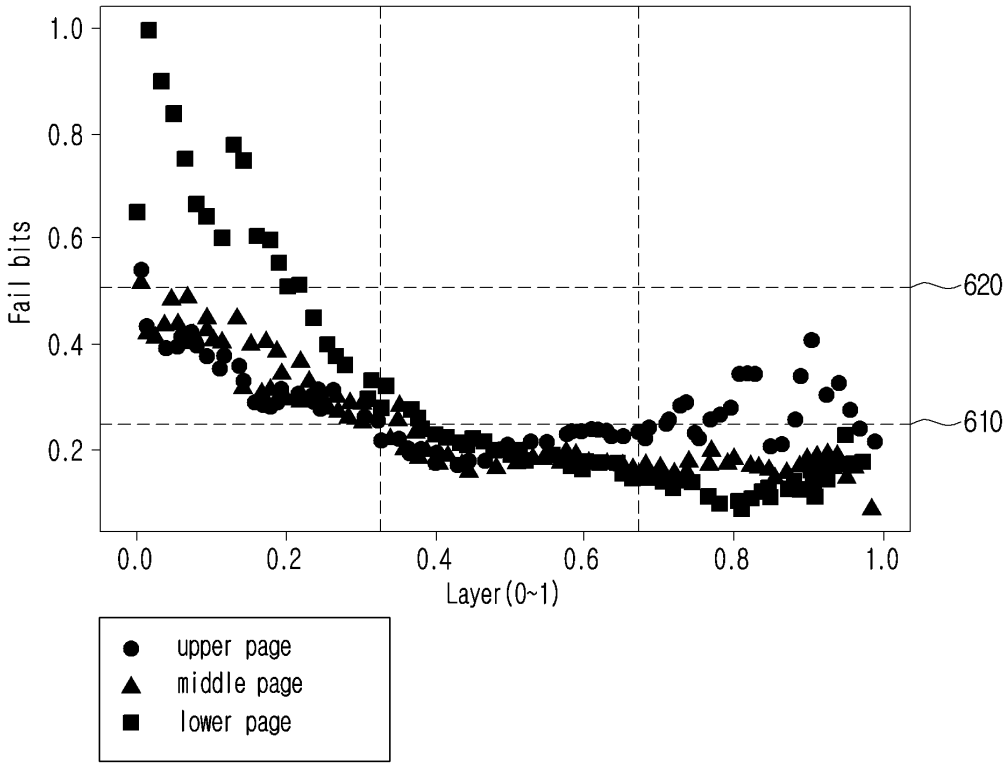
도면5b


10-6
10-9
10-12
10-15
10-18
10-21
10-24
10-27
BER in 9K cycles
0w
2w
4w
6w
Retention time
ECC protection in Retention error without Data placement
ECC protection in Retention error with Data placement

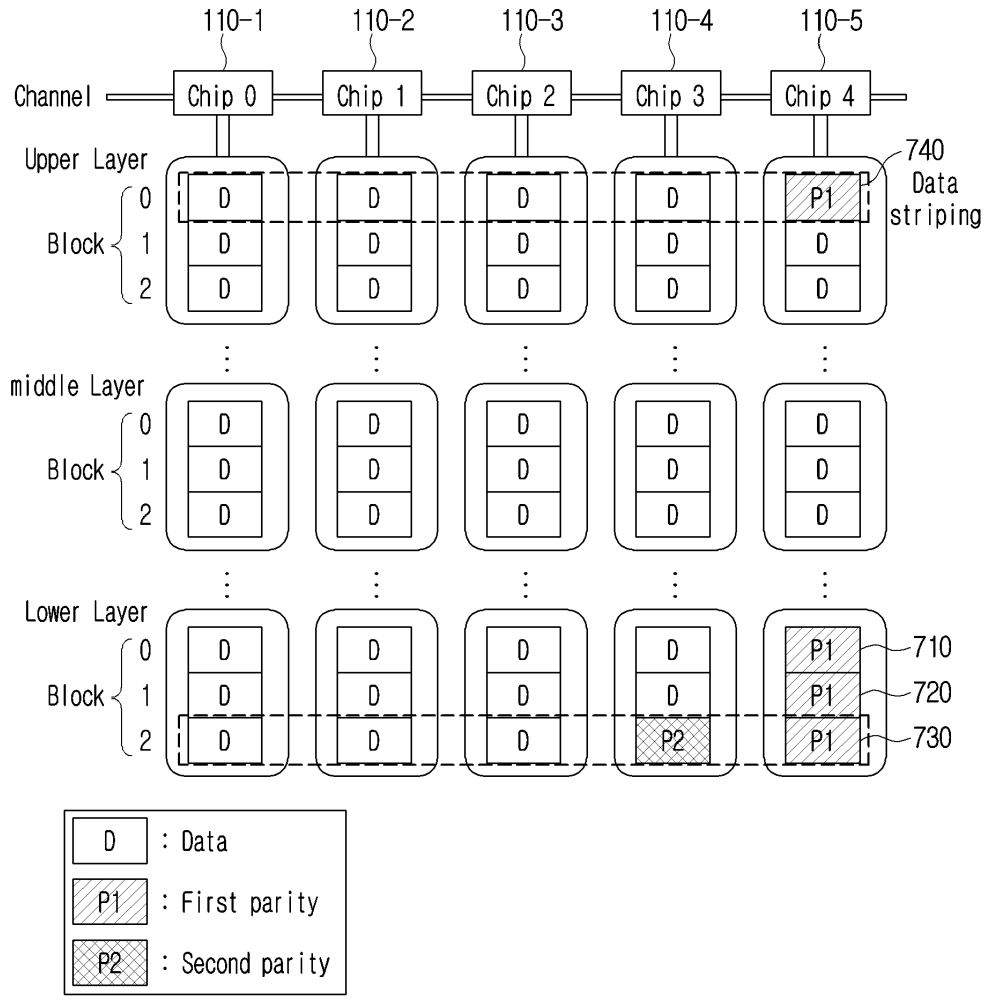
도면6a


1.0
0.8
0.6
0.4
0.2
Fail bits
0.0
0.2
0.4
0.6
0.8
1.0
Layer(0~1)
upper page
middle page
lower page

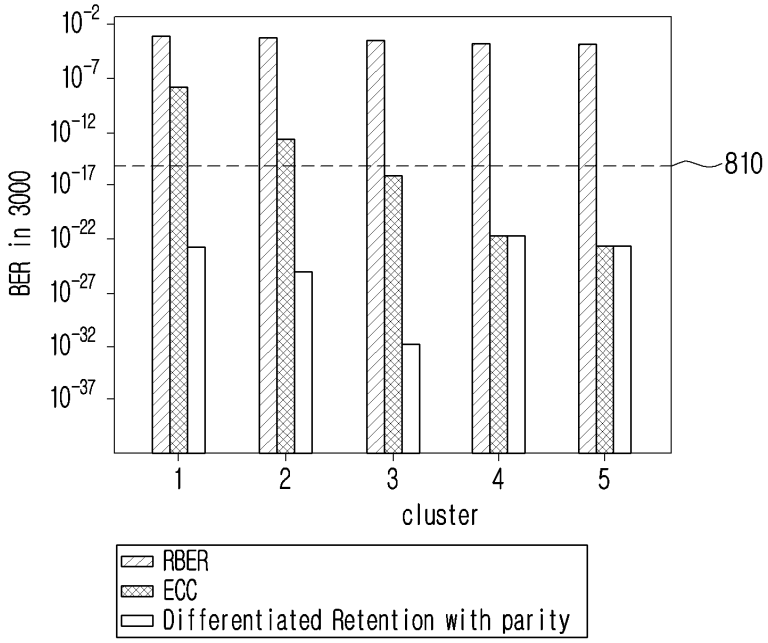
도면6b


1.0
0.8
0.6
0.4
0.2
Fail bits
620
610
0.0
0.2
0.4
0.6
0.8
1.0
Layer(0~1)
upper page
middle page
lower page

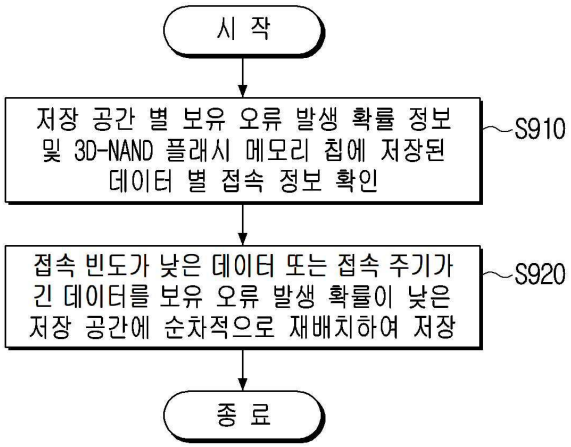
도면7


110-1
110-2
110-3
110-4
110-5
Channel
Chip 0
Chip 1
Chip 2
Chip 3
Chip 4
Upper Layer
Block
0
1
2
D
P1
740
Data striping
middle Layer
Lower Layer
P2
710
720
730
D : Data
P1 : First parity
P2 : Second parity

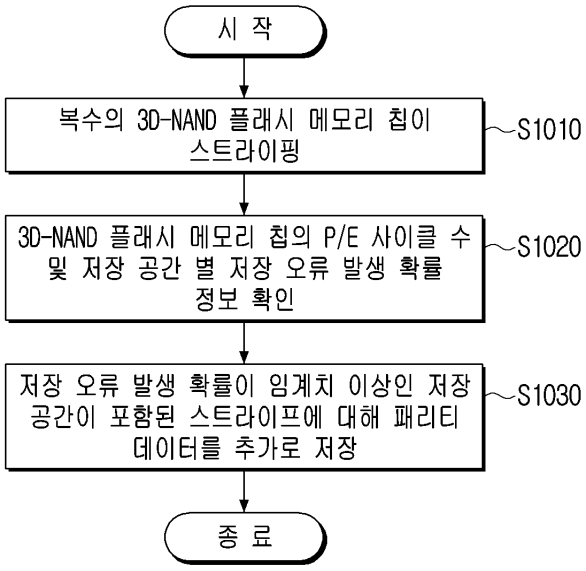
도면8


BER in 3000
10^{-2}
10^{-7}
10^{-12}
10^{-17}
10^{-22}
10^{-27}
10^{-32}
10^{-37}
810
1
2
3
4
5
cluster
RBER
ECC
Differentiated Retention with parity

도면9


시 작
저장 공간 별 보유 오류 발생 확률 정보 및 3D-NAND 플래시 메모리 칩에 저장된 데이터 별 접속 정보 확인
S910
접속 빈도가 낮은 데이터 또는 접속 주기가 긴 데이터를 보유 오류 발생 확률이 낮은 저장 공간에 순차적으로 재배치하여 저장
S920
종 료

도면10


시 작
복수의 3D-NAND 플래시 메모리 칩이 스트라이핑
S1010
3D-NAND 플래시 메모리 칩의 P/E 사이클 수 및 저장 공간 별 저장 오류 발생 확률 정보 확인
S1020
저장 오류 발생 확률이 임계치 이상인 저장 공간이 포함된 스트라이프에 대해 패리티 데이터를 추가로 저장
S1030
종 료