

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6076616号
(P6076616)

(45) 発行日 平成29年2月8日(2017.2.8)

(24) 登録日 平成29年1月20日(2017.1.20)

| | | | |
|------------------------|-------------|---------|--|
| (51) Int.Cl. | F 1 | | |
| HO3K 19/0944 (2006.01) | HO3K 19/094 | Z NMA | |
| HO1L 29/786 (2006.01) | HO1L 29/78 | 6 1 8 B | |
| HO1L 21/8238 (2006.01) | HO1L 29/78 | 6 1 3 A | |
| HO1L 27/092 (2006.01) | HO1L 27/08 | 3 2 1 L | |
| HO3K 17/687 (2006.01) | HO1L 27/08 | 3 2 1 G | |

請求項の数 1 (全 73 頁) 最終頁に続く

| | |
|--------------|-------------------------------|
| (21) 出願番号 | 特願2012-104413 (P2012-104413) |
| (22) 出願日 | 平成24年5月1日(2012.5.1) |
| (65) 公開番号 | 特開2012-253751 (P2012-253751A) |
| (43) 公開日 | 平成24年12月20日(2012.12.20) |
| 審査請求日 | 平成27年4月27日(2015.4.27) |
| (31) 優先権主張番号 | 特願2011-103821 (P2011-103821) |
| (32) 優先日 | 平成23年5月6日(2011.5.6) |
| (33) 優先権主張国 | 日本国(JP) |

| | |
|-----------|--|
| (73) 特許権者 | 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 |
| (72) 発明者 | 閑根 英輔 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 |
| 審査官 | 白井 亮 |

前置審査

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1及び第2の入力端子と、出力端子と、第1乃至第6のトランジスタと、を有し、前記第1の入力端子は、前記第1のトランジスタを介して、前記第3のトランジスタのゲート及び前記第5のトランジスタのゲートと電気的に接続され、前記第2の入力端子は、前記第2のトランジスタを介して、前記第4のトランジスタのゲート及び前記第6のトランジスタのゲートと電気的に接続され、前記出力端子は、前記第3のトランジスタ又は前記第4のトランジスタを介して第1の配線と電気的に接続され、前記出力端子は、前記第5のトランジスタ及び前記第6のトランジスタを介して第2の配線と電気的に接続され、

前記第1及び第2のトランジスタは、酸化物半導体を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

トランジスタなどの半導体素子を含む論理回路に関する。また、該論理回路を有する半導体装置に関する。

【0002】

なお、本明細書において半導体装置とは、半導体特性を利用して機能しうる装

10

20

置全般をいい、該論理回路を含む半導体回路や、該半導体回路を含む電気光学装置および発光表示装置などの電子機器も全て半導体装置である。

【背景技術】

【0003】

一般的に、Si-waferやSOI(Silicon On Insulator)基板を用いて作製されたトランジスタを有する回路は、微細に形成されることで動作電圧が小さくなり、結果として、該回路(さらには該回路を有する半導体装置)における消費電力は小さくなる。

【0004】

また、演算処理を行う各種論理回路は、電源を投入(オン)した状態で動作し、電源を切断(オフ)した状態で停止する。また、該各種論理回路において、電源をオフすると、オフする直前に行われていた処理内容が消去される。

【0005】

例えば、レジスタ回路、ラッチ回路およびフリップフロップ回路などの論理状態を記憶しておくべき順序回路を含む論理回路として、仮想電源線および仮想接地線が真の電源線および真の接地線の間に設けられ、該真の電源線および該仮想電源線の間にpチャネル型トランジスタが設けられ、該真の接地線および該仮想接地線の間にnチャネル型トランジスタが設けられ、該仮想電源線および該仮想接地線の間に該順序回路が設けられた論理回路がある(特許文献1参照)。該論理回路は、該pチャネル型トランジスタおよび該nチャネル型トランジスタにおいて導通状態と非導通状態を周期的に繰り返すことで該論理回路が保持する情報を欠落させないように動作させることができる。

【0006】

さらに、上記論理回路をnチャネル型トランジスタおよびpチャネル型トランジスタを含むCMOS回路で構成することができるが、MOSトランジスタの微細化に伴ってオフ電流が増大するため、非動作時の消費電力(待機時の消費電力、以下、待機電力とも呼ぶ。)の増大が問題となっている。例えば、チャネル長が0.1μm以下程度に微細化されたシリコンMOSトランジスタでは、ソースを基準としてゲートに印加される電圧(Vgs)ともいう。)をしきい値電圧より低くしても、ソースおよびドレイン間の電流をゼロすることはできない。なお、本明細書においては、このようにトランジスタのVgsが該トランジスタのしきい値電圧より低い場合に流れるソースおよびドレイン間の電流をオフ電流とする。

【0007】

上述したオフ電流に起因する待機電力の増大を抑制するために、スイッチングトランジスタを用いる技術が提案されている(特許文献2参照)。特許文献2に開示の技術は、電源とCMOS回路との間に、該CMOS回路と比較してオフ電流が小さいスイッチングトランジスタを設け、該CMOS回路が動作していないとき(非動作時)には該スイッチングトランジスタをオフすることで待機電力を低減しようとするものである。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平9-64715号公報

【特許文献2】特開2008-219882号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかし、特許文献1で開示される技術のように、真の電源線および真の接地線の他に仮想電源線および仮想接地線を設けることや、極性の異なるトランジスタを形成することは、論理回路の作製工程数を増加させ、該論理回路における該トランジスタの占有面積を拡大することになり、論理回路の微細化に適していない。

【0010】

10

20

30

40

50

また、特許文献 2 で開示される技術のように、スイッチングトランジスタを設ける場合、CMOS 回路に十分な電流を供給し、該 CMOS 回路の動作を確保するために、スイッチングトランジスタのチャネル幅を、該 CMOS 回路を構成するトランジスタのチャネル幅と同等、またはそれ以上とする必要が生じる。したがって、スイッチングトランジスタのチャネル幅を、集積回路を構成するトランジスタのチャネル幅より小さくして、スイッチングトランジスタ自体のオフ電流を抑制するという方法は、作製工程の観点から困難であるといえる。

【0011】

そこで、本発明の一態様は、微細化に適し、且つ演算処理を実行中に電源をオフする場合でも、電源をオフする直前に入力された電位を保持できる論理回路を提供することを課題の一とする。また、該論理回路を有する半導体装置を提供することを課題とする。

10

【課題を解決するための手段】

【0012】

本発明の一態様は、高電位側電源電位線および低電位側電源電位線の間に設けられた 1 以上の入力端子および 1 以上の出力端子を有する論理回路において、該論理回路に入力された電位、または演算処理後の電位を低下させる電流経路（リーコンプルメント経路ともいう）に、極めてオフ電流の低いスイッチング素子（例えばトランジスタなど）を設けることで、論理回路の電源をオフした後も入力された電位、または演算処理後の電位が保持されることである。

【0013】

20

本発明の一態様は、入力端子および出力端子と、入力端子および出力端子に電気的に接続された主要論理回路部と、入力端子および主要論理回路部に電気的に接続されたスイッチング素子とを有し、スイッチング素子の第 1 端子は入力端子と電気的に接続されており、スイッチング素子の第 2 端子は主要論理回路部を構成する 1 以上のトランジスタのゲートと電気的に接続されており、スイッチング素子は、オフ状態におけるリーコンプルメント電流がチャネル幅 $1 \mu m$ あたり $1 \times 10^{-17} A$ 以下のトランジスタとする論理回路である。

【0014】

また、本発明の別の態様は、上記論理回路において、入力端子は複数設けられていてもよく、その場合は、スイッチング素子も同数設け、各スイッチング素子の第 1 端子は、各入力端子と電気的に接続され、各スイッチング素子の第 2 端子は主要論理回路を構成する 1 以上のトランジスタのゲートと電気的に接続された論理回路である。

30

【0015】

また、本発明の別の態様は、入力端子および出力端子と、入力端子および出力端子、ならびに高電位側電源電位線および低電位側電源電位線に電気的に接続された主要論理回路部と、高電位側電源電位線および低電位側電源電位線、ならびに出力端子との間で構成される電流経路とにおいて、主要論理回路部内に第 1 のスイッチング素子および第 2 のスイッチング素子を有し、第 1 のスイッチング素子の第 1 端子は高電位側電源電位線と、第 1 のスイッチング素子の第 2 端子は出力端子と電気的に接続されており、第 2 のスイッチング素子の第 1 端子は低電位側電源電位線と、第 2 のスイッチング素子の第 2 端子は出力端子と電気的に接続されており、第 1 のスイッチング素子および第 2 のスイッチング素子は、オフ状態におけるリーコンプルメント電流がチャネル幅 $1 \mu m$ あたり $1 \times 10^{-17} A$ 以下のトランジスタとする論理回路である。つまり、第 1 のスイッチング素子および第 2 のスイッチング素子のそれぞれは、該電流経路において、該出力端子と電気的に接続されている。

40

【0016】

また、本発明の別の態様は、上記論理回路において、上記電流経路において、3 以上のスイッチング素子を有し、3 以上のスイッチング素子のうち、少なくとも 1 のスイッチング素子の第 1 端子は高電位側電源電位線と、少なくとも 1 のスイッチング素子の第 2 端子は出力端子と電気的に接続されており、3 以上のスイッチング素子のうち、残りのスイッチング素子の第 1 端子は低電位側電源電位線と、残りのスイッチング素子の第 2 端子は出力端子と電気的に接続されている論理回路である。つまり、上記電流経路において、3

50

以上のスイッチング素子を設けても、出力端子と電気的に接続されている。

【0017】

上記した本発明の一態様の主要論理回路部としては、NOT回路、NAND回路、NOR回路、AND回路、OR回路、XOR回路、XNOR回路が挙げられる。

【0018】

上記した本発明の一態様の論理回路において、オフ状態におけるリーク電流がチャネル幅 $1 \mu m$ あたり $1 \times 10^{-17} A$ 以下のトランジスタは、酸化物半導体などのワイドギャップ半導体をチャネル形成領域に用いることができる。特に、水素濃度が $5 \times 10^{19} / cm^3$ 以下であり、且つ化学量論的組成比に対して酸素が過剰に含まれている酸化物半導体をチャネル形成領域に用いることが好ましい。また、本明細書における酸化物半導体とは、半導体特性を示す金属酸化物である。そして、該酸化物半導体は、インジウム、ガリウム、スズおよび亜鉛から選ばれた一種以上の元素を含む金属酸化物である。
10

【0019】

また、本発明の別の一態様としては、上記本発明の一態様である論理回路を有する半導体装置である。

【発明の効果】

【0020】

電源をオフにした場合でも、電源をオフする直前に入力された電位を保持することができ、再度電源をオンした後、電源をオフする直前の状態から演算処理を素早く再開できる論理回路を提供できる。
20

【0021】

論理回路を構成するnチャネル型トランジスタに酸化物半導体を用いることで、該論理回路におけるCMOS回路を、重畠したpチャネル型トランジスタおよびnチャネル型トランジスタによって形成でき、該論理回路の微細化が可能となる。さらに、酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、微細化が可能であり、且つ消費電力が低減された該論理回路および該論理回路を有する半導体装置を提供できる。なお、本明細書において、消費電力とは、待機時の消費電力（待機電力）を含むものとする。

【図面の簡単な説明】

【0022】

【図1】本発明の一態様である論理回路を説明するブロック図。
30

【図2】本発明の一態様である論理回路を説明するブロック図。

【図3】本発明の一態様に係る論理回路を説明する回路図。

【図4】本発明の一態様に係る論理回路を説明する回路図。

【図5】本発明の一態様に係る論理回路を説明する回路図。

【図6】本発明の一態様に係る論理回路を説明する回路図。

【図7】本発明の一態様に係る論理回路を説明する回路図。

【図8】本発明の一態様に係る論理回路を説明する回路図。

【図9】本発明の一態様に係る論理回路を説明する回路図。

【図10】本発明の一態様に係る論理回路を説明する回路図。

【図11】本発明の一態様に係る論理回路を説明する回路図。
40

【図12】本発明の一態様に係る論理回路を説明する回路図。

【図13】本発明の一態様に係る論理回路を説明する回路図。

【図14】本発明の一態様に係る論理回路を説明する回路図。

【図15】本発明の一態様に係る論理回路を説明する回路図。

【図16】本発明の一態様に係るトランジスタを説明する断面図。

【図17】本発明の一態様に係るトランジスタの作製方法を説明する断面図。

【図18】本発明の一態様に係る酸化物材料の構造を説明する図。

【図19】本発明の一態様に係る酸化物材料の構造を説明する図。

【図20】本発明の一態様に係る酸化物材料の構造を説明する図。

【図21】酸化物半導体を用いたトランジスタにおける電界効果移動度のゲート電圧依存
50

性の計算結果を説明する図。

【図22】酸化物半導体を用いたトランジスタにおけるドレイン電流と移動度のゲート電圧依存性の計算結果を説明する図。

【図23】酸化物半導体を用いたトランジスタにおけるドレイン電流と移動度のゲート電圧依存性の計算結果を説明する図。

【図24】酸化物半導体を用いたトランジスタにおけるドレイン電流と移動度のゲート電圧依存性の計算結果を説明する図。

【図25】計算に用いたトランジスタの断面構造を説明する図。

【発明を実施するための形態】

【0023】

10

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0024】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

20

【0025】

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

【0026】

本明細書において、「AはBと電気的に接続される」または「AはBに電気的に接続される」と記載する場合、A、Bが直接接続されている場合と、AとBとの間に対象物を介して接続されている場合を含む。なお、A、Bおよび該対象物は、例えば、トランジスタなどのスイッチング素子、容量素子、抵抗素子、インダクタ、端子、回路、配線、電極、導電膜、などAとBとの間で電気信号の授受を可能とするものである。

30

【0027】

本明細書において、「ソース」とは、ソース電極、およびソース電極と電気的に接続されている領域又は対象物（例えば、ソース領域またはソース端子）などを含むものとする。「ドレイン」とは、ドレイン電極、およびドレイン電極と電気的に接続されている領域または対象物（例えば、ドレイン領域またはドレイン端子）などを含むものとする。また、トランジスタのソースおよびドレインは、トランジスタの極性や動作条件等によって替わるため、いざれがソースまたはドレインであるかを特定することが困難である。そこで、ソース端子およびドレイン端子の一方を第1端子、ソース端子およびドレイン端子の他方を第2端子と表記し、区別することとする。なお、「ゲート」と記載する場合は、ゲート電極、およびゲート電極と電気的に接続されている領域または対象物（例えば、ゲート端子）などを含むものとする。

40

【0028】

(実施の形態1)

本実施の形態では、本発明の一態様である論理回路の一例について説明する。はじめに、1以上の入力端子および1以上の出力端子を有する論理回路について説明する。なお、本明細書中において、論理回路に高電位側電源電位線および低電位側電源電位線は含まれないものとし、出力端子は定電位および接地電位などと、電気的に接続されておらずリードがないものとする。

【0029】

図1(A)に示す論理回路10は、主要論理回路部14と、入力電位信号(IN)が入

50

力される入力端子 11 と電気的に接続されたトランジスタ 15 と、演算処理後の出力電位信号 (OUT) が出力される出力端子 13 と、を有する。主要論理回路部 14 は、高電位側電源電位線および低電位側電源電位線と電気的に接続されており、入力端子 11 は、トランジスタ 15 の第 1 端子と電気的に接続されており、トランジスタ 15 の第 2 端子は、主要論理回路部 14 を構成するトランジスタのゲートと電気的に接続されている。また、主要論理回路部 14 は、他のトランジスタ、容量素子および抵抗素子などによって構成されていてもよい。

【0030】

トランジスタ 15 が導通状態のとき (トランジスタ 15 の V_{GS} がしきい値電圧より高いとき)、主要論理回路部 14 は入力電位信号に基づいて演算処理を行う。つまり、トランジスタ 15 のゲートに高電位が入力されているとき、論理回路 10 は、入力電位信号によって、高電位側電源電位線 (図示せず) に対応して高電位側電源電位 (V_{DD} ともいう) である高電位、または低電位側電源電位線 (図示せず) に対応して低電位側電源電位 (V_{SS} ともいう) である低電位を出力する。なお、本明細書において高電位側電源電位 (V_{DD}) は任意の正電位とすることができます。また、低電位側電源電位 (V_{SS}) は、高電位側電源電位よりも低い電位であり、例えば、接地電位または $0V$ とすることができます。

【0031】

また、論理回路 10 において、トランジスタ 15 は極めてオフ電流が低いトランジスタで構成されている。例えば、極めてオフ電流が低いトランジスタの一例としては、室温 (25) における単位チャネル幅 ($1\ \mu m$)あたりの値が、 $10\ aA/\ \mu m$ ($1 \times 10^{-17}\ A/\ \mu m$) 以下、さらには、 $1\ aA/\ \mu m$ ($1 \times 10^{-18}\ A/\ \mu m$) 以下、さらには $1\ zA/\ \mu m$ ($1 \times 10^{-21}\ A/\ \mu m$) 以下、さらには $1\ yA/\ \mu m$ ($1 \times 10^{-24}\ A/\ \mu m$) 以下となるトランジスタである。

【0032】

このように、論理回路 10 のトランジスタ 15 は極めてオフ電流の低いトランジスタであるため、演算処理中に、トランジスタ 15 を非導通状態 (トランジスタ 15 の V_{GS} がしきい値電圧より低い状態) にした後であれば、電源をオフにしても、論理回路 10 は、トランジスタ 15 の第 2 端子に電気的に接続された主要論理回路部 14 を構成するトランジスタのゲートの間で構成されるノードの電位を保持することができる。そして、再度電源をオンした後、トランジスタ 15 を導通状態にすることで、該ノードに保持された電位をもとに演算処理を再開できる。つまり、電源をオフする直前の状態から演算処理を再開できる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 10 の消費電力を低減することができる。

【0033】

なお、本明細書において、電源をオフするとは、高電位側電源電位線と低電位側電源電位線との間に電位差を生じていない状態にすることを意味する。また、電源をオンするとは、高電位側電源電位線と低電位側電源電位線との間に電位差が生じる状態にすることを意味する。

【0034】

本発明の一態様である論理回路は、1 の入力端子および1 の出力端子を有する論理回路に限らず、複数の入力端子および複数の出力端子を有する論理回路であってもよい。例えば、該論理回路は、2 の入力端子および1 の出力端子を有する論理回路や、2 の入力端子および2 の出力端子を有する論理回路、複数の入力端子および1 の出力端子を有する論理回路など、様々な回路構成とすることができます。その際、複数の入力端子の各入力端子と主要論理回路部を構成する1 以上のトランジスタのゲートとの間に極めてオフ電流の低いトランジスタを電気的に接続すればよい。

【0035】

次に論理回路 10 の変形例について説明する。図 1 (B) に示した該変形例である論理

10

20

30

40

50

回路 20 は、2 以上の極めてオフ電流の低いトランジスタを含む主要論理回路部 14 と、入力端子 11 と、出力端子 13 とを有する。

【0036】

主要論理回路部 14 において、高電位側電源電位線および低電位側電源電位線ならびに出力端子 13 間に構成される電流経路において、第 1 のトランジスタ 16 および第 2 のトランジスタ 17 が該出力端子と電気的に接続されている。

【0037】

高電位側電源電位線と第 1 のトランジスタ 16 の第 1 端子は電気的に接続されており、出力端子 13 と第 1 のトランジスタ 16 の第 2 端子は電気的に接続されている。低電位側電源電位線と第 2 のトランジスタ 17 の第 1 端子は電気的に接続されており、出力端子 13 と第 2 のトランジスタ 17 の第 2 端子は電気的に接続されている。10

【0038】

なお、第 1 のトランジスタ 16 の第 1 端子と高電位側電源電位線との間、第 1 のトランジスタ 16 の第 2 端子と第 2 のトランジスタ 17 の第 2 端子との間、および第 2 のトランジスタ 17 の第 1 端子と低電位側電源電位線との間には、主要論理回路部 14 は、他のトランジスタ、容量素子および抵抗素子などが電気的に接続されていてもよい。

【0039】

論理回路 20 は、第 1 のトランジスタ 16 および第 2 のトランジスタ 17 が導通状態であるとき演算処理を行う。

【0040】

論理回路 20 において、第 1 のトランジスタ 16 および第 2 のトランジスタ 17 は、トランジスタ 15 と同様に極めてオフ電流が低いトランジスタである。なお、第 1 のトランジスタ 16 および第 2 のトランジスタ 17 の一例は、トランジスタ 15 の一例と同じである。20

【0041】

このように、論理回路 20 の第 1 のトランジスタ 16 および第 2 のトランジスタ 17 は極めてオフ電流の低いトランジスタであるため、演算処理中に、第 1 のトランジスタ 16 および第 2 のトランジスタ 17 を非導通状態（第 1 のトランジスタ 16 および第 2 のトランジスタ 17 の V_{gs} がしきい値電圧より低い状態）にした後であれば、電源をオフにしても、論理回路 20 は、出力端子 13 および第 1 のトランジスタ 16 の第 2 端子ならびに第 2 のトランジスタ 17 の第 2 端子の間で構成されるノードの電位を保持することができる。そして、再度電源をオンした後、第 1 のトランジスタ 16 および第 2 のトランジスタ 17 を導通状態（第 1 のトランジスタ 16 および第 2 のトランジスタ 17 の V_{gs} がしきい値電圧より高い状態）にすることで、電源をオフする直前の状態から演算処理を再開できる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 20 の消費電力を低減することができる。30

【0042】

また、本発明の一態様である論理回路において、主要論理回路部の構成よっては、複数の入力端子および 1 の出力端子を有する論理回路に、極めてオフ電流の低いトランジスタを 2 以上設ける必要がある。40

【0043】

そこで、図 2 (A) および図 2 (B) に、2 の入力端子および 1 の出力端子を有する論理回路 30 および論理回路 40 について説明する。論理回路 30 は、2 の入力端子および 1 の出力端子を有する論理回路であって、2 の入力端子と主要論理回路部 14 の間に極めてオフ電流の低いトランジスタを設けた構成の論理回路である。

【0044】

論理回路 30 は、主要論理回路部 14 と、入力電位信号 (IN_1) を供給する第 1 の入力端子 11 と電気的に接続された第 1 のトランジスタ 18 と、入力電位信号 (IN_2) を供給する第 2 の入力端子 12 と電気的に接続された第 2 のトランジスタ 19 と、演算

10

20

30

40

50

処理後の出力電位信号(OUT)が出力される出力端子13とを有する。主要論理回路部14は、高電位側電源電位線および低電位側電源電位線と電気的に接続されており、第1の入力端子11は、第1のトランジスタ18の第1端子と電気的に接続されており、第2の入力端子12は、第2のトランジスタ19の第1端子と電気的に接続されている。第1のトランジスタ18の第2端子および第2のトランジスタ19の第2端子は、主要論理回路部14を構成するトランジスタのゲートと電気的に接続されている。また、主要論理回路部14は、他のトランジスタ、容量素子および抵抗素子などによって構成されていてもよい。

【0045】

論理回路30は、第1のトランジスタ18および第2のトランジスタ19が導通状態であるとき演算処理を行う。 10

【0046】

論理回路30において、第1のトランジスタ18および第2のトランジスタ19は、論理回路10におけるトランジスタ15と同様に極めてオフ電流が低いトランジスタである。なお、第1のトランジスタ18および第2のトランジスタ19の一例は、トランジスタ15の一例と同じである。

【0047】

このように、論理回路30の第1のトランジスタ18および第2のトランジスタ19を極めてオフ電流の低いトランジスタであるため、演算処理中に、第1のトランジスタ18および第2のトランジスタ19を非導通状態(第1のトランジスタ18および第2のトランジスタ19のV_{gs}がしきい値電圧より低い状態)にした後であれば、電源をオフにしても、論理回路30は、第1のトランジスタ18の第2端子に電気的に接続された主要論理回路部14を構成するトランジスタのゲートの間で構成されるノードの電位、および第2のトランジスタ19の第2端子に電気的に接続された主要論理回路部14を構成するトランジスタのゲートの間で構成されるノードの電位を保持することができる。そして、再度電源をオンした後、第1のトランジスタ18および第2のトランジスタ19を導通状態(第1のトランジスタ18および第2のトランジスタ19のV_{gs}がしきい値電圧より高い状態)にすることで、該ノードに保持された電位をもとに演算処理を再開できる。つまり、電源をオフする直前の状態から演算処理を再開できる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。 30

また、論理回路30の消費電力を低減することができる。

【0048】

次に、図2(B)に示した論理回路30の変形例である論理回路40について説明する。論理回路40は、2の入力端子および1の出力端子を有する論理回路であって、図1(B)に示した論理回路20と同様に主要論理回路部に極めてオフ電流の低いトランジスタを含む構成の論理回路である。

【0049】

図2(B)に示した論理回路40は、2以上のトランジスタを含む主要論理回路部14と、第1の入力端子11と、第2の入力端子12と、演算処理後の出力電位信号(OUT)が出力される出力端子13とを有する。 40

【0050】

主要論理回路部14において、高電位側電源電位線および低電位側電源電位線ならびに出力端子13間に構成される電流経路において、第1のトランジスタ16および第2のトランジスタ17が該出力端子と電気的に接続されている。

【0051】

高電位側電源線と第1のトランジスタ16の第1端子は電気的に接続されており、出力端子13と第1のトランジスタ16の第2端子は電気的に接続されている。低電位側電源線と第2のトランジスタ17の第1端子は電気的に接続されており、出力端子13と第2のトランジスタ17の第2端子は電気的に接続されている。

【0052】

10

20

30

40

50

なお、第1のトランジスタ16の第1端子と高電位側電源電位線との間、第1のトランジスタ16の第2端子と第2のトランジスタ17の第2端子との間、および第2のトランジスタ17の第1端子と低電位側電源電位線との間には、主要論理回路部14は、他のトランジスタ、容量素子および抵抗素子などが電気的に接続されていてもよい。

【0053】

論理回路40は、第1のトランジスタ16および第2のトランジスタ17が導通状態であるとき演算処理を行う。

【0054】

論理回路40において、第1のトランジスタ16および第2のトランジスタ17は、論理回路10におけるトランジスタ15と同様に極めてオフ電流が低いトランジスタである。なお、第1のトランジスタ16および第2のトランジスタ17の一例は、トランジスタ15の一例と同じである。

10

【0055】

論理回路40の動作原理は、論理回路20と同様である。つまり、保持されるノードの電位は、出力端子13および第1のトランジスタ16の第2端子ならびに第2のトランジスタ17の第2端子の間で構成されるノードの電位である。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路40の消費電力を低減することができる。

【0056】

そして、論理回路10乃至論理回路40において、主要論理回路部14を構成するトランジスタについても、論理回路10のトランジスタ15に適用できる極めてオフ電流の低いトランジスタとすることできる。これにより、保持されているノードの電位が、主要論理回路部14を構成するトランジスタを介して低下することを抑制でき、さらに消費電力を低減することができる。

20

【0057】

以上より、論理回路10乃至論理回路40の消費電力が低減されることで、論理回路10乃至論理回路40のうちいずれか1以上を有する半導体装置も消費電力を低減することができる。さらに、論理回路10乃至論理回路40の消費電力を低減することで、論理回路10乃至論理回路40を動作させる外部回路の負荷が低減できる。これにより、論理回路10乃至論理回路40のうちいずれか1以上および該外部回路を有する半導体装置の機能拡張が可能となる。

30

【0058】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0059】

(実施の形態2)

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、NOT回路(インバータ回路)について図3を用いて説明する。なお、回路図においては、酸化物半導体(Oxide Semiconductor)を用いたトランジスタであることを示すために、点線を用いた回路記号およびOSの符号を併せて付す場合がある。そして、本実施の形態で説明する論理回路は、実施の形態1で説明した論理回路の一例であるため、実施の形態1での説明に用いた符号を適宜使用する。

40

【0060】

論理回路の構成例および動作例

図3(A)に示す論理回路50はNOT回路に新たにnチャネル型トランジスタを電気的に接続した論理回路である。本実施の形態では、該NOT回路を微細化に好適なCMOS回路による回路構成とするが、該NOT回路を他の抵抗素子やダイオードなどを用いる回路構成としてもよい。

【0061】

論理回路50は、nチャネル型トランジスタ51と、pチャネル型トランジスタ58お

50

およびnチャネル型トランジスタ59と、を有する。特に、nチャネル型トランジスタ51は極めてオフ電流の低いトランジスタである。

【0062】

論理回路50は、nチャネル型トランジスタ51の第1端子と入力電位信号(IN)を供給する入力端子11とが電気的に接続されており、nチャネル型トランジスタ51の第2端子とpチャネル型トランジスタ58のゲートおよびnチャネル型トランジスタ59のゲートとが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とpチャネル型トランジスタ58の第1端子とが電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ59の第1端子とが電気的に接続されており、pチャネル型トランジスタ58の第2端子およびnチャネル型トランジスタ59の第2端子と出力電位信号(OUT)が出力される出力端子13とが電気的に接続されている。

【0063】

また、本発明の一態様である論理回路において、低電位側電源電位(VSS)は高電位側電源電位(VDD)より低ければどのような電位であってもよい。つまり、高電位側電源電位線と電気的に接続されるトランジスタの第1端子および低電位側電源電位線と電気的に接続されるトランジスタの第1端子の間に電位差を有すれば、低電位側電源電位はどのような電位であってもよい。例えば、該低電位側電源電位としては、接地電位または0Vとすることができる。なお、このことは、後述する本発明の一態様である他の論理回路においても適用される。

【0064】

論理回路50は、nチャネル型トランジスタ51のゲートの電位が高電位の場合(nチャネル型トランジスタ51のVgsがnチャネル型トランジスタ51のしきい値電圧より高い場合)において、従来のNOT回路と同様の演算処理を行う。例えば、高電位の入力電位信号が入力端子11に入力されると、出力端子13からは低電位側電源電位(VSS)である低電位が出力される。また、低電位の入力電位信号が入力端子11に入力されると、出力端子13からは高電位側電源電位(VDD)である高電位が出力される。

【0065】

次に、論理回路50の動作中に電源をオフした場合の回路動作について説明する。従来のNOT回路では、回路動作中に電源をオフした場合、高電位側電源電位(VDD)と低電位側電源電位(VSS)に電位差が無くなるため、演算処理中のデータは揮発する。

【0066】

一方、論理回路50では、nチャネル型トランジスタ51が極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ51のゲートの電位を低電位(nチャネル型トランジスタ51のVgsをnチャネル型トランジスタ51のしきい値電圧より低い状態)とした後であれば、電源をオフしてもノードN_1をフロー・ティングとすることができるため、該ノードN_1の電位を保持することができる。なお、ノードN_1とは、図3(A)において、「N_1」で指示する部分を含む太線部である。また、保持ノード(ノードN_1)に容量素子を設げずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてよい。

【0067】

そして、再度電源をオンした後、nチャネル型トランジスタ51のゲートの電位を高電位(nチャネル型トランジスタ51のVgsをnチャネル型トランジスタ51のしきい値電圧より高い状態)にすることで、ノードN_1に保持された電位をもとに演算処理を再開することができる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路50の消費電力を低減することができる。

【0068】

論理回路50は、nチャネル型トランジスタ51の第2端子と電気的に接続されたノード

10

20

30

40

50

ドの電位が保持される形態であるが、論理回路 50 の変形例として、出力端子 13 と電気的に接続されたノードの電位が保持される形態としてもよい。そこで、図 3 (B) に論理回路 55 を示す。なお、論理回路 55 は、図 3 (A) の論理回路 50 に付した符号を適宜用いて説明する。

【0069】

論理回路 55 は、n チャネル型トランジスタ 51 と、n チャネル型トランジスタ 54 と、p チャネル型トランジスタ 58 および n チャネル型トランジスタ 59 と、を有する。特に、n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 は極めてオフ電流の低いトランジスタである。

【0070】

論理回路 55 は、入力電位信号 (IN) を供給する入力端子 11 と p チャネル型トランジスタ 58 のゲートおよび n チャネル型トランジスタ 59 のゲートとが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と p チャネル型トランジスタ 58 の第 1 端子とが電気的に接続されており、p チャネル型トランジスタ 58 の第 2 端子と n チャネル型トランジスタ 51 の第 1 端子と電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 59 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 59 の第 2 端子と n チャネル型トランジスタ 54 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 の第 2 端子と出力電位信号 (OUT) が 20 出力される出力端子 13 とが電気的に接続されている。なお、n チャネル型トランジスタ 51 のゲートおよび n チャネル型トランジスタ 54 のゲートは同電位である。

【0071】

論理回路 55 は、論理回路 50 と同様に n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 のゲートの電位 が高電位の場合において、従来の NOT 回路と同様の演算処理を行う。

【0072】

次に、論理回路 55 の動作中に電源をオフした場合の回路動作について説明する。従来の NOT 回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0073】

一方、論理回路 55 では、n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 のゲートの電位 を低電位 (n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 の Vgs を n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 のしきい値電圧より低い状態) とした後であれば、電源をオフしても、ノード N_2 をフローティングとすることができますため、該ノード N_2 の電位を保持することができる。なお、ノード N_2 とは、図 3 (B) において、「N_2」で指示する部分を含む太線部である。また、保持ノード (ノード N_2) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0074】

そして、再度電源をオンした後、n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 のゲートの電位 を高電位 (n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 の Vgs を n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 のしきい値電圧より高い状態) にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 55 の消費電力を低減することができる。

【0075】

論理回路 50 および論理回路 55 において、n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 は、上記した極めてオフ電流の低いトランジスタが適用できる

10

20

30

40

50

。例えば、実施の形態1で説明したトランジスタ15のように、室温(25℃)における単位チャネル幅(1μm)あたりの値が10aA/μm(1×10^{-17} A/μm)以下、さらには、1aA/μm(1×10^{-18} A/μm)以下、さらには1zA/μm(1×10^{-21} A/μm)以下、さらには1yA/μm(1×10^{-24} A/μm)以下となるトランジスタである。

【0076】

極めてオフ電流の低いトランジスタは、酸化物半導体などのワイドギャップ半導体をチャネル形成領域に適用することで実現できる。さらに、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用することが好ましい。したがって、チャネル形成領域における酸化物半導体の水素濃度が 5×10^{-9} /cm³以下、さらに 5×10^{-8} /cm³以下であり、且つ化学量論的組成比に対して酸素が過剰に含まれていることが好ましい。なお、チャネル形成領域を構成する酸化物半導体中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で行ったものである。

10

【0077】

また、酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)とを含む金属酸化物で形成されていることが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

20

【0078】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0079】

なお、酸化物半導体のキャリア濃度は 1.0×10^{14} /cm³未満まで小さくすることが好ましい。キャリア濃度を小さくすることで、トランジスタのオフ電流を低くすることができる。

30

【0080】

論理回路50および論理回路55において、pチャネル型トランジスタ58およびnチャネル型トランジスタ59には、特に制限はなく、半導体材料を含む基板を用いて形成されるトランジスタであればよい。

【0081】

なお、nチャネル型トランジスタ59についても、nチャネル型トランジスタ51およびnチャネル型トランジスタ54のように、上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることで、論理回路50および論理回路55の消費電力をさらに低減させることができる。

40

【0082】

本発明の一態様であるNOT回路において、論理回路50のように、素子数をできる限り少なくなるように極めてオフ電流が低いトランジスタを配置する回路構成は、論理回路55の回路構成より、素子数が少ないためにトランジスタの占有面積が小さく、微細化の観点から好ましい。また、本発明の一態様であるNOT回路において、論理回路55のように出力端子と電気的に接続されたノードの電位が保持される回路構成、別言すると演算処理後の電位が保持される回路構成は、論理回路50より、さらに高速に演算処理を再開させることができ、回路動作の高速化の観点から好ましい。

50

【0083】

さらに、本発明の一態様であるN O T回路（論理回路50および論理回路55）において、極めてオフ電流の低いトランジスタ以外の構成（従来のN O T回路に相当する構成）は、C M O S回路に限定されない。例えば、該構成の一部であるpチャネル型トランジスタをn型且つエンハンスマント型トランジスタとしてもよい。該n型且つエンハンスマント型トランジスタは、トランジスタの第1端子とゲートとが接続されたnチャネル型トランジスタであり、期間によらず導通状態（オン状態）を維持する。別言すれば、該n型且つエンハンスマント型トランジスタは抵抗素子として機能する。したがって、該構成の一部であるpチャネル型トランジスタに、n型且つエンハンスマント型トランジスタを適用することで、論理回路50および論理回路55を構成するトランジスタの極性を同じにすることができる。これにより、作製プロセスを低減することができ、論理回路50および論理回路55の歩留まりを向上させ、製造コストを低減させることができる。なお、該n型且つエンハンスマント型トランジスタにおいても、上記水素濃度を有する酸化物半導体でチャネル形成領域を構成するトランジスタとしてもよい。このように、nチャネル型トランジスタのみで構成される論理回路であっても、論理回路50および論理回路55を低消費電力化することができる。10

【0084】

以上より、論理回路50および論理回路55において、消費電力を低減することで、論理回路50および論理回路55の一方または双方を有する半導体装置の消費電力を低減することができる。さらに、論理回路50および論理回路55の消費電力を低減することで、論理回路50および論理回路55を動作させる外部回路の負荷が低減できる。これにより、論理回路50および論理回路55の一方または双方と、該外部回路とを有する半導体装置の機能拡張が可能となる。20

【0085】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0086】

(実施の形態3)

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、N A N D回路について図4を用いて説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、点線を用いた回路記号およびO Sの符号を併せて付す場合がある。そして、本実施の形態で説明する論理回路は、実施の形態1での説明に用いた符号を適宜使用する。30

【0087】

論理回路の構成例および動作例

図4(A)に示す論理回路100はN A N D回路に新たにnチャネル型トランジスタを電気的に接続した論理回路である。本実施の形態では、該N A N D回路を微細化に好適なC M O S回路による回路構成とするが、該N A N D回路を他の抵抗素子やダイオードなどを用いる回路構成としてもよい。なお、図4において、N A N D回路には入力端子が2つあるため、一方を第1の入力端子11、もう一方を第2の入力端子12と符号を付する。40

【0088】

論理回路100は、nチャネル型トランジスタ101、nチャネル型トランジスタ102、nチャネル型トランジスタ103、およびnチャネル型トランジスタ104、ならびにpチャネル型トランジスタ105およびpチャネル型トランジスタ106と、を有する。特に、nチャネル型トランジスタ101およびnチャネル型トランジスタ102は極めてオフ電流の低いトランジスタである。

【0089】

論理回路100は、nチャネル型トランジスタ101の第1端子と入力電位信号(I N _1)を供給する第1の入力端子11とが電気的に接続されており、nチャネル型トランジスタ101の第2端子とpチャネル型トランジスタ105のゲートおよびnチャネル型

トランジスタ 103 のゲートとが電気的に接続されており、n チャネル型トランジスタ 102 の第 1 端子と入力電位信号 (IN_2) を供給する第 2 の入力端子 12 とが電気的に接続されており、n チャネル型トランジスタ 102 の第 2 端子と p チャネル型トランジスタ 106 のゲートおよび n チャネル型トランジスタ 104 のゲートとが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と p チャネル型トランジスタ 105 の第 1 端子および p チャネル型トランジスタ 106 の第 1 端子とが電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 104 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 104 の第 2 端子と n チャネル型トランジスタ 103 の第 1 端子とが電気的に接続されており、p チャネル型トランジスタ 105 の第 2 端子および p チャネル型トランジスタ 106 の第 2 端子ならびに n チャネル型トランジスタ 103 の第 2 端子と出力電位信号 (OUT) が出力される出力端子 13 とが電気的に接続されている。なお、n チャネル型トランジスタ 101 のゲートおよび n チャネル型トランジスタ 102 のゲートは同電位である。

【0090】

論理回路 100 は、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のゲートの電位 V_{GS} が高電位の場合 (n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 の V_{GS} が n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のしきい値電圧より高い場合) において、従来の NAND 回路と同様の演算処理を行う。例えば、高電位の入力電位信号が第 1 の入力端子 11 および第 2 の入力端子 12 に入力されると、出力端子 13 からは低電位側電源電位 (VSS) である低電位が出力される。また、低電位の入力電位信号が第 1 の入力端子 11 および第 2 の入力端子 12 のいずれか一方に入力されると、出力端子 13 からは高電位側電源電位 (VDD) である高電位が出力される。

【0091】

次に、論理回路 100 の動作中に電源をオフした場合の回路動作について説明する。従来の NAND 回路では、回路動作中に電源をオフした場合、高電位側電源電位 (VDD) と低電位側電源電位 (VSS) に電位差が無くなるため、演算処理中のデータは揮発する。

【0092】

一方、論理回路 100 では、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のゲートの電位 V_{GS} を低電位 (n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 の V_{GS} を n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のしきい値電圧より低い状態) とした後、電源をオフした場合、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のゲートの電位 V_{GS} を低電位としている (n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 の V_{GS} を n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のしきい値電圧より低くする) ことで、ノード N_3 およびノード N_4 をフローティングとすることができますため、該ノード N_3 および該ノード N_4 の電位を保持することができます。なお、ノード N_3 とは、図 4 (A) において、「N_3」で指し示す部分を含む太線部であり、ノード N_4 とは、図 4 (A) において、「N_4」で指し示す部分を含む太線部である。また、保持ノード (ノード N_3 およびノード N_4) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0093】

そして、再度電源をオンした後、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のゲートの電位 V_{GS} を高電位にすることで、ノード N_3 およびノード N_4 に保持された電位をもとに演算処理を再開することができます。したがって、再度電

10

20

30

40

50

源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 100 の消費電力を低減することができる。

【0094】

論理回路 100 は、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 の第 2 端子と電気的に接続されたノードの電位が保持される形態であるが、論理回路 100 の変形例として、出力端子 13 と電気的に接続されたノードの電位が保持される形態としてもよい。そこで、図 4 (B) に該形態に対応する論理回路 110 を示す。なお、論理回路 110 は、図 4 (A) の論理回路 100 に付した符号を適宜用いて説明する。

【0095】

論理回路 110 は、n チャネル型トランジスタ 101、n チャネル型トランジスタ 102、n チャネル型トランジスタ 103、および n チャネル型トランジスタ 104、ならびに p チャネル型トランジスタ 105 および p チャネル型トランジスタ 106 と、を有する。論理回路 110 は論理回路 100 と比較して回路を構成するトランジスタの接続関係が異なる。なお、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 は極めてオフ電流の低いトランジスタである。

【0096】

論理回路 110 は、第 1 の入力端子 11 と n チャネル型トランジスタ 103 のゲートおよび p チャネル型トランジスタ 105 のゲートとが電気的に接続されており、第 2 の入力端子 12 と n チャネル型トランジスタ 104 のゲートおよび p チャネル型トランジスタ 106 のゲートとが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と n チャネル型トランジスタ 101 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 101 の第 2 端子と p チャネル型トランジスタ 105 の第 1 端子および p チャネル型トランジスタ 106 の第 1 端子とが電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 104 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 104 の第 2 端子と n チャネル型トランジスタ 103 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 103 の第 2 端子と n チャネル型トランジスタ 102 の第 1 端子とが電気的に接続されており、p チャネル型トランジスタ 105 の第 2 端子および p チャネル型トランジスタ 106 の第 2 端子ならびに n チャネル型トランジスタ 102 の第 2 端子と出力端子 13 とが電気的に接続されている。なお、n チャネル型トランジスタ 101 のゲートおよび n チャネル型トランジスタ 102 のゲートは同電位である。

【0097】

論理回路 110 は、論理回路 100 と同様に n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のゲートの電位 が高電位の場合において、従来の NAND 回路と同様の演算処理を行う。

【0098】

次に、論理回路 110 の動作中に電源をオフした場合の回路動作について説明する。従来の NAND 回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0099】

一方、論理回路 110 では、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のゲートの電位 を低電位とした後、電源をオフした場合、n チャネル型トランジスタ 101 および n チャネル型トランジスタ 102 のゲートの電位 を低電位としていることで、少なくともノード N_5 をフローティングとすることができますため、該ノード N_5 の電位を保持することができる。なお、ノード N_5 とは、図 4 (B) において、「N_5」で指示する部分を含む太線部である。なお、保持ノード (ノード N_5) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよ

10

20

30

40

50

い。

【0100】

そして、再度電源をオンした後、nチャネル型トランジスタ101およびnチャネル型トランジスタ102のゲートの電位を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路110の消費電力を低減することができる。

【0101】

また、本実施の形態において、nチャネル型トランジスタ101およびnチャネル型トランジスタ102のように極めてオフ電流の低いトランジスタを配置する箇所は、電源をオフした際に、入力された保持すべき電位を低下させる電流経路（リーク経路）に配置すれば、論理回路100および論理回路110に限定されない。そこで、図5に、論理回路100および論理回路110とは、極めてオフ電流の低いトランジスタを配置する箇所が異なる論理回路の一例を示す。図5（A）は、該一例である論理回路120を示す回路図であり、図5（B）は、該一例である論理回路130を示す回路図である。なお、論理回路120および論理回路130は、図4（A）の論理回路100に付した符号を適宜用いて説明する。

【0102】

論理回路120は、nチャネル型トランジスタ101、nチャネル型トランジスタ102、nチャネル型トランジスタ103、およびnチャネル型トランジスタ104、ならびにpチャネル型トランジスタ105およびpチャネル型トランジスタ106と、を有する。なお、nチャネル型トランジスタ101およびnチャネル型トランジスタ102は極めてオフ電流の低いトランジスタである。

【0103】

論理回路120は、第1の入力端子11とnチャネル型トランジスタ103のゲートおよびpチャネル型トランジスタ105のゲートとが電気的に接続されており、第2の入力端子12とnチャネル型トランジスタ104のゲートおよびpチャネル型トランジスタ106のゲートとが電気的に接続されており、高電位側電源電位（VDD）を供給する高電位側電源電位線とnチャネル型トランジスタ101の第1端子と電気的に接続されており、nチャネル型トランジスタ101の第2端子とpチャネル型トランジスタ105の第1端子およびpチャネル型トランジスタ106の第1端子とが電気的に接続されており、低電位側電源電位（VSS）を供給する低電位側電源電位線とnチャネル型トランジスタ104の第1端子とが電気的に接続されており、nチャネル型トランジスタ104の第2端子とnチャネル型トランジスタ102の第1端子とが電気的に接続されており、nチャネル型トランジスタ102の第2端子とnチャネル型トランジスタ103の第1端子とが電気的に接続されており、pチャネル型トランジスタ105の第2端子およびpチャネル型トランジスタ106の第2端子ならびにnチャネル型トランジスタ103の第2端子と出力端子13とが電気的に接続されている。なお、nチャネル型トランジスタ101のゲートおよびnチャネル型トランジスタ102のゲートは同電位である。

【0104】

論理回路120は、論理回路100と同様にnチャネル型トランジスタ101およびnチャネル型トランジスタ102のゲートの電位が高電位の場合において、従来のNAND回路と同様の演算処理を行う。

【0105】

次に、論理回路120の動作中に電源をオフした場合の回路動作について説明する。従来のNAND回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0106】

一方、論理回路120では、nチャネル型トランジスタ101およびnチャネル型トランジスタ102は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ101およびnチャネル型トランジスタ102のゲートの電位を低電位とした

10

20

30

40

50

後、電源をオフした場合、nチャネル型トランジスタ101およびnチャネル型トランジスタ102のゲートの電位を低電位としていることで、少なくともノードN_5をフローティングとすることができるため、該ノードN_5の電位を保持することができる。なお、保持ノード(ノードN_5)に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0107】

そして、再度電源をオンした後、nチャネル型トランジスタ101およびnチャネル型トランジスタ102のゲートの電位を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路120の消費電力を低減することができる。

10

【0108】

論理回路130は、nチャネル型トランジスタ101、nチャネル型トランジスタ102、nチャネル型トランジスタ103、nチャネル型トランジスタ104、およびnチャネル型トランジスタ107、ならびにpチャネル型トランジスタ105およびpチャネル型トランジスタ106を有する。特に、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107は極めてオフ電流の低いトランジスタである。

【0109】

論理回路130は、第1の入力端子11とnチャネル型トランジスタ103のゲートおよびpチャネル型トランジスタ105のゲートとが電気的に接続されており、第2の入力端子12とnチャネル型トランジスタ104のゲートおよびpチャネル型トランジスタ106のゲートとが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とpチャネル型トランジスタ105の第1端子およびpチャネル型トランジスタ106の第1端子とが電気的に接続されており、pチャネル型トランジスタ105の第2端子とnチャネル型トランジスタ101の第1端子とが電気的に接続されており、pチャネル型トランジスタ106の第2端子とnチャネル型トランジスタ107の第1端子とが電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ104の第1端子とが電気的に接続されており、nチャネル型トランジスタ104の第2端子とnチャネル型トランジスタ103の第1端子とが電気的に接続されており、nチャネル型トランジスタ102の第1端子とが電気的に接続されており、nチャネル型トランジスタ101の第2端子およびnチャネル型トランジスタ102の第2端子ならびにnチャネル型トランジスタ107の第2端子と出力端子13とが電気的に接続されている。なお、nチャネル型トランジスタ101のゲート、nチャネル型トランジスタ102のゲートおよびnチャネル型トランジスタ107のゲートは同電位である。

20

【0110】

論理回路130は、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107のゲートの電位が高電位の場合において、従来のNAND回路と同様の演算処理を行う。

30

【0111】

次に、論理回路130の動作中に電源をオフした場合の回路動作について説明する。従来のNAND回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

40

【0112】

一方、論理回路130では、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107のゲートの電位を低電位とした後、電源をオフした場合、ノードN_5をフローティングとすることができるため、該ノードN_5の電位

50

を保持することができる。なお、保持ノード（ノードN_5）に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0113】

そして、再度電源をオンした後、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107のゲートの電位_gを高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路130の消費電力を低減することができる。

【0114】

論理回路100乃至論理回路130において、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107は、上記したように極めてオフ電流の低いトランジスタが適用される。該トランジスタは、例えば、実施の形態1で説明したトランジスタ15乃至トランジスタ19、実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54におけるオフ電流特性を有する。そして、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107は、nチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様に、酸化物半導体、特に上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることができます。なお、酸化物半導体中のキャリア濃度についてもnチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様であることが好ましい。

【0115】

論理回路100乃至論理回路130において、nチャネル型トランジスタ103およびnチャネル型トランジスタ104ならびにpチャネル型トランジスタ105およびpチャネル型トランジスタ106には、特に制限はなく、半導体材料を含む基板を用いて形成されるトランジスタであればよい。

【0116】

なお、nチャネル型トランジスタ103およびnチャネル型トランジスタ104についても、nチャネル型トランジスタ101、nチャネル型トランジスタ102およびnチャネル型トランジスタ107のように、上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることで、論理回路100乃至論理回路130の消費電力をさらに低減させることができる。

【0117】

また、本発明の一態様であるNAND回路において、論理回路100乃至論理回路120のようにトランジスタの素子数をできる限り少なくなるように極めてオフ電流が低いトランジスタを配置する回路構成は、論理回路130の回路構成より、トランジスタの素子数が少ないためにトランジスタの占有面積が小さく、微細化の観点から好ましい。また、本発明の一態様であるNAND回路において、論理回路110乃至論理回路130のように出力端子と電気的に接続されたノードの電位が保持される回路構成、別言すると演算処理後の電位が保持される回路構成は、論理回路100よりさらに高速に演算処理を再開させることができ、回路動作の高速化の観点から好ましい。

【0118】

さらに、本発明の一態様であるNAND回路（論理回路100乃至論理回路130）において、極めてオフ電流の低いトランジスタ以外の構成（従来のNAND回路に相当する構成）は、CMOS回路に限定されない。例えば、論理回路50および論理回路55のように、該構成の一部であるpチャネル型トランジスタをn型且つエンハンスマント型トランジスタとしてもよい。該構成の一部であるpチャネル型トランジスタに、n型且つエンハンスマント型トランジスタを適用することで、論理回路100乃至論理回路130を構

10

20

30

40

50

成するトランジスタの極性を同じにすることができる。これにより、作製プロセスを低減することができ、論理回路 100 乃至論理回路 130 の歩留まりを向上させ、製造コストを低減させることができる。なお、該 n 型且つエンハンスメント型トランジスタにおいても、上記水素濃度を有する酸化物半導体でチャネル形成領域を構成するトランジスタとしてもよい。このように、n チャネル型トランジスタのみで構成される論理回路であっても、論理回路 100 乃至論理回路 130 を低消費電力化することができる。

【0119】

以上より、論理回路 100 乃至論理回路 130 において、消費電力を低減することで、論理回路 100 乃至論理回路 130 のうち 1 以上の論理回路を有する半導体装置の消費電力を低減することができる。さらに、論理回路 100 乃至論理回路 130 の消費電力を低減することで、論理回路 100 乃至論理回路 130 を動作させる外部回路の負荷が低減できる。これにより、論理回路 100 乃至論理回路 130 のうち 1 以上の論理回路および該外部回路を有する半導体装置の機能拡張が可能となる。

10

【0120】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0121】

(実施の形態 4)

本実施の形態では、実施の形態 1 に示した論理回路の一例について説明する。具体的には、NOR 回路について図 6 を用いて説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、点線を用いた回路記号および OS の符号を併せて付す場合がある。そして、本実施の形態で説明する論理回路は、実施の形態 1 での説明に用いた符号を適宜使用する。

20

【0122】

論理回路の構成例および動作例

図 6 (A) に示す論理回路 200 は NOR 回路に新たに n チャネル型トランジスタを電気的に接続した論理回路である。本実施の形態では、該 NOR 回路を微細化に好適な CMOS 回路による回路構成とするが、該 NOR 回路を他の抵抗素子やダイオードなどを用いる回路構成としてもよい。なお、図 6 において、NOR 回路には入力端子が 2 つあるため、一方を第 1 の入力端子 11、もう一方を第 2 の入力端子 12 と符号を付する。

30

【0123】

論理回路 200 は、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202、n チャネル型トランジスタ 203、および n チャネル型トランジスタ 204、ならびに p チャネル型トランジスタ 205 および p チャネル型トランジスタ 206 を有する。特に、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 は極めてオフ電流の低いトランジスタである。

【0124】

論理回路 200 は、n チャネル型トランジスタ 201 の第 1 端子と第 1 の入力端子 11 とが電気的に接続されており、n チャネル型トランジスタ 201 の第 2 端子と n チャネル型トランジスタ 203 のゲートおよび p チャネル型トランジスタ 205 のゲートとが電気的に接続されており、n チャネル型トランジスタ 202 の第 1 端子と第 2 の入力端子 12 とが電気的に接続されており、n チャネル型トランジスタ 202 の第 2 端子と n チャネル型トランジスタ 204 のゲートおよび p チャネル型トランジスタ 206 のゲートとが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と p チャネル型トランジスタ 206 の第 1 端子とが電気的に接続されており、p チャネル型トランジスタ 206 の第 2 端子と p チャネル型トランジスタ 205 の第 1 端子とが電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 203 の第 1 端子および n チャネル型トランジスタ 204 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 203 の第 2 端子および n チャネル型トランジスタ 204 の第 2 端子ならびに p チャネル型トランジスタ 205 の第 2 端子と

40

50

出力端子 13 とが電気的に接続されている。

【0125】

論理回路 200 は、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 を高電位の場合 (n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 の V_{gs} が n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のしきい値電圧より高い場合) において、従来の NOR 回路と同様の演算処理を行う。例えば、高電位の入力電位信号が第 1 の入力端子 11 および第 2 の入力端子 12 のいずれか一方に入力されると、出力端子 13 からは低電位側電源電位 (VSS) である低電位が出力される。また、第 1 の入力端子 11 および第 2 の入力端子 12 に低電位の入力電位信号が入力されると、出力端子 13 からは高電位側電源電位 (VDD) である高電位が出力される。 10

【0126】

次に、論理回路 200 の動作中に電源をオフした場合の回路動作について説明する。従来の NOR 回路では、回路動作中に電源をオフした場合、高電位側電源電位 (VDD) と低電位側電源電位 (VSS) に電位差が無くなるため、演算処理中のデータは揮発する。

【0127】

一方、論理回路 200 では、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 を低電位 (n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 の V_{gs} を n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のしきい値電圧より低い状態) とした後、電源をオフした場合、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 を低電位としている (n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 の V_{gs} を n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のしきい値電圧より低くする) ことで、ノード N_6 およびノード N_7 をフローティングとすることができます。該ノード N_6 および該ノード N_7 の電位を保持することができる。なお、ノード N_6 とは、図 6 (A) において、「N_6」で指示する部分を含む太線部であり、また、ノード N_7 とは、図 6 (A) において、「N_7」で指示する部分を含む太線部である。なお、保持ノード (ノード N_6 およびノード N_7) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてよい。 20

【0128】

そして、再度電源をオンした後、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 を高電位 (n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 の V_{gs} を n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のしきい値電圧より高い状態) にすることで、ノード N_6 およびノード N_7 に保持された電位をもとに演算処理を再開することができる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 200 の消費電力を低減することができる。 30 40

【0129】

論理回路 200 は、n チャネル型トランジスタ 201 の第 2 端子および n チャネル型トランジスタ 202 の第 2 端子と電気的に接続されたノードの電位が保持される形態であるが、論理回路 200 の変形例として、出力端子 13 と電気的に接続されたノードの電位が保持される形態としてもよい。そこで、図 6 (B) に該形態に対応する論理回路 210 を示す。なお、論理回路 210 は、図 6 (A) の論理回路 200 に付した符号を適宜用いて説明する。

【0130】

論理回路 210 は、n チャネル型トランジスタ 201、n チャネル型トランジスタ 20

2、nチャネル型トランジスタ203、およびnチャネル型トランジスタ204、ならびにpチャネル型トランジスタ205およびpチャネル型トランジスタ206を有する。論理回路210は論理回路200と比較して回路を構成するトランジスタの接続関係が異なる。なお、nチャネル型トランジスタ201およびnチャネル型トランジスタ202は極めてオフ電流の低いトランジスタである。

【0131】

論理回路210は、第1の入力端子11とnチャネル型トランジスタ203のゲートおよびpチャネル型トランジスタ205のゲートとが電気的に接続されており、第2の入力端子12とnチャネル型トランジスタ204のゲートおよびpチャネル型トランジスタ206のゲートとが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とnチャネル型トランジスタ201の第1端子と電気的に接続されており、nチャネル型トランジスタ201の第2端子とpチャネル型トランジスタ206の第1端子とが電気的に接続されており、pチャネル型トランジスタ206の第2端子とpチャネル型トランジスタ205の第1端子とが電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ202の第1端子とが電気的に接続されており、nチャネル型トランジスタ202の第2端子とnチャネル型トランジスタ203の第1端子およびnチャネル型トランジスタ204の第1端子とが電気的に接続されており、nチャネル型トランジスタ203の第2端子およびnチャネル型トランジスタ204の第2端子ならびにpチャネル型トランジスタ205の第2端子と出力端子13とが電気的に接続されている。なお、nチャネル型トランジスタ201のゲートおよびnチャネル型トランジスタ202のゲートは同電位である。

【0132】

論理回路210は、論理回路200と同様にnチャネル型トランジスタ201およびnチャネル型トランジスタ202のゲートの電位が高電位の場合において、従来のNOR回路と同様の演算処理を行う。

【0133】

次に、論理回路210の動作中に電源をオフした場合の回路動作について説明する。従来のNOR回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0134】

一方、論理回路210では、nチャネル型トランジスタ201およびnチャネル型トランジスタ202は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ201およびnチャネル型トランジスタ202のゲートの電位を低電位とした後、電源をオフした場合、nチャネル型トランジスタ201およびnチャネル型トランジスタ202のゲートの電位を低電位としていることで、出力端子13と電気的に接続された少なくともノードN_8をフローティングとすることができますため、該ノードN_8の電位を保持することができる。なお、ノードN_8とは、図6(B)において、「N_8」で指示する部分を含む太線部である。なお、保持ノード(ノードN_8)に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0135】

そして、再度電源をオンした後、nチャネル型トランジスタ201およびnチャネル型トランジスタ202のゲートの電位を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路210の消費電力を低減することができる。

【0136】

また、本実施の形態において、nチャネル型トランジスタ201およびnチャネル型トランジスタ202のように極めてオフ電流の低いトランジスタを配置する箇所は、電源をオフした際に、入力された保持すべき電位を低下させる電流経路(リーク経路)に配置す

10

20

30

40

50

れば、論理回路 200 および論理回路 210 に限定されない。そこで、図 7 に、論理回路 200 および論理回路 210 とは、極めてオフ電流の低いトランジスタを配置する箇所が異なる論理回路の一例を示す。図 7 (A) は、該一例である論理回路 220 を示す回路図であり、図 7 (B) は、該一例である論理回路 230 を示す回路図である。なお、論理回路 220 および論理回路 230 は、図 6 (A) の論理回路 200 に付した符号を適宜用いて説明する。

【0137】

論理回路 220 は、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202、n チャネル型トランジスタ 203、および n チャネル型トランジスタ 204、ならびに p チャネル型トランジスタ 205 および p チャネル型トランジスタ 206 を有する。特に、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 は極めてオフ電流の低いトランジスタである。

【0138】

論理回路 220 は、第 1 の入力端子 11 と n チャネル型トランジスタ 203 のゲートおよび p チャネル型トランジスタ 205 のゲートとが電気的に接続されており、第 2 の入力端子 12 と n チャネル型トランジスタ 204 のゲートおよび p チャネル型トランジスタ 206 のゲートとが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と p チャネル型トランジスタ 206 の第 1 端子とが電気的に接続されており、p チャネル型トランジスタ 206 の第 2 端子と n チャネル型トランジスタ 201 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 201 の第 2 端子と p チャネル型トランジスタ 205 の第 1 端子とが電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 202 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 202 の第 2 端子と n チャネル型トランジスタ 203 の第 1 端子および n チャネル型トランジスタ 204 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 203 の第 2 端子および n チャネル型トランジスタ 204 の第 2 端子ならびに p チャネル型トランジスタ 205 の第 2 端子と出力端子 13 とが電気的に接続されている。なお、n チャネル型トランジスタ 201 のゲートおよび n チャネル型トランジスタ 202 のゲートは同電位である。

【0139】

論理回路 220 は、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 V_{G1} が高電位の場合において、従来の NOR 回路と同様の演算処理を行う。

【0140】

次に、論理回路 220 の動作中に電源をオフした場合の回路動作について説明する。従来の NOR 回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0141】

一方、論理回路 220 では、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 V_{G1} を低電位とした後、電源をオフした場合、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 V_{G1} を低電位としていることで、少なくともノード N_8 をフローティングとすることができるため、該ノード N_8 の電位を保持することができる。なお、保持ノード (ノード N_8) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0142】

そして、再度電源をオンした後、n チャネル型トランジスタ 201 および n チャネル型トランジスタ 202 のゲートの電位 V_{G1} を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理

10

20

30

40

50

回路 220 の消費電力を低減することができる。

【0143】

論理回路 230 は、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202、n チャネル型トランジスタ 203、n チャネル型トランジスタ 204、および n チャネル型トランジスタ 207、ならびに p チャネル型トランジスタ 205 および p チャネル型トランジスタ 206 を有する。なお、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 は極めてオフ電流の低いトランジスタである。

【0144】

論理回路 230 は、第 1 の入力端子 11 と n チャネル型トランジスタ 203 のゲート 10 および p チャネル型トランジスタ 205 のゲート とが電気的に接続されており、第 2 の入力端子 12 と n チャネル型トランジスタ 204 のゲート および p チャネル型トランジスタ 206 のゲート とが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と n チャネル型トランジスタ 201 の第 1 端子 と電気的に接続されており、n チャネル型トランジスタ 201 の第 2 端子 と p チャネル型トランジスタ 206 の第 1 端子 とが電気的に接続されており、p チャネル型トランジスタ 206 の第 2 端子 と p チャネル型トランジスタ 205 の第 1 端子 とが電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 204 の第 1 端子 とが電気的に接続されており、n チャネル型トランジスタ 204 の第 2 端子 と n チャネル型トランジスタ 202 の第 1 端子 および n チャネル型トランジスタ 203 の第 1 端子 とが電気的に接続されており、n チャネル型トランジスタ 203 の第 2 端子 と n チャネル型トランジスタ 207 の第 1 端子 とが電気的に接続されており、n チャネル型トランジスタ 202 の第 2 端子 および n チャネル型トランジスタ 207 の第 2 端子 ならびに p チャネル型トランジスタ 205 の第 2 端子 と出力端子 13 とが電気的に接続されている。なお、n チャネル型トランジスタ 201 のゲート、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 のゲートは同電位である。

【0145】

論理回路 230 は、n チャネル型トランジスタ 201 のゲート、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 のゲートの電位 が高電位の場合において、従来の NOR 回路と同様の演算処理を行う。

【0146】

次に、論理回路 230 の動作中に電源をオフした場合の回路動作について説明する。従来の NOR 回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0147】

一方、論理回路 230 では、n チャネル型トランジスタ 201 のゲート、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 のゲートの電位 を低電位とした後、電源をオフした場合、n チャネル型トランジスタ 201 のゲート、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 のゲートの電位 を低電位としていることで、少なくともノード N_8 をフローティングとすることができますため、該ノード N_8 の電位を保持することができる。なお、保持ノード (ノード N_8) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0148】

そして、再度電源をオンした後、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 のゲートの電位 を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を

10

20

30

40

50

再開することができる。また、論理回路 230 の消費電力を低減することができる。

【0149】

論理回路 200 乃至論理回路 230 において、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 は、上記したように極めてオフ電流の低いトランジスタが適用される。該トランジスタは、例えば、実施の形態 1 で説明したトランジスタ 15 乃至 19、実施の形態 2 で説明した n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 におけるオフ電流特性を有する。そして、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 は、n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 と同様に、酸化物半導体、特に上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタと 10 することができる。なお、酸化物半導体中のキャリア濃度についても n チャネル型トランジスタ 51 および n チャネル型トランジスタ 54 と同様であることが好ましい。

【0150】

論理回路 200 乃至論理回路 230 において、n チャネル型トランジスタ 203 および n チャネル型トランジスタ 204 ならびに p チャネル型トランジスタ 205 および p チャネル型トランジスタ 206 には、特に制限はなく、半導体材料を含む基板を用いて形成されるトランジスタであればよい。

【0151】

なお、n チャネル型トランジスタ 203 および n チャネル型トランジスタ 204 についても、n チャネル型トランジスタ 201、n チャネル型トランジスタ 202 および n チャネル型トランジスタ 207 のように、上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタと 20 することで、論理回路 200 乃至論理回路 230 の消費電力をさらに低減させることができる。

【0152】

本発明の一態様である NOR 回路において、論理回路 200 乃至論理回路 220 のように、トランジスタの素子数をできる限り少なくなるように極めてオフ電流が低いトランジスタを配置する回路構成は、論理回路 230 の回路構成より、トランジスタの素子数が少ないためにトランジスタの占有面積が小さく、微細化の観点から好ましい。また、本発明の一態様である NOR 回路において、論理回路 210 乃至論理回路 230 のように、出力端子と電気的に接続されたノードの電位が保持される回路構成、別言すると演算処理後の電位が保持される回路構成は、論理回路 200 よりさらに高速に演算処理を再開させることができ、回路動作の高速化の観点から好ましい。 30

【0153】

さらに、本発明の一態様である NOR 回路（論理回路 200 乃至論理回路 230 ）において、極めてオフ電流の低いトランジスタ以外の構成（従来の NOR 回路に相当する構成）は、CMOS 回路に限定されない。例えば、論理回路 50 および論理回路 55 のように、該構成の一部である p チャネル型トランジスタを n 型且つエンハンスマント型トランジスタとしてもよい。該構成の一部である p チャネル型トランジスタに、n 型且つエンハンスマント型トランジスタを適用することで、論理回路 200 乃至論理回路 230 を構成するトランジスタの極性を同じにすることができる。これにより、作製プロセスを低減することができ、論理回路 200 乃至論理回路 230 の歩留まりを向上させ、製造コストを低減させることができる。なお、該 n 型且つエンハンスマント型トランジスタにおいても、上記水素濃度を有する酸化物半導体でチャネル形成領域を構成するトランジスタとしてもよい。このように、n チャネル型トランジスタのみで構成される論理回路であっても、論理回路 200 乃至論理回路 230 を低消費電力化することができる。 40

【0154】

以上より、論理回路 200 乃至論理回路 230 において、消費電力を低減することで、論理回路 200 乃至論理回路 230 のうち 1 以上の論理回路を有する半導体装置の消費電 50

力を低減することができる。さらに、論理回路 200 乃至論理回路 230 の消費電力を低減することで、論理回路 200 乃至論理回路 230 を動作させる外部回路の負荷が低減できる。これにより、論理回路 200 乃至論理回路 230 のうち 1 以上の論理回路および該外部回路を有する半導体装置の機能拡張が可能となる。

【0155】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0156】

(実施の形態 5)

本実施の形態では、実施の形態 1 に示した論理回路の一例について説明する。具体的には、AND 回路について図 8 を用いて説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、点線を用いた回路記号および OS の符号を併せて付す場合がある。そして、本実施の形態で説明する論理回路は、実施の形態 1 での説明に用いた符号を適宜使用する。

10

【0157】

論理回路の構成例および動作例

図 8 に示す論理回路 300 は AND 回路に新たに n チャネル型トランジスタを電気的に接続した論理回路である。本実施の形態では、該 AND 回路を微細化に好適な CMOS 回路による回路構成とするが、該 AND 回路を他の抵抗素子やダイオードなどを用いる回路構成としてもよい。なお、図 8 において、AND 回路には入力端子が 2 つあるため、一方を第 1 の入力端子 11、もう一方を第 2 の入力端子 12 と符号を付する。

20

【0158】

論理回路 300 は、n チャネル型トランジスタ 301、n チャネル型トランジスタ 302、n チャネル型トランジスタ 303、n チャネル型トランジスタ 304、および n チャネル型トランジスタ 308、ならびに p チャネル型トランジスタ 305、p チャネル型トランジスタ 306、および p チャネル型トランジスタ 309 を有する。特に、n チャネル型トランジスタ 301 および n チャネル型トランジスタ 302 は極めてオフ電流の低いトランジスタである。

【0159】

AND 回路は、実施の形態 3 で説明した NAND 回路と実施の形態 2 で説明した NOT 回路を電気的に接続した論理回路である。つまり、AND 回路は、NAND 回路の出力端子を、NOT 回路の入力端子と見なすことができる。該 AND 回路は、n チャネル型トランジスタ 303 と、n チャネル型トランジスタ 304 と、p チャネル型トランジスタ 305 と、および p チャネル型トランジスタ 306 とで NAND 回路を構成し、n チャネル型トランジスタ 308 と、および p チャネル型トランジスタ 309 とで NOT 回路を構成する。さらに、極めてオフ電流の低いトランジスタである n チャネル型トランジスタ 301 および n チャネル型トランジスタ 302 は、該 NAND 回路内に配置することもできるし、該 NOT 回路内に配置することもできる。なお、論理回路 300 は、n チャネル型トランジスタ 301 および n チャネル型トランジスタ 302 を該 NAND 回路内に配置する回路構成である。

30

【0160】

論理回路 300 を構成するトランジスタは、以下の接続関係を有する。はじめに NAND 回路の接続関係を記載する。

【0161】

第 1 の入力端子 11 と n チャネル型トランジスタ 303 のゲートおよび p チャネル型トランジスタ 305 のゲートとが電気的に接続されており、第 2 の入力端子 12 と n チャネル型トランジスタ 304 のゲートおよび p チャネル型トランジスタ 306 のゲートとが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と n チャネル型トランジスタ 301 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 301 の第 2 端子と p チャネル型トランジスタ 305 の第 1 端子および p チャ

40

50

ネル型トランジスタ306の第1端子とが電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ304の第1端子とが電気的に接続されており、nチャネル型トランジスタ304の第2端子とnチャネル型トランジスタ303の第1端子とが電気的に接続されており、nチャネル型トランジスタ303の第2端子とnチャネル型トランジスタ302の第1端子とが電気的に接続されており、pチャネル型トランジスタ305の第2端子とpチャネル型トランジスタ306の第2端子とnチャネル型トランジスタ302の第2端子とが電気的に接続されている。なお、nチャネル型トランジスタ301のゲートおよびnチャネル型トランジスタ302のゲートは同電位である。

【0162】

10

次いで、論理回路300のNOT回路の接続関係を記載する。

【0163】

nチャネル型トランジスタ308のゲートおよびpチャネル型トランジスタ309のゲートと、pチャネル型トランジスタ305の第2端子およびpチャネル型トランジスタ306の第2端子ならびにnチャネル型トランジスタ302の第2端子とが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とpチャネル型トランジスタ309の第1端子とが電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ308の第1端子とが電気的に接続されており、pチャネル型トランジスタ309の第2端子およびnチャネル型トランジスタ308の第2端子と出力端子13とが電気的に接続されている。

20

【0164】

論理回路300は、nチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲート電位が高電位の場合(nチャネル型トランジスタ301およびnチャネル型トランジスタ302のVgsがnチャネル型トランジスタ301およびnチャネル型トランジスタ302のしきい値電圧より高い場合)において、従来のAND回路と同様の演算処理を行う。例えば、高電位の入力電位信号が第1の入力端子11および第2の入力端子12に入力されると、出力端子13からは高電位側電源電位(VDD)である高電位が出力される。また、低電位の入力電位信号が第1の入力端子11および第2の入力端子12のいずれか一方に入力されると、出力端子13からは低電位側電源電位(VSS)である低電位が出力される。

30

【0165】

次に、論理回路300の動作中に電源をオフした場合の回路動作について説明する。従来のAND回路では、回路動作中に電源をオフした場合、高電位側電源電位(VDD)と低電位側電源電位(VSS)に電位差が無くなるため、演算処理中のデータは揮発する。

【0166】

一方、論理回路300では、nチャネル型トランジスタ301およびnチャネル型トランジスタ302は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲートの電位を低電位(nチャネル型トランジスタ301およびnチャネル型トランジスタ302のVgsをnチャネル型トランジスタ301およびnチャネル型トランジスタ302のしきい値電圧より低い状態)とした後、回路動作中に電源をオフした場合、nチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲートの電位を低電位としている(nチャネル型トランジスタ301およびnチャネル型トランジスタ302のVgsをnチャネル型トランジスタ301およびnチャネル型トランジスタ302のしきい値電圧より低くする)ことで、少なくともノードN_9をフローティングとすることができますため、該ノードN_9の電位を保持することができる。なお、ノードN_9とは、図8において、「N_9」で指示する部分を含む太線部である。なお、保持ノード(ノードN_9)に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

40

50

【0167】

そして、再度電源をオンした後、nチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲートの電位を高電位にすることで、ノードN_9に保持された電位をもとに演算処理を再開することができる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路300の消費電力を低減することができる。

【0168】

論理回路300は、NAND回路にnチャネル型トランジスタ301およびnチャネル型トランジスタ302を該NAND回路内に配置する回路構成であるが、論理回路300の変形例として、nチャネル型トランジスタ301およびnチャネル型トランジスタ302をNOT回路内に配置し、出力端子13と電気的に接続されたノードの電位が保持される形態としてもよい。そこで、図9に該形態に対応する論理回路310を示す。なお、論理回路310は、図8の論理回路300に付した符号を適宜用いて説明する。

10

【0169】

論理回路310は、論理回路300と同様にnチャネル型トランジスタ301、nチャネル型トランジスタ302、nチャネル型トランジスタ303、nチャネル型トランジスタ304、およびnチャネル型トランジスタ308、ならびにpチャネル型トランジスタ305、pチャネル型トランジスタ306、およびpチャネル型トランジスタ309を有する。特に、nチャネル型トランジスタ301およびnチャネル型トランジスタ302は極めてオフ電流の低いトランジスタである。

20

【0170】

nチャネル型トランジスタ303と、nチャネル型トランジスタ304と、pチャネル型トランジスタ305と、およびpチャネル型トランジスタ306とでNAND回路を構成し、nチャネル型トランジスタ308と、およびpチャネル型トランジスタ309とでNOT回路を構成する。さらに、論理回路310は、nチャネル型トランジスタ301およびnチャネル型トランジスタ302を該NOT回路内に配置する回路構成である。

【0171】

論理回路310を構成するトランジスタは、以下の接続関係を有する。はじめにNAND回路の接続関係を記載する。

【0172】

30

第1の入力端子11とnチャネル型トランジスタ303のゲートおよびpチャネル型トランジスタ305のゲートとが電気的に接続されており、第2の入力端子12とnチャネル型トランジスタ304のゲートおよびpチャネル型トランジスタ306のゲートとが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とpチャネル型トランジスタ305の第1端子およびpチャネル型トランジスタ306の第1端子とが電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ304の第1端子とが電気的に接続されており、nチャネル型トランジスタ304の第2端子とnチャネル型トランジスタ303の第1端子とが電気的に接続されており、pチャネル型トランジスタ305の第2端子とpチャネル型トランジスタ306の第2端子とnチャネル型トランジスタ303の第2端子とが電気的に接続されている。

40

【0173】

次いで、論理回路310のNOT回路の接続関係を記載する。

【0174】

nチャネル型トランジスタ308のゲートおよびpチャネル型トランジスタ309のゲートと、pチャネル型トランジスタ305の第2端子およびpチャネル型トランジスタ306の第2端子ならびにnチャネル型トランジスタ303の第2端子とが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とpチャネル型トランジスタ309の第1端子とが電気的に接続されており、pチャネル型トランジスタ309の第2端子とnチャネル型トランジスタ301の第1端子とが電気的に接続されてお

50

り、低電位側電源電位 (VSS) を供給する低電位側電源電位線とnチャネル型トランジスタ308の第1端子とが電気的に接続されており、nチャネル型トランジスタ308の第2端子とnチャネル型トランジスタ302の第1端子とが電気的に接続されており、nチャネル型トランジスタ301の第2端子およびnチャネル型トランジスタ302の第2端子と出力端子13とが電気的に接続されている。なお、nチャネル型トランジスタ301のゲートおよびnチャネル型トランジスタ302のゲートは同電位である。

【0175】

論理回路310は、論理回路300と同様にnチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲート電位が高電位の場合において、従来のAND回路と同様の演算処理を行う。

10

【0176】

次に、論理回路310の動作中に電源をオフした場合の回路動作について説明する。従来のAND回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0177】

一方、論理回路310では、nチャネル型トランジスタ301およびnチャネル型トランジスタ302は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲートの電位を低電位とした後、電源をオフした場合、nチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲートの電位を低電位としていることで、ノードN_10をフローティングとすることができます。該ノードN_10の電位を保持することができる。なお、ノードN_10とは、図9において、「N_10」で指示する部分を含む太線部である。また、保持ノード(ノードN_10)に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

20

【0178】

そして、再度電源をオンした後、nチャネル型トランジスタ301およびnチャネル型トランジスタ302のゲートの電位を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、論理回路310の演算処理を行うための消費電力を低減することができる。

30

【0179】

また、上記したようにAND回路は、実施の形態3で説明したNAND回路に実施の形態2で説明したNOT回路を電気的に接続した論理回路であることから、実施の形態3で説明したNAND回路および実施の形態2で説明したNOT回路の様々な形態を適宜組み合わせて、AND回路を構成することができる。例えば、本発明の一態様のAND回路は、実施の形態3で説明した論理回路100乃至論理回路130のいずれか一と従来のNOT回路を電気的に接続したAND回路、または従来のNAND回路と実施の形態2で説明した論理回路50または論理回路55の一方を電気的に接続したAND回路とすることができます。

【0180】

40

論理回路300および論理回路310において、nチャネル型トランジスタ301、nチャネル型トランジスタ302は、上記したように極めてオフ電流の低いトランジスタが適用される。該トランジスタは、例えば、実施の形態1で説明したトランジスタ15乃至19、実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54におけるオフ電流特性を有する。そして、nチャネル型トランジスタ301、nチャネル型トランジスタ302は、nチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様に、酸化物半導体、特に上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることができます。なお、酸化物半導体中のキャリア濃度についても実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54と同

50

様であることが好ましい。

【0181】

論理回路300および論理回路310において、nチャネル型トランジスタ303、nチャネル型トランジスタ304およびnチャネル型トランジスタ308、ならびにpチャネル型トランジスタ305、pチャネル型トランジスタ306およびpチャネル型トランジスタ309には、特に制限はなく、半導体材料を含む基板を用いて形成されるトランジスタであればよい。

【0182】

なお、nチャネル型トランジスタ303、nチャネル型トランジスタ304およびnチャネル型トランジスタ308についても、nチャネル型トランジスタ301、nチャネル型トランジスタ302のように、上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることで、論理回路300および論理回路310の消費電力をさらに低減させる効果が大きくなる。

【0183】

本発明の一態様であるAND回路において、論理回路300および論理回路310のように、トランジスタの素子数をできる限り少なくなるように極めてオフ電流が低いトランジスタを配置する回路構成は、トランジスタの占有面積の拡大を最小限にすることができる、微細化の観点から好ましい。また、本発明の一態様であるAND回路において、論理回路310のように、出力端子13と電気的に接続されたノードの電位が保持される回路構成、別言すると演算処理後の電位が保持される回路構成は、論理回路300よりさらに高速に演算処理を再開させることができ、回路動作の高速化の観点から好ましい。

【0184】

さらに、本発明の一態様であるAND回路（論理回路300および論理回路310）において、極めてオフ電流の低いトランジスタ以外の構成（従来のAND回路に相当する構成）は、CMOS回路に限定されない。例えば、論理回路50および論理回路55のように、該構成の一部であるpチャネル型トランジスタをn型且つエンハンスマント型トランジスタとしてもよい。該構成の一部であるpチャネル型トランジスタに、n型且つエンハンスマント型トランジスタを適用することで、論理回路300および論理回路310を構成するトランジスタの極性を同じにすることができる。これにより、作製プロセスを低減することができ、論理回路300および論理回路310の歩留まりを向上させ、製造コストを低減させることができる。なお、該n型且つエンハンスマント型トランジスタにおいても、上記水素濃度を有する酸化物半導体でチャネル形成領域を構成するトランジスタとしてもよい。このように、nチャネル型トランジスタのみで構成される論理回路であっても、論理回路300乃至論理回路310を低消費電力化することができる。

【0185】

以上より、論理回路300および論理回路310において、消費電力を低減することで、論理回路300および論理回路310のすくなくとも一方の論理回路を有する半導体装置の消費電力を低減することができる。さらに、論理回路300および論理回路310の消費電力を低減することで、論理回路300および論理回路310を動作させる外部回路の負荷が低減できる。これにより、論理回路300および論理回路310のすくなくとも一方の論理回路および該外部回路を有する半導体装置の機能拡張が可能となる。

【0186】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0187】

（実施の形態6）

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、OR回路について図10を用いて説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、点線を用いた回路記号およびOSの符号

10

20

30

40

50

を併せて付す場合がある。そして、本実施の形態で説明する論理回路は、実施の形態1での説明に用いた符号を適宜使用する。

【0188】

論理回路の構成例および動作例

図10に示す論理回路400はOR回路に新たにnチャネル型トランジスタを電気的に接続した論理回路である。本実施の形態では、該OR回路を微細化に好適なCMOS回路による構成するが、該OR回路を他の抵抗素子やダイオードなどを用いる回路構成としてもよい。なお、図10において、OR回路には入力端子が2つあるため、一方を第1の入力端子11、もう一方を第2の入力端子12と符号を付する。

【0189】

論理回路400は、nチャネル型トランジスタ401、nチャネル型トランジスタ402、nチャネル型トランジスタ403、nチャネル型トランジスタ404、およびnチャネル型トランジスタ408、ならびにpチャネル型トランジスタ405と、pチャネル型トランジスタ406と、およびpチャネル型トランジスタ409を有する。特に、nチャネル型トランジスタ401およびnチャネル型トランジスタ402は極めてオフ電流の低いトランジスタである。

【0190】

本実施の形態で説明するOR回路は、実施の形態4で説明したNOR回路と実施の形態2で説明したNOT回路を電気的に接続した論理回路である。つまり、NOR回路の出力端子を、NOT回路の入力端子と見なすことができる。該OR回路は、nチャネル型トランジスタ403と、nチャネル型トランジスタ404と、pチャネル型トランジスタ405と、およびpチャネル型トランジスタ406とでNOR回路を構成し、nチャネル型トランジスタ408と、およびpチャネル型トランジスタ409とでNOT回路を構成する。さらに、極めてオフ電流の低いトランジスタであるnチャネル型トランジスタ401およびnチャネル型トランジスタ402は、該NOR回路内に配置することもできるし、該NOT回路内に配置することもできる。論理回路400は、nチャネル型トランジスタ401およびnチャネル型トランジスタ402を該NOR回路内に配置する回路構成である。

【0191】

論理回路400を構成するトランジスタは、以下の接続関係を有する。はじめにNOR回路の接続関係を記載する。

【0192】

第1の入力端子11とnチャネル型トランジスタ403のゲートおよびpチャネル型トランジスタ405のゲートとが電気的に接続されており、第2の入力端子12とnチャネル型トランジスタ404のゲートおよびpチャネル型トランジスタ406のゲートとが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とnチャネル型トランジスタ401の第1端子とが電気的に接続されており、nチャネル型トランジスタ401の第2端子とpチャネル型トランジスタ406の第1端子とが電気的に接続されており、pチャネル型トランジスタ406の第2端子とpチャネル型トランジスタ405の第1端子が電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ402の第1端子とが電気的に接続されており、nチャネル型トランジスタ402の第2端子とnチャネル型トランジスタ403の第1端子およびnチャネル型トランジスタ404の第1端子とが電気的に接続されており、nチャネル型トランジスタ403の第2端子とnチャネル型トランジスタ404の第2端子とpチャネル型トランジスタ405の第2端子とが電気的に接続されている。なお、nチャネル型トランジスタ401のゲートおよびnチャネル型トランジスタ402のゲートは同電位である。

【0193】

次いで、論理回路400のNOT回路の接続関係を記載する。

【0194】

10

20

30

40

50

nチャネル型トランジスタ408のゲートおよびpチャネル型トランジスタ409のゲートと、nチャネル型トランジスタ403の第2端子およびnチャネル型トランジスタ404の第2端子ならびにpチャネル型トランジスタ405の第2端子とが電気的に接続されており、高電位側電源電位(VDD)を供給する高電位側電源電位線とpチャネル型トランジスタ409の第1端子とが電気的に接続されており、低電位側電源電位(VSS)を供給する低電位側電源電位線とnチャネル型トランジスタ408の第1端子とが電気的に接続されており、nチャネル型トランジスタ408の第2端子およびpチャネル型トランジスタ409の第2端子と出力端子13とが電気的に接続されている。

【0195】

論理回路400は、nチャネル型トランジスタ401およびnチャネル型トランジスタ402のゲートの電位が高電位の場合(nチャネル型トランジスタ401およびnチャネル型トランジスタ402のVgsがnチャネル型トランジスタ401およびnチャネル型トランジスタ402のしきい値電圧より高い場合)において、従来のOR回路と同様の演算処理を行う。例えば、高電位の入力電位信号が第1の入力端子11および第2の入力端子12のいずれか一方に入力されると、出力端子13からは高電位側電源電位(VDD)である高電位が出力される。また、低電位の入力電位信号が第1の入力端子11および第2の入力端子12に入力されると、出力端子13からは低電位側電源電位(VSS)である低電位が出力される。

【0196】

次に、論理回路400の動作中に電源をオフした場合の回路動作について説明する。従来のOR回路では、回路動作中に電源をオフした場合、高電位側電源電位(VDD)と低電位側電源電位(VSS)に電位差が無くなるため、演算処理中のデータは揮発する。

【0197】

一方、論理回路400では、nチャネル型トランジスタ401およびnチャネル型トランジスタ402は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ401およびnチャネル型トランジスタ402のゲートの電位を低電位(nチャネル型トランジスタ401およびnチャネル型トランジスタ402のVgsをnチャネル型トランジスタ401およびnチャネル型トランジスタ402のしきい値電圧より低い状態)とした後、電源をオフした場合、nチャネル型トランジスタ401およびnチャネル型トランジスタ402のゲートの電位を低電位としていることで、少なくともノードN_11をフローティングとすることができます。該ノードN_11の電位を保持することができる。なお、ノードN_11とは、図10において、「N_11」で指示する部分を含む太線部である。なお、保持ノード(ノードN_11)に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0198】

そして、再度電源をオンした後、nチャネル型トランジスタ401およびnチャネル型トランジスタ402のゲートの電位を高電位にすることで、ノードN_11に保持された電位をもとに演算処理を再開することができる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路400の消費電力を低減することができる。

【0199】

論理回路400は、NOR回路にnチャネル型トランジスタ401およびnチャネル型トランジスタ402を該NOR回路内に配置する回路構成であるが、論理回路400の変形例として、nチャネル型トランジスタ401およびnチャネル型トランジスタ402をNOT回路内に配置し、出力端子13と電気的に接続されたノードの電位が保持される形態としてもよい。そこで、図11に該形態に対応する論理回路410を示す。なお、論理回路410は、図10の論理回路400に付した符号を適宜用いて説明する。

【0200】

10

20

30

40

50

論理回路 410 は、論理回路 400 と同様に n チャネル型トランジスタ 401、n チャネル型トランジスタ 402、n チャネル型トランジスタ 403、n チャネル型トランジスタ 404、および n チャネル型トランジスタ 408、ならびに p チャネル型トランジスタ 405、p チャネル型トランジスタ 406、および p チャネル型トランジスタ 409 を有する。特に、n チャネル型トランジスタ 401 および n チャネル型トランジスタ 402 は極めてオフ電流の低いトランジスタである。

【0201】

n チャネル型トランジスタ 403 と、n チャネル型トランジスタ 404 と、p チャネル型トランジスタ 405 と、および p チャネル型トランジスタ 406 とで NOR 回路を構成し、n チャネル型トランジスタ 408 と、および p チャネル型トランジスタ 409 とで NOT 回路を構成する。さらに、論理回路 410 は、極めてオフ電流の低いトランジスタである n チャネル型トランジスタ 401 および n チャネル型トランジスタ 402 を該 NOT 回路内に配置する回路構成である。

【0202】

論理回路 410 を構成するトランジスタは、以下の接続関係を有する。はじめに NOR 回路の接続関係を記載する。

【0203】

第 1 の入力端子 11 と n チャネル型トランジスタ 403 のゲートおよび p チャネル型トランジスタ 405 のゲートとが電気的に接続されており、第 2 の入力端子 12 と n チャネル型トランジスタ 404 のゲートおよび p チャネル型トランジスタ 406 のゲートとが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と p チャネル型トランジスタ 406 の第 1 端子と電気的に接続されており、p チャネル型トランジスタ 406 の第 2 端子と p チャネル型トランジスタ 405 の第 1 端子とが電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 403 の第 1 端子および n チャネル型トランジスタ 404 の第 1 の端子とが電気的に接続されており、n チャネル型トランジスタ 403 の第 2 端子と n チャネル型トランジスタ 404 の第 2 端子と p チャネル型トランジスタ 405 の第 2 端子とが電気的に接続されている。

【0204】

次いで、論理回路 410 の NOT 回路の接続関係を記載する。

【0205】

n チャネル型トランジスタ 408 のゲートおよび p チャネル型トランジスタ 409 のゲートと、n チャネル型トランジスタ 403 の第 2 端子および n チャネル型トランジスタ 404 の第 2 端子ならびに p チャネル型トランジスタ 405 の第 2 端子とが電気的に接続されており、高電位側電源電位 (VDD) を供給する高電位側電源電位線と p チャネル型トランジスタ 409 の第 1 端子とが電気的に接続されており、p チャネル型トランジスタ 409 の第 2 端子と n チャネル型トランジスタ 401 の第 1 端子とが電気的に接続されており、低電位側電源電位 (VSS) を供給する低電位側電源電位線と n チャネル型トランジスタ 408 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 408 の第 2 端子と n チャネル型トランジスタ 402 の第 1 端子とが電気的に接続されており、n チャネル型トランジスタ 401 の第 2 端子および n チャネル型トランジスタ 402 の第 2 端子と出力電位信号 (OUT) が出力される出力端子 13 とが電気的に接続されている。なお、n チャネル型トランジスタ 401 のゲートおよび n チャネル型トランジスタ 402 のゲートは同電位である。

【0206】

論理回路 410 は、論理回路 400 と同様に n チャネル型トランジスタ 401 および n チャネル型トランジスタ 402 のゲートの電位 が高電位の場合において、従来の OR 回路と同様の演算処理を行う。

【0207】

次に、論理回路 410 の動作中に電源をオフした場合の回路動作について説明する。従

10

20

30

40

50

来のOR回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0208】

一方、論理回路410では、nチャネル型トランジスタ401およびnチャネル型トランジスタ402は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ401およびnチャネル型トランジスタ402のゲートの電位₁を低電位とした後、電源をオフした場合、nチャネル型トランジスタ401およびnチャネル型トランジスタ402のゲートの電位₁を低電位としていることで、ノードN_12をフローティングとすることができるため、該ノードN_12の電位を保持することができる。なお、ノードN_12とは、図11において、「N_12」で指し示す部分を含む太線部である。また、保持ノード（ノードN_12）に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。10

【0209】

そして、再度電源をオンした後、nチャネル型トランジスタ401およびnチャネル型トランジスタ402のゲートの電位₁を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路410の消費電力を低減することができる。

【0210】

また、上記したようにOR回路は、実施の形態4で説明したNOR回路に実施の形態2で説明したNOT回路を電気的に接続した論理回路であることから、実施の形態4で説明したNOR回路および実施の形態2で説明したNOT回路の様々な形態を適宜組み合わせて、OR回路を構成することができる。例えば、本発明の一態様のOR回路は、実施の形態4で説明した論理回路200乃至論理回路230のいずれか一と從来のNOT回路を電気的に接続したOR回路、または從来のNOR回路と実施の形態2で説明した論理回路50または論理回路55の一方を電気的に接続したOR回路とすることができます。20

【0211】

論理回路400および論理回路410において、nチャネル型トランジスタ401、nチャネル型トランジスタ402は、上記したように極めてオフ電流の低いトランジスタが適用される。該トランジスタは、例えば、実施の形態1で説明したトランジスタ15、実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54におけるオフ電流特性を有する。そして、nチャネル型トランジスタ401、nチャネル型トランジスタ402は、nチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様に、酸化物半導体、特に上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることができます。なお、酸化物半導体中のキャリア濃度についても実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様であることが好ましい。30

【0212】

論理回路400および論理回路410において、nチャネル型トランジスタ403、nチャネル型トランジスタ404およびnチャネル型トランジスタ408、ならびにpチャネル型トランジスタ405、pチャネル型トランジスタ406およびpチャネル型トランジスタ409には、特に制限はなく、半導体材料を含む基板を用いて形成されるトランジスタであればよい。40

【0213】

なお、nチャネル型トランジスタ403、nチャネル型トランジスタ404およびnチャネル型トランジスタ408についても、nチャネル型トランジスタ401、nチャネル型トランジスタ402のように、上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることで、論理回路400および論理回路410の演算処理を行うための消費電力を低減させる効果が大きくなる。50

【0214】

本発明の一態様であるO R回路において、論理回路400および論理回路410のように、トランジスタの素子数をできる限り少なくなるように極めてオフ電流が低いトランジスタを配置する回路構成は、トランジスタの占有面積の拡大を最小限にすることができる、微細化の観点から好ましい。また、本発明の一態様であるO R回路において、論理回路410のように、出力端子13と電気的に接続されたノードの電位が保持される回路構成、別言すると演算処理後の電位が保持される回路構成は、論理回路400よりさらに高速に演算処理を再開させることができ、回路動作の高速化の観点から好ましい。

【0215】

さらに、本発明の一態様であるO R回路（論理回路400および論理回路410）において、極めてオフ電流の低いトランジスタ以外の構成（従来のO R回路に相当する構成）は、CMOS回路に限定されない。例えば、論理回路50および論理回路55のように、該構成の一部であるpチャネル型トランジスタをn型且つエンハンスマント型トランジスタとしてもよい。該構成の一部であるpチャネル型トランジスタに、n型且つエンハンスマント型トランジスタを適用することで、論理回路400および論理回路410を構成するトランジスタの極性を同じにすることができる。これにより、作製プロセスを低減することができ、論理回路400および論理回路410の歩留まりを向上させ、製造コストを低減させることができる。なお、該n型且つエンハンスマント型トランジスタにおいても、上記水素濃度を有する酸化物半導体でチャネル形成領域を構成するトランジスタとしてもよい。このように、nチャネル型トランジスタのみで構成される論理回路であっても、論理回路400および論理回路410を低消費電力化することができる。

10

【0216】

以上より、論理回路400および論理回路410において、消費電力を低減することで、論理回路400および論理回路410の少なくとも一方の論理回路を有する半導体装置の消費電力を低減することができる。さらに、論理回路400および論理回路410の消費電力を低減することで、論理回路400および論理回路410を動作させる外部回路の負荷が低減できる。これにより、論理回路400および論理回路410の少なくとも一方の論理回路および該外部回路を有する半導体装置の機能拡張が可能となる。

20

【0217】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

30

【0218】

(実施の形態7)

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、XOR回路について図12を用いて説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、点線を用いた回路記号およびOSの符号を併せて付す場合がある。そして、本実施の形態で説明する論理回路は、実施の形態1での説明に用いた符号を適宜使用する。

【0219】

論理回路の構成例および動作例

40

図12に示す論理回路500はXOR回路に新たにnチャネル型トランジスタを電気的に接続した論理回路である。本実施の形態では、該XOR回路を微細化に好適なCMOS回路による回路構成とするが、該XOR回路を他の抵抗素子やダイオードなどを用いた回路構成としてもよい。なお、図12において、XOR回路には入力端子が2つあるため、一方を第1の入力端子11、もう一方を第2の入力端子12と符号を付する。

【0220】

論理回路500は、nチャネル型トランジスタ501、nチャネル型トランジスタ502、nチャネル型トランジスタ503、nチャネル型トランジスタ504、nチャネル型トランジスタ509、nチャネル型トランジスタ510、nチャネル型トランジスタ511、およびnチャネル型トランジスタ512、ならびにpチャネル型トランジスタ505

50

、pチャネル型トランジスタ506、pチャネル型トランジスタ507、およびpチャネル型トランジスタ508を有する。特に、nチャネル型トランジスタ501およびnチャネル型トランジスタ502は極めてオフ電流の低いトランジスタである。

【0221】

論理回路500を構成するトランジスタは、以下の接続関係を有する。

【0222】

第1の入力端子11はnチャネル型トランジスタ501の第1端子と電気的に接続されている。第2の入力端子12はnチャネル型トランジスタ502の第1端子と電気的に接続されている。

【0223】

nチャネル型トランジスタ501の第2端子は、nチャネル型トランジスタ503のゲート、およびnチャネル型トランジスタ511のゲート、ならびにpチャネル型トランジスタ505のゲートと電気的に接続されており、nチャネル型トランジスタ502の第2端子は、nチャネル型トランジスタ504のゲート、およびnチャネル型トランジスタ512のゲート、ならびにpチャネル型トランジスタ506のゲートと電気的に接続されている。

10

【0224】

pチャネル型トランジスタ505の第1端子およびpチャネル型トランジスタ506の第1端子は、高電位側電源電位(VDD)を供給する高電位側電源電位線と電気的に接続されている。pチャネル型トランジスタ505の第2端子は、nチャネル型トランジスタ503の第1端子と電気的に接続されている。pチャネル型トランジスタ506の第2端子はnチャネル型トランジスタ504の第1端子と電気的に接続されている。nチャネル型トランジスタ503の第2端子およびnチャネル型トランジスタ504の第2端子は、低電位側電源電位(VSS)を供給する低電位側電源電位線と電気的に接続されている。

20

【0225】

nチャネル型トランジスタ503の第1端子およびpチャネル型トランジスタ505の第2端子は、pチャネル型トランジスタ508のゲート、およびnチャネル型トランジスタ510のゲート、ならびにpチャネル型トランジスタ507の第1端子と電気的に接続されている。

【0226】

30

nチャネル型トランジスタ504の第1端子およびpチャネル型トランジスタ506の第2端子は、pチャネル型トランジスタ507のゲート、およびnチャネル型トランジスタ509のゲート、ならびにpチャネル型トランジスタ508の第1端子と電気的に接続されている。

【0227】

nチャネル型トランジスタ510の第1端子は、低電位側電源電位(VSS)を供給する低電位側電源電位線と電気的に接続されており、nチャネル型トランジスタ510の第2端子は、nチャネル型トランジスタ509の第1端子と電気的に接続されている。

【0228】

nチャネル型トランジスタ512の第1端子は、低電位側電源電位(VSS)を供給する低電位側電源電位線と電気的に接続されており、nチャネル型トランジスタ512の第2端子は、nチャネル型トランジスタ511の第1端子と電気的に接続されている。

40

【0229】

出力端子13は、pチャネル型トランジスタ507の第2端子、およびpチャネル型トランジスタ508の第2端子、ならびにnチャネル型トランジスタ509の第2端子、およびnチャネル型トランジスタ511の第2端子と電気的に接続されている。

【0230】

なお、nチャネル型トランジスタ501のゲートおよびnチャネル型トランジスタ502のゲートは同電位である。

【0231】

50

論理回路 500 は、n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 のゲートの電位 V_{GS} が高電位の場合 (n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 の V_{GS} が n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 のしきい値電圧より高い場合) において、従来の XOR 回路と同様の演算処理を行う。例えば、高電位の入力電位信号が第 1 の入力端子 11 および第 2 の入力端子 12 に入力されると、出力端子 13 からは低電位側電源電位 (VSS) である低電位が出力される。また、第 1 の入力端子 11 および第 2 の入力端子 12 のいずれか一方から高電位の入力電位信号が、他方から低電位の入力電位信号が入力されると、出力端子 13 からは高電位側電源電位 (VDD) である高電位が出力される。また、低電位の入力電位信号が第 1 の入力端子 11 および第 2 の入力端子 12 に入力されると、出力端子 13 からは低電位側電源電位 (VSS) である低電位が出力される。
10

【0232】

次に、論理回路 500 の動作中に電源をオフした場合の回路動作について説明する。従来の XOR 回路では、回路動作中に電源をオフした場合、高電位側電源電位 (VDD) と低電位側電源電位 (VSS) に電位差が無くなるため、演算処理中のデータは揮発する。

【0233】

一方、論理回路 500 では、n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 のゲートの電位 V_{GS} を低電位 (n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 のしきい値電圧より低い状態) とした後、電源をオフした場合、n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 のゲートの電位 V_{GS} を低電位としていることで、ノード N_13 およびノード N_14 をフローティングとすることができます。該ノード N_13 および該ノード N_14 の電位を保持することができる。なお、ノード N_13 とは、図 12において、「N_13」で示される部分を含む太線部であり、ノード N_14 とは、図 12において、「N_14」で示される部分を含む太線部である。また、保持ノード (ノード N_13 およびノード N_14) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。
20
30

【0234】

そして、再度電源をオンした後、n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 のゲートの電位 V_{GS} を高電位にすることで、ノード N_13 およびノード N_14 に保持された電位をもとに演算処理を再開することができる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 500 の消費電力を低減することができる。

【0235】

また、本実施の形態において、n チャネル型トランジスタ 501 および n チャネル型トランジスタ 502 のように極めてオフ電流の低いトランジスタを配置する箇所は、電源をオフした際に、入力された保持すべき電位を低下させる電流経路 (リーク経路) に配置すれば、論理回路 500 に限定されない。そこで、図 13 に、論理回路 500 とは、極めてオフ電流の低いトランジスタを配置する箇所が異なる論理回路の一例を示す。図 13 は、該一例である論理回路 520 を示す回路図である。なお、論理回路 520 は、図 12 の論理回路 500 に付した符号を適宜用いて説明する。
40

【0236】

論理回路 520 は、n チャネル型トランジスタ 501、n チャネル型トランジスタ 502、n チャネル型トランジスタ 503、n チャネル型トランジスタ 504、n チャネル型トランジスタ 509、n チャネル型トランジスタ 510、n チャネル型トランジスタ 511、n チャネル型トランジスタ 512、n チャネル型トランジスタ 513、および n チャネル型トランジスタ 514、ならびに p チャネル型トランジスタ 505、p チャネル型ト
50

ランジスタ506、pチャネル型トランジスタ507、およびpチャネル型トランジスタ508、を有する。特に、nチャネル型トランジスタ501、nチャネル型トランジスタ502、nチャネル型トランジスタ513およびnチャネル型トランジスタ514は極めてオフ電流の低いトランジスタである。

【0237】

論理回路520を構成するトランジスタは、以下の接続関係を有する。

【0238】

第1の入力端子11は、nチャネル型トランジスタ503のゲート、およびnチャネル型トランジスタ511のゲート、ならびにpチャネル型トランジスタ505のゲートと電気的に接続されている。第2の入力端子12は、nチャネル型トランジスタ504ゲート、およびnチャネル型トランジスタ512のゲート、ならびにpチャネル型トランジスタ506のゲートと電気的に接続されている。

10

【0239】

pチャネル型トランジスタ505の第1端子およびpチャネル型トランジスタ506の第1端子は、高電位側電源電位(VDD)を供給する高電位側電源電位線と電気的に接続されている。pチャネル型トランジスタ505の第2端子は、nチャネル型トランジスタ503の第1端子と電気的に接続されている。pチャネル型トランジスタ506の第2端子はnチャネル型トランジスタ504の第1端子と電気的に接続されている。nチャネル型トランジスタ503の第2端子およびnチャネル型トランジスタ504の第2端子は、低電位側電源電位(VSS)を供給する低電位側電源電位線と電気的に接続されている。

20

【0240】

nチャネル型トランジスタ503の第1端子およびpチャネル型トランジスタ505の第2端子は、pチャネル型トランジスタ508のゲート、およびnチャネル型トランジスタ510のゲート、ならびにpチャネル型トランジスタ507の第1端子と電気的に接続されている。

【0241】

nチャネル型トランジスタ504の第1端子およびpチャネル型トランジスタ506の第2端子は、pチャネル型トランジスタ507のゲート、およびnチャネル型トランジスタ509のゲート、ならびにpチャネル型トランジスタ508の第1端子と電気的に接続されている。

30

【0242】

pチャネル型トランジスタ507の第2端子は、nチャネル型トランジスタ501の第1端子と電気的に接続されている。pチャネル型トランジスタ508の第2端子は、nチャネル型トランジスタ502の第1端子と電気的に接続されている。

【0243】

nチャネル型トランジスタ510の第1端子は、低電位側電源電位(VSS)を供給する低電位側電源電位線と電気的に接続されており、nチャネル型トランジスタ510の第2端子は、nチャネル型トランジスタ509の第1端子と電気的に接続されている。nチャネル型トランジスタ509の第2端子は、nチャネル型トランジスタ513の第1端子と電気的に接続されている。

40

【0244】

nチャネル型トランジスタ512の第1端子は、低電位側電源電位(VSS)を供給する低電位側電源電位線と電気的に接続されており、nチャネル型トランジスタ512の第2端子は、nチャネル型トランジスタ511の第1端子と電気的に接続されている。nチャネル型トランジスタ511の第2端子は、nチャネル型トランジスタ514の第1端子と電気的に接続されている。

【0245】

出力端子13は、nチャネル型トランジスタ501の第2端子、nチャネル型トランジスタ502の第2端子、nチャネル型トランジスタ513の第2端子、およびnチャネル型トランジスタ514の第2端子と電気的に接続されている。

50

【0246】

なお、nチャネル型トランジスタ501のゲート、nチャネル型トランジスタ502、nチャネル型トランジスタ513、およびnチャネル型トランジスタ514のゲートは同電位である。

【0247】

論理回路520は、論理回路500と同様にnチャネル型トランジスタ501のゲート、nチャネル型トランジスタ502、nチャネル型トランジスタ513、およびnチャネル型トランジスタ514のゲートの電位が高電位の場合において、従来のXOR回路と同様の演算処理を行う。

【0248】

次に、論理回路520の動作中に電源をオフした場合の回路動作について説明する。従来のXOR回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

【0249】

一方、論理回路520では、nチャネル型トランジスタ501、nチャネル型トランジスタ502、nチャネル型トランジスタ513、およびnチャネル型トランジスタ514は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ501、nチャネル型トランジスタ502、nチャネル型トランジスタ513およびnチャネル型トランジスタ514のゲートの電位を低電位とした後、電源をオフした場合、nチャネル型トランジスタ501のゲート、nチャネル型トランジスタ502、nチャネル型トランジスタ513、およびnチャネル型トランジスタ514のゲートの電位を低電位としていることで、ノードN_15をフローティングとすることができるため、該ノードN_15の電位を保持することができる。なお、ノードN_15とは、図13において、「N_15」で指示する部分を含む太線部である。また、保持ノード（ノードN_15）に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0250】

そして、再度電源をオンした後、nチャネル型トランジスタ501、nチャネル型トランジスタ502、nチャネル型トランジスタ513およびnチャネル型トランジスタ514のゲートの電位を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路520の消費電力を低減することができる。

【0251】

また、本発明の一態様であるXOR回路は、本発明の一態様である論理回路を適宜組み合わせた回路構成にすることができるから、本発明の一態様であるXOR回路は、論理回路500および論理回路520に限定されない。

【0252】

論理回路500および論理回路520において、nチャネル型トランジスタ501のゲート、nチャネル型トランジスタ502、nチャネル型トランジスタ513、およびnチャネル型トランジスタ514は、上記したように極めてオフ電流の低いトランジスタが適用される。該トランジスタは、例えば、実施の形態1で説明したトランジスタ15乃至19、実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54におけるオフ電流特性を有する。そして、nチャネル型トランジスタ501のゲート、nチャネル型トランジスタ502、nチャネル型トランジスタ513、およびnチャネル型トランジスタ514は、nチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様に、酸化物半導体、特に上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることができる。なお、酸化物半導体中のキャリア濃度についても実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様で

10

20

30

40

50

あることが好ましい。

【0253】

論理回路500および論理回路520において、nチャネル型トランジスタ503、nチャネル型トランジスタ504、nチャネル型トランジスタ509、nチャネル型トランジスタ510、nチャネル型トランジスタ511およびnチャネル型トランジスタ512、ならびにpチャネル型トランジスタ505、pチャネル型トランジスタ506、pチャネル型トランジスタ507およびpチャネル型トランジスタ508には、特に制限はなく、半導体材料を含む基板を用いて形成されるトランジスタであればよい。

【0254】

なお、nチャネル型トランジスタ503、nチャネル型トランジスタ504、nチャネル型トランジスタ509、nチャネル型トランジスタ510、nチャネル型トランジスタ511およびnチャネル型トランジスタ512についても、nチャネル型トランジスタ501、nチャネル型トランジスタ502、nチャネル型トランジスタ513およびnチャネル型トランジスタ514のように、上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることで、論理回路500および論理回路520の演算処理を行うための消費電力を低減させる効果が大きくなる。

【0255】

本発明の一態様であるXOR回路において、論理回路500のように、トランジスタの素子数をできる限り少なくなるように極めてオフ電流が低いトランジスタを配置する回路構成は、トランジスタの占有面積の拡大を最小限にすることができる、微細化の観点から好ましい。また、本発明の一態様であるXOR回路において、論理回路520のように、出力端子13と電気的に接続されたノードの電位が保持される回路構成、別言すると演算処理後の電位が保持される回路構成は、論理回路500よりもさらに高速に演算処理を再開させることができ、回路動作の高速化の観点から好ましい。

【0256】

さらに、本発明の一態様であるXOR回路（論理回路500および論理回路520）において、極めてオフ電流の低いトランジスタ以外の構成（従来のXOR回路に相当する構成）は、CMOS回路に限定されない。例えば、論理回路50および論理回路55のように、該構成の一部であるpチャネル型トランジスタをn型且つエンハンスマント型トランジスタとしてもよい。該構成の一部であるpチャネル型トランジスタに、n型且つエンハンスマント型トランジスタを適用することで、論理回路500および論理回路520を構成するトランジスタの極性を同じにすることができる。これにより、作製プロセスを低減することができ、論理回路500および論理回路520の歩留まりを向上させ、製造コストを低減させることができる。なお、該n型且つエンハンスマント型トランジスタにおいても、上記水素濃度を有する酸化物半導体でチャネル形成領域を構成するトランジスタとしてもよい。したがって、nチャネル型トランジスタのみで構成される論理回路でありながら、論理回路500および論理回路520を低消費電力化することができる。

【0257】

このように、論理回路500および論理回路520において、消費電力を低減することで、論理回路500および論理回路520の少なくとも一方の論理回路を有する半導体装置の消費電力を低減することができる。さらに、論理回路500および論理回路520の消費電力を低減することで、論理回路500および論理回路520を動作させる外部回路の負荷が低減できる。これにより、論理回路500および論理回路520の少なくとも一方の論理回路および該外部回路を有する半導体装置の機能拡張が可能となる。

【0258】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0259】

（実施の形態8）

10

20

30

40

50

本実施の形態では、実施の形態1に示した論理回路の一例について説明する。具体的には、X N O R回路について図14を用いて説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、点線を用いた回路記号およびOSの符号を併せて付す場合がある。そして、本実施の形態で説明する論理回路は、実施の形態1での説明に用いた符号を適宜使用する。

【0260】

論理回路の構成例のおよび動作例

図14に示す論理回路600はX N O R回路に新たにnチャネル型トランジスタを電気的に接続した論理回路である。本実施の形態では、該X N O R回路を微細化に好適なC M OS回路による回路構成とするが、該X N O R回路を他の抵抗素子やダイオードなど用いた回路構成としてもよい。なお、図14において、X N O R回路には入力端子が2つあるため、一方を第1の入力端子11、もう一方を第2の入力端子12と符号を付する。

10

【0261】

論理回路600は、nチャネル型トランジスタ601、nチャネル型トランジスタ602、nチャネル型トランジスタ603、nチャネル型トランジスタ604、nチャネル型トランジスタ607、およびnチャネル型トランジスタ608、ならびにpチャネル型トランジスタ605、pチャネル型トランジスタ606、pチャネル型トランジスタ609、pチャネル型トランジスタ610、pチャネル型トランジスタ611およびpチャネル型トランジスタ612を有する。特に、nチャネル型トランジスタ601およびnチャネル型トランジスタ602は極めてオフ電流の低いトランジスタである。

20

【0262】

論理回路600を構成するトランジスタは、以下の接続関係を有する。

【0263】

第1の入力端子11はnチャネル型トランジスタ601の第1端子と電気的に接続されている。第2の入力端子12はnチャネル型トランジスタ602の第1端子と電気的に接続されている。

【0264】

nチャネル型トランジスタ601の第2端子は、pチャネル型トランジスタ605のゲート、およびpチャネル型トランジスタ611のゲート、ならびにnチャネル型トランジスタ603のゲートと電気的に接続されており、nチャネル型トランジスタ602の第2端子は、pチャネル型トランジスタ606のゲート、およびpチャネル型トランジスタ612のゲート、ならびにnチャネル型トランジスタ604のゲートと電気的に接続されている。

30

【0265】

pチャネル型トランジスタ605の第1端子、およびpチャネル型トランジスタ606の第1端子は、高電位側電源電位(V D D)を供給する高電位側電源電位線と電気的に接続されている。

【0266】

pチャネル型トランジスタ605の第2端子は、nチャネル型トランジスタ603の第1端子と電気的に接続されている。pチャネル型トランジスタ606の第2端子はnチャネル型トランジスタ604の第1端子と電気的に接続されている。nチャネル型トランジスタ603の第2端子およびnチャネル型トランジスタ604の第2端子は、低電位側電源電位(V S S)を供給する低電位側電源電位線と電気的に接続されている。

40

【0267】

nチャネル型トランジスタ603の第1端子およびpチャネル型トランジスタ605の第2端子は、nチャネル型トランジスタ608のゲート、およびnチャネル型トランジスタ607の第1端子、ならびにpチャネル型トランジスタ610のゲートと電気的に接続されている。

【0268】

nチャネル型トランジスタ604の第1端子およびpチャネル型トランジスタ606の

50

第2端子は、nチャネル型トランジスタ607のゲート、およびnチャネル型トランジスタ608の第1端子、ならびにpチャネル型トランジスタ609のゲートと電気的に接続されている。

【0269】

また、pチャネル型トランジスタ609の第1端子およびpチャネル型トランジスタ611の第1端子は、高電位側電源電位(VDD)を供給する高電位側電源電位線と電気的に接続されている。pチャネル型トランジスタ609の第2端子はpチャネル型トランジスタ610の第1端子と電気的に接続されており、pチャネル型トランジスタ611の第2端子はpチャネル型トランジスタ612の第1端子と電気的に接続されている。

【0270】

出力端子13は、nチャネル型トランジスタ607の第2端子、およびnチャネル型トランジスタ608の第2端子、ならびにpチャネル型トランジスタ610の第2端子、およびpチャネル型トランジスタ612の第2端子と電気的に接続されている。

【0271】

なお、nチャネル型トランジスタ601のゲートおよびnチャネル型トランジスタ602のゲートは同電位である。

【0272】

論理回路600は、nチャネル型トランジスタ601およびnチャネル型トランジスタ602のゲートの電位が高電位の場合(nチャネル型トランジスタ601およびnチャネル型トランジスタ602のVgsがnチャネル型トランジスタ601およびnチャネル型トランジスタ602のしきい値電圧より高い場合)において、従来のXNOR回路と同様の演算処理を行う。例えば、高電位の入力電位信号が第1の入力端子11および第2の入力端子12に入力されると、出力端子13からは高電位側電源電位(VDD)である高電位が出力される。また、第1の入力端子11および第2の入力端子12のいずれか一方から高電位の入力電位信号が、他方から低電位の入力電位信号が入力されると、出力端子13からは低電位側電源電位(VSS)である低電位が出力される。また、低電位の入力電位信号が第1の入力端子11および第2の入力端子12に入力されると、出力端子13からは高電位側電源電位(VDD)である高電位が出力される。

【0273】

次に、論理回路600の動作中に電源をオフした場合の回路動作について説明する。従来のXNOR回路では、回路動作中に電源をオフした場合、高電位側電源電位(VDD)と低電位側電源電位(VSS)に電位差が無くなるため、演算処理中のデータは揮発する。

【0274】

一方、論理回路600では、nチャネル型トランジスタ601およびnチャネル型トランジスタ602は極めてオフ電流の低いトランジスタであることから、nチャネル型トランジスタ601およびnチャネル型トランジスタ602のゲートの電位を低電位(nチャネル型トランジスタ601およびnチャネル型トランジスタ602のVgsをnチャネル型トランジスタ601およびnチャネル型トランジスタ602のしきい値電圧より低い状態)とした後、電源をオフした場合、nチャネル型トランジスタ601およびnチャネル型トランジスタ602のゲートの電位を低電位とすることで、ノードN_16およびノードN_17をフローティングとすることができます。該ノードN_16および該ノードN_17の電位を保持することができる。なお、ノードN_16とは、図14において、「N_16」で指し示す部分を含む太線部であり、ノードN_17とは、図14において、「N_17」で指し示す部分を含む太線部である。また、保持ノード(ノードN_16およびノードN_17)に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてもよい。

【0275】

そして、再度電源をオンした後、nチャネル型トランジスタ601およびnチャネル型

10

20

30

40

50

トランジスタ 602 のゲートの電位 を高電位にすることで、ノード N_16 およびノード N_17 に保持された電位をもとに演算処理を再開することができる。したがって、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 600 の消費電力を低減することができる。

【0276】

また、本実施の形態において、n チャネル型トランジスタ 601 および p チャネル型トランジスタ 602 のように極めてオフ電流の低いトランジスタを配置する箇所は、電源をオフした際に、入力された保持すべき電位を低下させる電流経路（リーコンプル経路）に配置すれば、論理回路 600 に限定されない。そこで、図 15 に、論理回路 600 とは、極めてオフ電流の低いトランジスタを配置する箇所が異なる論理回路の一例を示す。図 15 は、該一例である論理回路 620 を示す回路図である。なお、論理回路 620 は、図 14 の論理回路 600 に付した符号を適宜用いて説明する。

10

【0277】

論理回路 620 は、n チャネル型トランジスタ 601、n チャネル型トランジスタ 602、n チャネル型トランジスタ 603、n チャネル型トランジスタ 604、n チャネル型トランジスタ 607、n チャネル型トランジスタ 608、n チャネル型トランジスタ 613、および n チャネル型トランジスタ 614、ならびに p チャネル型トランジスタ 605、p チャネル型トランジスタ 606、p チャネル型トランジスタ 609、p チャネル型トランジスタ 610、p チャネル型トランジスタ 611、および p チャネル型トランジスタ 612 を有する。特に、n チャネル型トランジスタ 601、n チャネル型トランジスタ 602、n チャネル型トランジスタ 613 および n チャネル型トランジスタ 614 は極めてオフ電流の低いトランジスタである。

20

【0278】

論理回路 620 を構成するトランジスタは、以下の接続関係を有する。

【0279】

第 1 の入力端子 11 は、p チャネル型トランジスタ 605 ゲート、および p チャネル型トランジスタ 611 のゲート、ならびに n チャネル型トランジスタ 603 のゲートと電気的に接続されている。第 2 の入力端子 12 は、p チャネル型トランジスタ 606 ゲート、および p チャネル型トランジスタ 612 のゲート、ならびに n チャネル型トランジスタ 604 のゲートと電気的に接続されている。

30

【0280】

p チャネル型トランジスタ 605 の第 1 端子および p チャネル型トランジスタ 606 の第 1 端子は、高電位側電源電位 (VDD) を供給する高電位側電源電位線と電気的に接続されている。p チャネル型トランジスタ 605 の第 2 端子は、n チャネル型トランジスタ 603 の第 1 端子と電気的に接続されている。p チャネル型トランジスタ 606 の第 2 端子は n チャネル型トランジスタ 604 の第 1 端子と電気的に接続されている。n チャネル型トランジスタ 603 の第 2 端子および n チャネル型トランジスタ 604 の第 2 端子は、低電位側電源電位 (VSS) を供給する低電位側電源電位線と電気的に接続されている。

【0281】

n チャネル型トランジスタ 603 の第 1 端子および p チャネル型トランジスタ 605 の第 2 端子は、n チャネル型トランジスタ 608 のゲート、および n チャネル型トランジスタ 607 の第 1 端子、ならびに p チャネル型トランジスタ 610 のゲートと電気的に接続されている。

40

【0282】

n チャネル型トランジスタ 604 の第 1 端子および p チャネル型トランジスタ 606 の第 2 端子は、n チャネル型トランジスタ 607 のゲート、p チャネル型トランジスタ 609 のゲート、n チャネル型トランジスタ 608 の第 1 端子と電気的に接続されている。

【0283】

n チャネル型トランジスタ 607 の第 2 端子は、n チャネル型トランジスタ 601 の第 1 端子と電気的に接続されている。n チャネル型トランジスタ 608 の第 2 端子は、n チ

50

ヤネル型トランジスタ 602 の第 1 端子と電気的に接続されている。

【0284】

p チャネル型トランジスタ 609 の第 1 端子は、高電位側電源電位 (VDD) を供給する高電位側電源電位線と電気的に接続されており、p チャネル型トランジスタ 609 の第 2 端子は、p チャネル型トランジスタ 610 の第 1 端子と電気的に接続されている。p チャネル型トランジスタ 610 の第 2 端子は、n チャネル型トランジスタ 613 の第 1 端子と電気的に接続されている。

【0285】

p チャネル型トランジスタ 611 の第 1 端子は、高電位側電源電位 (VDD) を供給する高電位側電源電位線と電気的に接続されており、p チャネル型トランジスタ 611 の第 2 端子は、p チャネル型トランジスタ 612 の第 1 端子と電気的に接続されている。p チャネル型トランジスタ 612 の第 2 端子は、n チャネル型トランジスタ 614 の第 1 端子と電気的に接続されている。

10

【0286】

出力端子 13 は、n チャネル型トランジスタ 601 の第 2 端子、n チャネル型トランジスタ 602 の第 2 端子、n チャネル型トランジスタ 613 の第 2 端子、および n チャネル型トランジスタ 614 の第 2 端子と電気的に接続されている。

【0287】

なお、n チャネル型トランジスタ 601 のゲート、n チャネル型トランジスタ 602、n チャネル型トランジスタ 613、および n チャネル型トランジスタ 614 のゲートは同電位である。

20

【0288】

論理回路 620 は、論理回路 600 と同様に n チャネル型トランジスタ 601 のゲート、n チャネル型トランジスタ 602、n チャネル型トランジスタ 613、および n チャネル型トランジスタ 614 のゲートの電位 が高電位の場合において、従来の XNOR 回路と同様の演算処理を行う。

【0289】

次に、論理回路 620 の動作中に電源をオフした場合の回路動作について説明する。従来の XNOR 回路では、回路動作中に電源をオフした場合、演算処理中のデータは揮発する。

30

【0290】

一方、論理回路 620 では、n チャネル型トランジスタ 601 のゲート、n チャネル型トランジスタ 602、n チャネル型トランジスタ 613、および n チャネル型トランジスタ 614 は極めてオフ電流の低いトランジスタであることから、n チャネル型トランジスタ 601、n チャネル型トランジスタ 602、n チャネル型トランジスタ 613 および n チャネル型トランジスタ 614 のゲートの電位 を低電位とした後、電源をオフした場合、n チャネル型トランジスタ 601 のゲート、n チャネル型トランジスタ 602、n チャネル型トランジスタ 613、および n チャネル型トランジスタ 614 のゲートの電位 を低電位とすることで、ノード N_18 をフローティングとすることができるため、該ノード N_18 の電位を保持することができる。なお、ノード N_18 とは、図 15 において、「N_18」で指し示す部分を含む太線部である。なお、保持ノード (ノード N_18) に容量素子を設けずとも十分な期間、電位を保持できるが、さらなる保持期間を望む場合は、該保持ノードに一方の電極が電気的に接続され、且つ他方の電極が低電位側電源電位線に電気的に接続された容量素子を設けてよい。

40

【0291】

そして、再度電源をオンした後、n チャネル型トランジスタ 601、n チャネル型トランジスタ 602、n チャネル型トランジスタ 613 および n チャネル型トランジスタ 614 のゲートの電位 を高電位にすることで、再度電源をオンした際に入力電位信号を供給する必要が無く、素早く演算処理を再開することができる。また、論理回路 620 の消費電力を低減することができる。

50

【0292】

また、本発明の一態様であるXNOR回路は、本発明の一態様である論理回路を適宜組み合わせた回路構成にすることができるところから、本発明の一態様であるXNOR回路は、論理回路600および論理回路620に限定されない。

【0293】

論理回路600および論理回路620において、nチャネル型トランジスタ601のゲート、nチャネル型トランジスタ602、nチャネル型トランジスタ613、およびnチャネル型トランジスタ614は、上記したように極めてオフ電流の低いトランジスタが適用される。該トランジスタは、例えば、実施の形態1で説明したトランジスタ15乃至19、実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54におけるオフ電流特性を有する。そして、nチャネル型トランジスタ601のゲート、nチャネル型トランジスタ602、nチャネル型トランジスタ613、およびnチャネル型トランジスタ614は、nチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様に、酸化物半導体、特に上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることができる。なお、酸化物半導体中のキャリア濃度についても実施の形態2で説明したnチャネル型トランジスタ51およびnチャネル型トランジスタ54と同様であることが好ましい。

【0294】

論理回路600および論理回路620において、nチャネル型トランジスタ603、nチャネル型トランジスタ604、nチャネル型トランジスタ607、およびnチャネル型トランジスタ608、ならびにpチャネル型トランジスタ605、pチャネル型トランジスタ606、pチャネル型トランジスタ609、pチャネル型トランジスタ610、pチャネル型トランジスタ611およびpチャネル型トランジスタ612は、特に制限はなく、半導体材料を含む基板を用いて形成されるトランジスタであればよい。

【0295】

なお、nチャネル型トランジスタ603、nチャネル型トランジスタ604、nチャネル型トランジスタ607、およびnチャネル型トランジスタ608についても、nチャネル型トランジスタ601、nチャネル型トランジスタ602、nチャネル型トランジスタ613およびnチャネル型トランジスタ614のように、上記水素濃度を有し、キャリアの供与体となる水素を極めて低濃度に低下させた酸化物半導体をチャネル形成領域に適用したトランジスタとすることで、論理回路600および論理回路620の演算処理を行うための消費電力を低減させる効果が大きくなる。

【0296】

本発明の一態様であるXNOR回路において、論理回路600のように、トランジスタの素子数をできる限り少なくなるように極めてオフ電流が低いトランジスタを配置する回路構成は、トランジスタの占有面積の拡大を最小限にすることができる、微細化の観点から好ましい。また、本発明の一態様であるXNOR回路において、論理回路620のように、出力端子13と電気的に接続されたノードの電位が保持される回路構成、別言すると演算処理後の電位が保持される回路構成は、論理回路600よりさらに高速に演算処理を再開させることができ、回路動作の高速化の観点から好ましい。

【0297】

さらに、本発明の一態様であるXNOR回路（論理回路600および論理回路620）において、極めてオフ電流の低いトランジスタ以外の構成（従来のXNOR回路に相当する構成）は、CMOS回路に限定されない。例えば、論理回路50および論理回路55のように、該構成の一部であるpチャネル型トランジスタをn型且つエンハンスマント型トランジスタとしてもよい。該構成の一部であるpチャネル型トランジスタに、n型且つエンハンスマント型トランジスタを適用することで、論理回路600および論理回路620を構成するトランジスタの極性を同じにすることができる。これにより、作製プロセスを低減することができ、論理回路600および論理回路620の歩留まりを向上させ、製造

10

20

30

40

50

コストを低減させることができる。なお、該 n 型且つエンハンスマント型トランジスタにおいても、上記水素濃度を有する酸化物半導体でチャネル形成領域を構成するトランジスタとしてもよい。このように、 n チャネル型トランジスタのみで構成される論理回路であっても、論理回路 600 および論理回路 620 を低消費電力化することができる。

【0298】

以上より、論理回路 600 および論理回路 620 において、消費電力を低減することで、論理回路 600 および論理回路 620 の少なくとも一方の論理回路を有する半導体装置の消費電力を低減することができる。さらに、論理回路 600 および論理回路 620 の消費電力を低減することで、論理回路 600 および論理回路 620 を動作させる外部回路の負荷が低減できる。これにより、論理回路 600 および論理回路 620 の少なくとも一方の論理回路および該外部回路を有する半導体装置の機能拡張が可能となる。 10

【0299】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0300】

(実施の形態 9)

本実施の形態では、先の実施の形態で説明した論理回路を構成するトランジスタの作製方法について説明する。

【0301】

先の実施の形態で説明した論理回路において、CMOS回路を構成する p チャネル型トランジスタおよび n チャネル型トランジスタは、半導体材料を含む基板を用いて一般的な方法により形成すればよい。極めてオフ電流の低いトランジスタ（例えば、論理回路 50 における n チャネル型トランジスタ 51 など）は、半導体材料を含む基板に設けられた p チャネル型トランジスタおよび n チャネル型トランジスタを形成した後に、これらの上に酸化物半導体をチャネル形成領域に適用したトランジスタを形成することで得られる。すなわち、 p チャネル型トランジスタおよび n チャネル型トランジスタが設けられた半導体基板を被形成基板として、該基板上に酸化物半導体をチャネル形成領域に適用したトランジスタを設けることで、論理回路におけるトランジスタの専有面積を縮小することが可能であり、論理回路の微細化が可能となる。 20

【0302】

なお、本実施の形態では、図面の明瞭化のため、半導体基板には一方の極性のトランジスタが形成されているものとする。 p チャネル型トランジスタ又は n チャネル型トランジスタが設けられた半導体基板 700 は、ソースおよびドレインとして機能する高濃度不純物領域 701、低濃度不純物領域 702、ゲート絶縁膜 703、ゲート電極 704、層間絶縁膜 705 を有する（図 16 参照）。また、半導体基板 700 上に酸化物半導体をチャネル形成領域に適用したトランジスタ 710 が設けられている。 30

【0303】

トランジスタ 710 は、 p チャネル型トランジスタ又は n チャネル型トランジスタが設けられた半導体基板 700 上に設けられた酸化物半導体層 711 と、酸化物半導体層 711 に接して離間して設けられたソース電極 712a およびドレイン電極 712b と、少なくとも酸化物半導体層 711 のチャネル形成領域上に設けられたゲート絶縁膜 713 と、酸化物半導体層 711 に重畳してゲート絶縁膜 713 上に設けられたゲート電極 714 と、を有する（図 17 (D) 参照）。 40

【0304】

層間絶縁膜 705 は、酸化物半導体層 711 の下地絶縁膜としても機能する。

【0305】

層間絶縁膜 705 は、少なくとも表面に酸素を含み、酸素の一部が加熱処理により脱離する絶縁性酸化物により形成するとよい。酸素の一部が加熱処理により脱離する絶縁性酸化物としては、化学量論的組成比よりも酸素の組成比が高いものを用いることが好ましい。これは、該加熱処理により、層間絶縁膜 705 に接する酸化物半導体層 711 に酸素を 50

供給することができるためである。

【0306】

化学量論的組成比よりも酸素の組成比が高い絶縁性酸化物として、例えば、 SiO_x ($x > 2$) で表される酸化シリコンが挙げられる。ただし、これに限定されず、層間絶縁膜 705 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化ハフニウムまたは酸化イットリウムなどで形成してもよい。

【0307】

なお、層間絶縁膜 705 は、複数の膜が積層されて形成されていてもよい。層間絶縁膜 705 は、例えば、窒化シリコン膜上に酸化シリコン膜が設けられた積層構造であってもよい。

10

【0308】

ところで、化学量論的組成比よりも酸素の組成比が高い絶縁性酸化物では、酸素の一部が加熱処理により脱離しやすい。酸素の一部が加熱処理により脱離しやすいときの TDS 分析による酸素の脱離量 (酸素原子に換算した値) は、 1.0×10^{18} atoms/cm³ 以上、好ましくは 1.0×10^{20} atoms/cm³ 以上、より好ましくは 3.0×10^{20} atoms/cm³ 以上であるとよい。

【0309】

ここで、TDS 分析の方法について説明する。TDS 分析における気体の脱離量は、放出ガスの積分値に比例する。このため、酸化物における TDS スペクトルの積分値と標準試料の基準値から、気体の脱離量を計算することができる。標準試料の基準値は、ある特定の原子を含む試料 (標準試料) におけるスペクトルの積分値に対する原子密度の割合である。

20

【0310】

例えば、所定の密度の水素を含むシリコンウェハ (標準試料) の TDS スペクトルと酸化物の TDS スペクトルから、酸化物の酸素分子 (O_2) の脱離量 (N_{O_2}) は、次式で求めることができる。

【0311】

【数1】

$$N_{\text{O}_2} = \frac{N_{\text{H}_2}}{S_{\text{H}_2}} \times S_{\text{O}_2} \times \alpha$$

30

【0312】

N_{H_2} は、標準試料から脱離した水素分子 (H_2) を密度に換算した値である。 S_{H_2} は、標準試料の水素分子 (H_2) の TDS スペクトルの積分値である。すなわち、 $N_{\text{H}_2} / S_{\text{H}_2}$ を標準試料の基準値とする。 S_{O_2} は、絶縁性酸化物の酸素分子 (O_2) の TDS スペクトルの積分値である。 α は、TDS スペクトルの強度に影響する係数である。前記式 (1) の詳細に関しては、特開平 06-275697 号公報を参照されたい。

【0313】

40

なお、TDS 分析による酸素の脱離量 (酸素原子に換算した値) は、電子科学株式会社 製の昇温脱離分析装置 EMD-WA1000S/W を用い、標準試料として 1×10^{16} atoms/cm³ の水素原子を含むシリコンウェハを用いて測定した場合の値を示している。

【0314】

なお、TDS 分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、前記係数 α は酸素分子のイオン化率を含んでいるため、酸素分子の放出量を評価することで、酸素原子の放出量についても算出することができる。

【0315】

50

なお、 N_{O_2} は酸素分子 (O_2) の脱離量である。そのため、酸素原子で換算した酸素の脱離量は、酸素分子 (O_2) の脱離量の 2 倍である。

【0316】

層間絶縁膜 705 は、スパッタリング法または CVD 法などにより形成すればよいが、好ましくはスパッタリング法を用いる。層間絶縁膜 705 として、酸化シリコン膜を形成する場合には、ターゲットとして石英（好ましくは合成石英）ターゲット、スパッタリングガスとしてアルゴンガスを用いればよい。または、ターゲットとしてシリコンターゲット、スパッタリングガスとして酸素を含むガスを用いてもよい。なお、酸素を含むガスとしては、アルゴンガスと酸素ガスの混合ガスでもよいし、酸素ガスのみであってもよい。

【0317】

層間絶縁膜 705 を形成した後、酸化物半導体層 711 に加工される酸化物半導体膜を形成する前に第 1 の加熱処理を行う。第 1 の加熱処理は、層間絶縁膜 705 中に含まれる水および水素を除去するための工程である。それゆえ、第 1 の加熱処理の温度は、層間絶縁膜 705 中に含まれる水および水素が脱離する温度（脱離量のピークを有する温度）以上 p チャネル型トランジスタまたは n チャネル型トランジスタが設けられた半導体基板 700 が変質または変形する温度未満とすることが好ましく、後に行う第 2 の加熱処理よりも低い温度とすることが好ましい。なお、本明細書において、半導体基板 700 が変質または変形する温度を半導体基板 700 の歪み点と記載する。

【0318】

そして、酸化物半導体膜を形成した後、第 2 の加熱処理を行う。第 2 の加熱処理は、該酸化物半導体膜を形成した際に混入した水および水素を該酸化物半導体膜から除去するための工程であり、さらには層間絶縁膜 705 を酸素の供給源として該酸化物半導体膜に酸素を供給する工程である。第 2 の加熱処理は、例えば、200 以上半導体基板 700 の歪み点未満とすることが好ましい。ただし、第 2 の加熱処理を行うタイミングはこれに限らず、該酸化物半導体膜を加工して酸化物半導体層 711 を形成した後に行ってもよい。このように、酸化物半導体膜の水素濃度を低くすることで、トランジスタのしきい値電圧がマイナスにシフトすることを防止できる。

【0319】

また、酸化物半導体膜に酸素を供給する工程として、酸素プラズマによる酸素ドーピング処理、またはイオンインプランテーション法もしくはイオンドーピング法による酸素ドーピング処理を行ってもよい。イオンインプランテーション法もしくはイオンドーピング法による酸素ドーピング処理によって、酸化物半導体膜に酸素を過剰に含ませることができる。第 2 の加熱処理、または第 2 の加熱処理後の酸素ドーピング処理によって、作製されるトランジスタ 710 の電気特性のばらつきを低減することができる。

【0320】

なお、第 2 の加熱処理においては、窒素ガス、またはヘリウム、ネオン若しくはアルゴンなどの希ガスに、水素、水、水酸基または水素化物などが含まれないことが好ましい。または、加熱処理装置に導入する窒素ガス、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、（即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下）とすることが好ましい。

【0321】

また、第 2 の加熱処理の条件、または酸化物半導体膜若しくは酸化物半導体層 711 の材料によっては、酸化物半導体膜若しくは酸化物半導体層 711 が結晶化し、微結晶層または多結晶層となる場合もある。例えば、結晶化率が 90% 以上、または 80% 以上の微結晶の酸化物半導体層となる場合もある。また、第 2 の加熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。また、非晶質の酸化物半導体層の中に微結晶部（粒径 1 nm 以上 20 nm 以下（代表的には 2 nm 以上 4 nm 以下））が混在する酸化物半導体層となる場合もある。

【0322】

10

20

30

40

50

なお、酸化物半導体膜または酸化物半導体層711の被形成面である層間絶縁膜705の平均面荒さ(R_a)は、1nm以下、好ましくは0.3nm以下であることが好ましい。酸化物半導体膜が結晶性である場合に結晶方位を揃えることができるためである。また、酸化物半導体膜または酸化物半導体層711の被形成面である層間絶縁膜705の平坦性が向上することで、表面の平坦性が高い酸化物半導体膜または酸化物半導体層711を得ることができるため、より電界効果移動度が高いトランジスタを得ることができる。

【0323】

なお、ここで、平均面粗さ(R_a)とは、JIS B 0601:2001(ISO 4287:1997)で定義されている中心線平均粗さ(R_a)を、測定面に対して適用できるよう三次元に拡張したものをいう。平均面粗さ(R_a)は、基準面から指定面までの偏差の絶対値を平均した値で表現される。

【0324】

ここで、中心線平均粗さ(R_a)は、粗さ曲線からその中心線の方向に測定長さ L の部分を抜き取り、この抜き取り部の中心線の方向をX軸、縦倍率の方向(X軸に垂直な方向)をY軸とし、粗さ曲線を $Y = F(X)$ で表すとき、次の式(1)で与えられる。

【0325】

【数2】

$$R_a = \frac{1}{L} \int_0^L |F(X)| dX \quad (1)$$

10

20

【0326】

そして、平均面粗さ(R_a)は、測定データの示す面である測定面を $Z = F(X, Y)$ で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、次の式(2)で与えられる。

【0327】

【数3】

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dX dY \quad (2)$$

【0328】

30

ここで、指定面とは、粗さ計測の対象となる面であり、座標 (X_1, Y_1) (X_1, Y_2) (X_2, Y_1) (X_2, Y_2)で表される4点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を S_0 とする。

【0329】

また、基準面とは、指定面の平均の高さにおける、XY平面と平行な面のことである。つまり、指定面の高さの平均値を Z_0 とするとき、基準面の高さも Z_0 で表される。

【0330】

平均面粗さ(R_a)は、原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0331】

このように、層間絶縁膜705の平均面粗さを1nm以下、好ましくは0.3nm以下とするためには、化学的機械的研磨(Chemical Mechanical Polishing: CMP)処理を行えばよい。CMP処理は、酸化物半導体膜の形成前に行えばよいが、第1の加熱処理の前に行なうことが好ましい。

【0332】

ここで、CMP処理は、一回以上行なうべき。複数回に分けてCMP処理を行う場合には、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。

【0333】

また、層間絶縁膜705を平坦化させるためには、CMP処理に代えてドライエッキン

40

50

グなどを行ってもよい。ここで、エッティングガスとしては、塩素、塩化ボロン、塩化シリコンまたは四塩化炭素などの塩素系ガス、四フッ化炭素、フッ化硫黄またはフッ化窒素などのフッ素系ガスなどを用いればよい。

【0334】

また、層間絶縁膜705を平坦化させるためには、CMP処理に代えてプラズマ処理などを行ってもよい。ここで、プラズマ処理には希ガスを用いればよい。このプラズマ処理により、被処理面に不活性ガスのイオンが照射され、スパッタリング効果により被処理面の微細な凹凸が平坦化される。このようなプラズマ処理は逆スパッタとも呼ばれる。

【0335】

なお、層間絶縁膜705を平坦化するためには、上記処理の一種以上を適用すればよい。例えば、逆スパッタのみを行ってもよいし、CMP処理を行った後にドライエッティングを行ってもよい。ただし、酸化物半導体膜の被形成面である層間絶縁膜705に水を混入させないためには、ドライエッティングまたは逆スパッタを用いることが好ましい。特に、第2の加熱処理を行った後に平坦化処理を行う場合にはドライエッティングまたは逆スパッタを用いることが好ましい。

【0336】

酸化物半導体層711は、例えば、酸化物半導体膜を形成し、該酸化物半導体膜上にエッチングマスクを形成してエッチングを行うことで選択的に形成すればよい。または、インクジェット法などを用いてもよい。

【0337】

酸化物半導体膜は、四元系金属酸化物であるIn-Sn-Ga-Zn系金属酸化物、In-Hf-Ga-Zn系金属酸化物、In-Al-Ga-Zn系金属酸化物、In-Sn-Al-Zn系金属酸化物、In-Sn-Hf-Zn系金属酸化物、In-Hf-Al-Zn系金属酸化物を用いることができる。または三元系金属酸化物であるIn-Ga-Zn系金属酸化物（IGZOとも表記する）、In-Al-Zn系金属酸化物、In-Sn-Zn系金属酸化物、Al-Ga-Zn系金属酸化物、Sn-Al-Zn系金属酸化物、In-Hf-Zn系金属酸化物、In-La-Zn系金属酸化物、In-Ce-Zn系金属酸化物、In-Pr-Zn系金属酸化物、In-Nd-Zn系金属酸化物、In-Sm-Zn系金属酸化物、In-Sm-Zn系金属酸化物、In-Eu-Zn系金属酸化物、In-Gd-Zn系金属酸化物、In-Tb-Zn系金属酸化物、In-Dy-Zn系金属酸化物、In-Ho-Zn系金属酸化物、In-Er-Zn系金属酸化物、In-Tm-Zn系金属酸化物、In-Yb-Zn系金属酸化物、In-Lu-Zn系金属酸化物、Sn-Ga-Zn系金属酸化物、または二元系金属の酸化物であるIn-Zn系金属酸化物、Sn-Zn系金属酸化物、Al-Zn系金属酸化物、Zn-Mg系金属酸化物、Sn-Mg系金属酸化物、In-Mg系金属酸化物、In-Ga系金属酸化物、または、酸化インジウム、酸化スズ、酸化亜鉛などを用いて形成されていてもよい。なお、「n元系金属酸化物」はn種類の金属酸化物で構成されるものである。ここで、例えば、In-Ga-Zn系金属酸化物は、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素が含まれていてもよい。

【0338】

例えば、原子数比がIn:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3) またはIn:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5) であるIn-Ga-Zn系金属酸化物や、その組成の近傍の金属酸化物を用いることができる。また、原子数比がIn:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)、In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2) またはIn:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8) であるIn-Sn-Zn系金属酸化物や、その組成の近傍の金属酸化物を用いるとよい。

【0339】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）

10

20

30

40

50

に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【0340】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1) である金属酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1) である金属酸化物の組成のrだけ近傍であるとは、a、b、cが、(a - A)² + (b - B)² + (c - C)² / r² を満たすことをいい、rは、例えば、0.05 とすればよい。なお、他の金属酸化物においてもこの関係を満たす。

【0341】

なお、上記金属酸化物には、これらの化学量論的組成比に対し、酸素を過剰に含ませることが好ましい。酸素を過剰に含ませると、形成される酸化物半導体膜の酸素欠損によるキャリアの生成を抑制することができる。

【0342】

なお、酸化物半導体膜に適用することができる金属酸化物は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、更に好ましくは3 eV以上であるとよい。このように、バンドギャップの広い金属酸化物を用いると、トランジスタのオフ電流を低減することができる。

【0343】

なお、酸化物半導体膜には、水素が含まれる。この水素は、水素原子の他、水素分子、水、水酸基、またはその他の水素化物として含まれる場合もある。酸化物半導体膜に含まれる水素は、極力少ないことが好ましい。

【0344】

なお、酸化物半導体膜のアルカリ金属およびアルカリ土類金属は少なくすることが好ましく、これらの濃度は、好ましくは 1×10^{-8} atoms / cm³ 以下、更に好ましくは 2×10^{-6} atoms / cm³ 以下とする。アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアが生成されることがあり、トランジスタのオフ電流を増大させる原因となるからである。

【0345】

なお、酸化物半導体膜の形成方法および厚さは特に限定されず、作製するトランジスタのサイズなどに応じて決めればよい。酸化物半導体膜の形成方法としては、例えば、スパッタリング法、塗布法、印刷法、分子線エピタキシー法またはパルスレーザー蒸着法などが挙げられる。酸化物半導体膜の厚さは、3 nm 以上 50 nm 以下とすればよい。これは、酸化物半導体膜の厚さを 50 nm 以上に厚くすると作製するトランジスタの電気特性がノーマリーオンとなる可能性があるためである。また、トランジスタのチャネル長を 30 μm としたときには、酸化物半導体膜の厚さは 5 nm 以下とするとチャネル長を短くすることで生じるトランジスタのしきい値電圧の変動を抑制することができる。

【0346】

一例として、スパッタリング法により、酸化物半導体膜をIn-Zn系金属酸化物で形成する場合には、ターゲットの組成を原子数比で、In / Zn = 1 ~ 100、好ましくは In / Zn = 1 ~ 20、さらに好ましくは In / Zn = 1 ~ 10 とする。Znの原子数比を好ましい前記範囲とすることで、電界効果移動度を向上させることができる。ここで、酸素を過剰に含ませるために、化合物の原子数比 In : Zn : O = X : Y : Z を、Z > 1.5X + Y とすることが好ましい。

【0347】

また、スパッタリング法により、酸化物半導体膜をIn-Sn-Zn系金属酸化物で形成する場合には、用いるターゲットの組成比を、In : Sn : Zn が原子数比で、1 : 2 : 2、2 : 1 : 3、1 : 1 : 1、または 20 : 45 : 35 などとする。なお、In-Sn-Zn系金属酸化物においても酸素を過剰に含ませることが好ましい。

【0348】

10

20

30

40

50

本実施の形態では、好ましい一例として、In - Ga - Zn系金属酸化物ターゲットを用いたスパッタリング法により酸化物半導体膜を形成する。ここで、スパッタリングガスとしては、希ガス（例えばアルゴン）、酸素ガスまたは希ガスと酸素ガスの混合ガスを用いればよい。

【0349】

また、In - Ga - Zn系金属酸化物ターゲットの一例としては、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比] の組成比を有するターゲット、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比] の組成比を有するターゲット、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol数比] の組成比を有するターゲット、 $In_2O_3 : Ga_2O_3 : ZnO = 2 : 1 : 8$ [mol数比] の組成比を有するターゲットである。

10

【0350】

なお、酸化物半導体膜を形成する際に用いるスパッタリングガスとしては、水素、水、水酸基または水素化物などが除去された高純度ガスを用いることが好ましい。スパッタリングガスを高純度ガスとするためには、処理室の内壁などに付着したガスを除去し、酸化物半導体膜を形成する前にpチャネル型トランジスタまたはnチャネル型トランジスタが設けられた半導体基板700を加熱処理すればよい。また、処理室に導入するスパッタリングガスを高純度ガスとしてもよく、このとき、アルゴンガスの純度は9N(99.99999%)以上とし、露点を-121とし、水を0.1ppbとし、水素を0.5ppbとすればよい。酸素ガスの純度は8N(99.999999%)以上とし、露点を-112とし、水を1ppbとし、水素を1ppbとすればよい。また、pチャネル型トランジスタまたはnチャネル型トランジスタが設けられた半導体基板700を高温に保持した状態で酸化物半導体膜を形成すると酸化物半導体膜に含まれる不純物濃度を低減することができる。ここで、pチャネル型トランジスタおよびnチャネル型トランジスタが設けられた半導体基板700の温度は、100以上600以下、好ましくは200以上400以下とすればよい。

20

【0351】

なお、酸化物半導体膜は、単結晶構造または非単結晶構造のどちらでもよい。非単結晶構造とは、非晶質構造、結晶性を有している部分を含む非晶質構造、多結晶構造および微結晶構造などである。

30

【0352】

非晶質構造の酸化物半導体膜は、比較的容易に平坦な表面を得ることができるために、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0353】

また、結晶構造を有する酸化物半導体膜（単結晶構造、結晶性を有している部分を含む非晶質構造、多結晶構造および微結晶構造）では、よりバルク内欠陥を低減することができる、該酸化物半導体膜の表面の平坦性を高めれば非晶質構造の酸化物半導体膜以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上（本実施の形態では、層間絶縁膜705）に酸化物半導体膜を形成することが好ましく、上記したように、平均面粗さ（Ra）が1nm以下、好ましくは0.3nm以下の表面上に形成するとよい。

40

【0354】

酸化物半導体膜が結晶構造を有する場合には、c軸方向に配向した結晶性の酸化物半導体（C Axis Aligned Crystalline Oxide Semiconductor : CAAOS）膜とすることが好ましい。酸化物半導体膜をCAAOS膜とすることで、トランジスタの信頼性を高めることができる。

【0355】

なお、CAAOS膜とは、結晶がc軸配向し、且つab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては、金属原子が層状に

50

配列し、または金属原子と酸素原子が層状に配列し、a b面（あるいは表面または界面）においては、a軸またはb軸の向きが異なる（c軸を中心に回転した）結晶を含む酸化物半導体膜をいう。

【0356】

なお、広義には、CAAC-OS膜とは、非単結晶であって、そのa b面に垂直な方向から見て、三角形若しくは六角形、または正三角形若しくは正六角形の原子配列を有し、且つc軸に垂直な方向から見て、金属原子が層状に配列した相、または金属原子と酸素原子が層状に配列した相を含む酸化物半導体膜をいう。

【0357】

なお、CAAC-OS膜は単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC-OS膜は結晶部を含むが、一つの結晶部と他の結晶部の境界を明確に判別できなくてもよい。

【0358】

また、CAAC-OS膜を構成する酸素の一部が窒素で置換されていてもよい。また、CAAC-OS膜を構成する個々の結晶部のc軸は一定の方向（例えば、CAAC-OS膜が形成された基板面またはCAAC-OS膜の表面、膜面若しくは界面などに垂直な方向）に揃えられていてもよい。または、CAAC-OS膜を構成する個々の結晶部のa b面の法線は一定の方向（例えば、基板面、表面、膜面若しくは界面などに垂直な方向）であってもよい。

【0359】

なお、CAAC-OS膜は、その組成などに応じて、導体であってもよいし、半導体であってもよいし、絶縁体であってもよい。また、CAAC-OS膜は、その組成などに応じて、可視光に対して透明であってもよいし、不透明であってもよい。

【0360】

このようなCAAC-OS膜の例として、膜状に形成され、膜表面、基板面、または界面に垂直な方向から観察すると三角形または六角形の原子配列が確認され、且つその膜の断面に金属原子または金属原子と酸素原子（あるいは窒素原子）の層状配列が観察される材料などを挙げることができる。

【0361】

このようなCAAC-OS膜の結晶構造について詳細に説明する。なお、以下の説明では、原則として、図18、図19および図20は上方をc軸方向とし、c軸方向と垂直な面をa b面とする。なお、単に上半分、下半分と表記する場合、a b面を境にした場合の上半分、下半分をいう。また、図18において、丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

【0362】

図18(A)には、1個の6配位のインジウム原子（以下、Inと記す。）と、Inに近接の6個の4配位の酸素原子（以下、4配位のOと記す。）と、を有する構造を示す。金属原子が1個に対して、近接の酸素原子のみ示した構造を、ここでは小グループと呼ぶ。図18(A)の構造は、八面体構造を探るが、簡単のため平面構造で示している。なお、図18(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがあり、図18(A)に示す小グループは電荷が0である。

【0363】

図18(B)は、1個の5配位のガリウム原子（以下、Gaと記す。）と、Gaに近接の3個の3配位の酸素原子（以下、3配位のOと記す。）と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもa b面に存在する。図18(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図18(B)に示す構造をとりうる。図18(B)に示す小グループは電荷が0である。

【0364】

図18(C)は、1個の4配位の亜鉛原子（以下、Znと記す。）と、Znに近接の4

10

20

30

40

50

個の4配位のOと、を有する構造を示す。図18(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図18(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図18(C)に示す小グループは電荷が0である。

【0365】

図18(D)に、1個の6配位のスズ原子(以下、Snと記す。)と、Snに近接の6個の4配位のOと、を有する構造を示す。図18(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図18(D)に示す小グループは電荷が+1となる。

【0366】

図18(E)に、2個のZnを含む小グループを示す。図18(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図18(E)に示す小グループは電荷が-1となる。

【0367】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう)と呼ぶ。

【0368】

ここで、これらの小グループ同士が結合する規則について説明する。図18(A)に示す6配位のInの上半分の3個のOは下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは上方向にそれぞれ3個の近接Inを有する。図18(B)に示す5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図18(C)に示す4配位のZnの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位の近接Oの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。したがって、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する2種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)または4配位の金属原子(Zn)のいずれかと結合することになる。

【0369】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように小グループ同士が結合して中グループを構成する。

【0370】

図19(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図19(B)に、3つの中グループで構成される大グループを示す。なお、図19(C)は、図19(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0371】

図19(A)において、簡略化のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図19(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図19(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

【0372】

図19(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上

10

20

30

40

50

から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介してZnが、4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

【0373】

ここで、3配位のOおよび4配位のOでは、結合1本当たりの電荷はそれぞれ-0.6 10 67、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図18(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

【0374】

また、Inは5配位および6配位のいずれもとることができるものとする。具体的には、図19(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶(In₂SnZn₃O₈)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、In₂SnZn₂O₇(ZnO)_m(mは0または自然数。)の組成式で表すことができる。

【0375】

また、このほかにも、上記例示した四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物を用いた場合も同様である。

【0376】

図20(A)に、In-Ga-Zn-O系の層構造を構成する一例として、中グループのモデル図を示す。

【0377】

図20(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループを複数結合して大グループを構成する。

【0378】

図20(B)に3つの中グループで構成される大グループを示す。なお、図20(C)は、図20(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0379】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば、中グループの合計の電荷は常に0となる。

【0380】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図20(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0381】

ところで、酸化物半導体に限らず、本発明の一態様の論理回路を構成するトランジスタに適用可能な絶縁ゲート型トランジスタにおいて、実際に測定される電界効果移動度は、

10

20

30

40

50

さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0382】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、電界効果移動度 μ は式（3）で表現できる。E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。

【0383】

【数4】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (3)$$

【0384】

また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、ポテンシャル障壁の高さ E は、式（4）で表現できる。

【0385】

【数5】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (4)$$

20

【0386】

なお、e は電気素量、N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、n はチャネルのキャリア面密度、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、t はチャネルの厚さである。

【0387】

また、絶縁ゲート型トランジスタに用いる半導体層において、厚さ 30 nm 以下であれば、チャネル形成領域の厚さは半導体層の厚さと同一として差し支えない。そこで、線形領域におけるドレン電流 I_d は、式（5）で表現できる。

30

【0388】

【数6】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (5)$$

【0389】

なお、L はチャネル長、W はチャネル幅であり、ここでは、L = W = 10 μm である。また、 V_d はドレン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、式（6）で表現できる。

【0390】

【数7】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (6)$$

40

【0391】

式（6）の右辺は V_g の関数である。式（6）からわかるように、縦軸を $\ln(I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの I_d ～ V_g 特性から、欠陥密度を評価できる。酸化物半導体としてインジウム（In）、スズ（Sn）、亜鉛（Zn）の比率が

50

、 $I_n : S_n : Z_n = 1 : 1 : 1$ のものでは、欠陥密度 N は $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0392】

このようにして求めた欠陥密度等をもとに式(3)および式(4)より $\mu_0 = 120 \text{ cm}^2 / \text{Vs}$ が導出される。欠陥のある $I_n - S_n - Z_n$ 酸化物で測定される移動度は $40 \text{ cm}^2 / \text{Vs}$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2 / \text{Vs}$ となると予想できる。

【0393】

ただし、酸化物半導体膜内部に欠陥がなくても、チャネル形成領域とゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、式(7)で表現される。

【0394】

【数8】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (7)$$

【0395】

なお、 D はゲート方向の電界、 B 、 l は定数である。 B および l は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $l = 10 \text{ nm}$ (界面散乱が及ぶ深さ) である。 D が増加する (すなわち、ゲート電圧が高くなる) と式(7)の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0396】

内部に欠陥が無い理想的な酸化物半導体をチャネル形成領域に用いたトランジスタにおける電界移動度 μ_2 の計算結果を図21に示す。なお、計算結果は、シノプシス社製の *Sentaurus Device* というソフトを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、 3.1 eV 、 4.6 eV 、 15 、 30 nm としている。これらの値は、スペッタリング法により形成された薄膜を測定して得られたものである。さらに、ゲート電極、ソース電極、ドレイン電極の仕事関数をそれぞれ、 5.5 eV 、 4.6 eV 、 4.6 eV としている。また、ゲート絶縁膜の厚さは 30 nm 、比誘電率は 4.1 とした。チャネル長およびチャネル幅はともに $10 \mu\text{m}$ 、ドレイン電圧 V_d は 0.1 V である。

【0397】

図21で示されるように、ゲート電圧が 1 V 強での電界効果移動度は、 $100 \text{ cm}^2 / \text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、電界効果移動度が低下する。

なお、界面散乱を低減するためには、酸化物半導体層の表面を原子レベルで平坦にすること (Atomic Layer Flatness) が望ましい。

【0398】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の電気特性を計算した結果を図22乃至図24に示す。なお、該計算に用いたトランジスタの断面構造を図25に示す。図25に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域 $1030a$ および半導体領域 $1030c$ を有する。半導体領域 $1030a$ および半導体領域 $1030c$ の抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0399】

図25(A)に示すトランジスタは、下地絶縁物 1010 と、下地絶縁物 1010 に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物 1020 の上に形成される。トランジスタは半導体領域 $1030a$ 、半導体領域 $1030c$ と、それらに挟まれ、チャネル形成領域となる真性の半導体領域 $1030b$ と、ゲート 1050 を有する。ゲート 1050 の幅を 33 nm とする。

【0400】

10

20

30

40

50

ゲート 1050 と半導体領域 1030b の間には、ゲート絶縁物 1040 を有し、また、ゲート 1050 の両側面には側壁絶縁物 1060a および側壁絶縁物 1060b、ゲート 1050 の上部には、ゲート 1050 と他の配線との短絡を防止するための絶縁物 1070 を有する。側壁絶縁物の幅は 5 nm とする。また、半導体領域 1030a および半導体領域 1030c に接して、ソース 1080a およびドレイン 1080b を有する。なお、このトランジスタにおけるチャネル幅を 40 nm とする。

【0401】

図 25 (B) に示すトランジスタは、下地絶縁物 1010 と、酸化アルミニウムよりなる埋め込み絶縁物 1020 の上に形成され、半導体領域 1030a、半導体領域 1030c と、それらに挟まれた真性の半導体領域 1030b と、幅 33 nm のゲート 1050 とゲート絶縁物 1040 と側壁絶縁物 1060a および側壁絶縁物 1060b と絶縁物 1070 とソース 1080a およびドレイン 1080b を有する点で図 25 (A) に示すトランジスタと同じである。

【0402】

図 25 (A) に示すトランジスタと図 25 (B) に示すトランジスタの相違点は、側壁絶縁物 1060a および側壁絶縁物 1060b の下の半導体領域の導電型である。図 25 (A) に示すトランジスタでは、側壁絶縁物 1060a および側壁絶縁物 1060b の下の半導体領域は n^+ の導電型を呈する半導体領域 1030a および半導体領域 1030c であるが、図 25 (B) に示すトランジスタでは、真性の半導体領域 1030b である。すなわち、図 25 (B) に示す半導体層において、半導体領域 1030a (半導体領域 1030c) とゲート 1050 が $Lo ff$ だけ重ならない領域ができている。この領域をオフセット領域といい、その幅 $Lo ff$ をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物 1060a (側壁絶縁物 1060b) の幅と同じである。

【0403】

その他の計算に使用するパラメータは上述の通りである。計算には上記と同様のシノプシス社製のソフトを使用した。図 22 は、図 25 (A) に示される構造のトランジスタのドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g (ゲートとソースの電位差) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 (ドレインとソースの電位差) を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。

【0404】

図 22 (A) はゲート絶縁物の厚さを 15 nm としたものであり、図 22 (B) は 10 nm としたものであり、図 22 (C) は 5 nm としたものである。ゲート絶縁物が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、ドレイン電流はメモリ素子等で必要とされる 10 μA を超えることが示された。

【0405】

図 23 は、図 25 (B) に示される構造のトランジスタで、オフセット長 $Lo ff$ を 5 nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。図 23 (A) はゲート絶縁物の厚さを 15 nm としたものであり、図 23 (B) は 10 nm としたものであり、図 23 (C) は 5 nm としたものである。

【0406】

また、図 24 は、図 25 (B) に示される構造のトランジスタで、オフセット長 $Lo ff$ を 15 nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。図 24 (A) はゲート絶縁物の厚さを 15 nm としたものであり、図 24 (B) は 10 nm としたものであり、図 24 (C) は 5 nm としたものである。

10

20

30

40

50

【0407】

いずれもゲート絶縁物が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0408】

なお、移動度 μ のピークは、図22では $80 \text{ cm}^2 / \text{Vs}$ 程度であるが、図23では $60 \text{ cm}^2 / \text{Vs}$ 程度、図24では $40 \text{ cm}^2 / \text{Vs}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧 1 V 前後で、ドレイン電流はメモリ素子等で必要とされる $10 \mu\text{A}$ を超えることが示された。

10

【0409】

ここで、CAC-OS膜の形成方法について説明する。

【0410】

まず、酸化物半導体膜をスパッタリング法、分子線エピタキシー法、原子層堆積法またはパルスレーザー蒸着法によって形成する。なお、半導体基板700を高温に保持しつつ酸化物半導体膜の形成を行うことで、非晶質部分よりも結晶部分の占める割合を大きくすることができる。このとき、半導体基板700の温度は、例えば、150以上700以下、好ましくは150以上450以下、より好ましくは200以上350以下とする。

【0411】

ここで、形成された酸化物半導体膜に対して加熱処理を行ってもよい。この加熱処理によって、非晶質部よりも結晶部の占める割合を大きくすることができる。この加熱処理において、pチャネル型トランジスタ又はnチャネル型トランジスタが設けられた半導体基板700に加える温度は、例えば、200以上半導体基板700の歪み点未満とすればよく、好ましくは250以上450以下とすればよい。この加熱処理の時間は3分以上とすればよく、24時間以下とすることが好ましい。この加熱処理の時間を長くすると非晶質部よりも結晶部の占める割合を大きくすることができるが、生産性の低下を招くことになるからである。なお、この加熱処理は、酸化性雰囲気または不活性雰囲気で行えばよいが、これらに限定されるものではない。また、この加熱処理は減圧下で行われてもよい。

20

【0412】

酸化性雰囲気は、酸化性ガスを含む雰囲気である。酸化性ガスとしては、例えば、酸素、オゾンまたは亜酸化窒素などを例示することができる。酸化性雰囲気からは、酸化物半導体膜に含まれないことが好ましい成分（例えば、水および水素）が極力除去されていることが好ましい。例えば、酸素、オゾン、亜酸化窒素の純度を、8N（99.99999%）以上、好ましくは9N（99.999999%）以上とすればよい。

30

【0413】

なお、酸化性雰囲気には、希ガスなどの不活性ガスが含まれていてもよい。ただし、酸化性雰囲気には、10ppm以上の酸化性ガスが含まれているものとする。

【0414】

40

なお、不活性雰囲気には、不活性ガス（窒素ガスまたは希ガスなど）が含まれ、酸化性ガスなどの反応性ガスが10ppm未満で含まれているものとする。

【0415】

なお、すべての加熱処理は、RTA（Rapid Thermal Anneal）装置を用いて行えばよい。RTA装置を用いることで、短時間であれば、高い温度で熱処理を行うこともできる。そのため、非晶質部分よりも結晶部分の占める割合の大きい酸化物半導体膜を形成することができ、生産性の低下を抑制することができる。

【0416】

ただし、すべての加熱処理に用いられる装置はRTA装置に限定されず、例えば、抵抗発熱体などからの熱伝導または熱輻射によって、被処理物を加熱する機構が備えられた装

50

置を用いればよい。すべての加熱処理に用いられる加熱処理装置として、例えば、電気炉や、G R T A (Gas Rapid Thermal Anneal) 装置、L R T A (Lamp Rapid Thermal Anneal) 装置などのR T A (Rapid Thermal Anneal) 装置などを挙げることができる。なお、L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプまたは高圧水銀ランプなどのランプから発せられる光(電磁波)の輻射により、被処理物を加熱する装置である。また、G R T A 装置は、高温のガスを熱媒体として用いて被処理物を加熱する装置である。ここで、高温のガスは、被処理物の加熱温度よりも高いことが好ましい。

【0417】

10

なお、窒素の濃度が 1×10^{17} atoms/cm³以上 5×10^{19} atoms/cm³以下であるIn-Ga-Zn系金属酸化物を用いると、c軸配向した六方晶の結晶構造を含む金属酸化物膜が形成され、一または複数のGaおよびZnを有する層が、二層のIn-Oの結晶面(インジウムと酸素を含む結晶面)の間に配される。

【0418】

以上説明したようにC A A C - O S 膜を形成することができる。

【0419】

C A A C - O S 膜は、非晶質構造の酸化物半導体膜と比較して、金属と酸素の結合の秩序性が高い。すなわち、酸化物半導体膜が非晶質構造の場合には、隣接する金属によって金属原子に配位している酸素原子の配位数が異なるが、C A A C - O S 膜では金属原子に配位している酸素原子の数はほぼ一定となる。そのため、微視的なレベルにおいても酸素欠損がほぼ見られず、水素原子(水素イオンを含む)やアルカリ金属原子などによる電荷の移動や電気伝導性の不安定さを抑制することができる。

20

【0420】

従って、C A A C - O S 膜を用いたチャネル形成領域によってトランジスタを作製すると、トランジスタへの光照射またはバイアス-熱ストレス(B T)の付加を行った後に生じる、トランジスタのしきい値電圧の変化を抑制することができ、安定した電気的特性を有するトランジスタを作製することができる。

【0421】

次に、酸化物半導体膜上にエッチングマスクを形成してエッチングを行うことにより、酸化物半導体層711を形成する(図17(A)参照)。

30

【0422】

そして、酸化物半導体層711に接して離間して設けられたソース電極712aおよびドレイン電極712bを形成する(図17(B)参照)。

【0423】

ソース電極712aおよびドレイン電極712bは、例えば、スパッタリング法を用いて導電膜(例えば金属膜、または一導電型の不純物元素が添加されたシリコン膜など)を形成し、該導電膜上にエッチングマスクを形成してエッチングを行うことで選択的に形成すればよい。または、インクジェット法などを用いてよい。なお、ソース電極712aおよびドレイン電極712bとなる導電膜は、単層で形成してもよいし、複数の層を積層して形成してもよい。例えば、T₁層によりA₁層を挟持した3層の積層構造とすればよい。なお、ソース電極712aおよびドレイン電極712bは、信号線も構成する。

40

【0424】

次に、少なくとも酸化物半導体層711のチャネル形成領域上にゲート絶縁膜713を形成する(図17(C)参照)。

【0425】

ゲート絶縁膜713は、例えば、スパッタリング法を用いて絶縁性材料(例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンまたは酸化シリコンなど)膜を形成すればよい。なお、ゲート絶縁膜713は、単層で形成してもよいし、複数の層を積層して形成してもよい。ここでは、例えば、窒化シリコン層上に酸化窒化シリコン層が積層された

50

2層の積層構造とする。なお、ゲート絶縁膜713をスパッタリング法により形成すると、酸化物半導体層711に水素および水が混入することを防ぐことができる。また、ゲート絶縁膜713を絶縁性酸化物膜とすると、酸素を供給して酸素欠損を埋めることができるとため好ましい。

【0426】

なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものをいう。なお、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものをいう。

【0427】

ここで、酸化物半導体膜の加工は、ドライエッチングにより行えばよい。ドライエッチングに用いるエッチングガスとしては、例えば塩素ガス、または三塩化ホウ素ガスと塩素ガスの混合ガスを用いればよい。ただし、これに限定されず、ウエットエッチングを用いてもよいし、酸化物半導体膜を加工することができる他の手段を用いてもよい。

10

【0428】

ゲート絶縁膜713は、少なくとも酸化物半導体層711に接する部分に酸素を含み、酸素の一部が加熱により脱離する絶縁性酸化物により形成することが好ましい。すなわち、層間絶縁膜705の材料として例示例挙したものを用いることが好ましい。ゲート絶縁膜713の酸化物半導体層711と接する部分を酸化シリコンにより形成すると、酸化物半導体層711に酸素を供給することができ、トランジスタの低抵抗化を防止することができる。

20

【0429】

なお、ゲート絶縁膜713として、ハフニウムシリケート($HfSiO_x (x > 0)$)、窒素が添加されたハフニウムシリケート($HfSi_xO_yN_z (x > 0, y > 0, z > 0)$)、窒素が添加されたハフニウムアルミネート($HfAl_xO_yN_z (x > 0, y > 0, z > 0)$)、酸化ハフニウム、酸化イットリウムまたは酸化ランタンなどの h_ig_h-k 材料を用いると、ゲートリーク電流を低減することができる。ここで、ゲートリーク電流とは、ゲート電極とソース電極またはドレイン電極の間に流れるリーク電流をいう。さらには、前記 h_ig_h-k 材料により形成される層と、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウムおよび酸化ガリウムにより形成される層が積層されていてもよい。ただし、ゲート絶縁膜713を積層構造とする場合であっても、酸化物半導体層711に接する部分は、上記絶縁性酸化物であることが好ましい。さらに、酸化物半導体層711中の酸素を放出されないように該絶縁性酸化物上には、酸素を透過させにくい酸化アルミニウムなどを形成することが好ましい。例えば、ゲート絶縁膜713として、スパッタリング法で形成される酸化シリコンと、スパッタリング法で形成される酸化アルミニウムと、酸化窒化シリコンとをこの順に積層させればよい。

30

【0430】

また、ゲート絶縁膜713の厚さは、1nm以上300nm以下、好ましくは5nm以上50nm以下とすればよい。ゲート絶縁膜713の厚さを5nm以上とすると、ゲートリーク電流を特に小さくすることができる。

40

【0431】

ここで、更に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第3の加熱処理を行つてもよい。なお、第3の加熱処理は、第2の加熱処理と同じ条件で行うことができ、例えば、200以上半導体基板700の歪み点未満、好ましくは200以上400以下、さらに好ましくは250以上350以下として行えばよい。第3の加熱処理により、酸化物半導体層711中に残留する水素および水をゲート絶縁膜に拡散させることができる。さらには、第3の加熱処理を行うことで、ゲート絶縁膜713を供給源として酸化物半導体層711に酸素を供給することができる。

【0432】

また、第3の加熱処理は、酸化物半導体層711上にゲート絶縁膜713を形成した後

50

、および、ゲート電極 714 となる導電膜を形成した後の方または双方で行うことができる。

【0433】

なお、加熱処理などによって、酸化物半導体層 711 の水素濃度は 5.0×10^{-19} atoms/cm³ 以下、好ましくは 5.0×10^{-18} atoms/cm³ 以下とすることが好ましい。

【0434】

次に、ゲート絶縁膜 713 上に導電膜を形成し、該導電膜上にエッティングマスクを形成してエッティングを行うことにより、ゲート電極 714 を形成する。（図 17 (D) 参照）。なお、ゲート電極は少なくとも走査線を構成する。

10

【0435】

ゲート電極 714 は、ソース電極 712a およびドレイン電極 712b と同様の材料および同様の方法により形成すればよい。

【0436】

なお、図示していないが、ゲート電極 714 をマスクとして、酸化物半導体層 711 にドーパントを添加して、酸化物半導体層 711 にソース領域およびドレイン領域を形成することが好ましい。ドーパントの添加は、イオンインプランテーション法またはイオンドーピング法により行えばよい。または、ドーパントを含むガス雰囲気中でプラズマ処理を行うことでドーパントの添加を行ってもよい。また、添加するドーパントとしては、窒素、リンまたはボロンなどを用いればよい。

20

【0437】

なお、図 17 (D) に示したトランジスタ 710 を形成するにあたり、エッティングマスクがレジスト材料により形成されている場合には、当該エッティングマスクをアッシングで除去してもよい。

【0438】

また、図示していないが、トランジスタ 710 を覆う保護絶縁膜を設けてもよい。該保護絶縁膜を単層とする場合は、酸素および水素ならびに水の透過性が低い絶縁膜によって形成することが好ましく、例えば、酸化アルミニウム膜で形成すればよい。該保護絶縁膜を積層とする場合は、化学量論的組成比よりも多くの酸素を含み、加熱により該酸素の一部を放出する絶縁性酸化物膜と、酸素および水素ならびに水の透過性が低い絶縁膜によって形成することが好ましく、例えば、層間絶縁膜 705 で例示列挙した絶縁性酸化物膜および酸化アルミニウム膜で形成すればよい。なお、該保護絶縁膜として酸化アルミニウム膜を用いることで、酸化物半導体層 711 の酸素が外部に放出されることを抑制し、外部から酸化物半導体層 711 に水素および水が入るのを抑制できるため、トランジスタ 710 の電気特性を良好にすることができる。

30

【0439】

なお、保護絶縁膜を形成した後に、第 2 の加熱処理又は第 3 の加熱処理と同様の加熱処理を行ってもよい。

【0440】

以上説明したように、図 16 に示す、半導体基板に設けられたトランジスタ上に酸化物半導体層にチャネル形成領域を有するトランジスタを作製することができる。

40

【0441】

なお、上記のように作製したトランジスタは、チャネル幅 1 μmあたりのオフ電流値を室温下において $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには、 $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、さらには $1 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下、さらには $1 \text{ yA} / \mu\text{m}$ ($1 \times 10^{-24} \text{ A} / \mu\text{m}$) 以下にすることが可能である。

【0442】

なお、走査線および信号線を構成する導電層の少なくとも一方を銅により形成すると、配線を低抵抗にすることができるため、好ましい。

50

【 0 4 4 3 】

また、ここで、酸化物半導体層にチャネル形成領域を有するトランジスタとして説明したトランジスタは一例であり、酸化物半導体層にチャネル形成領域を有するトランジスタはこれに限定されず、様々な形態とすることができる。

【 0 4 4 4 】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【 0 4 4 5 】**(実施の形態 10)**

本実施の形態では、本発明の一態様である論理回路において、極めてオフ電流の低いトランジスタを用いる利点について説明する。 10

【 0 4 4 6 】

本発明の一態様である論理回路は、極めてオフ電流の低いトランジスタが設けられているため、論理回路の電源をオフにした後も当該論理回路に入力された電位、または演算処理後の電位を保持することができる。これは、本発明の一態様である半導体装置は、酸化物半導体を用いたトランジスタによって、不揮発性を有するからである。

【 0 4 4 7 】

本発明の一態様のように、極めてオフ電流の低いトランジスタの代わりに、論理回路の電源をオフにした後も当該論理回路に入力された電位、または演算処理後の電位が低下させない素子を設ければ不揮発性を実現できる。例えば、当該電位を低下させない素子として、スピントロニクスを利用した磁気トンネル接合素子（MTJ素子）が知られている。MTJ素子は、絶縁膜を介して上下に配置している膜中のスピンの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。したがって、本実施の形態で示す酸化物半導体を用いたメモリとは原理が全く異なっている。 20

【 0 4 4 8 】

ここで、不揮発性の各種論理回路を実施するにあたり、MTJ素子を用いて実施する場合と、極めてオフ電流の低いトランジスタである酸化物半導体を用いたトランジスタを用いて実施する場合について、表1に対比を示す。

【 0 4 4 9 】

【表1】

| | スピントロニクス(MTJ 素子) | OS/Si | |
|------------------|---|--|----|
| 1) 耐熱性 | キュリー温度 | プロセス温度500°C (信頼性150°C) | |
| 2) 駆動方式 | 電流駆動 | 電圧駆動 | |
| 3) 書き込み原理 | 磁性体の спинの向きを変える | FET のオン／オフ | |
| 4) Si LSI | バイポーラ LSI 向き (バイポーラは高集積化には向きないため、高集積化回路では MOS の方が好ましい。ただし、W が大きくなる。) | MOSLSI 向き | 10 |
| 5) オーバーヘッド | 大きい (ジュール熱が大きいため) | 2~3 枠以上小さい (寄生容量の充放電) | |
| 6) 不揮発性 | スピニを利用 | オフ電流が小さいことを利用 | |
| 7) 電荷保持可能回数 | 無制限 | 無制限 | |
| 8) 3D 化 | 難(できても二層まで) | 容易(何層でも可) | |
| 9) 集積化度(F^2) | $4F^2 \sim 15F^2$ | 3D 化の積層数で決まる (上層 OSFET 工程のプロセス耐熱性の確保が必要) | 20 |
| 10) 材料 | 磁性を有する希土類 | OS 材料 | |
| 11) ピットコスト | 高い | 低い (OS を構成する材料によっては (In など)、多少コスト高の可能性有り) | |
| 12) 磁界耐性 | 弱い | 強い | |

【0450】

表1からわかるように、MTJ 素子は電流駆動であり、磁性のスピニの向きを変化させることで電位の入力または保持を行う。一方、酸化物半導体を用いたトランジスタは電圧駆動であり、当該トランジスタのオン状態とオフ状態の切り替えによって電位の入力または保持を行う。

【0451】

なお、理論的には、MTJ 素子を用いて実施する場合も、酸化物半導体を用いたトランジスタを用いて実施する場合も、無制限(回数的に)に不揮発性を発揮することができる。

【0452】

MTJ 素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ 素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に向きない。そして、MTJ 素子は書き込み電流が微少とはいえ、集積化することによって消費電力が増大してしまうといった問題がある。

【0453】

半導体装置の高集積化を実現するには、様々な素子を積層して立体的に集積化する方法が用いられる。MTJ 素子を用いる半導体装置は立体的に集積化することが難しい。一方、酸化物半導体を用いたトランジスタを有する半導体装置は、積層して立体的に集積化するに好適である。

【0454】

原理的にMTJ 素子は磁界耐性に弱く強磁界にさらされるとスピニの向きが狂いやすい。また、MTJ 素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

10

20

30

40

50

【0455】

さらに、M T J 素子は希土類元素を使用するため、金属汚染を嫌うシリコン半導体のプロセスに組み入れるには相当の注意を要する。M T J 素子は1素子当たりの材料コストから見ても高価であると考えられる。

【0456】

一方、酸化物半導体を用いたトランジスタは、チャネルを形成する半導体材料が金属酸化物であること以外は、素子構造や動作原理がシリコンM O S F E Tと同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、磁界による誤動作も生じ得ないといった特質を有する。このことから、本発明の一態様である半導体装置は、M T J 素子を用いて不揮発性を実現する半導体装置より磁界耐性に優れている。また、本発明の一態様である半導体装置はシリコン集積回路と非常に整合性が良いといえる。 10

【0457】

以上より、不揮発性の半導体装置を実施するためには、極めてオフ電流の低いトランジスタ、特に酸化物半導体を用いたトランジスタで実施することが好ましい。

【0458】

なお、本実施の形態の内容または該内容の一部は、他の実施の形態の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【符号の説明】

【0459】

| | | |
|-------|--------------|----|
| 1 0 | 論理回路 | 20 |
| 1 1 | 入力端子 | |
| 1 2 | 入力端子 | |
| 1 3 | 出力端子 | |
| 1 4 | 主要論理回路部 | |
| 1 5 | トランジスタ | |
| 1 6 | トランジスタ | |
| 1 7 | トランジスタ | |
| 1 8 | トランジスタ | |
| 1 9 | トランジスタ | |
| 2 0 | 論理回路 | 30 |
| 3 0 | 論理回路 | |
| 4 0 | 論理回路 | |
| 5 0 | 論理回路 | |
| 5 1 | nチャネル型トランジスタ | |
| 5 4 | nチャネル型トランジスタ | |
| 5 5 | 論理回路 | |
| 5 8 | pチャネル型トランジスタ | |
| 5 9 | nチャネル型トランジスタ | |
| 1 0 0 | 論理回路 | 40 |
| 1 1 0 | 論理回路 | |
| 1 2 0 | 論理回路 | |
| 1 3 0 | 論理回路 | |
| 1 0 1 | nチャネル型トランジスタ | |
| 1 0 2 | nチャネル型トランジスタ | |
| 1 0 3 | nチャネル型トランジスタ | |
| 1 0 4 | nチャネル型トランジスタ | |
| 1 0 5 | pチャネル型トランジスタ | |
| 1 0 6 | pチャネル型トランジスタ | |
| 1 0 7 | nチャネル型トランジスタ | |
| 2 0 0 | 論理回路 | 50 |

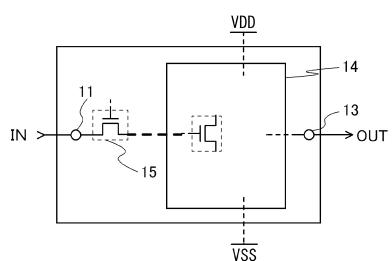
| | | |
|-------|---------------|----|
| 2 1 0 | 論理回路 | |
| 2 2 0 | 論理回路 | |
| 2 3 0 | 論理回路 | |
| 2 0 1 | n チャネル型トランジスタ | |
| 2 0 2 | n チャネル型トランジスタ | |
| 2 0 3 | n チャネル型トランジスタ | |
| 2 0 4 | n チャネル型トランジスタ | |
| 2 0 5 | p チャネル型トランジスタ | |
| 2 0 6 | p チャネル型トランジスタ | |
| 2 0 7 | n チャネル型トランジスタ | 10 |
| 3 0 0 | 論理回路 | |
| 3 1 0 | 論理回路 | |
| 3 0 1 | n チャネル型トランジスタ | |
| 3 0 2 | n チャネル型トランジスタ | |
| 3 0 3 | n チャネル型トランジスタ | |
| 3 0 4 | n チャネル型トランジスタ | |
| 3 0 5 | p チャネル型トランジスタ | |
| 3 0 6 | p チャネル型トランジスタ | |
| 3 0 8 | n チャネル型トランジスタ | |
| 3 0 9 | p チャネル型トランジスタ | 20 |
| 4 0 0 | 論理回路 | |
| 4 1 0 | 論理回路 | |
| 4 0 1 | n チャネル型トランジスタ | |
| 4 0 2 | n チャネル型トランジスタ | |
| 4 0 3 | n チャネル型トランジスタ | |
| 4 0 4 | n チャネル型トランジスタ | |
| 4 0 5 | p チャネル型トランジスタ | |
| 4 0 6 | p チャネル型トランジスタ | |
| 4 0 8 | n チャネル型トランジスタ | |
| 4 0 9 | p チャネル型トランジスタ | 30 |
| 5 0 0 | 論理回路 | |
| 5 0 1 | n チャネル型トランジスタ | |
| 5 0 2 | n チャネル型トランジスタ | |
| 5 0 3 | n チャネル型トランジスタ | |
| 5 0 4 | n チャネル型トランジスタ | |
| 5 0 5 | p チャネル型トランジスタ | |
| 5 0 6 | p チャネル型トランジスタ | |
| 5 0 7 | p チャネル型トランジスタ | |
| 5 0 8 | p チャネル型トランジスタ | |
| 5 0 9 | n チャネル型トランジスタ | 40 |
| 5 1 0 | n チャネル型トランジスタ | |
| 5 1 1 | n チャネル型トランジスタ | |
| 5 1 2 | n チャネル型トランジスタ | |
| 5 1 3 | n チャネル型トランジスタ | |
| 5 1 4 | n チャネル型トランジスタ | |
| 5 2 0 | 論理回路 | |
| 6 0 0 | 論理回路 | |
| 6 0 1 | n チャネル型トランジスタ | |
| 6 0 2 | n チャネル型トランジスタ | |
| 6 0 3 | n チャネル型トランジスタ | 50 |

| | | |
|-----------|---------------|----|
| 6 0 4 | n チャネル型トランジスタ | |
| 6 0 5 | p チャネル型トランジスタ | |
| 6 0 6 | p チャネル型トランジスタ | |
| 6 0 7 | n チャネル型トランジスタ | |
| 6 0 8 | n チャネル型トランジスタ | |
| 6 0 9 | p チャネル型トランジスタ | |
| 6 1 0 | p チャネル型トランジスタ | |
| 6 1 1 | p チャネル型トランジスタ | |
| 6 1 2 | p チャネル型トランジスタ | |
| 6 1 3 | n チャネル型トランジスタ | 10 |
| 6 1 4 | n チャネル型トランジスタ | |
| 6 2 0 | 論理回路 | |
| 7 0 0 | 半導体基板 | |
| 7 0 1 | 高濃度不純物領域 | |
| 7 0 2 | 低濃度不純物領域 | |
| 7 0 3 | ゲート絶縁膜 | |
| 7 0 4 | ゲート電極 | |
| 7 0 5 | 層間絶縁膜 | |
| 7 1 0 | トランジスタ | |
| 7 1 1 | 酸化物半導体層 | 20 |
| 7 1 2 a | ソース電極 | |
| 7 1 2 b | ドレイン電極 | |
| 7 1 3 | ゲート絶縁膜 | |
| 7 1 4 | ゲート電極 | |
| 1 0 1 0 | 下地絶縁物 | |
| 1 0 2 0 | 埋め込み絶縁物 | |
| 1 0 3 0 a | 半導体領域 | |
| 1 0 3 0 b | 半導体領域 | |
| 1 0 3 0 c | 半導体領域 | |
| 1 0 4 0 | ゲート絶縁物 | 30 |
| 1 0 5 0 | ゲート | |
| 1 0 6 0 a | 側壁絶縁物 | |
| 1 0 6 0 b | 側壁絶縁物 | |
| 1 0 7 0 | 絶縁物 | |
| 1 0 8 0 a | ソース | |
| 1 0 8 0 b | ドレイン | |

【図1】

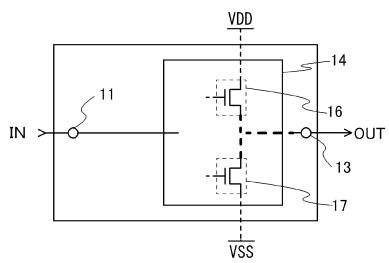
(A)

10



(B)

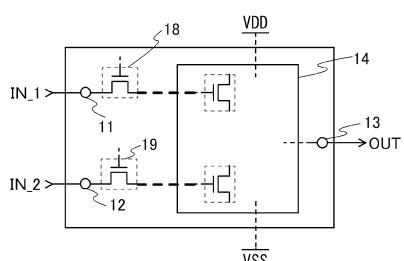
20



【図2】

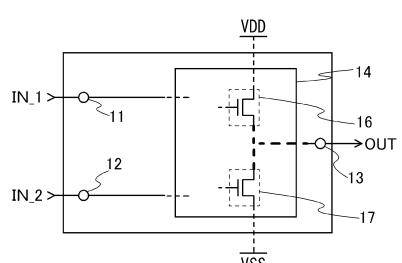
(A)

30



(B)

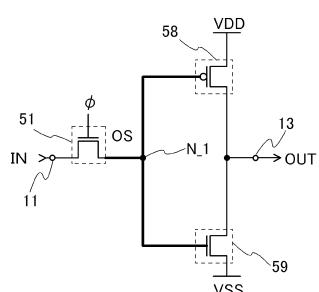
40



【図3】

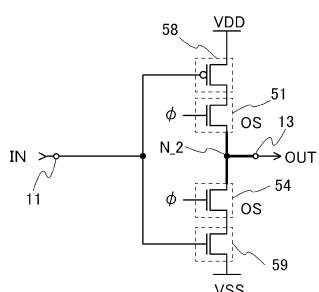
(A)

50



(B)

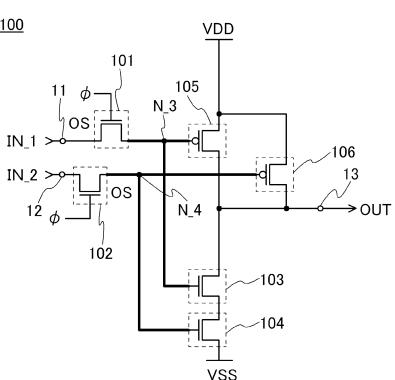
55



【図4】

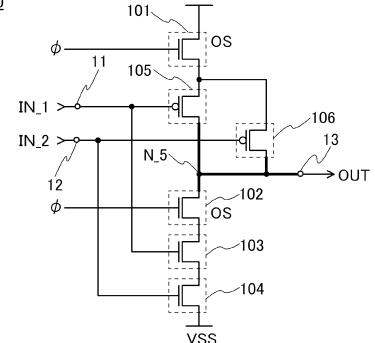
(A)

100



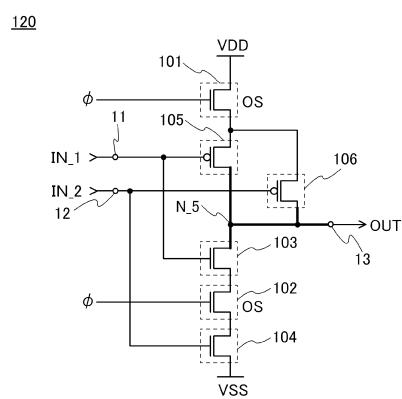
(B)

110

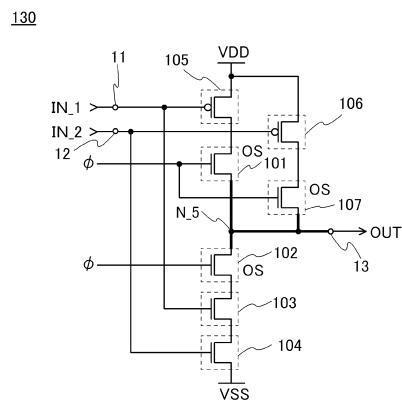


【図5】

(A)

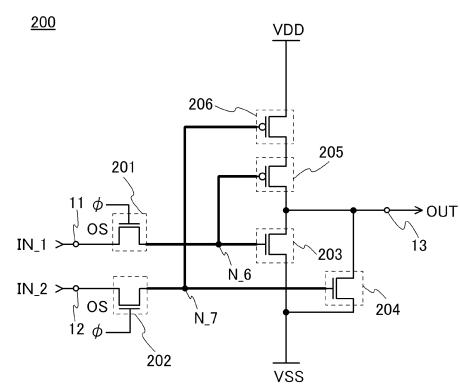


(B)

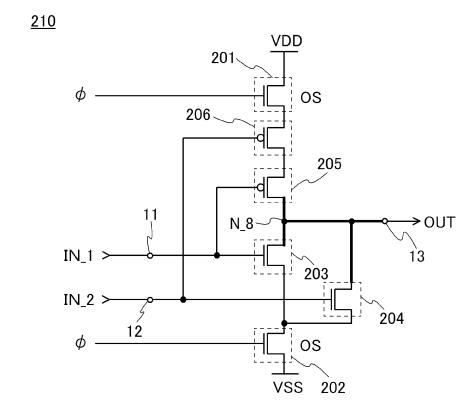


【図6】

(A)

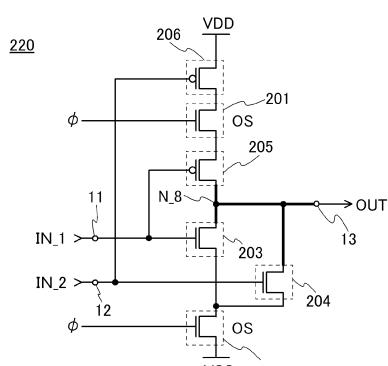


(B)

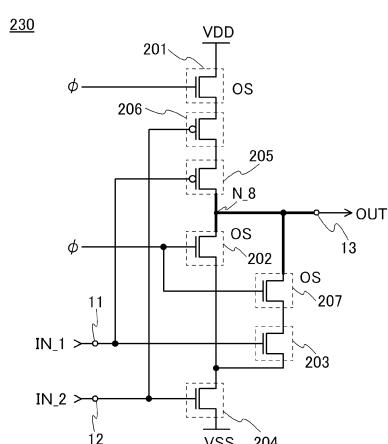


【図7】

(A)

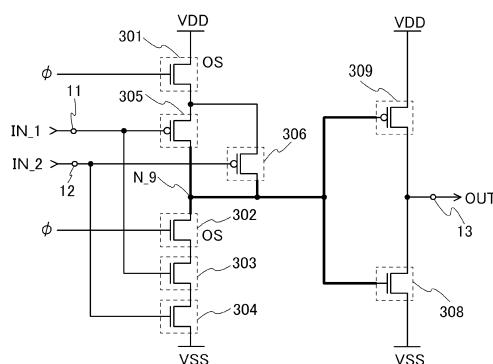


(B)



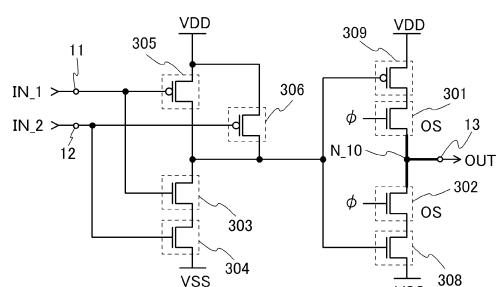
【図8】

300



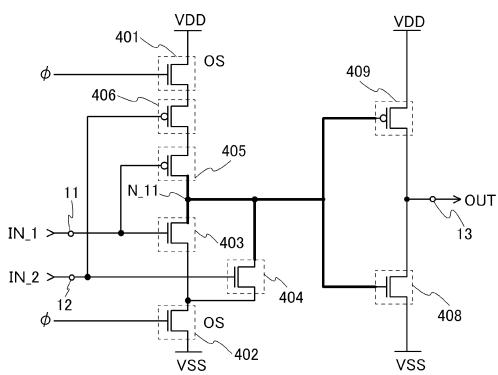
【図9】

310



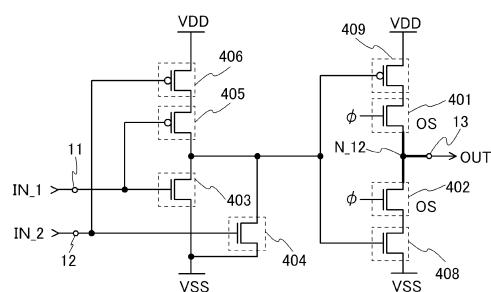
【図10】

400



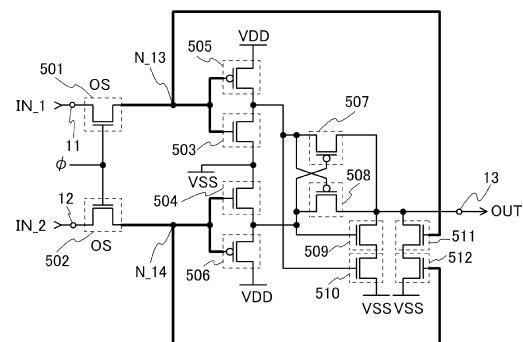
【図11】

410



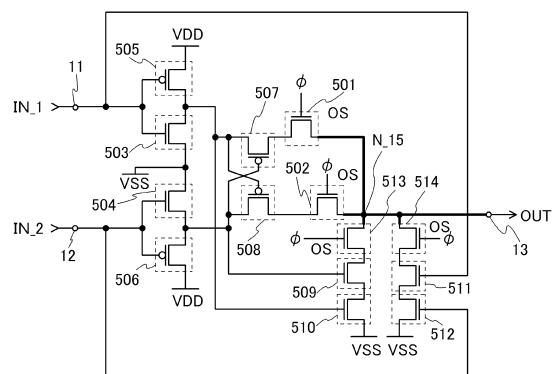
【図12】

500



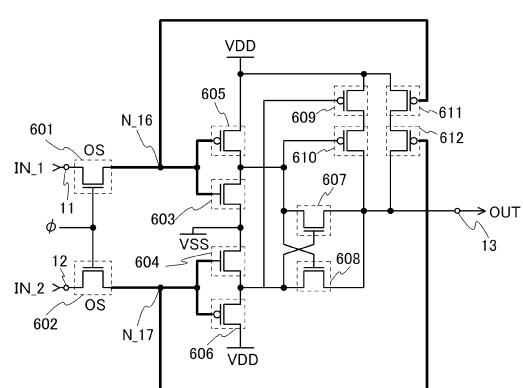
【図13】

520



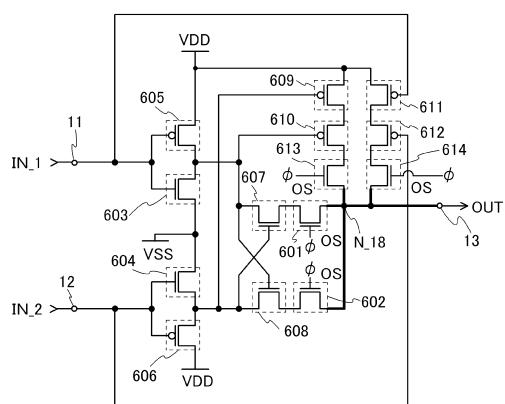
【図14】

600



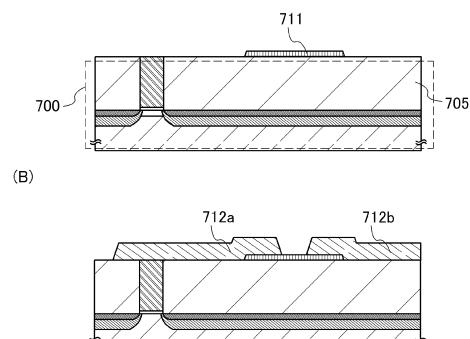
【図15】

620

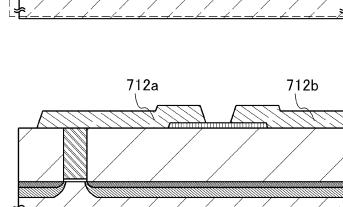


【図17】

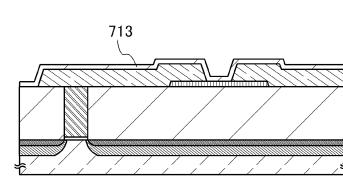
(A)



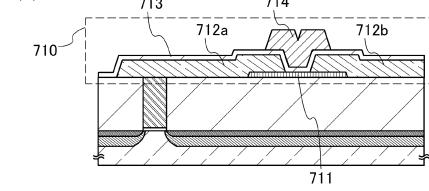
(B)



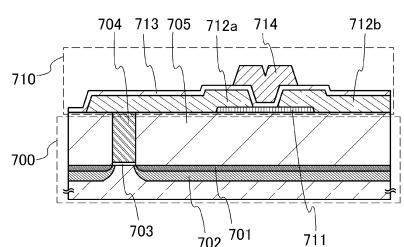
(C)



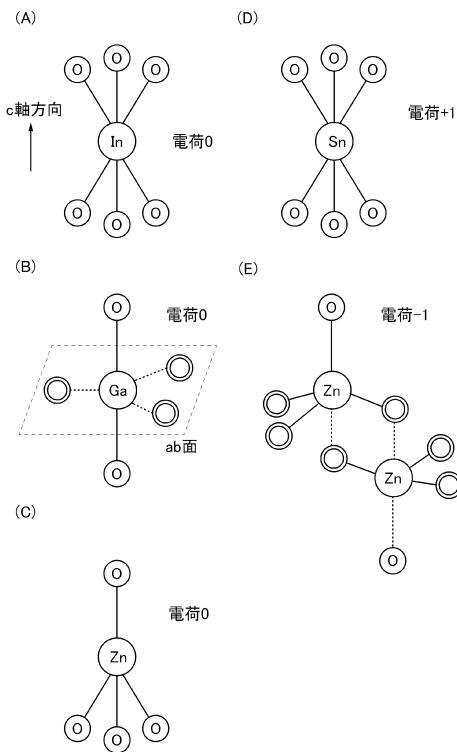
(D)



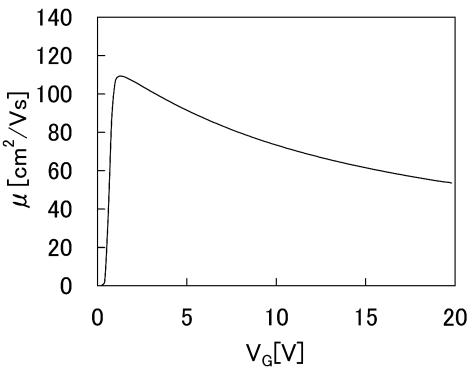
【図16】



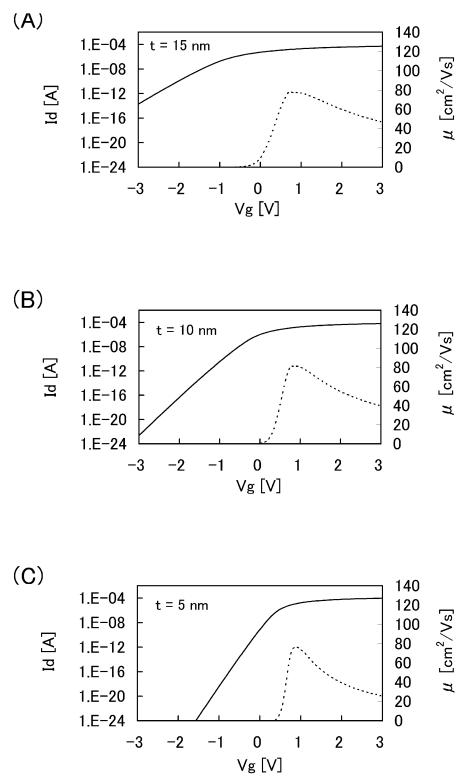
【図18】



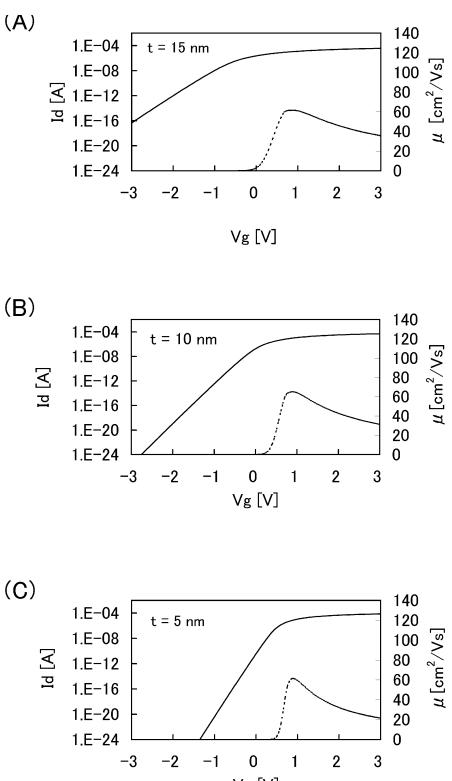
【図21】



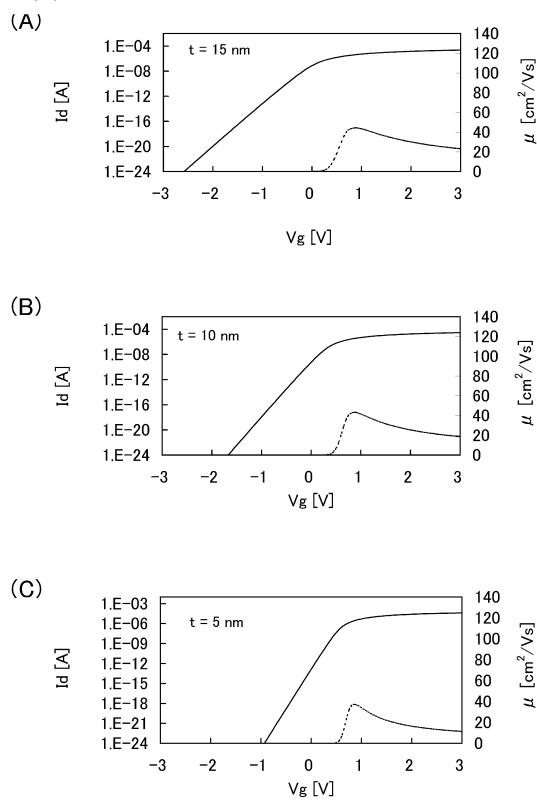
【図22】



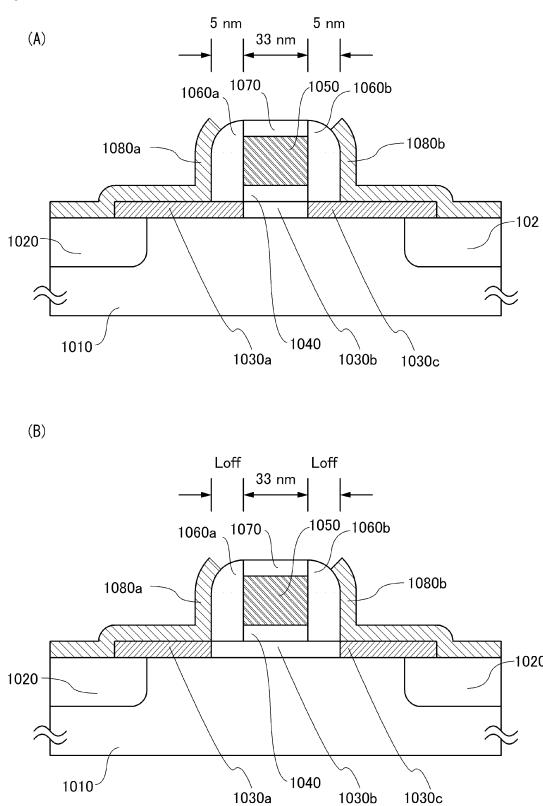
【図23】



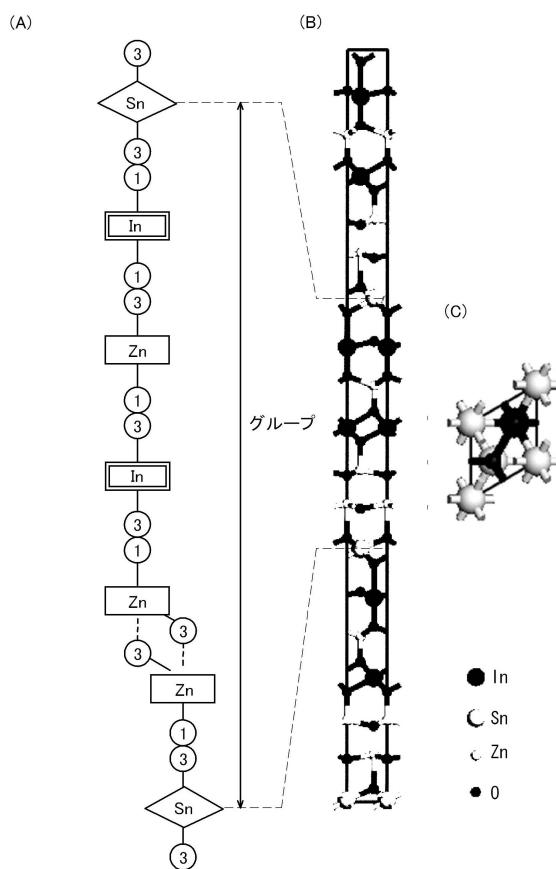
【図24】



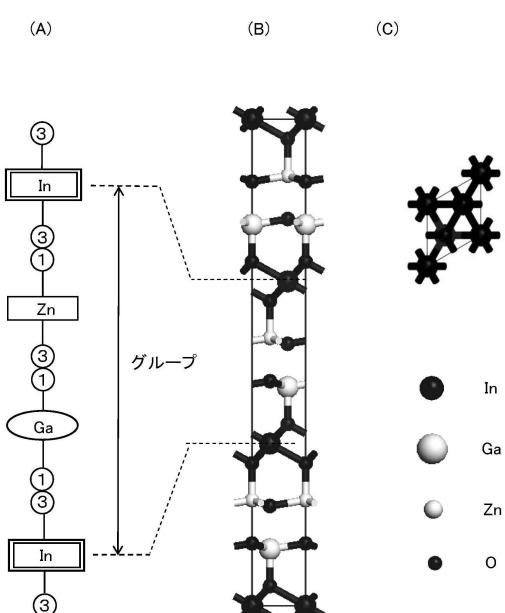
【図25】



【図19】



【図20】



フロントページの続き

(51)Int.Cl. F I
H 03K 19/00 (2006.01) H 03K 17/687 G
H 03K 19/00 A

(56)参考文献 特開2011-086929 (JP, A)
米国特許出願公開第2011/101351 (US, A1)
特開2009-004733 (JP, A)
特開2010-171404 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 03K 19 / 0944
H 01L 21 / 8238
H 01L 27 / 092
H 01L 29 / 786
H 03K 17 / 687
H 03K 19 / 00