

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3998470号
(P3998470)

(45) 発行日 平成19年10月24日(2007.10.24)

(24) 登録日 平成19年8月17日(2007.8.17)

(51) Int. Cl.

F I

GO2F 1/1368 (2006.01)
GO9F 9/30 (2006.01)
GO9F 9/35 (2006.01)
HO1L 21/822 (2006.01)
HO1L 27/04 (2006.01)

GO2F 1/1368
GO9F 9/30 330Z
GO9F 9/30 338
GO9F 9/30 348A
GO9F 9/35

請求項の数 11 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2001-390158 (P2001-390158)
(22) 出願日 平成13年12月21日(2001.12.21)
(65) 公開番号 特開2002-277900 (P2002-277900A)
(43) 公開日 平成14年9月25日(2002.9.25)
審査請求日 平成16年12月21日(2004.12.21)
(31) 優先権主張番号 特願2000-392796 (P2000-392796)
(32) 優先日 平成12年12月25日(2000.12.25)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 501285133
川崎マイクロエレクトロニクス株式会社
千葉県千葉市美浜区中瀬一丁目3番地
(74) 代理人 100080159
弁理士 渡辺 望穂
(74) 代理人 100090217
弁理士 三和 晴子
(72) 発明者 中村 了
千葉県千葉市美浜区中瀬一丁目三番地 川
崎マイクロエレクトロニクス株式会社 幕
張本社内

審査官 福田 知喜

最終頁に続く

(54) 【発明の名称】 液晶表示装置および表示システム

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第1の方向及び該信号線と略直交するゲート電極が延在する第2の方向に2次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第2の方向に順番に隣りあう第1、第2および第3の画像表示素子と、該第1および第2の画像表示素子に対して前記第1の方向に隣りあい、互いに前記第2の方向に隣りあう第4および第5の前記画像表示素子とを含み、

前記第1、第2、第4および第5の画像表示素子の容量拡散層が一体化され、

前記一体化された容量拡散層に所要の電位を供給するためのコンタクトが、前記第1、第2、第4および第5の画像表示素子の容量電極に囲まれた部分に設けられることを特徴とする液晶表示装置。

【請求項2】

前記第1および第2の画像表示素子のそれぞれの容量拡散層が、該第1および第2の画像表示素子間の境界に沿って、該境界の長さの少なくとも実質的に全体にわたって形成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第 1 の方向及び該信号線と略直交するゲート電極が延在する第 2 の方向に 2 次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第 2 の方向に順番に隣りあう第 1、第 2 および第 3 の画像表示素子を含み、

前記第 1 および第 2 の画像表示素子のそれぞれの前記容量拡散層が、該第 1 および第 2 の画像表示素子間の境界に沿って、該境界の長さの少なくとも実質的に全体にわたって形成されると共に、該境界において一体化されることを特徴とする液晶表示装置。

【請求項 4】

半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第 1 の方向及び該信号線と略直交するゲート電極が延在する第 2 の方向に 2 次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第 2 の方向に順番に隣りあう第 1、第 2 および第 3 の画像表示素子を含み、

前記第 1 および第 2 の画像表示素子のそれぞれの容量拡散層が、該第 1 および第 2 の画像表示素子間の境界に沿って形成されると共に、該境界において一体化され、

前記第 2 および第 3 の画像表示素子のトランジスタが、該第 2 および第 3 の画像表示素子間の境界線をまたいで前記第 2 の方向に延びる共有ゲート電極を共有したことを特徴とする液晶表示装置。

【請求項 5】

前記画像表示部が、前記第 1、第 2 および第 3 の画像表示素子を含んで前記第 2 の方向に配置された複数の前記画像表示素子を選択する走査線を有し、該走査線が、前記共有ゲート電極と、該共有ゲート電極に接続され、前記第 1 および第 2 の画像表示素子の容量電極の上方を前記第 2 の方向に延びる配線とからなることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第 1 の方向及び該信号線と略直交するゲート電極が延在する第 2 の方向に 2 次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第 2 の方向に順番に隣りあう第 1、第 2 および第 3 の画像表示素子を含み、

前記第 1 および第 2 の画像表示素子のそれぞれの容量拡散層が、該第 1 および第 2 の画像表示素子間の境界に沿って形成されると共に、該境界において一体化され、

前記画像表示部が、前記第 1、第 2 および第 3 の画像表示素子を含んで前記第 2 の方向に配置された複数の前記画像表示素子を選択する走査線を有し、該走査線が、前記第 1 および第 2 の画像表示素子の容量電極の上方を前記第 2 の方向に延びる配線を含むことを特徴とする液晶表示装置。

10

20

30

40

50

【請求項 7】

前記第 1 および第 2 の画像表示素子のそれぞれの前記容量電極が、前記第 1 および第 2 の画像表示素子間の境界に沿って、該境界の長さの実質的に全体にわたって形成されることを特徴とする請求項 1 乃至 6 のいずれかに記載の液晶表示装置。

【請求項 8】

前記複数の画像表示素子に、前記第 1 の方向に延びる信号線から画素信号が入力されることを特徴とする請求項 1 乃至 7 のいずれかに記載の液晶表示装置。

【請求項 9】

前記第 1 の画像表示素子の容量拡散層が、該第 1 の画像表示素子が形成される範囲全体において同一の導電型を有する前記半導体基板の表面に形成されることを特徴とする請求項 1 乃至 8 のいずれかに記載の液晶表示装置。

10

【請求項 10】

前記第 1 の画像表示素子の容量拡散層が第 1 の導電型を有し、該第 1 の導電型の前記半導体基板の表面に形成されることを特徴とする請求項 1 乃至 9 のいずれかに記載の液晶表示装置。

【請求項 11】

前記請求項 1 乃至 10 のいずれかに記載の液晶表示装置と、該液晶表示装置に光を入射する光源とを有することを特徴とする表示システム。

【発明の詳細な説明】**【0001】**

20

【発明の属する技術分野】

本発明は、液晶表示装置の技術分野に関し、特に、反射型アクティブマトリクス液晶表示装置における素子の微細化に対応するようにトランジスタや負荷容量を配置した液晶表示装置および表示システムに関する。

【0002】**【従来の技術】**

近年、様々な分野で液晶表示装置が用いられるようになってきている。この液晶表示装置の一種として、半導体基板上にマトリクス状に形成されたトランジスタと画素電極とにより構成される液晶駆動部の上に液晶部を一体に形成したものがあある。前記トランジスタに画素信号を入力し、その出力で画素電極を駆動することにより、液晶の配向状態を変化させ、外部から液晶に入射する光の反射状態を、液晶の配向状態に応じて変化させることで、画像を形成するものである。

30

例えば、特許 2 9 9 5 7 2 5 号公報に、画素トランジスタの動作に悪影響を与えることなく、光キャリアによるドレイン電位のシフトを極力抑制するようにした半導体装置を用いた液晶表示装置が開示されている。

【0003】

図 5 に、従来の液晶表示装置の概念的な断面図を示す。図 5 に示すように、液晶表示装置を形成するパネルはシリコン基板 100 上に形成された液晶駆動部 102 と、その上に設けられた液晶部 104 とからなる。

シリコン基板 100 上に設けられた液晶駆動部 102 は、ソース 106a、ドレイン 106b 及びゲート 106c からなるスイッチング用のトランジスタ 106 と、拡散層 108a 及び上部電極 108b とからなる負荷容量 108 と、トランジスタ 106 のドレイン 106b に接続されその上方に設けられた画素電極（反射ミラー電極）110 と、から構成される。

40

【0004】

トランジスタ 106 は、対応する画素電極 110 上の液晶の配向状態を制御するものである。走査線によって選択され、ゲート 106c に電位が印加されたトランジスタ 106 がオンになると、映像信号に応じた画素信号がソース 106a に入力される。この信号がドレイン 106b に伝送され、それにつながる画素電極 110 および負荷容量 108 の上部電極 108b に印加される。負荷容量 108 は、トランジスタ 106 がオフの期間中に画

50

素信号を保持し、画素電極 110 に印加される電位のシフトを抑制し、液晶に画像を安定して表示させるようにするものである。

画素電極 110 は、 $10\mu\text{m} \times 10\mu\text{m} \sim 30\mu\text{m} \times 30\mu\text{m}$ 程度の大きさを有し、その上に配置される液晶の配向を変え画像を表示する画素素子を形成するものである。

【0005】

液晶部 104 は、画素電極 110 と透明電極 114 に挟まれた液晶 116 と、最上層にガラス板 118 を有して構成されている。

液晶部 104 に、ガラス板 118 表面から入射する入射光を画素電極 110 で反射する際に、前述したように画素毎にマトリクス状に形成されたトランジスタ 106 に入力する画素信号を変化させることにより、液晶 116 の配向状態を変えることで、画像が形成される。

10

【0006】

図 6 に、本願発明の完成以前に本発明者自身によって設計された従来の液晶表示装置の液晶駆動部の平面図を示す。図 6 において、トランジスタ 120 と、拡散層 122a 及び上部電極 122b から構成される負荷容量 122 とは交互に並んで配置されている。

液晶の駆動用に、 $10\text{V} \sim 20\text{V}$ 程度の高電圧が画素電極に印加されるため、スイッチトランジスタと負荷容量との間の耐圧は、それに耐え得るような仕様が要求される。

【0007】

【発明が解決しようとする課題】

上述したように、従来、トランジスタと、負荷容量は隣り合って配置されているため、トランジスタのソース、ドレインを構成する拡散層と、負荷容量の下部電極となる拡散層との間には $10\text{V} \sim 20\text{V}$ 程度の高い電位差が生じる。このため、このような拡散層間の素子分離には、 $1.5\mu\text{m} \sim 3\mu\text{m}$ 程度の分離幅が必要になる。

20

このような広い分離幅が必要であるため、画素サイズが小さくなるに従い、負荷容量の面積確保が難しくなる。このため、高精細化の妨げや、光リーク耐性が低下する等の弊害が発生するという問題がある。

【0008】

本発明は、前記従来の問題に鑑みてなされたものであり、画素サイズが小さくなくても、新たにプロセスを追加する事なく、負荷容量の面積を簡易に増やすことのできる液晶表示装置および表示システムを提供することを課題とする。

30

【0009】

【課題を解決するための手段】

前記課題を解決するために、本発明の第 1 の態様は、半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第 1 の方向及び該信号線と略直交するゲート電極が延在する第 2 の方向に 2 次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第 2 の方向に順番に隣りあう第 1、第 2 および第 3 の画像表示素子と、該第 1 および第 2 の画像表示素子に対して前記第 1 の方向に隣りあい、互いに前記第 2 の方向に隣りあう第 4 および第 5 の前記画像表示素子とを含み、

40

前記第 1、第 2、第 4 および第 5 の画像表示素子の容量拡散層が一体化され、

前記一体化された容量拡散層に所要の電位を供給するためのコンタクトが、前記第 1、第 2、第 4 および第 5 の画像表示素子の容量電極に囲まれた部分に設けられることを特徴とする液晶表示装置を提供する。

【0010】

また、前記第 1 および第 2 の画像表示素子のそれぞれの容量拡散層が、該第 1 および第 2 の画像表示素子間の境界に沿って、該境界の長さの少なくとも実質的に全体にわたって形成されることが好ましい。

50

【 0 0 1 1 】

また、同様に前記課題を解決するために、本発明の第2の態様は、半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第1の方向及び該信号線と略直交するゲート電極が延在する第2の方向に2次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第2の方向に順番に隣りあう第1、第2および第3の画像表示素子を含み、

前記第1および第2の画像表示素子のそれぞれの前記容量拡散層が、該第1および第2の画像表示素子間の境界に沿って、該境界の長さの少なくとも実質的に全体にわたって形成されると共に、該境界において一体化されることを特徴とする液晶表示装置を提供する。

10

【 0 0 1 2 】

また、同様に前記課題を解決するために、本発明の第3の態様は、半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第1の方向及び該信号線と略直交するゲート電極が延在する第2の方向に2次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第2の方向に順番に隣りあう第1、第2および第3の画像表示素子を含み、

前記第1および第2の画像表示素子のそれぞれの容量拡散層が、該第1および第2の画像表示素子間の境界に沿って形成されると共に、該境界において一体化され、

前記第2および第3の画像表示素子のトランジスタが、該第2および第3の画像表示素子間の境界線をまたいで前記第2の方向に延びる共有ゲート電極を共有したことを特徴とする液晶表示装置を提供する。

20

【 0 0 1 3 】

また、前記画像表示部が、前記第1、第2および第3の画像表示素子を含んで前記第2の方向に配置された複数の前記画像表示素子を選択する走査線を有し、該走査線が、前記共有ゲート電極と、該共有ゲート電極に接続され、前記第1および第2の画像表示素子の容量電極の上方を前記第2の方向に延びる配線とからなることが好ましい。

30

【 0 0 1 4 】

また、同様に前記課題を解決するために、本発明の第4の態様は、半導体基板上に形成されたトランジスタと、該トランジスタのドレイン出力によって駆動される画素電極と、前記トランジスタのドレイン出力を保持する容量とを含む複数の画像表示素子が、信号線が延在する第1の方向及び該信号線と略直交するゲート電極が延在する第2の方向に2次元的にアレイ状に配置された画像表示部を含む液晶表示装置であって、

前記容量が、前記半導体基板の表面に形成された容量拡散層と、絶縁膜を介して、該容量拡散層と対向する容量電極とからなり、

前記複数の画像表示素子が、前記第2の方向に順番に隣りあう第1、第2および第3の画像表示素子を含み、

前記第1および第2の画像表示素子のそれぞれの容量拡散層が、該第1および第2の画像表示素子間の境界に沿って形成されると共に、該境界において一体化され、

前記画像表示部が、前記第1、第2および第3の画像表示素子を含んで前記第2の方向に配置された複数の前記画像表示素子を選択する走査線を有し、該走査線が、前記第1および第2の画像表示素子の容量電極の上方を前記第2の方向に延びる配線を含むことを特徴とする液晶表示装置を提供する。

40

50

【 0 0 1 5 】

また、前記第 1 および第 2 の画像表示素子のそれぞれの前記容量電極が、前記第 1 および第 2 の画像表示素子間の境界に沿って、該境界の長さの実質的に全体にわたって形成されることが好ましい。

【 0 0 1 6 】

また、前記複数の画像表示素子に、前記第 1 の方向に延びる信号線から画素信号が入力されることが好ましい。

【 0 0 1 7 】

また、前記第 1 の画像表示素子の容量拡散層が、該第 1 の画像表示素子が形成される範囲全体において同一の導電性を有する前記半導体基板の表面に形成されることが好ましい。

10

【 0 0 1 8 】

また、前記第 1 の画像表示素子の容量拡散層が第 1 の導電性を有し、該第 1 の導電型の前記半導体基板の表面に形成されることが好ましい。

【 0 0 1 9 】

また、同様に前記課題を解決するために、本発明の第 5 の態様は、前記請求項 1 乃至 1 0 のいずれかに記載の液晶表示装置と、該液晶表示装置に光を入射する光源とを有することを特徴とする表示システムを提供する。

【 0 0 2 0 】

【 発明の実施の形態 】

以下、本発明に係る液晶表示装置および表示システムについて、添付の図面に示される好適実施形態を基に、詳細に説明する。

20

【 0 0 2 1 】

本実施形態は、第 1 の方向及び第 2 の方向に 2 次元的にアレイ状に配置された画像表示素子のうち、信号線が延在する第 1 の方向とは異なる第 2 の方向に隣り合った画像表示素子の容量の下部電極を構成する拡散層（容量拡散層）を、該隣り合った容量同士で共有するようにしたものである。

そして、本実施形態の液晶表示装置は、信号線の方である第 1 の方向とは異なる第 2 の方向に、容量と容量とが、またトランジスタとトランジスタとがそれぞれ隣り合うようにして、第 2 の方向に隣り合う画像表示素子（の液晶駆動部）が線対称となるように背面配置に配列したものである。

30

【 0 0 2 2 】

図 1 は、本発明の実施形態に係る液晶表示装置の（特に液晶駆動部の）概略を示す平面図である。

図 1 では、複雑になるのを避けるため、上部の液晶部を省略している。さらに、液晶駆動部の中でも、反射電極および後から説明する遮光層を省略し、半導体基板表面およびその近傍に形成されるトランジスタおよび負荷容量、ならびに、その間を接続する配線の配置のみを示す。

図 1 に示すように、本実施形態の液晶表示装置においては、それぞれの画像表示素子の液晶駆動部が、トランジスタ 1 1 とトランジスタ 1 0 とが第 2 の方向（図の左右方向）に隣り合い、また負荷容量 2 4 と負荷容量 2 8 とが、その下部電極を構成する拡散層 2 0 を共有して、第 2 の方向に隣り合うように配置されている。また、このとき、トランジスタ 1 0 と負荷容量 2 4、及び負荷容量 2 8 とトランジスタ 1 3 は、2 つの負荷容量 2 4 と 2 8 の中間線 S に関して線対称（図の場合、左右対称）となるように背面配置されている。

40

ここで、破線 2 1 a で囲まれた部分のトランジスタ 1 3 および負荷容量 2 8 を含む画像表示素子を第 1 の画素表示素子、破線 2 1 b で囲まれた部分のトランジスタ 1 0 および負荷容量 2 4 を含む画像表示素子を第 2 の画像表示素子、破線 2 1 c で示された部分のトランジスタ 1 1 と図示されない負荷容量とを含む画像表示素子を第 3 の画像表示素子とする。これらの第 1、第 2 および第 3 の画像表示素子は第 2 の方向に順番に隣りあって配置されている。

【 0 0 2 3 】

50

図 1 において、第 2 の画像表示素子のトランジスタ（スイッチトランジスタ）10 は、半導体基板 30 表面に形成された拡散層であるソース 10 a、ドレイン 10 b と、その間に挟まれたチャンネル部分の半導体基板表面にゲート絶縁膜を介して形成されたポリサイド（多結晶シリコン膜上に金属シリサイド膜が積層された複合膜）からなるゲート 10 c から構成される。

第 2 の画像表示素子のトランジスタ 10 と第 3 の画像表示素子のトランジスタ 11 とは、第 2 および第 3 の画像表示素子間の境界の両側に、互いに隣接して対称に配置されている。すなわち、トランジスタ 10 および 11 それぞれを構成するソース、ドレインおよびチャンネルを形成するアクティブ領域がそれぞれの画像表示素子の範囲内の半導体基板表面に形成され、その間を分離するために必要な幅の分離領域 15 が、画像表示素子間の境界上に形成されている。そして、トランジスタ 10 および 11 のゲートは、第 2 および第 3 の画像表示素子間の境界をまたいで第 2 の方向に延びる共通のポリサイドのゲート電極 17 で形成される。すなわち、トランジスタ 10 および 11 が、第 2 の方向に延びるゲート電極（共有ゲート電極）17 を共有する。

一方、第 2 の画像表示素子のトランジスタのソース 10 a は、コンタクト 12 a を通じて、第 1 の方向（図 1 では、上下方向）に延在する信号線 14 に接続されている。ドレイン 10 b は、コンタクト 12 b を通じて配線層 16 に接続され、ここから後述するように上部の画素電極（反射ミラー）に接続されている。また負荷容量 24、28 を挟んで第 2 の方向に隣り合うトランジスタのゲート 13 c は、コンタクト 12 c を通じて配線 19 で互いに接続され、前記信号線 14 と略直交する第 2 の方向に延びる走査線 18 を形成している。配線 19 は、ゲート電極 17 および負荷容量の上部電極 22、26 よりも上層に形成され、上部電極 22、26 の上方を第 2 の方向に延びている。

【0024】

負荷容量 24 及び 28 は、それぞれの下部電極である拡散層を共通の拡散層 20 として共有している。すなわち、それらを同電位に設定することにより、その間に分離領域を設けることなく、互いに接続できる。負荷容量 24 は、この拡散層（アクティブ領域）20 と上部電極（容量電極）22 で構成され、負荷容量 28 は、拡散層（アクティブ領域）20 と上部電極 26 によって構成される。

具体的には、第 1 の画像表示素子の負荷容量 28 を形成する拡散層と第 2 の画像表示素子の負荷容量 24 を形成する拡散層とが、それぞれ、第 1 および第 2 の画像表示素子間の境界（中間線 S の、第 1 および第 2 の拡散層の間にはさまれた部分）に沿って形成されると共に、この境界において、分離領域を設けることなく一体化され、第 1 および第 2 の画像表示素子に共有される拡散層（共有拡散層）20 が形成されている。

【0025】

また、図 1 の II-II 線に沿った断面図を図 2 に示す。なお、図 1 では、図が複雑になるのを避けるため、上部の液晶部は省略されていたが、図 2 では、液晶部も含めて示す事とする。

図 2 において、半導体基板 30 上に、トランジスタ 10、11 及び負荷容量 24、28 がそれぞれ隣り合って形成されている。トランジスタ 10、11 のアクティブ領域（図示した断面ではドレイン拡散層が示されている）相互間、およびこれらのトランジスタのアクティブ領域と負荷容量の拡散層との間は、分離領域 15 によって分離されている。一方、負荷容量 24、28 のそれぞれを構成する拡散層は、一体化された拡散層 20 として形成され、その間に分離領域は形成されない。すなわち、負荷容量 24、28 は、半導体基板 30 の表面に形成された拡散層 20 を、それぞれの下部電極として共有し、その上に、それぞれ上部電極 22、26 を有して構成される。負荷容量 24、28 を構成する拡散層 20 と上部電極 22、26 との間は、図示されない容量絶縁膜によって絶縁されている。図示した断面では見えていないが、トランジスタ 10、11 のゲート 10 c も、負荷容量 24、28 の上部電極 22、26 と同じ層のポリサイドで形成されている。ゲート絶縁膜も、容量絶縁膜と同時に形成することができる。

【0026】

10

20

30

40

50

トランジスタ 10 のドレイン 10 b はコンタクト 12 b 及び配線層 16 を介して、負荷容量 24 の上部電極 22 と接続されている。一方、負荷容量 24 の下部電極である拡散層 20 には、図示されないコンタクトを介して所定の電位、例えば接地電位が供給される。これにより、ドレイン 10 b の出力が、トランジスタ 10 がオフの期間中、負荷容量 24 によって保持される。

例えば、 p^- 型半導体基板の表面に p 型の拡散層 20 が形成される場合には接地電位 (GND) が、n 型の拡散層 20 が形成される場合には電源電位 (Vdd) が供給される。また、トランジスタ 10 のドレイン 10 b は、前記配線層 16 から、ビア 32、金属からなる遮光層 36 及びビア 34 を介して、画素電極 (反射ミラー) 38 に接続されている。画素電極 38 の上には、画素電極 38 と液晶対向電極 (透明電極) 42 によって挟まれた液晶 40 が配置されている。

なお、遮光層 36 は、液晶側からの入射光が下部のトランジスタ 10 等に達して、半導体素子に悪影響を及ぼさないようにするためのものである。このため、遮光層 36 は、画素電極 38 相互間のギャップに対応するように、画像表示素子がアレイ状に配置される領域 (画像表示部) 全体にわたって格子状に配置される。

【0027】

このように、本実施形態では、容量の下部電極である拡散層を、第 2 の方向に隣り合った容量 24 及び 28 で共有したため、隣り合った 2 つの容量 24 及び 28 の素子分離領域を設ける必要が無い。

一方、この共有された拡散層のそれぞれの画像表示素子が形成される範囲内の部分と対向して形成され、それぞれの画像表示素子の容量を構成する上部電極は、互いに電氣的に分離される必要があり、一体化することはできない。しかし、拡散層同士の素子分離に比べて、上部電極 22、26 を形成するポリサイド間同士の素子分離は容易であり、加工精度の最小寸法まで縮小することができる。従って、従来負荷容量 24、28 間の分離幅は $1.5\mu\text{m} \sim 3\mu\text{m}$ 必要であったが、本実施形態においては、容量 24 と容量 28 の分離幅 (図 1 に符号 d で示す) は、 $0.5\mu\text{m} \sim 0.6\mu\text{m}$ 程度まで縮小することが可能となった。容量をなるべく大きくするためには、第 2 の方向に隣りあう 2 つの画像表示素子の容量のそれぞれの上部電極は、分離に必要な相互間の間隔 d を保ちながら、その隣りあう画像表示素子間の境界 (中間線 S の、第 1 および第 2 の拡散層の間にはさまれた部分) に沿って配置することが好ましい。

【0028】

その結果、この分離幅の減少した分を容量の面積を増加する分に使用する事により、容量値を増加させることができる。具体的には、例えば、 $10\mu\text{m} \times 10\mu\text{m}$ の画素サイズにおいて、従来の方法で設計した場合には、拡散層と上部電極との間の容量の面積は、 $30\mu\text{m}^2$ しか得られなかった。これに対し本発明の方法によれば、 $37.8\mu\text{m}^2$ の面積を確保することが可能となった。

図 1 に示された本実施形態では、第 2 および第 3 の画像表示素子のトランジスタ 10 および 11 がゲート電極 17 を共有している。そして、このような共有ゲート電極間を、負荷容量 24、26 の上部電極の上方を延びる配線で接続することによって走査線 18 を形成している。このような走査線の構成もまた、負荷容量の面積を増大させるために役立っている。

すなわち、まず隣りあうトランジスタが共有ゲート電極 17 を共有している。このため、図 6 に示した従来の配置では必要であった、これらのトランジスタのゲート電極間を接続するためのコンタクトを、本実施形態の場合には設ける必要がない。このため、トランジスタを配置するために必要な面積が削減できる。

また、共有ゲート電極間の接続が、負荷容量の上部電極の上方を延びる、上部電極とは異なる層の配線 19 によってなされている。このため、上部電極の第 1 の方向 (図の縦方向) の寸法を最大化することができる。図 1 に示されたように、上部電極 22、26 は、第 2 および第 3 の画像表示素子間の境界に沿って、境界の長さの実質的に全体にわたって形成されている。すなわち、上部電極 22、26 の第 1 の方向の寸法は、画像表示素子の第

10

20

30

40

50

1 の方向の寸法と実施的に同一である。

また、トランジスタ 10 と 11 それぞれのゲート電極間を互いに接続するためのコンタクトを設ける必要がなくなったため、信号線 14 のパターンを単純化できる。従来、トランジスタのソースに接続される信号線（図 6 の 114）は、ゲート電極へのコンタクトを避けるように引き回していた。これに対して本発明では無駄な引き回しをせずに直線的に配置することが可能となった。これにより、信号線の容量および抵抗の低減が可能となった。走査線も、ポリサイドで形成されるゲート電極の部分を第 2 の方向に隣りあう 2 つの画像表示素子で共有させ、しかも、短くかつ単純な形状で形成することができる。従って、第 2 の方向に配置される複数の画像表示素子全体の、ゲート電極 17 の部分の長さの合計を小さくできる。しかも、それ以外の部分をゲート電極 17 よりも上層の、やはり直線的に第 2 の方向に延びる金属配線 19 で構成できるため、走査線の容量および抵抗の低減も可能となった。

10

図 1 および図 2 には、画素電極および遮光層を含めて 3 層の金属配線で表示素子を構成した例を示した。このため、走査線 18 の金属配線で形成する部分 19 と信号線 14 とを、同一の配線層に形成する必要があった。従って、信号線 14 と走査線 18 とが交差する部分は、ポリサイドのゲート電極 17 で形成した。すなわち、走査線 18 は、それぞれ複数のポリサイドのゲート電極 17 と金属の配線 19 とが、コンタクトを通じて交互に直列に接続されることによって構成される。

しかし、4 層もしくはそれ以上の金属配線の使用を許すのであれば、信号線 14 とは別の配線層で配線 19 を形成することが可能である。この場合には、金属の配線 19 を、複数の画像表示素子が配置された領域の全体にわたって第 2 の方向に延ばし、それぞれ隣りあう 2 つのトランジスタに共有されたポリサイドのゲート電極を、この走査線にコンタクトもしくはコンタクトおよびビアを介して接続することによって、走査線を構成することも可能である。これによって、走査線の抵抗をさらに低減することが可能である。

20

【0029】

このような液晶表示装置の液晶駆動部は、例えば、概略以下のような工程で形成される。まず、例えば p^+ 型の半導体基板表面の必要な領域に P ウエルおよび N ウエル（図示しない）を形成するとともに、トランジスタや容量のアクティブ領域間を電気的に分離するための分離領域 15 を形成する。次に、容量を構成する拡散層 20 を、例えばホウ素イオンの注入によって形成する。

30

続いて、ゲート絶縁膜および容量絶縁膜を兼ねる絶縁膜が、例えば熱酸化によって形成され、多結晶シリコン膜および金属シリサイド膜が堆積され、所要のパターンにパターニングされることによって、トランジスタのゲート電極と容量の上部電極が形成される。次に、例えばヒ素のイオン注入によって、ゲート電極の両側のアクティブ領域表面にソース、ドレイン拡散層が形成される。その後、全面に絶縁膜が堆積され、平坦化されて第 1 層間絶縁膜が形成される。そして、第 1 層間絶縁膜の必要な部分にコンタクト孔が開孔され、金属プラグが埋め込まれることによってコンタクト 12a、12b、12c が形成された後、アルミニウム合金膜等の金属膜が堆積され、パターニングされて、第 1 の配線層 16 が形成される。さらに同様に、第 2 層間絶縁膜が形成され、ビア 32 が形成され、第 2 配線層（遮光層 36）が形成される。そしてさらに、第 3 層間絶縁膜およびビア 34、第 3 配線層（反射電極）38 が形成される。

40

なお、それぞれの画像表示素子の駆動回路を N チャンネルトランジスタと P チャンネルトランジスタとの両方で構成する場合には、容量の下部電極を構成する拡散層 20 を形成する以前に、それぞれの画像表示素子を形成する領域内の半導体基板表面の所定の位置に、P ウエルおよび N ウエルを形成しておく必要がある。しかし、一方の導電型のトランジスタのみで駆動回路を構成する場合には、それぞれの画像表示素子を形成する領域内にウエルを形成しておく必要はない。例えば、駆動回路を N 型トランジスタのみで形成するのであれば、 p^+ 型半導体基板表面の、第 1 および第 2 の方向に配置される複数の画像表示素子を形成する領域全体に共通の P ウエルを形成しておけばよい。この場合、容量を構成する拡散層 20 は、それぞれの画像表示素子が形成される領域全体において同一の導電型

50

を有する、すなわち、Pウエルが形成された、半導体基板の表面に形成されることになる。

【0030】

なお、液晶表示装置1の半導体基板30表面上には、画像表示素子がアレイ状に配置された画像表示部に加えて、その周辺に、外部から画像信号を受け取り、画像表示部に供給するための画素信号や走査信号を生成する信号処理部が設けられている。前述のように、画像表示部の画像表示素子は、高電圧に耐える必要があるため、高電圧仕様の製造工程で形成される。一方、信号処理部には高電圧は印加されない。このため、信号処理部は、上記で説明した画像表示部の形成工程とは別に、通常のCMOS半導体製造工程によって形成される。

10

【0031】

本実施形態では、トランジスタと画素電極および負荷容量を含む画素が、図1に示したように走査線18の方向(図の横方向)に配列されるとともに、信号線14の方向(図の縦方向)にも配列される。すなわち、図3に示すように、画素が第1および第2の方向に2次元的なアレイ状に配置されて、本発明の液晶表示装置の表示部を構成する。

図3において、例えば破線72bで囲まれた部分のトランジスタ50および負荷容量64によって一つの画素分の表示素子の液晶駆動部が形成されている。なお図3では、トランジスタ52のドレインに接続される容量の上部電極、およびその間を接続する配線は省略されている。ここで、それぞれ破線72a、72b、72c、72d、72e、72fで示された画像表示素子を第1、第2、第3、第4、第5、第6の画像表示素子とする。すると、第1、第2、第3の画像表示素子、および第4、第5、第6の画像表示素子は、それぞれが順番に第2の方向(図の左右方向)に互いに隣り合って配置されている。そして、第4、第5、第6の画像表示素子はそれぞれ第1、第2、第3の画像表示素子に対して第1の方向(図の縦方向)に隣り合って配置されている。

20

【0032】

図3に示すように、本実施形態における液晶表示装置は、図において、縦方向に延びる信号線58の方向である第1の方向、及び横方向に延びる走査線60の方向である第2の方向、の両方の方向に隣り合う画像表示素子について横方向にも縦方向にも負荷容量64、66、68、70が隣合うように配置されている。そして、その容量(負荷容量)64、66、68、70の下部電極を構成する拡散層を共有して、1つの拡散層62としている。

30

すなわち、例えば図の横方向に隣り合う第1および第2の画像表示素子の負荷容量64、66を構成する拡散層は、それぞれ、この第1および第2の画像表示素子間の境界(図の縦方向の境界)に沿って形成され、この境界において一体化されている。同様に、第4および第5の画像表示素子の負荷容量68、70を構成する拡散層は、それぞれ、第4および第5の画像表示素子間の境界に沿って形成され、この境界において一体化されている。そして、第1および第2の画像表示素子72a、72bの負荷容量64、66を構成する拡散層と、第4および第5の画像表示素子72e、72fの負荷容量68、70を構成する拡散層とは、第1および第2の画像表示装置72a、72bと第4および第5の画像表示装置72e、72fとの間の境界(図の横方向の境界)において一体化されている。従って、第1、第2、第4、第5の4つの画像表示素子の負荷容量64、66、68、70を構成する拡散層は、これらの4つの画像表示素子間の縦方向および横方向の境界において一体化された拡散層(共有拡散層)62として形成されている。この拡散層62は、これらの4つの画像表示素子にわたって形成され、これらの画像表示素子の負荷容量に共有されている。

40

【0033】

図3に示された液晶表示装置では、画像表示素子の負荷容量を構成する拡散層を第1の方向(図の縦方向)に隣りあう画像表示素子で共有するため、それぞれの画像表示素子の拡散層は、それぞれの画像表示素子の第1の方向の寸法全体にわたって形成される。一方、この拡散層と対向して負荷容量を構成する多結晶シリコンからなる上部電極は、第1の方

50

向に隣りあう画像表示素子の上部電極との間で電氣的に分離する必要があるため、画像表示素子の第1の方向の寸法の全体わたって形成することはできない。しかし、それぞれの画像表示素子の負荷容量の上部電極は、分離のために必要な寸法を除いた、それぞれの画像表示素子の第1の方向の寸法の実質的に全体わたって形成される。前述のように、多結晶シリコン同士の分離に必要な分離幅は小さいため、それぞれの画像表示素子の負荷容量の上部電極間を分離しても、大きな容量値を得ることが可能である。

【0034】

また、このとき、トランジスタ50、52、54、56も、前記2つの方向に隣り合うように配置され、各ソース（例えばトランジスタ50についてはソース50a）は信号線58に接続され、各ドレインは各負荷容量の上部電極（例えばトランジスタ50のドレイン50bについては、負荷容量64の上部電極）に接続される。またトランジスタの各ゲート（例えばトランジスタ50のゲート電極50c）を構成するゲート電極59は配線61で互いに接続されて走査線60を形成する。

実際には、図3に示した範囲のみではなく、さらに第1の方向（図の上下）および第2の方向（図の左右）に複数の画像表示素子がアレイ状に配置され、画像表示装置の表示部が形成される。この結果、表示部には、複数の表示素子の負荷容量に共有されて第1の方向に延びる拡散層（共通拡散層）62が、複数、第2の方向に配置されることになる。それぞれの共有拡散層は、第1の方向に配置される複数の画像表示素子全体におよんで、すなわち、画像表示素子のアレイの全体にわたって延びる。

【0035】

図3にはこのような共有拡散層62が1つだけ表示されている。しかし、例えば、図では省略されているが、第3および第6の表示素子72cおよび72fの負荷容量の拡散層と、さらにその左側に配置される表示素子の負荷容量の拡散層とが共有され、さらに、それらの上下方向に配置される複数の画像表示素子の負荷容量の拡散層が共有されることによって、縦方向に延びる第2の共有拡散層が形成される。この共有拡散層は、図3に表示された共有拡散層62の左側に隣りあって配置される。また、第1および第4の表示素子の72a、72dの右側に配置される表示素子の負荷容量の拡散層と、さらにその右側に配置される表示素子の負荷容量の拡散層とが共有され、縦方向に延びる第3の共有拡散層が形成される。これらの共有拡散層は、第2の方向（図の横方向）に、画像表示素子が第2の方向（図の横方向）に配置される周期の2倍の周期で配置される。

そして、これらの第1の方向に延びる複数の共有拡散層の中の、隣りあう2つの共有拡散層の間には、それぞれ、第2の方向に隣りあう2つの表示素子のトランジスタが配置される。例えば、図3に示された共有拡散層62と、その左側に隣りあって配置される第2の共有拡散層との間には、それぞれ第2の方向に隣りあう、第2および第3の表示素子のトランジスタ50、52と、第5および第6の表示素子のトランジスタ54、56が、配置される。

【0036】

図3に示した例では、第1の方向（図の縦方向）に配置された複数の表示素子の負荷容量の下部電極となる拡散層が共有されている。このように、第1および第2の二つの方向において、それぞれ隣り合う画像表示素子の容量を構成する拡散層間に分離領域を設けることなく、共有することにより、画素サイズが小さくとも負荷容量の面積を確保することを可能としている。この場合、アレイ（画像表示部）の端部に図示しないコンタクトが形成され、所要の電位が供給される。

【0037】

図4は、本発明の他の実施形態に係わる液晶表示装置の概略を示す平面図である。本実施形態では、図3に示した実施形態と同様に、第1および第2の方向の2つの方向の境界において、それぞれ隣り合う画像表示素子の容量を構成する拡散層が一体化され、第1の方向（縦方向）に延びる共有拡散層62が形成されている。しかし、図3の場合と異なり、4つの画像表示素子に囲まれた部分に、より具体的には、4つの画像表示素子の上部電極に囲まれた部分に、この共有拡散層62に所要の電位を供給するコンタクト76が設けら

10

20

30

40

50

れている。それぞれのコンタクト76は、それを取り囲む4つの画像表示素子によって共有され、それら4つの画像表示素子の容量を構成する拡散層に所要の電位を供給する。図4の場合には、第1の方向(図の縦方向)に延びる共有拡散層62全体では、2個の画像表示素子に対して1個の割合でコンタクト76が設けられている。

【0038】

図では省略されているが、コンタクトの底面の半導体基板30表面には、コンタクト形成のための高濃度拡散層が形成される。また、このコンタクトに対して所要の電位を供給する配線が配置される。例えば、配線61と同一層に設けられた配線77およびビアを介して、遮光層に接続し、遮光層を通じて、例えば接地電位を供給することが可能である。

図4では、コンタクト76との接触を防ぐため、容量64、66、68、70それぞれの上部電極の角が切り取られている。このため、アレイの端部にコンタクトを設けた場合に比較して、容量の面積は減少する。しかし、アレイ内にコンタクトを設けることによって、多数配置された画像表示素子のそれぞれの容量の拡散層への所要の電位供給を均一に行い、動作の安定性を高めることが可能である。また、コンタクトを4つの画像表示素子に囲まれた部分に、それらの画像表示素子に対して共通に設けることによって、容量の減少を最小限にとどめることが可能である。

すなわち、この場合であっても、上部電極を、第2の方向に隣りあう画像表示素子間の縦方向の境界に沿って、その境界の長さの実質的に全体にわたって形成することが可能である。

動作上の問題がなければ、コンタクトの数をさらに減らすことも可能である。例えば、2個の画像表示素子毎に1個のコンタクトを設けるのではなく、4個、6個、8個もしくはそれ以上の偶数個の画像表示素子毎に1つのコンタクトを設けることも可能である。この場合にも、コンタクトは、第1および第2の方向に隣りあう画像表示素子の上部電極に囲まれた部分に設けることが、容量の減少を最小限にとどめるために好ましい。

【0039】

第2の方向(図の横方向)には、隣り合う表示素子間で負荷容量の下部電極を形成するアクティブ領域を共有する一方で、第1の方向(図の縦方向)には、負荷容量の下部電極を形成する拡散層を表示画素毎に分離することも可能である。この場合には、それぞれの拡散層毎に所要の電位を供給するためのコンタクトが形成される。

この場合、それぞれの画像表示素子の容量を構成する拡散層を第1の方向(図の縦方向)に隣りあう画像表示素子の拡散層と分離する分離領域を設ける必要がある。このため、拡散層を、第2の方向に隣りあう画像表示素子間の境界全体にわたって、すなわち、画像表示素子の第1の方向の寸法全体にわたって形成することはできない。しかし、なるべく大きな容量値を得るために、分離のために必要な寸法を除いた、境界の画像表示素子の第1の方向の寸法の実質的な全体にわたって、拡散層を形成することが好ましい。

もしくは、第1の方向(図の縦方向)に隣りあう少なくとも2つずつの画像表示素子の容量を構成する拡散層を一体化し、第1および第2の方向で4つもしくはそれ以上の画像表示素子の容量を構成する拡散層に対して、少なくとも1個の共通のコンタクトを設けることが、コンタクト形成による容量減少を最小にするためには好ましい。このように、第2の方向に隣りあう2つの画像表示素子間の境界において拡散層を一体化するとともに、1の方向に隣りあう画像表示素子の拡散層間や上部電極間を相互に分離するための寸法や、複数の拡散層に対して電位を供給する共通のコンタクトを形成するための寸法等、容量の形成およびその使用に必要な必要最小限の寸法を除いて、この境界に沿った領域の実質的な全体を、拡散層や上部電極を配置するために利用して、可能な限り容量を増大させることが好ましい。より具体的には、第2の方向に隣りあう2つの画像表示素子間の、拡散層が一体化される境界に沿った領域には、容量を構成するための拡散層および上部電極と、一体化した拡散層に対して電位を供給する共通のコンタクトおよびそれに付随する構造(コンタクト形成のための高濃度拡散層等)のみを配置することが好ましい。それ以外の、容量の形成およびその使用に対して寄与しない、そして、拡散層もしくは上部電極と同一の層に形成されて、大きな容量の減少を引き起こす構造は、拡散層が一体化される境界に

10

20

30

40

50

沿った領域には配置しないことが好ましい。ただしもちろん、上部電極の上方を第2の方向に延びる配線19、61のように、拡散層および上部電極とは異なる層には他の構造を配置することが可能である。

4つの画像表示素子の容量を構成する拡散層を一体化した場合、画像表示部に配置される共有拡散層は、それぞれ、第1の方向に隣りあう2個の画像表示素子にわたって延びる。すなわち、第1の方向に、概略、画像表示素子2個分の寸法を有する。6つ、8つ、もしくはそれ以上の偶数個ずつの画像表示素子の容量を構成する拡散層を一体化した場合、それぞれの共有拡散層は、第1の方向に隣りあう3個、4個、もしくはそれ以上の個数の画像表示素子にわたって延び、概略、画像表示素子3個分、4個分、もしくはそれ以上の寸法を有する。

10

また、以上説明したような液晶表示装置に対し、光を入射する光源を組み合わせることで、表示システムを構成することができる。

【0040】

以上、本発明の液晶表示装置および表示システムについて詳細に説明したが、本発明は、以上の例には限定されず、本発明の要旨を逸脱しない範囲において、各種の改良や変更を行ってもよいのはもちろんである。

例えば、図3に示した配置においては、第2の方向（図の横方向）に隣りあう画像表示素子が線対称になるように背面配置する一方で、第1の方向（図の縦方向）には背面配置を行っていない。しかし、第1および第2の方向の両方に画像表示素子を背面配置することも可能である。

20

図1、3等に破線で示したそれぞれの画像表示素子の範囲は、半導体基板30の表面上に、それぞれの画像表示素子のトランジスタおよび負荷容量が形成される範囲を示している。これらの構造のさらに上方に配置される画素電極も、通常は、同一の範囲内に設けられる。しかし、配置の都合によっては、トランジスタおよび負荷容量が形成される範囲に対して一定の位置関係でずれた位置に画素電極を配置することも可能である。この場合、第2の方向に隣りあう画像表示素子の容量を構成する拡散層は、トランジスタおよび容量を形成するためにこの隣りあう画像表示素子のそれぞれに与えられる半導体基板表面上の範囲間の境界に沿って形成され、この境界において一体化される。また、第1の方向にも容量の拡散層が一体化される場合には、第1の方向に隣りあう画像表示素子の容量を構成する拡散層は、トランジスタおよび容量を形成するためにこの隣りあう画像表示素子のそれぞれに与えられる半導体基板表面上の範囲間の境界に沿って形成され、この境界において一体化される。さらに、第2の方向に隣りあう画像表示素子のトランジスタは、トランジスタおよび容量を形成するためにこの隣りあう画像表示素子のそれぞれに与えられる半導体基板表面上の範囲間の境界をまたいで、第2の方向に延びるゲート電極を共有する。

30

【0041】

図1、3に示した例では、それぞれの画像表示素子は、半導体基板30表面上の正方形の範囲内に形成される。しかし、配置の都合によっては、完全な正方形以外の形状の範囲内にそれぞれの画像表示素子を形成することも可能である。言うまでもなく、図1、3に破線で示したそれぞれの画像表示素子の範囲は、理解を容易にするために概念的に記したにすぎず、実際の画像表示装置上の物理的な構造として存在するわけではない。しかし、実際の画像表示装置におけるそれぞれの画像表示素子の範囲、もしくは、それらの間の境界の位置は、実際の画像表示装置に形成されたトランジスタや容量等の配置に基づいて容易に把握することが可能である。

40

上記の例では、各表示素子毎に1個のNチャンネルトランジスタを設け、そのドレイン出力で画素電極を駆動している。これ以外にも様々な駆動回路を構成することが可能である。例えば、それぞれ1個のNチャンネルトランジスタとPチャンネルトランジスタとを並列に接続して、その出力で画素電極を駆動することも可能である。

【0042】

しかし、この場合には、それぞれの画像表示素子領域内に複数のトランジスタを形成するための面積が必要になるばかりではなく、NチャンネルトランジスタとPチャンネルトラ

50

ンジスタとのそれぞれをその中に形成するためにウエルを形成するための面積も必要になる。また、ウエルを形成するための工程を追加する必要がある、製造コストも上昇する。このような構造の形成に必要な面積を削減し、十分な容量の負荷容量を形成するための面積を確保するとともに、製造コストを低減するためには、一方の導電型のトランジスタ（通常はNチャンネルトランジスタ）のみを使用して駆動回路を構成することが好ましい。また、例えば、特許2804198号公報に記されたように、各表示素子毎に2個のトランジスタを設け、第1のトランジスタのドレインに、ドレイン出力を保持する負荷容量を接続するとともに、第2のトランジスタのゲートを接続して、この第2のトランジスタを介して画素電極を駆動することも可能である。

【0043】

10

【発明の効果】

以上説明した通り、本発明によれば、画素サイズを小さくしても、負荷容量の面積を従来よりも大きく確保することが可能となる。また、隣り合うトランジスタのゲート電極を共通にできるため、信号線および走査線を直線的に配置して、容量を低減することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る液晶表示装置の概略を示す平面図である。

【図2】 図1のII-II線に沿った断面図である。

【図3】 本発明の実施形態に係る液晶表示装置の概略を示す平面図である。

【図4】 本発明の他の実施形態に係る液晶表示装置の概略を示す平面図である。

20

【図5】 従来の液晶表示装置の概略構成を示す断面図である。

【図6】 従来の液晶表示装置の液晶駆動部の概略を示す平面図である。

【符号の説明】

10、11、13、50、52、54、56 トランジスタ

10a、50a ソース

10b、50b ドレイン

10c、13c、50c ゲート

12a、12b、12c、76 コンタクト

14、58 信号線

15 分離領域

30

16 配線層

17、59 ゲート電極

18、60 走査線

19、61、77 配線

20、62 拡散層

21a、21b、21c、72a、

72b、72c、72d、72e、72f 画像表示素子

22、26 負荷容量上部電極

24、28、64、66、68、70 負荷容量

30 半導体基板

40

32、34 ビア

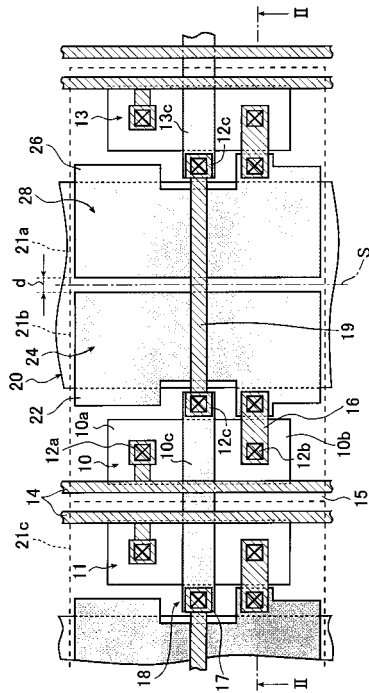
36 遮光層

38 画素電極（反射ミラー）

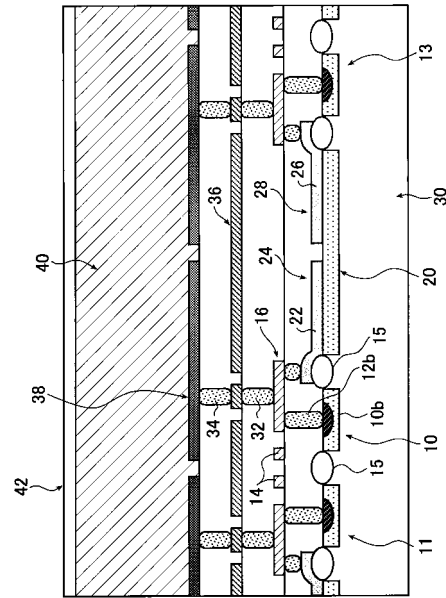
40 液晶

42 液晶対向電極（透明電極）

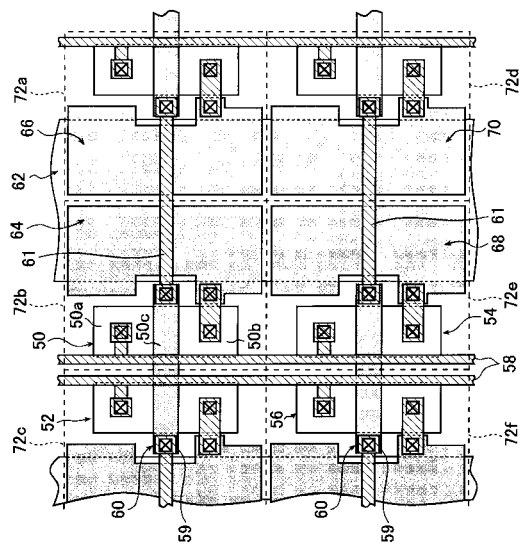
【図 1】



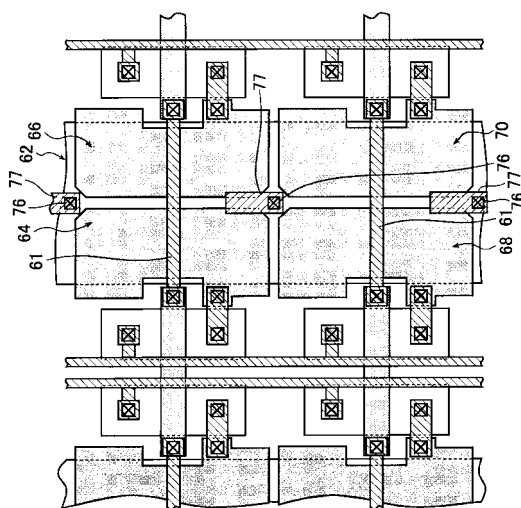
【図 2】



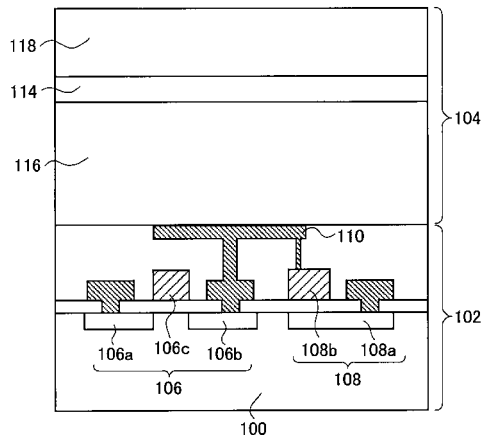
【図 3】



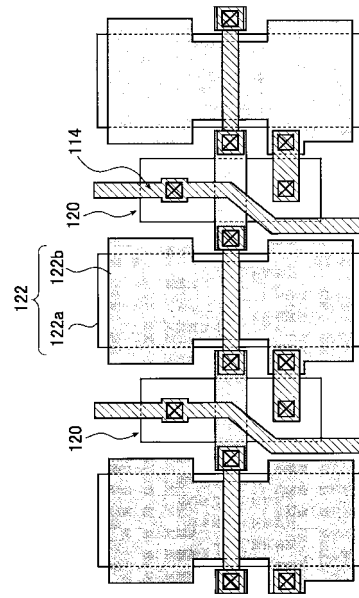
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 27/04 A

(56) 参考文献 特開平 0 8 - 0 7 6 0 8 8 (J P , A)
特開平 0 8 - 1 4 6 4 5 8 (J P , A)
特開平 1 0 - 1 0 4 6 6 3 (J P , A)
特開平 1 1 - 0 1 5 0 2 4 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)
G02F 1/1368