



(12) 发明专利申请

(10) 申请公布号 CN 119156583 A

(43) 申请公布日 2024.12.17

(21) 申请号 202380038196.0

(22) 申请日 2023.05.09

(30) 优先权数据

17/663,637 2022.05.16 US

(85) PCT国际申请进入国家阶段日

2024.11.04

(86) PCT国际申请的申请数据

PCT/US2023/021587 2023.05.09

(87) PCT国际申请的公布数据

W02023/224843 EN 2023.11.23

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚

(72)发明人 R·凯姆塞蒂 P·V·G·特贾斯维

K·阿格拉瓦尔

(74) 专利代理机构 永新专利商标代理有限公司

72002

专利代理师 赵磊

(51) Int.Cl.

G06F 1/3287 (2019.01)

G06F 1/3228 (2019.01)

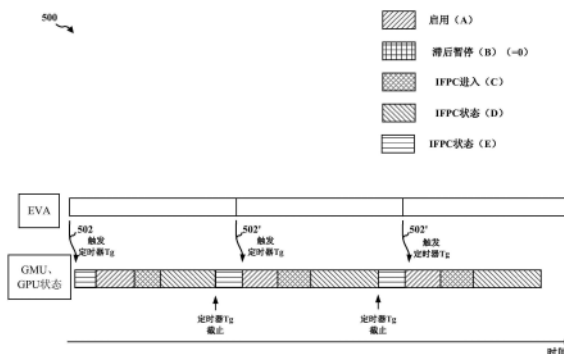
权利要求书3页 说明书13页 附图8页

(54) 发明名称

优化XR工作负载的功率和性能的技术

(57) 摘要

本公开提供了用于优化XR工作负载的功率和性能的系统、设备、装置和方法,包括编码在存储介质上的计算机程序。图形处理器可以从应用接收与退出IFPC状态相关联的定时器的时间段的指示。该图形处理器可以在触发与退出IFPC状态相关联的定时器时处理一个或多个预定义工作负载。该图形处理器可以在该一个或多个预定义工作负载完成处理时发起IFPC状态。该图形处理器可以在检测到定时器的截止时退出IFPC状态。



1. 一种用于图形处理的装置,所述装置包括:
存储器;和
至少一个处理器,所述至少一个处理器耦合到所述存储器并且被配置为:
从应用接收与退出帧间功率降级 (IFPC) 状态相关联的定时器的时间段的指示;
在触发与退出所述IFPC状态相关联的所述定时器时,处理一个或多个预定义工作负载;
在所述一个或多个预定义工作负载完成处理时发起所述IFPC状态;以及
当检测到所述定时器的截止时退出所述IFPC状态。
2. 根据权利要求1所述的装置,所述至少一个处理器被进一步配置为:
接收开始处理所述一个或多个预定义工作负载的第一指示;
在接收到所述第一指示时触发所述定时器;以及
检测所述定时器的所述截止。
3. 根据权利要求2所述的装置,其中所述一个或多个预定义工作负载是一个或多个后期再投影 (LSR) 工作负载。
4. 根据权利要求2所述的装置,其中所述第一指示是处理器间通信控制器 (IPCC) 中断。
5. 根据权利要求2所述的装置,其中所述第一指示是从调度器、所述应用或服务层中的至少一者接收的。
6. 根据权利要求2所述的装置,其中所述一个或多个预定义工作负载与扩展现实 (XR) 应用、增强现实 (AR) 应用或虚拟现实 (VR) 应用中的至少一者相关联。
7. 根据权利要求2所述的装置,所述至少一个处理器被进一步配置为:
接收开始处理所述一个或多个预定义工作负载的第二指示。
8. 根据权利要求1所述的装置,其中所述至少一个处理器被进一步配置为在图形处理单元 (GPU) 处退出所述IFPC状态。
9. 根据权利要求1所述的装置,其中用于所述定时器的所述时间段还是至少部分地基于IFPC退出时延的。
10. 根据权利要求1所述的装置,其中在与所述定时器相关联的第一周期内的滞后暂停为0。
11. 根据权利要求1所述的装置,其中所述装置是无线通信设备。
12. 一种图形处理方法,所述图形处理方法包括:
从应用接收与退出帧间功率降级 (IFPC) 状态相关联的定时器的时间段的指示;
在触发与退出所述IFPC状态相关联的所述定时器时,处理一个或多个预定义工作负载;
在所述一个或多个预定义工作负载被处理时发起所述IFPC状态;以及
当检测到所述定时器的截止时退出所述IFPC状态。
13. 根据权利要求12所述的方法,所述方法进一步包括:
接收开始处理所述一个或多个预定义工作负载的第一指示;
在接收到所述第一指示时触发所述定时器;以及
检测所述定时器的所述截止。
14. 根据权利要求13所述的方法,其中所述一个或多个预定义工作负载是一个或多个

后期再投影 (LSR) 工作负载。

15. 根据权利要求13所述的方法, 其中所述第一指示是处理器间通信控制器 (IPCC) 中断。

16. 根据权利要求13所述的方法, 其中所述第一指示是从调度器、所述应用或服务层中的至少一者接收的。

17. 根据权利要求13所述的方法, 其中所述一个或多个预定义工作负载与扩展现实 (XR) 应用、增强现实 (AR) 应用或虚拟现实 (VR) 应用中的至少一者相关联。

18. 根据权利要求13所述的方法, 所述方法进一步包括:

接收开始处理所述一个或多个预定义工作负载的第二指示。

19. 根据权利要求12所述的方法, 其中在检测到所述定时器的所述截止时退出所述 IFPC 状态进一步包括在图形处理单元 (GPU) 处退出所述 IFPC 状态。

20. 根据权利要求12所述的方法, 其中用于所述定时器的所述时间段还是至少部分地基于 IFPC 退出时延的。

21. 根据权利要求12所述的方法, 其中在与所述定时器相关联的第一周期内的滞后暂停为0。

22. 一种存储计算机可执行代码的计算机可读介质, 所述代码在由至少一个处理器执行时使所述至少一个处理器:

从应用接收与退出帧间功率降级 (IFPC) 状态相关联的定时器的时间段的指示;

在触发与退出所述 IFPC 状态相关联的所述定时器时, 处理一个或多个预定义工作负载;

在所述一个或多个预定义工作负载完成处理时发起所述 IFPC 状态; 以及

当检测到所述定时器的截止时退出所述 IFPC 状态。

23. 根据权利要求22所述的计算机可读介质, 所述代码进一步使所述至少一个处理器:

接收开始处理所述一个或多个预定义工作负载的第一指示;

在接收到所述第一指示时触发所述定时器; 以及

检测所述定时器的所述截止。

24. 根据权利要求23所述的计算机可读介质, 其中所述一个或多个预定义工作负载是一个或多个后期再投影 (LSR) 工作负载。

25. 根据权利要求23所述的计算机可读介质, 其中所述第一指示是处理器间通信控制器 (IPCC) 中断。

26. 根据权利要求23所述的计算机可读介质, 其中所述第一指示是从调度器、所述应用或服务层中的至少一者接收的。

27. 根据权利要求23所述的计算机可读介质, 其中所述一个或多个预定义工作负载与扩展现实 (XR) 应用、增强现实 (AR) 应用或虚拟现实 (VR) 应用中的至少一者相关联。

28. 根据权利要求23所述的计算机可读介质, 所述代码进一步使所述至少一个处理器:

接收开始处理所述一个或多个预定义工作负载的第二指示。

29. 根据权利要求22所述的计算机可读介质, 其中在检测到所述定时器的所述截止时退出所述 IFPC 状态进一步包括在图形处理单元 (GPU) 处退出所述 IFPC 状态。

30. 根据权利要求22所述的计算机可读介质, 其中所述定时器的所述时间段还是至少

部分地基于IFPC退出时延的。

优化XR工作负载的功率和性能的技术

[0001] 相关申请的交叉引用

[0002] 本申请要求于2022年5月16日提交并且名称为“优化XR工作负载的功率和性能的技术 (TECHNIQUE TO OPTIMIZE POWER AND PERFORMANCE OF XR WORKLOAD)”的美国专利申请序列第17/663,637号的权益,该美国专利申请全文以引用方式明确并入本文。

技术领域

[0003] 本公开整体涉及处理系统,并且更具体地,涉及用于图形处理的一种或多种技术。

背景技术

[0004] 计算设备通常执行图形和/或显示处理 (例如,利用图形处理单元 (GPU)、中央处理单元 (CPU)、显示处理器等) 以渲染和显示视觉内容。此类计算设备可以包括例如计算机工作站、移动电话 (诸如智能电话)、嵌入式系统、个人计算机、平板计算机和视频游戏控制台。GPU被配置为执行图形处理流水线,该图形处理流水线包括一个或多个处理级,这些处理级一起操作以执行图形处理命令并输出帧。中央处理单元 (CPU) 可以通过向GPU发出一个或多个图形处理命令来控制该GPU的操作。现代CPU通常能够并发地执行多个应用,每个应用可能需要在执行期间利用GPU。显示处理器可以被配置为将从CPU接收的数字信息转换成模拟值,并且可以向显示面板发出命令以显示视觉内容。提供用于在显示器上进行视觉呈现的内容的设备可以利用CPU、GPU和/或显示处理器。

[0005] 当GPU处理固定周期性工作负载时,当前技术可能无法解决与GPU处的帧间功率降级 (IFPC) 退出延迟相关联的执行错误。需要改进的功率降级技术。

发明内容

[0006] 下文呈现了一个或多个方面的发明内容,以便提供对这些方面的基本理解。该发明内容不是对所有预期方面的广泛概述,并且既不旨在标识所有方面的关键或重要元素,也不旨在描述任何或所有方面的范围。其唯一目的是以简化形式呈现一个或多个方面的一些概念,作为稍后呈现的更详细描述的前序。

[0007] 在本公开的一方面,提供了一种方法、计算机可读介质和装置。该装置可以从应用接收与退出帧间功率降级 (IFPC) 状态相关联的定时器的时间段的指示。在触发与退出IFPC状态相关联的定时器时,该装置可处理一个或多个预定义工作负载。该装置可以在该一个或多个预定义工作负载完成处理时发起IFPC状态。该装置可以在检测到定时器的截止时退出IFPC状态。

[0008] 为了实现前述和相关的目的,一个或多个方面包括以下全面描述的并在权利要求中特别指出的特征。以下描述和附图详细地阐述了一个或多个方面的一些例示性特征。然而,这些特征仅指示可采用各个方面的原理的各种方式中的一些方式,并且本说明书旨在包括所有此类方面以及其等同方案。

附图说明

- [0009] 图1是例示根据本公开的一种或多种技术的示例内容生成系统的框图。
- [0010] 图2例示根据本公开的一种或多种技术的示例GPU。
- [0011] 图3是例示其中可以实践本公开的各方面的示例环境的框图。
- [0012] 图4是例示根据一个或多个方面的与IFPC相关联的示例GPU状态时间线的图。
- [0013] 图5是例示根据一个或多个方面的与IFPC相关联的示例GPU状态时间线的图。
- [0014] 图6是例示根据本发明的一种或多种技术的在应用、第一组件和GPU之间的示例通信的呼叫流程图。
- [0015] 图7是根据本公开的一种或多种技术的示例图形处理方法的流程图。
- [0016] 图8是根据本公开的一种或多种技术的示例图形处理方法的流程图。

具体实施方式

[0017] 系统、装置、计算机程序产品和方法的各个方面将在下文中参考附图进行更全面的描述。然而,本公开内容可以许多不同的形式来体现,并且不应当被解释为限于贯穿本公开内容所呈现的任何特定的结构或功能。相反,提供这些方面使得本公开将是周密且完整的,并且将向本领域技术人员充分传达本公开的范围。基于本文的教导内容,本领域技术人员应当理解,本公开的范围旨在覆盖本文公开的系统、装置、计算机程序产品和方法的任何方面,无论其是独立于本公开的其他方面实现的还是与本公开的其他方面组合实现的。例如,可使用本文中阐述的任何数量的方面来实现装置或实践方法。此外,本公开的范围旨在涵盖使用除了本文中所阐述的公开内容的各个方面之外或不同于本文中所阐述的公开内容的各个方面的其他结构、功能、或者结构和功能来实施的这样的装置或方法。本文中所公开的任何方面可以通过权利要求的一个或多个元素来体现。

[0018] 尽管本文中描述了各个方面,但是这些方面的许多变型和置换落在本公开的范围之内。尽管提及了本公开的各方面的一些潜在益处和优点,但是本公开的范围并不旨在限于特定的益处、用途或目标。相反,本公开的各方面旨在广泛地适用于不同的无线技术、系统配置、处理系统、网络和发送协议,其中的一些是通过示例的方式在附图和下文的描述中例示。具体实施方式和附图仅仅例示本公开而非限制本公开,本公开的范围由所附权利要求及其等效技术方案来定义。

[0019] 参考各种装置和方法呈现了若干个方面。这些装置和方法是通过各种框、组件、电路、过程、算法等(被统称为“元素”)在以下具体实施方式中描述并且在附图中例示的。可使用电子硬件、计算机软件或者它们的任何组合来实现这些元素。这些元素是作为硬件还是软件来实现取决于特定的应用和施加于整个系统的设计约束。

[0020] 例如,元素或元素的任何部分或元素的任何组合可以被实现为包括一个或多个处理器(其还可以被称为处理单元)的“处理系统”。处理器的示例包括微处理器、微控制器、图形处理单元(GPU)、通用GPU(GPGPU)、中央处理单元(CPU)、应用处理器、数字信号处理器(DSP)、精简指令集计算(RISC)处理器、片上系统(SOC)、基带处理器、专用集成电路(ASIC)、现场可编程门阵列(FPGA)、可编程逻辑器件(PLD)、状态机、门控逻辑件、分立硬件电路和被配置为执行本公开中描述的各种功能的其他合适硬件。处理系统中的一个或多个处理器可执行软件。软件可以广义地解释为指令、指令集、代码、代码段、程序代码、程序、子程序、软

件组件、应用、软件应用、软件包、例程、子例程、对象、可执行文件、执行线程、过程、函数等，无论是指软件、固件、中间件、微代码、硬件描述语言还是其他名称。

[0021] 术语“应用”可以是指软件。如本文所描述的，一种或多种技术可以指被配置为执行一个或多个功能的应用（例如，软件）。在此类示例中，应用可被存储在存储器（例如，处理器的片上存储器、系统存储器或任何其他存储器）中。本文中所描述的硬件（诸如处理器）可以被配置为执行应用。例如，应用可以被描述为包括代码，该代码在由硬件执行时使该硬件执行本文中所描述的一种或多种技术。作为示例，硬件可以从存储器访问代码并执行从存储器访问的代码，以执行本文中所描述的一种或多种技术。在一些示例中，在本公开中标识组件。在此类示例中，组件可以是硬件、软件或它们的组合。各组件可以是单独的组件或单个组件的子组件。

[0022] 在本文中所描述的一个或多个示例中，所描述的功能可以在硬件、软件或它们的任何组合中来实现。如果在软件中实现，则功能可作为一个或多个指令或代码在计算机可读介质上进行存储或编码。计算机可读介质包括计算机存储介质。存储介质可以是可被计算机访问的任何可用介质。通过举例而非限制的方式，此类计算机可读介质可以包括随机存取存储器（RAM）、只读存储器（ROM）、电可擦除可编程ROM（EEPROM）、光盘存储、磁盘存储、其他磁存储设备、上述类型的计算机可读介质的组合或者可以用于能够由计算机存取的指令或数据结构的形式存储计算机可执行代码的任何其他介质。

[0023] 如本文所使用的，术语“内容”的实例可指“图形内容”、“图像”等，而不管术语是否用作形容词、名词或言语的其他部分。在一些示例中，如本文所使用的，术语“图形内容”可指由图形处理流水线的一个或多个过程产生的内容。在另外的示例中，如本文所使用的，术语“图形内容”可指由被配置为执行图形处理的处理单元产生的内容。在又另外的示例中，如本文所使用的，术语“图形内容”可指由图形处理单元产生的内容。

[0024] 当在GPU处利用IFPC（例如，当GPU空闲时在命令提交之间使GPU功率降级）时，当GPU充当固定功能块且处理固定周期性工作负载时，IFPC退出时延可导致不必要的执行错误。此外，当GPU处理此类固定周期性工作负载时，与IFPC相关联的滞后暂停可能是多余的。多余的滞后暂停可能与不必要的功率消耗相关联。根据一个或多个方面，可将与定时器值相关的提示提供到图形管理单元（GMU）固件。因此，可以避免对于固定的周期性工作负载不必要的滞后暂停。此外，可基于定时器来提前与GPU的唤醒相关联的时间线，使得可消除处理器间通信控制器（IPCC）中断的接收与GPU变为唤醒且准备好处理命令的时间之间的延迟。延迟的消除可以带来性能优势。

[0025] 图1是例示被配置为实现本公开的一种或多种技术的示例内容生成系统100的框图。内容生成系统100包括设备104。设备104可以包括用于执行本文所描述的各种功能的一个或多个组件或电路。在一些示例中，设备104的一个或多个组件可以是SOC的组件。设备104可以包括被配置为执行本公开的一种或多种技术的一个或多个组件。在所示的示例中，设备104可以包括处理单元120、内容编码器/解码器122和系统存储器124。在一些方面，设备104可以包括数个组件（例如，通信接口126、收发器132、接收器128、发送器130、显示处理器127和一个或多个显示器131）。显示器131可指一个或多个显示器131。例如，显示器131可包括单个显示器或多个显示器，该多个显示器可包括第一显示器和第二显示器。第一显示器可以是左眼显示器，并且第二显示器可以是右眼显示器。在一些示例中，第一显示器和第

二显示器可接收用于在其上呈现的不同帧。在其他示例中,第一显示器和第二显示器可以接收用于在其上呈现的相同帧。在另外的示例中,图形处理的结果可不在设备上显示,例如,第一显示器和第二显示器可不接收用于在其上呈现的任何帧。相反,帧或图形处理结果可以被传递到另一设备。在一些方面,这可以被称为分割渲染。

[0026] 处理单元120可以包括内部存储器121。处理单元120可被配置为使用图形处理流水线107执行图形处理。内容编码器/解码器122可以包括内部存储器123。在一些示例中,设备104可包括处理器,该处理器可被配置为对由处理单元120生成的一个或多个帧执行一个或多个显示处理技术,然后通过一个或多个显示器131显示这些帧。虽然示例内容生成系统100中的处理器被配置为显示处理器127,但是应当理解,显示处理器127是处理器的一个示例,并且可使用其他类型的处理器、控制器等来代替显示处理器127。显示处理器127可以被配置为执行显示处理。例如,显示处理器127可以被配置为对由处理单元120生成的一个或多个帧执行一个或多个显示处理技术。一个或多个显示器131可以被配置为显示或以其他方式呈现由显示处理器127处理的帧。在一些示例中,一个或多个显示器131可包括以下项中的一者或多者:液晶显示器(LCD)、等离子体显示器、有机发光二极管(OLED)显示器、投影显示设备、增强现实显示设备、虚拟现实显示设备、头戴式显示器或任何其他类型的显示设备。

[0027] 在处理单元120和内容编码器/解码器122外部的存储器(诸如系统存储器124)可以是对于处理单元120和内容编码器/解码器122可访问的。例如,处理单元120和内容编码器/解码器122可以被配置为从外部存储器(诸如系统存储器124)读取和/或向外部存储器写入。处理单元120可通过总线通信地耦合到系统存储器124。在一些示例中,处理单元120和内容编码器/解码器122可通过该总线或经由不同连接通信地耦合到内部存储器121。

[0028] 内容编码器/解码器122可以被配置为从任何源(诸如系统存储器124和/或通信接口126)接收图形内容。系统存储器124可以被配置为存储接收到的编码或解码图形内容。内容编码器/解码器122可以被配置为以编码像素数据的形式例如从系统存储器124和/或通信接口126接收编码或解码图形内容。内容编码器/解码器122可以被配置为对任何图形内容进行编码或解码。

[0029] 内部存储器121或系统存储器124可以包括一个或多个易失性或非易失性存储器或存储设备。在一些示例中,内部存储器121或系统存储器124可包括RAM、静态随机存取存储器(SRAM)、动态随机存取存储器(DRAM)、可擦除可编程ROM(EPROM)、闪存存储器、磁性数据介质或光学存储介质或任何其他类型的存储器。根据一些示例,内部存储器121或系统存储器124可以是非暂态存储介质。术语“非暂态”可以指示存储介质不体现在载波或传播信号中。然而,术语“非暂态”不应被解释为意指内部存储器121或系统存储器124是不可移动的或者其内容是静态的。例如,系统存储器124可以从设备104移除并移动到另一设备。又如,系统存储器124可能不可从设备104移除。

[0030] 处理单元120可为CPU、GPU、GPGPU或可被配置为执行图形处理的任何其他处理单元。在一些示例中,处理单元120可以被集成到设备104的主板中。在另外的示例中,处理单元120可存在于安装在设备104的主板的端口中的显卡上,或者可以其他方式结合到被配置为与设备104互操作的外围设备中。处理单元120可包括一个或多个处理器,诸如一个或多个微处理器、GPU、ASIC、FPGA、算术逻辑单元(ALU)、DSP、离散逻辑件、软件、硬件、固件、其他

等效的集成或离散逻辑电路或它们的任何组合。如果技术部分地在软件中实现,则处理单元120可以将用于软件的指令存储在合适的非暂态计算机可读存储介质(例如,内部存储器121)中,并且可以使用一个或多个处理器执行在硬件中的指令,以执行本公开的技术。上述任一项(包括硬件、软件、硬件和软件的组合等)可以被认为是一个或多个处理器。

[0031] 内容编码器/解码器122可以是被配置为执行内容解码的任何处理单元。在一些示例中,内容编码器/解码器122可以被集成到设备104的主板中。内容编码器/解码器122可以包括一个或多个处理器,诸如一个或多个微处理器、专用集成电路(ASIC)、现场可编程门阵列(FPGA)、算术逻辑单元(ALU)、数字信号处理器(DSP)、视频处理器、离散逻辑、软件、硬件、固件、其他等效的集成或离散逻辑电路或它们的任何组合。如果技术部分地在软件中实现,则内容编码器/解码器122可以将用于软件的指令存储在合适的非暂态计算机可读存储介质(例如,内部存储器123)中,并且可以使用一个或多个处理器执行在硬件中的指令,以执行本公开的技术。上述任一项(包括硬件、软件、硬件和软件的组合等)可以被认为是一个或多个处理器。

[0032] 在一些方面,内容生成系统100可包括通信接口126。通信接口126可以包括接收器128和发送器130。接收器128可以被配置为执行本文中关于设备104描述的任何接收功能。附加地,接收器128可被配置为从另一设备接收信息,例如眼睛或头部位置信息、渲染命令和/或位置信息。发送器130可以被配置为执行本文中关于设备104描述的任何发送功能。例如,发送器130可以被配置为向另一设备发送信息,该信息可以包括对内容的请求。接收器128和发送器130可以组合成收发器132。在此类示例中,收发器132可以被配置为执行本文中关于设备104描述的任何接收功能和/或发送功能。

[0033] 再次参考图1,在某些方面中,处理单元120可以包括功率降级调度器198,该功率降级调度器被配置为从应用接收与退出IFPC状态相关联的定时器的时间段的指示。功率降级调度器198可以被配置为在触发与退出IFPC状态相关联的定时器时处理一个或多个预定义工作负载。功率降级调度器198可以被配置为在该一个或多个预定义工作负载完成处理时发起IFPC状态。功率降级调度器198可以被配置为在检测到定时器的截止时退出IFPC状态。尽管以下描述可以集中于图形处理,但是本文中描述的概念可以适用于其他类似的处理技术。

[0034] 设备诸如设备104可指被配置为执行本文所描述的一种或多种技术的任何设备、装置或系统。例如,设备可以是服务器、基站、用户装备、客户端设备、站、接入点、计算机(诸如,个人计算机、台式计算机、膝上型计算机、平板计算机、计算机工作站或大型计算机)、最终产品、装置、电话、智能电话、服务器、视频游戏平台或控制台、手持式设备(诸如,便携式视频游戏设备或个人数字助理(PDA))、可穿戴计算设备(诸如,智能手表、增强现实设备或虚拟现实设备)、非可穿戴设备、显示器或显示设备、电视、电视机顶盒、中间网络设备、数字媒体播放器、视频流式传输设备、内容流式传输设备、车载计算机、任何移动设备、被配置为生成图形内容的任何设备、或被配置为执行本文所描述的一种或多种技术的任何设备。本文的过程可被描述为由特定组件(例如,GPU)执行,但是在其他实施方案中,可使用符合所公开的实施方案的其他组件(例如,CPU)来执行。

[0035] GPU可以对GPU流水线中的多种类型的数据或数据分组进行处理。例如,在某些方面,GPU可以处理两种类型的数据或数据分组,例如,上下文寄存器分组和绘制调用数据。上

下文寄存器分组可以是一组全局状态信息,例如,关于全局寄存器、着色程序或常量数据的信息,它们可以调整将如何处理图形上下文。例如,上下文寄存器分组可以包括关于颜色格式的信息。在上下文寄存器分组的某些方面,可以存在指示哪个工作负载属于上下文寄存器的位。此外,可以同时和/或并行运行多个函数或程序。例如,函数或程序可以描述某个操作,例如,颜色模式或颜色格式。因此,上下文寄存器可以定义GPU的多种状态。

[0036] 上下文状态可以用于确定单个处理单元(例如,顶点提取器(VFD)、顶点着色器(VS)、着色器处理器或几何形状处理器)如何运行和/或处理单元以哪种模式运行。为了这样做,GPU可以使用上下文寄存器和编程数据。在一些方面,GPU可以基于模式或状态的上下文寄存器定义在流水线中生成工作负载,例如,顶点或像素工作负载。某些处理单元(例如,VFD)可以使用这些状态来确定某些功能,例如,如何聚集顶点。由于这些模式或状态可能会改变,因此GPU可能需要改变对应的上下文。另外,与模式或状态相对应的工作负载可以遵循改变的模式或状态。

[0037] 图2例示根据本公开的一种或多种技术的示例性GPU 200。如图2所示,GPU 200包括命令处理器(CP)210、绘制调用分组212、VFD 220、VS222、顶点高速缓存(VPC)224、三角形设置引擎(TSE)226、光栅化器(RAS)228、Z流程引擎(ZPE)230、像素内插器(PI)232、片段着色器(FS)234、渲染后端(RB)236、L2高速缓存(UCHE)238和系统存储器240。虽然图2显示了GPU 200包括处理单元220-238,但GPU 200可以包括多个附加处理单元。附加地,处理单元220-238仅是示例,并且可以由GPU根据本公开内容来使用处理单元的任何组合或顺序。GPU 200还包括命令缓冲器250、上下文寄存器分组260和上下文状态261。

[0038] 如图2所示,GPU可以利用CP(例如CP 210)或硬件加速器将命令缓冲器解析为上下文寄存器分组(例如上下文寄存器分组260)和/或绘制调用数据分组(例如绘制调用分组212)。随后,CP 210可以通过单独的路径将上下文寄存器分组260或绘制调用分组212传送到GPU中的处理单元或块。进一步地,命令缓冲器250可以交替上下文寄存器和绘制调用的不同状态。例如,命令缓冲器可以以下方式构造:上下文N的上下文寄存器、上下文N的绘制调用、上下文N+1的上下文寄存器和上下文N+1的绘制调用。

[0039] 在扩展现实(XR)流水线中,完整数据路径可以包括与两个设备相关联的两个SoC。配套设备可以生成视觉内容,并且可以将视觉内容传送到XR设备。该XR设备可接着基于用户的最新头部姿势执行诸如用于最终显示的后期再投影(LSR)等操作。特别是,LSR可以是可确保XR耳机对用户运动的响应性的特征。LSR可以帮助减少所感知的输入滞后并增强用户体验。作为LSR的一部分,可以使用来自头戴式耳机传感器的较新的运动信息将先前呈现的帧重新投影或扭曲为对正常呈现的帧看起来像什么的预测。特别是,XR设备中的GPU可以被用来使用深度、渲染姿势或最新头部姿势细节中的一者或多者来生成运动向量(MV)网格。

[0040] XR流水线可以被用来处理头部运动(例如,平移和旋转)或执行光学校正。在下文的一个或多个示例中,对XR的引用还可以包括对增强现实(AR)或虚拟现实(VR)的引用。

[0041] 图3是例示其中可以实践本公开的各方面的示例环境的框图300。特别是,图3中例示了示例XR流水线。在一些配置中,XR应用302可以使用图形应用编程接口(API)304来生成与MV网格生成相关联的命令。图形驱动器310(例如,图形内核驱动器或内核图形支持层(KGSL))可接收命令,并且可以与增强视觉分析(EVA)驱动器306通信以交换与XR流水线相

关联的适当数据和/或命令。此外,EVA固件308可以向GPU 312提供深度缓冲器细节(例如,经由主机固件接口(HFI)队列316),并且可以在LSR工作负载准备好由GPU 312处理时,经由IPCC 318以规则间隔在GPU 312处触发处理器间通信控制器(IPCC)中断(IPCC可以是用于在SoC级别管理处理器间中断的集中式块)。

[0042] 对于LSR使用情况,GPU 312可以被保留,并且可以充当固定功能块。此外,在LSR环境中,GPU 312内的图形管理单元(GMU)314可以总是启用的,并且可以监测来自EVA固件308的IPCC中断(换句话说讲,GMU 314和EVA固件308可以使用IPCC中断进行通信)。

[0043] 可能存在与XR流水线相关联的性能目标或目的。例如,运动到渲染到光子(“光子”可以指显示器诸如头戴式显示器(HMD)上的对应改变)时延(即,从配套设备到XR设备的时延)可以是大约50ms至55ms。此外,运动到光子的时延可以小于9ms。因此,满足性能目标并同时降低功率消耗可能是重要的。

[0044] 图形驱动器310不能够停用GMU 314的时钟/调节器以使GMU 314进入休眠状态,因为GMU 314可以始终监测来自EVA固件308的IPCC中断。为了利用另一潜在的功率节省机会,当GPU 312空闲时,GMU 314可以在命令提交(工作负载提交)之间使GPU 312功率降级。这可以被称为IFPC。特别是,IFPC可以是功率节省特征,其中GPU可以在帧之间被关闭。IFPC可以由GMU 314固件控制。基于IFPC,即使GPU空闲历时较短,GMU 314固件仍可关闭GPU。

[0045] 图4是例示根据一个或多个方面的与IFPC相关联的示例GPU状态时间线的图400。如果IFPC被启用,那么GPU可以在任何给定时间处于五种可能状态中的一者:启用状态(也称为A状态)、滞后暂停状态(也称为B状态)、IFPC进入状态(也称为C状态)、IFPC状态(也称为D状态)(当不存在GPU的工作负载时,GMU 314可关闭GPU的时钟和调节器;当处于IFPC状态时,GPU可被完全关闭),以及IFPC退出状态(也称为E状态)(当在GPU处于IFPC状态的同时提交新工作负载时,GMU 314可接通GPU的时钟和调节器;IFPC退出状态可以是对应于从IFPC状态到启用状态的转变的转变状态)。特别是,当处于启用(A)状态时,GPU可处理对应于当前样本的命令提交。滞后暂停(B)状态可为在GPU变为空闲时在开始IFPC进入(C)状态之前的暂停周期。IFPC进入(C)状态可对应于GMU关闭GPU的时钟及调节器可能花费的时间。当处于IFPC(D)状态时,GPU可以被完全关闭。此外,IFPC退出(E)状态可对应于GMU打开GPU的时钟及调节器所花费的时间。换句话说讲,如果IFPC被启用,则可能存在与进入和退出IFPC(D)状态相关联的时延。

[0046] 在一个示例中,如图4中所示,如果IFPC被启用,则在从EVA固件接收到IPCC中断402后,GMU固件可将GPU置于IFPC退出(E)状态中以便将GPU从IFPC(D)状态唤醒。因此,IFPC退出(E)状态可表示IRCC中断402的接收与GPU变为唤醒且准备好处理命令的时间之间的延迟。一旦GPU就绪且处于启用(A)状态,GPU便可处理与当前样本相关联的命令。一旦GPU完成命令的处理,GPU便可将命令完成中断提供到GMU。接下来,GMU可通过在EVA固件处触发反向IPCC中断来通知EVA固件用于当前样本的MV网格已准备好。

[0047] 滞后暂停(B)状态可以在GPU完成命令的处理的同时开始。一旦滞后暂停(B)状态截止,GMU就可通过首先将GPU置于IFPC进入(C)状态然后置于IFPC(D)状态来对GPU进行功率降级。

[0048] 如果在GPU完成命令的处理时存在任何立即附加工作负载,那么滞后暂停(B)状态可帮助避免不必要的IFPC进入及退出序列。例如,当GPU从CPU接收不可预测的工作负载时,

这可能是有用的。

[0049] 在例示性示例中,每秒可存在480个样本供GPU处理。换言之讲,两个相邻IPCC中断402之间的间隔可以是约2.08ms。基于投影,GPU可花费0.22ms来完成每个样本的MV网格产生。换言之讲,对于每个样本,GPU可处于启用(A)状态达约0.22ms。此外,因为两个相邻IPCC中断402之间的总历时可等于与所有五个GPU状态相关联的历时的总和,如图4中所示,并且可知道1)滞后暂停(B)状态的历时可各自为大约0.3ms,2)IFPC进入(C)状态的历时可各自为大约0.1ms,并且3)IFPC退出(E)状态的历时可各自为大约0.08ms,所以可计算出在此示例中IFPC(D)状态的每个示例的历时可以是大约1.38ms。换言之讲,对于两个相邻IPCC中断402之间的每个间隔,总GPU导轨启用历时可以是大约0.7ms。

[0050] 图5是例示根据一个或多个方面的与IFPC相关联的示例GPU状态时间线的图500。在一个或多个配置中,因为XR工作负载可为在整个LSR上下文中以固定间隔发生的持久类型,所以可采用如下文进一步详细描述的增加调适来进一步节省功率,同时可继续满足XR流水线性目标。特别是,返回参考图3,在一个配置中,XR应用302可以向GMU 314固件提供对应于定时器值(例如,T1)的提示。在另一配置中,提示可以在LSR上下文建立期间由EVA固件308提供给GMU 314固件。在又一配置中,图形驱动器310或GMU 314固件可基于机器学习技术导出提示。

[0051] 定时器值T1可以与EVA与GMU之间的流的控制相关,并且可以对应于由EVA固件传送给GMU固件的两个相邻IPCC中断502之间的间隔。因此,在一个或多个配置中,基于与IFPC退出(E)状态相关联的时延,GMU固件可以在从EVA固件接收到IPCC中断502时立即触发或复位定时器(例如,Tg)。可通过从定时器值T1减去与IFPC退出(E)状态相关联的时延来计算定时器Tg的值,即, $T_g = T_1 - E$ 状态的每实例历时。

[0052] 因此,GMU固件可以在定时器Tg截止时而非在接收到后续IPCC中断502'时开始唤醒GPU,使得用于唤醒GPU的时间线可提前且GPU可大约在GMU接收到后续IPCC中断502'时在启用(A)状态中准备好处理命令。因此,IPCC中断502'的接收与GPU变为唤醒且准备好处理命令的时间之间的延迟可以被消除或至少大大减少,并且GPU可以在接收到对应IPCC中断502'时立即开始检索并处理用于当前样本的命令。

[0053] 此外,一旦获得定时器值T1,GMU也可移除滞后暂停(B)状态(即,将滞后暂停历时设定为0),因为可知道,在LSR上下文中,在定时器Tg截止并接收到下一IPCC中断之前可能不存在任何进一步的立即的GPU工作负载。

[0054] 因为两个相邻IPCC中断502之间的总历时可等于与所有五个GPU状态相关联的历时的总和,如图5中所示,并且可知道1)滞后暂停(B)状态的历时可各自为0ms,2)IFPC进入(C)状态的历时可各自为大约0.1ms,并且3)IFPC退出(E)状态的历时可各自为大约0.08ms,所以可计算出在此示例中IFPC(D)状态的历时可以是大约1.68ms。换言之讲,对于两个相邻IPCC中断502之间的每个间隔,总GPU导轨启用历时可以为大约0.4ms。因此,与图4中所示的时间线相比,图5中的总GPU导轨启用历时可减少大约42%,这可以与对应功率节省相关联。

[0055] 因此,根据一个或多个方面,XR应用、EVA驱动器或图形驱动器(例如,图形内核驱动器)中的至少一者可将与定时器值T1相关的提示提供给GMU固件。因此,可以避免对于LSR上下文中的固定周期性工作负载而言不必要的滞后暂停。换言之讲,GPU可以在完成命令的处理时立即进入IFPC(D)状态。滞后暂停的避免可以节省功率。此外,GPU的唤醒可以在实际

接收到IPCC中断和对应工作负载之前开始。因此,可消除与IPCC中断的接收与GPU变为唤醒且准备好处理命令的时间之间的延迟相关联的处理命令的延迟。延迟的消除可以带来性能优势。

[0056] 在一个或多个配置中,与定时器值T1相关的提示可实现为图形API中的扩展,使得应用(例如,XR/AR/VR应用)可将定时器值T1(例如,到GPU的工作负载提交之间的间隔)传递到图形驱动器(例如,图形内核驱动器)。

[0057] 在一个或多个配置中,除GMU/GPU之外,如上所述的技术可类似地应用于其他知识产权(IP)块(例如,视频、EVA等)以改进相应IP块处的功率降级操作。

[0058] 图6是例示根据本发明的一种或多种技术的应用602(例如,XR应用302)、第一组件604(例如,EVA固件308)与GPU 606(包括GPU 606内的GMU)之间的示例通信的呼叫流程图600。在608处,GPU 606可以从应用602接收与退出IFPC状态相关联的定时器的时间段的指示。

[0059] 在一个配置中,定时器的时间段还可以至少部分地基于IFPC退出时延。

[0060] 在610处,GPU 606可接收开始处理一个或多个预定义工作负载的第一指示。用户空间可向GPU调度器(GMU)提交一个或多个预定义工作负载一次。此外,GPU调度器(GMU)可以在IPCC中断等事件时以规则间隔将一个或多个预定义工作负载重复地提交到GPU。

[0061] 在一个配置中,该一个或多个预定义工作负载可为一个或多个LSR工作负载(LSR工作负载可为基于深度缓冲器和头部姿势产生MV网格的预定义工作负载)。在进一步的配置中,该一个或多个预定义工作负载可为可重复地提交到GPU的任何工作负载。

[0062] 在一个配置中,第一指示可以是IPCC中断。

[0063] 在一个配置中,可以从调度器、应用或服务层中的至少一者接收第一指示。

[0064] 在一个配置中,该一个或多个预定义工作负载可以与XR应用、AR应用或VR应用中的至少一者相关联。

[0065] 在612处,GPU 606可以在接收到第一指示时触发定时器。

[0066] 在614处,GPU 606可以在触发与退出IFPC状态相关联的定时器时处理一个或多个预定义工作负载。

[0067] 在616处,GPU 606可以在该一个或多个预定义工作负载完成处理时发起IFPC状态。

[0068] 在618处,GPU 606可以检测定时器的截止。

[0069] 在620处,GPU 606可以在检测到定时器的截止时退出IFPC状态。

[0070] 在一个配置中,与定时器相关联的第一周期内的滞后暂停为0。

[0071] 在622处,GPU 606可接收开始处理一个或多个预定义工作负载的第二指示。

[0072] 图7是根据本公开的一种或多种技术的示例图形处理方法的流程图700。该方法可以由诸如以下项等装置来执行:用于图形处理的装置、GPU、CPU、无线通信设备等等(如结合图1至图6的各方面所使用的)。

[0073] 在702处,该装置可以从应用接收与退出IFPC状态相关联的定时器的时间段的指示。例如,参考图6,在608处,GPU 606可以从应用602接收与退出IFPC状态相关联的定时器的时间段的指示。此外,702可以由处理单元120执行。

[0074] 在704处,在触发与退出IFPC状态相关联的定时器时,该装置可处理一个或多个预

定义工作负载。例如,参考图6,在614处,GPU 606可以在触发与退出IFPC状态相关联的定时器时处理一个或多个预定义工作负载。此外,704可以由处理单元120执行。

[0075] 在706处,该装置可以在该一个或多个预定义工作负载完成处理时发起IFPC状态。例如,参考图6,在616处,GPU 606可以在该一个或多个预定义工作负载完成处理时发起IFPC状态。此外,706可以由处理单元120执行。

[0076] 在708处,该装置可以在检测到定时器的截止时退出IFPC状态。例如,参考图6,在620处,GPU 606可以在检测到定时器的截止时退出IFPC状态。此外,708可以由处理单元120执行。

[0077] 图8是根据本公开的一种或多种技术的示例图形处理方法的流程图800。该方法可以由诸如以下项等装置来执行:用于图形处理的装置、GPU、CPU、无线通信设备等等(如结合图1至图6的各方面所使用的)。

[0078] 在802处,该装置可以从应用接收与退出IFPC状态相关联的定时器的时间段的指示。例如,参考图6,在608处,GPU 606可以从应用602接收与退出IFPC状态相关联的定时器的时间段的指示。此外,802可以由处理单元120执行。

[0079] 在808处,在触发与退出IFPC状态相关联的定时器时,该装置可处理一个或多个预定义工作负载。例如,参考图6,在614处,GPU 606可以在触发与退出IFPC状态相关联的定时器时处理一个或多个预定义工作负载。此外,808可以由处理单元120执行。

[0080] 在810处,该装置可以在该一个或多个预定义工作负载完成处理时发起IFPC状态。例如,参考图6,在616处,GPU 606可以在该一个或多个预定义工作负载完成处理时发起IFPC状态。此外,810可以由处理单元120执行。

[0081] 在814处,该装置可以在检测到定时器的截止时退出IFPC状态。例如,参考图6,在620处,GPU 606可以在检测到定时器的截止时退出IFPC状态。此外,814可以由处理单元120执行。

[0082] 在一个配置中,在804处,该装置可接收开始处理该一个或多个预定义工作负载的第一指示。例如,参考图6,在610处,GPU 606可接收开始处理一个或多个预定义工作负载的第一指示。此外,804可以由处理单元120执行。

[0083] 在806处,该装置可以在接收到第一指示时触发定时器。例如,参考图6,在612处,GPU 606可以在接收到第一指示时触发定时器。此外,806可以由处理单元120执行。

[0084] 在812,该装置可以检测定时器的截止。例如,参考图6,在618处,GPU 606可检测定时器的截止。此外,812可以由处理单元120执行。

[0085] 在一个配置中,一个或多个预定义的工作负载可以是一个或多个LSR工作负载。

[0086] 在一个配置中,第一指示可以是IPCC中断。

[0087] 在一个配置中,可以从调度器、应用或服务层中的至少一者接收第一指示。

[0088] 在一个配置中,该一个或多个预定义工作负载可以与XR应用、AR应用或VR应用中的至少一者相关联。

[0089] 在一个配置中,在816处,该装置可接收开始处理该一个或多个预定义工作负载的第二指示。例如,参考图6,在622处,GPU 606可接收开始处理一个或多个预定义工作负载的第二指示。此外,816可以由处理单元120执行。

[0090] 在一个配置中,参考图6,在检测到定时器的截止时退出IFPC状态可以包括在GPU

606处退出IFPC状态。

[0091] 在一个配置中,定时器的时间段还可以至少部分地基于IFPC退出时延。

[0092] 在一个配置中,与定时器相关联的第一周期内的滞后暂停可以是0。

[0093] 在配置中,提供了用于图形处理的方法或装置。该装置可以是GPU、CPU或可以执行图形处理的某个其他处理器。在各方面,该装置可以是设备104内的处理单元120,或者可以是设备104或另一设备内的某个其他硬件。该装置可以包括用于从应用接收与退出IFPC状态相关联的定时器的时间段的指示的构件。该装置可进一步包括用于在触发与退出IFPC状态相关联的定时器时处理一个或多个预定义工作负载的构件。该装置可进一步包括用于在完成处理该一个或多个预定义工作负载时发起该IFPC状态的构件。该装置可进一步包括用于在检测到该定时器的截止时退出IFPC状态的构件。

[0094] 在一个配置中,该装置可进一步包括用于接收开始处理该一个或多个预定义工作负载的第一指示的构件。该装置可进一步包括用于在接收到第一指示时触发定时器的构件。该装置可以进一步包括用于检测定时器的截止的构件。在一个配置中,一个或多个预定义的工作负载可以是一个或多个LSR工作负载。在一个配置中,第一指示可以是IPCC中断。在一个配置中,可以从调度器、应用或服务层中的至少一者接收第一指示。在一个配置中,该一个或多个预定义工作负载可以与XR应用、AR应用或VR应用中的至少一者相关联。在一个配置中,该装置可进一步包括用于接收开始处理该一个或多个预定义工作负载的第二指示的构件。在一个配置中,在检测到定时器的截止时退出IFPC状态可以包括在GPU处退出IFPC状态。在一个配置中,定时器的时间段还可以至少部分地基于IFPC退出时延。在一个配置中,与定时器相关联的第一周期内的滞后暂停可以是0。

[0095] 应当理解,本文所公开的过程、流程图和/或呼叫流程图中的框/步骤的特定顺序或层级只是对示例方法的例示。应当理解,基于设计偏好,可对这些过程、流程图和/或呼叫流程图中的框/步骤的特定顺序或层级进行重新排列。此外,一些框/步骤可被组合或省略。也可添加其他框/步骤。所附的方法权利要求以样例顺序给出了各种框/步骤的元素,但并不意味着受限于所给出的特定顺序或层级。

[0096] 提供前面的描述是为了使本领域的任何技术人员能够实践本文所述的各个方面。对这些方面的各种修改对于本领域技术人员而言将是显而易见的,并且本文中所定义的通用原理可应用于其他方面。因此,权利要求并不旨在限于本文所示出的各方面,而是应被赋予与权利要求的语言相一致的全部范围,其中除非特别说明,否则以单数形式对元素的引用并不旨在表示“一个且仅一个”,而是表示“一个或多个”。词语“示例性”在本文中用于意指“用作示例、实例、或例示”。本文中被描述为“示例性”的任何方面不一定被解释为比其他方面优选或具有优势。

[0097] 除非另外特别说明,否则术语“一些”指代一个或多个,并且在上下文没有另外规定的情况下,术语“或”可以被解释为“和/或”。诸如“A、B或C中的至少一者”、“A、B或C中的一者或多者”、“A、B和C中的至少一者”、“A、B和C中的一者或多者”以及“A、B、C或它们的任何组合”之类的组合,包括A、B和/或C的任何组合,其可以包括多个A、多个B或多个C。具体而言,诸如“A、B或C中的至少一者”、“A、B或C中的一者或多者”、“A、B和C中的至少一者”、“A、B和C中的一者或多者”以及“A、B、C或它们的任何组合”之类的组合可以是仅A、仅B、仅C、A和B、A和C、B和C或A和B和C,其中任何此类组合可以包含A、B或C的一个或多个成员。贯穿本公开描

述的各个方面的元素的对于本领域普通技术人员来说是已知的或稍后将是已知的所有结构和功能等同方案以引用方式明确并入本文,并且旨在被权利要求所涵盖。此外,无论权利要求书中是否明确地叙述了此类公开,本文所公开的任何内容均不旨在向公众公开。“模块”、“机构”、“元素”、“设备”等词不能替代“构件”一词。因此,没有权利要求元素将被理解为功能构件,除非该元素明确地使用短语“用于……的构件”来记载。

[0098] 在一个或多个示例中,本文中所描述的功能可以在硬件、软件、固件或它们的任何组合中实现。例如,尽管贯穿本公开使用了术语“处理单元”,但是此类处理单元可以在硬件、软件、固件或它们的任何组合中实现。如果在本文中描述的任何功能、处理单元、技术或其他模块以软件实现,则在本文中所描述的功能、处理单元、技术或其他模块可以作为一个或多个指令或代码存储在计算机可读介质上或在计算机可读介质上发送。

[0099] 计算机可读介质可以包括计算机数据存储介质和通信介质,这些介质包括促进计算机程序从一处向另一处传递的任何介质。以这种方式,计算机可读介质通常可对应于:(1) 非暂态的有形计算机可读存储介质;或(2) 通信介质,诸如信号或载波。数据存储介质是可以可以由一个或多个计算机或者一个或多个处理器访问以提取用于实现在本公开中描述的技术的指令、代码和/或数据结构的任何可用介质。作为示例而非限制,此类计算机可读介质可包括RAM、ROM、EEPROM、压缩光盘只读存储器(CD-ROM)或其他光盘存储装置、磁盘存储装置或其他磁存储设备。如本文所使用的,磁盘和光盘包括压缩光盘(CD)、激光光盘、光盘、数字通用光盘(DVD)、软盘和蓝光光盘,其中磁盘通常磁性地复制数据,而光盘则用激光来光学地复制数据。上述的组合应也被包括在计算机可读介质的范围内。计算机程序产品可以包括计算机可读介质。

[0100] 本公开的技术可以在各种各样的设备或装置中实现,包括无线手机、集成电路(IC)或IC组(例如,芯片组)。本公开中描述了各种组件、模块或单元,以强调被配置为执行所公开技术的设备的功能方面,但不一定需要由不同的硬件单元来实现。相反,如上所述,各种单元可以被组合在任何硬件单元中,或者由可互操作的硬件单元的集合(包括如上所述的一个或多个处理器)结合合适的软件和/或固件来提供。因此,如本文所用的术语“处理器”可以是指任何上述结构或适于实现本文中所描述的技术的任何其他结构。同样,这些技术可以在一个或多个电路或逻辑元件中被完全实现。

[0101] 以下方面仅是例示性的并且可以与本文描述的其他方面或教导内容相结合,而不受限制。

[0102] 方面1是一种图形处理方法,所述图形处理方法包括:从应用接收与退出IFPC状态相关联的定时器的时间段的指示;在触发与退出所述IFPC状态相关联的所述定时器时,处理一个或多个预定义工作负载;在所述一个或多个预定义工作负载完成处理时发起所述IFPC状态;当检测到所述定时器的截止时退出所述IFPC状态。

[0103] 方面2可以与方面1组合,并且进一步包括:接收开始处理所述一个或多个预定义工作负载的第一指示;在接收到所述第一指示时触发所述定时器;以及检测所述定时器的所述截止。

[0104] 方面3可以与方面2组合,并且包括所述一个或多个预定义工作负载是一个或多个LSR工作负载。

[0105] 方面4可以与方面2和方面3中的任一项组合,并且包括所述第一指示是IPCC中断。

[0106] 方面5可以与方面2至方面4中的任一项组合,并且包括所述第一指示是从调度器、所述应用或服务层中的至少一者接收的。

[0107] 方面6可以与方面2至方面5中的任一项组合,并且包括一个或多个预定义工作负载与XR应用、AR应用或VR应用中的至少一者相关联。

[0108] 方面7可以与方面2至方面6中的任一项组合,并且进一步包括接收开始处理所述一个或多个预定义工作负载的第二指示。

[0109] 方面8可以与方面1至方面7中的任一项组合,并且包括在检测到所述定时器的所述截止时退出所述IFPC状态包括在GPU处退出所述IFPC状态。

[0110] 方面9可以与方面1至方面8中的任一项组合,并且包括所述定时器的所述时间段还是至少部分基于IFPC退出时延的。

[0111] 方面10可以与方面1至方面9中的任一项组合,并且包括在与定时器相关联的第一周期内的滞后暂停为0。

[0112] 方面11是一种包括至少一个处理器的用于图形处理的装置,该至少一个处理器耦合到存储器并且被配置为实现如方面1至方面10中的任一项所述的方法。

[0113] 方面12可以与方面11组合,并且包括所述装置是无线通信设备。

[0114] 方面13是一种用于图形处理的装置,所述装置包括用于实现根据方面1至方面10中的任一项所述的方法的构件。

[0115] 方面14是一种存储计算机可执行代码的非暂态计算机可读介质,所述代码在由至少一个处理器执行时使所述至少一个处理器实现根据方面1至方面10中的任一项所述的方法。

[0116] 本文已经描述了各方面。这些和其他方面在以下权利要求的范围内。

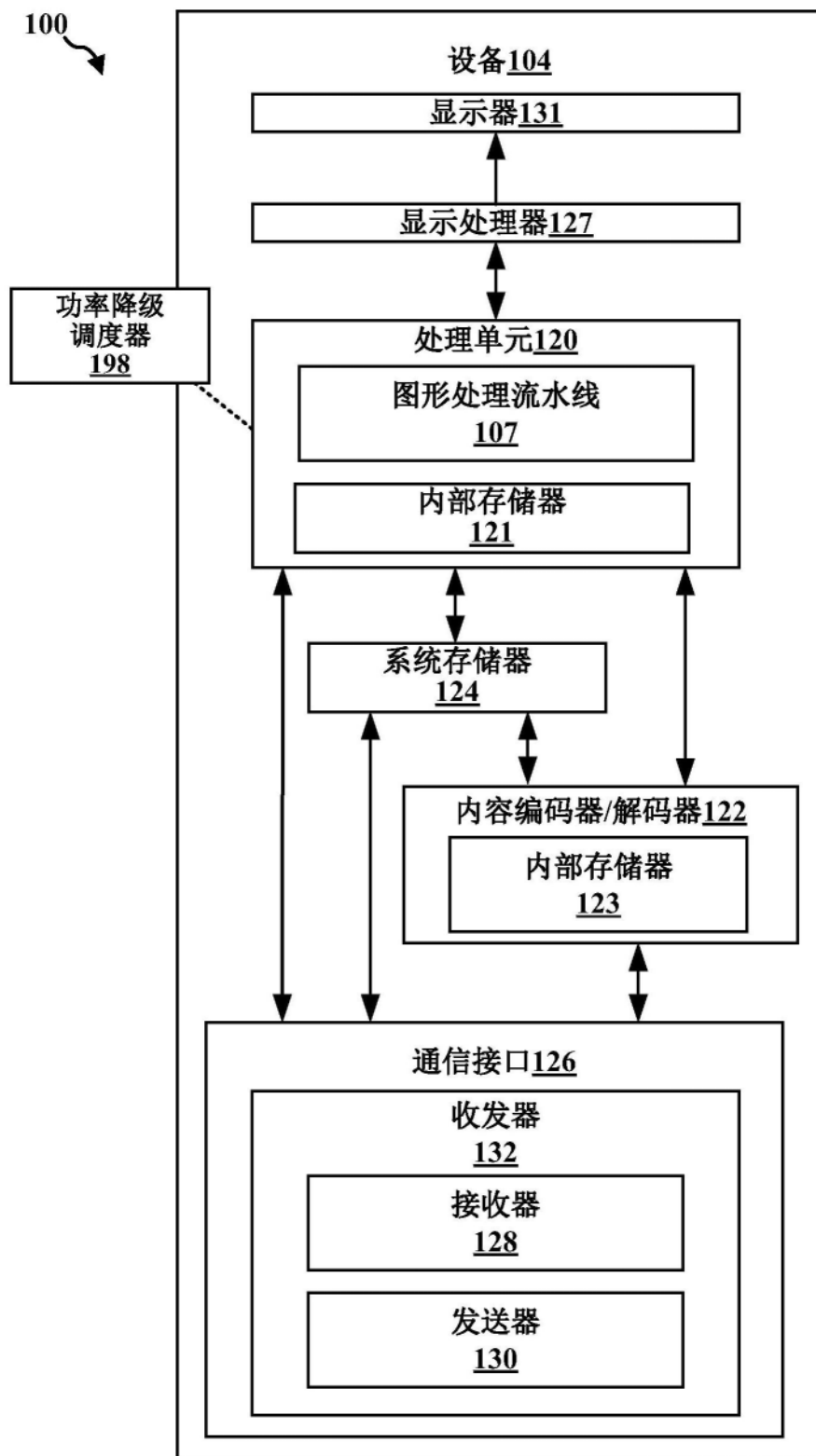


图1

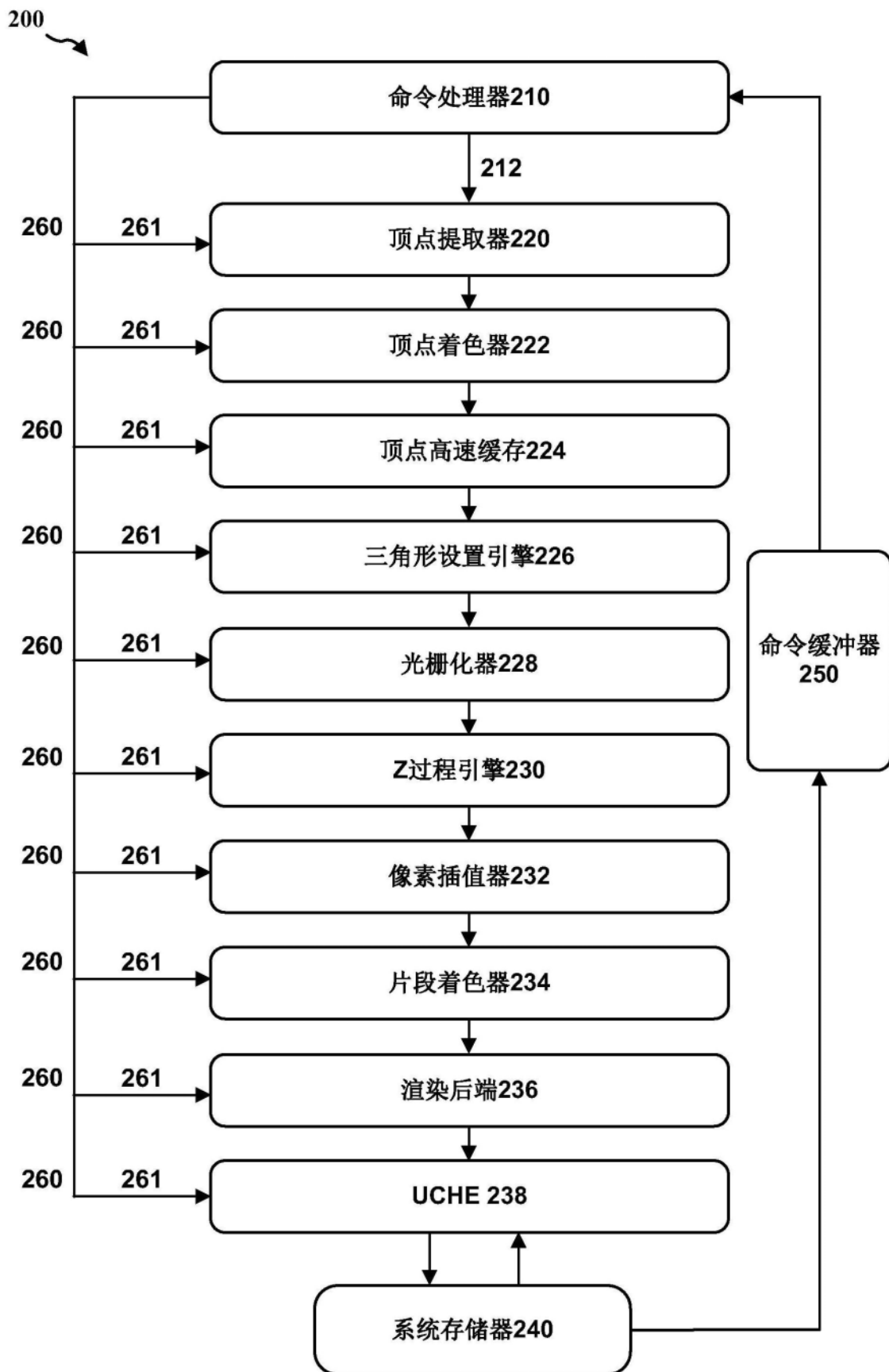


图2

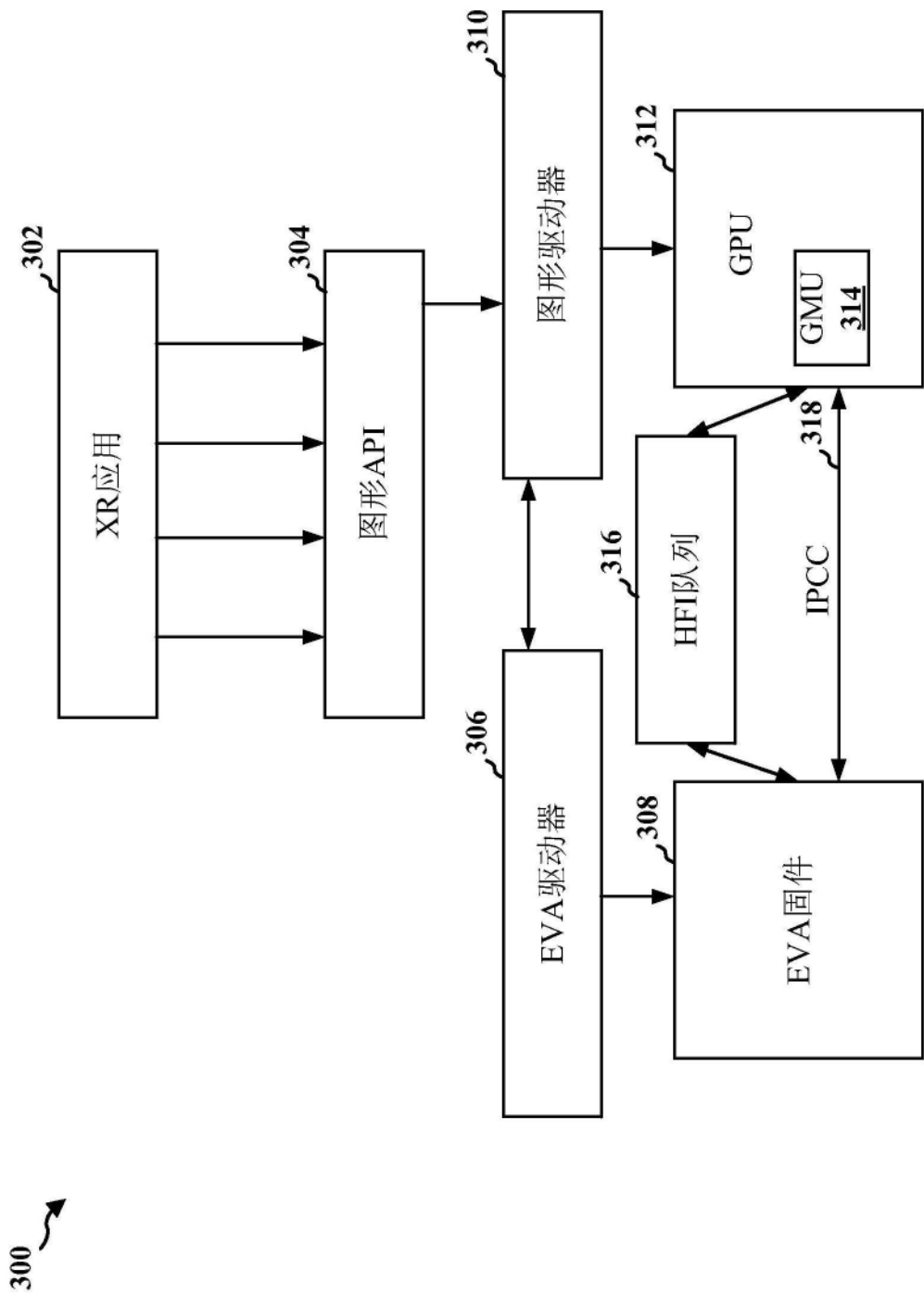


图3

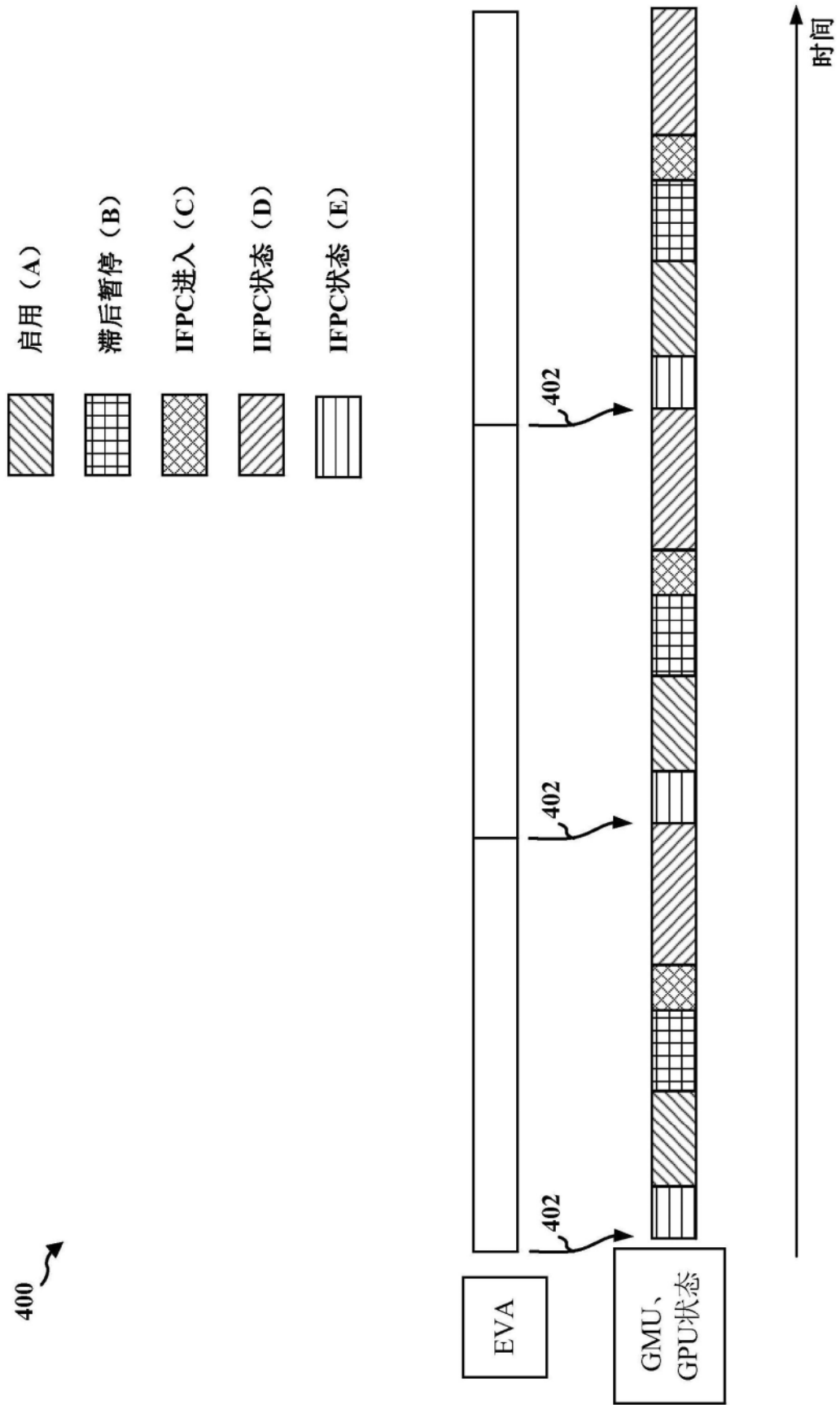


图4

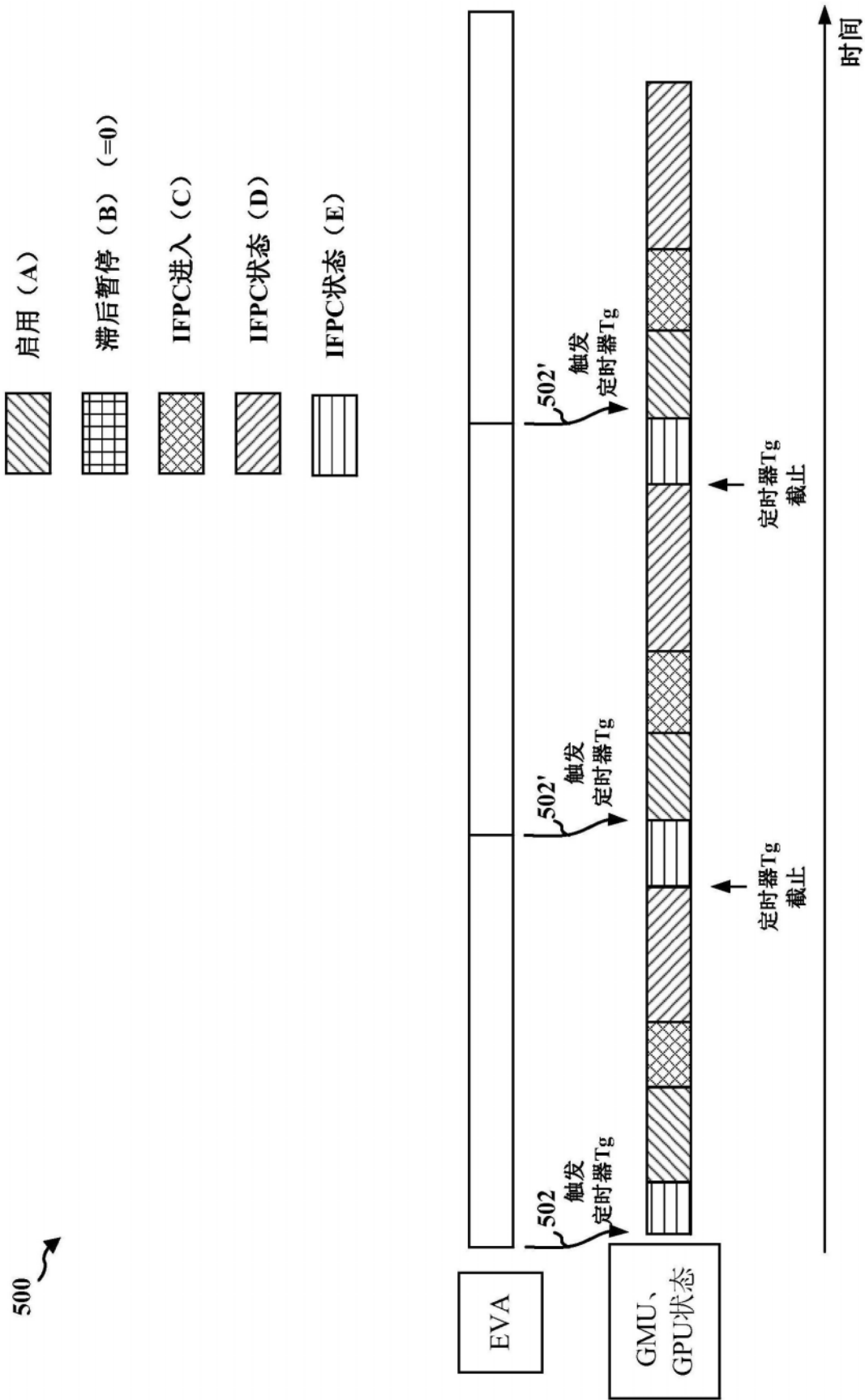


图5

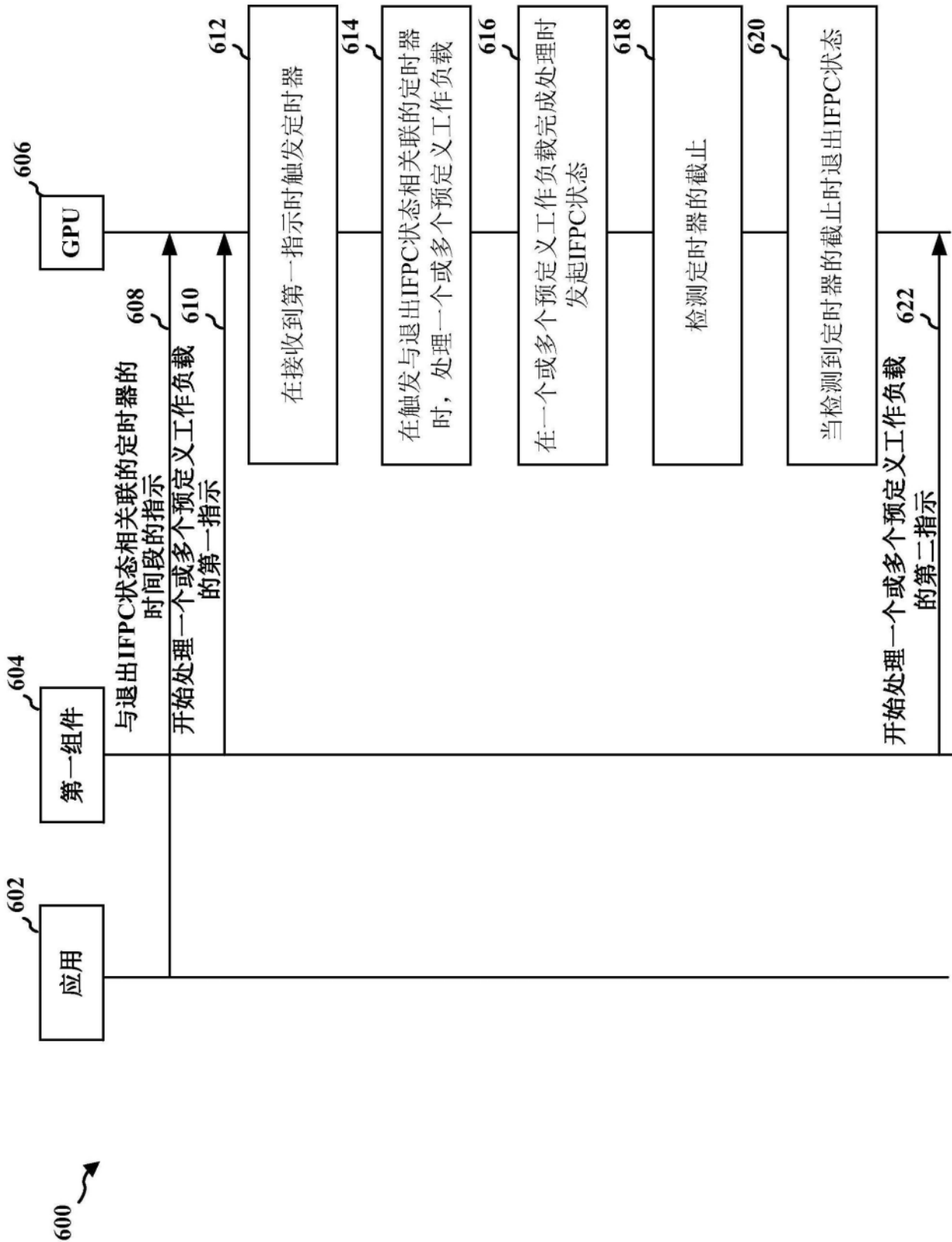


图6

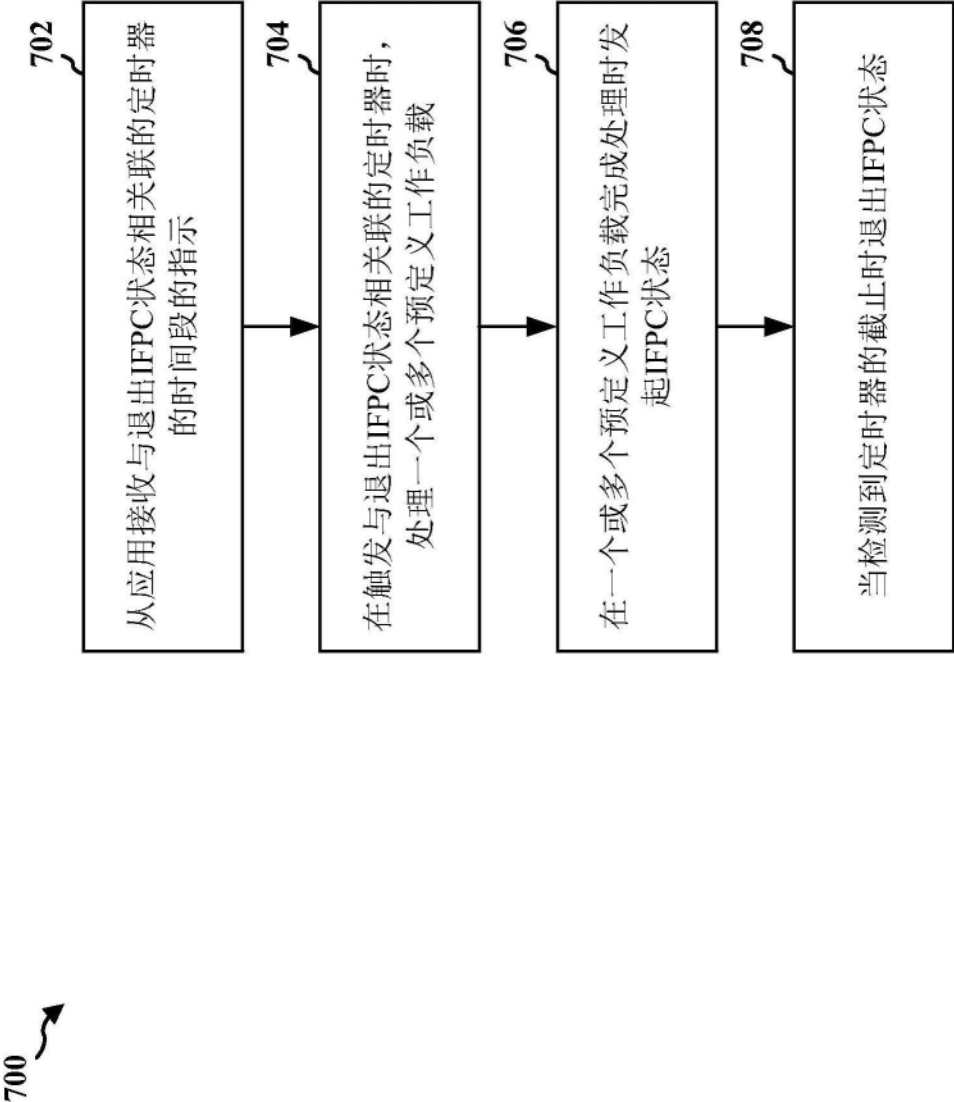


图7

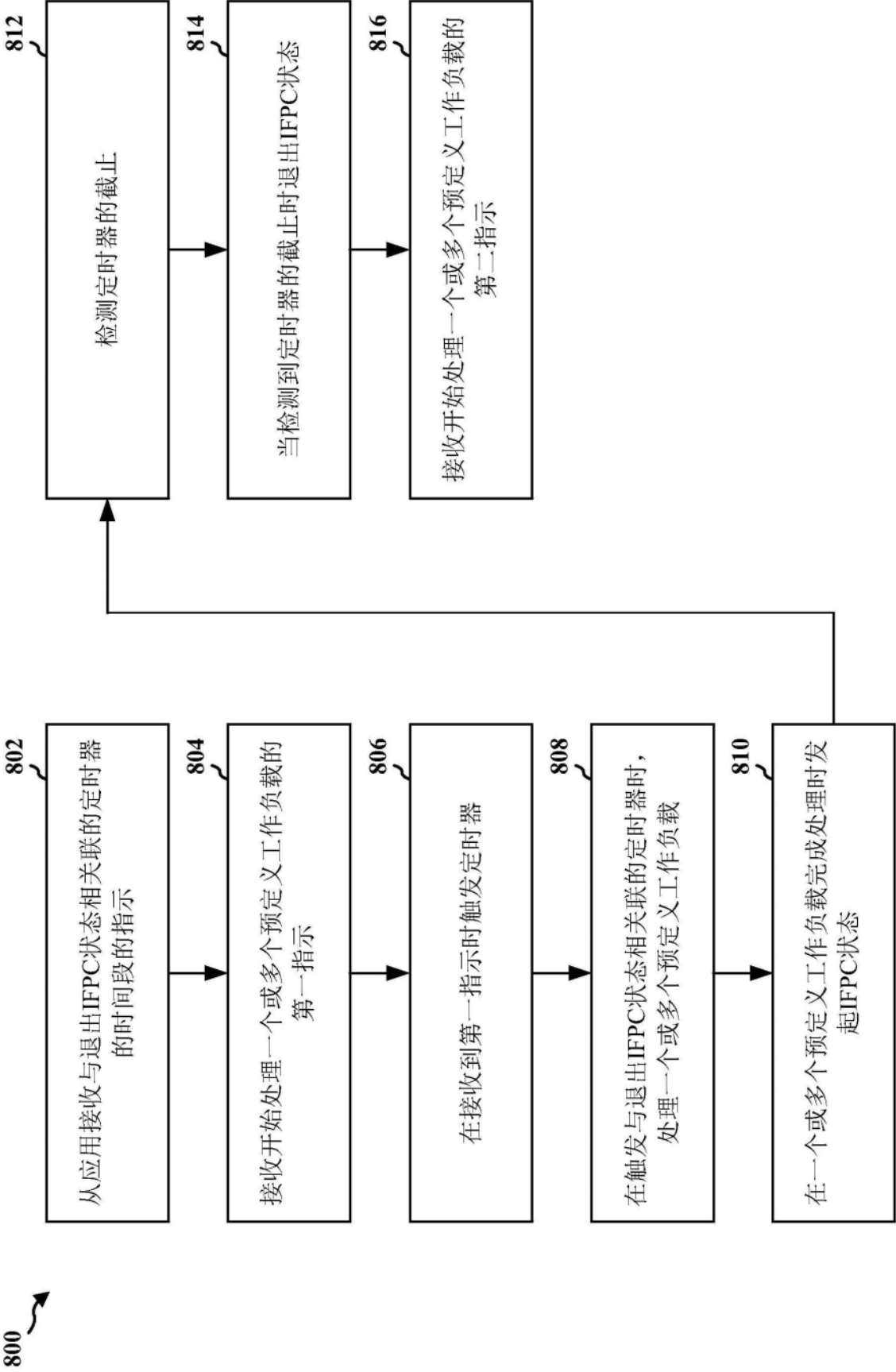


图8