

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5723621号
(P5723621)

(45) 発行日 平成27年5月27日 (2015. 5. 27)

(24) 登録日 平成27年4月3日 (2015. 4. 3)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 2 2

H O 1 L 21/28 (2006. 01)

H O 1 L 21/28 3 0 1 B

H O 1 L 29/47 (2006. 01)

H O 1 L 29/48 F

H O 1 L 29/872 (2006. 01)

H O 1 L 29/58 G

H O 1 L 29/423 (2006. 01)

H O 1 L 29/78 6 1 6 T

請求項の数 11 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2011-25764 (P2011-25764)
 (22) 出願日 平成23年2月9日 (2011. 2. 9)
 (65) 公開番号 特開2011-187949 (P2011-187949A)
 (43) 公開日 平成23年9月22日 (2011. 9. 22)
 審査請求日 平成26年2月5日 (2014. 2. 5)
 (31) 優先権主張番号 特願2010-27835 (P2010-27835)
 (32) 優先日 平成22年2月10日 (2010. 2. 10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 審査官 山口 大志

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

第 1 の表面と、前記第 1 の表面と反対側の第 2 の表面とを有する半導体層と、
 前記半導体層の前記第 1 の表面に接するソース電極と、
 前記半導体層の前記第 1 の表面に接するドレイン電極と、
 前記ソース電極と前記ドレイン電極との間において、前記半導体層の前記第 1 の表面に
 接する第 1 の導体電極と、
 前記半導体層の前記第 2 の表面上のゲート絶縁膜と、
 前記ゲート絶縁膜上のゲートと、を有し、
 前記半導体層は、チャネル幅方向において、第 1 の端部と、前記第 1 の端部と対向する
 第 2 の端部を有し、

前記第 1 の導体電極は、前記第 1 の表面において、前記半導体層の前記第 1 の端部から
 前記第 2 の端部にわたって位置し、
 前記半導体層は酸化物半導体を有する電界効果トランジスタ。

【請求項 2】

請求項 1 において、
 前記第 1 の導体電極は、前記ソース電極又は前記ドレイン電極の一方と同じ電位である
 電界効果トランジスタ。

【請求項 3】

請求項 1 又は請求項 2 において、

10

20

前記ソース電極の前記半導体層と接する部分の仕事関数、及び前記ドレイン電極の前記半導体層と接する部分の仕事関数は、前記半導体層の電子親和力と0.3電子ボルトとの和よりも小さい電界効果トランジスタ。

【請求項4】

請求項1乃至請求項3のいずれかーにおいて、

前記ソース電極と前記半導体層、及び前記ドレイン電極と前記半導体層は、オーミック接合である電界効果トランジスタ。

【請求項5】

請求項1乃至請求項4のいずれかーにおいて、

前記第1の導体電極の前記半導体層と接する部分の仕事関数は、前記半導体層の電子親和力と0.6電子ボルトの和よりも大きい電界効果トランジスタ。

10

【請求項6】

請求項1乃至請求項5のいずれかーにおいて、

前記第1の導体電極と前記半導体層とはショットキーバリア型接合である電界効果トランジスタ。

【請求項7】

請求項1乃至請求項6のいずれかーにおいて、

前記酸化物半導体層は、インジウムとガリウムと亜鉛とを有する電界効果トランジスタ

。

【請求項8】

20

請求項1乃至請求項7のいずれかーにおいて、

前記半導体層の前記第1の表面に接する第2の導体電極を有し、

前記第2の導体電極は、前記ソース電極と前記ドレイン電極との間に設けられ、

前記第2の導体電極は、前記第1の導体電極とは離間して設けられ、

前記第2の導体電極は、前記半導体層の前記第1の端部から前記第2の端部にわたって位置する電界効果トランジスタ。

【請求項9】

請求項8において、

前記第2の導体電極は、前記ソース電極又は前記ドレイン電極の他方と同じ電位である電界効果トランジスタ。

30

【請求項10】

請求項1乃至請求項9のいずれかーにおいて、

前記半導体層は、ドナーあるいはアクセプタを含む第1のドーピング領域と第2のドーピング領域とを有する電界効果トランジスタ。

【請求項11】

請求項10において、

前記第1のドーピング領域および前記第2のドーピング領域のドナーあるいはアクセプタの濃度は $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 未満である電界効果トランジスタ。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、半導体を用いた電界効果トランジスタ(FET)に関する。

【背景技術】

【0002】

電界効果トランジスタ(FET)とは、半導体にソース、ドレインという領域を設け、それぞれに電極を設けて、電位を与え、絶縁膜あるいはショットキーバリアを介してゲートとよばれる電極より半導体に電界をかけ、半導体の状態を制御することにより、ソースとドレイン間に流れる電流を制御するものである。用いられる半導体としては、珪素やゲルマニウム等のIV族元素(14族元素)やガリウムヒ素、インジウムリン、窒化ガリウム

50

等のⅢⅢⅢ-Ⅴ族化合物、硫化亜鉛、カドミウムテルル等のⅢⅢⅢ-ⅤⅢ族化合物等が挙げられる。

【0003】

近年、酸化亜鉛や酸化インジウムガリウム亜鉛系化合物等の酸化物を半導体として用いたFETが報告された(特許文献1および特許文献2)。これらの酸化物半導体を用いたFETでは、比較的大きな移動度が得られると共に、それらの材料が3電子ボルト以上の大きなバンドギャップを有するが故に、酸化物半導体を用いたFETをディスプレイやパワーデバイス等に応用することが議論されている。

【0004】

例えば、バンドギャップが3電子ボルト以上ということは、可視光に対して透明であるので、ディスプレイとして用いた場合、FET部分も光を透過でき、開口率が向上することが期待される。

【0005】

また、このような大きなバンドギャップという特徴は、パワーデバイスに用いられる炭化珪素と同じなので、同様にパワーデバイスとなることが期待される。

【0006】

さらに、バンドギャップが大きいということは、熱励起キャリアが少ないことを意味する。例えば、室温において、珪素では、バンドギャップが1.1電子ボルトであるので、熱励起キャリアは $10^{11}/\text{cm}^3$ 程度であるが、バンドギャップが3.2電子ボルトの半導体では、熱励起キャリアは $10^{-7}/\text{cm}^3$ 程度と計算される。

【0007】

珪素の場合、全く、不純物を含まないものを作っても、熱励起によるキャリアが上記のように存在するため、抵抗率は、 10^5 cm 以上とできないが、バンドギャップが3.2電子ボルトの半導体では、理論的には、 10^{20} cm 以上の抵抗率が得られる。このような半導体でFETを作製し、オフ状態(ゲートの電位がソースの電位と同じ状態)における高い抵抗率を用いれば、電荷を半永久的に閉じこめることも可能となると期待される。

【0008】

ところで、特に亜鉛もしくはインジウムを有する酸化物半導体においては、これまで、P型の導電性を示すものはほとんど報告されていない。そのため、珪素のFETのようなPN接合を用いたものは報告されておらず、特許文献1および特許文献2にあるように、N型の酸化物半導体に導体電極を接触させた導体半導体接合によって、ソース、ドレインに相当するものを形成していた。

【0009】

なお、一般的な半導体関連の学術書では「導体半導体接合」は「金属半導体接合」と表記される。この場合、金属とは、導体という意味である。例えば、高濃度にドーピングされ、抵抗率が著しく低下した珪素等の半導体(特に縮退半導体)や、窒化チタン、窒化タングステン等の金属窒化物や酸化錫インジウムや酸化アルミニウム亜鉛等の金属酸化物等も「金属半導体接合」では金属として扱われる。しかしながら、そのような場合、「金属」という用語は誤解を招きやすいので、本明細書では「金属半導体接合」ではなく「導体半導体接合」と表記する。

【0010】

さて、導体半導体接合によって、ソース、ドレインに相当するものを形成したFETでは、用いる半導体のキャリア濃度が大きいと、オフ状態でもソース電極とドレイン電極の間に電流(オフ電流)が流れてしまう。そこで、半導体中のドナーあるいはアクセプタの濃度を低減させて、I型とすることにより、オフ電流を低減することが望まれた。なお、本明細書では、ドナーあるいはアクセプタに由来するキャリア濃度が $10^{12}/\text{cm}^3$ 以下の半導体をI型という。しかしながら、このような試みは、FETのチャネル長を短くし、半導体層を厚くすると適用できないことが明らかとなった。

【0011】

10

20

30

40

50

一般に、導体半導体接合においては、導体の仕事関数と半導体の電子親和力（あるいはフェルミ準位）の関係によって、オーミック接合になったり、ショットキーバリア型接合になったりする。例えば、電子親和力が4.3電子ボルトの半導体に、仕事関数3.9電子ボルトの導体を接触させ、理想的な（すなわち、界面に化合物やトラップ準位等がない）導体半導体接合を形成したとすると、導体から半導体の一定の幅を有する領域へ電子が流入する。

【0012】

その場合、導体と半導体の接合界面に近いほど電子の濃度が高く、大雑把な計算では、電子濃度は、導体半導体接合界面から数nmでは $10^{20} / \text{cm}^3$ 、数十nmでは $10^{18} / \text{cm}^3$ 、数百nmでは $10^{16} / \text{cm}^3$ 、数 μm でも $10^{14} / \text{cm}^3$ である。すなわち、半導体自体がI型であっても、導体との接触によって、キャリア濃度の高い領域ができてしまう。このようなキャリアの多い領域が導体半導体接合界面近傍にできることにより、導体半導体接合はオーミック接合となる。

10

【0013】

一方、例えば、電子親和力が4.3電子ボルトの半導体に、仕事関数4.9電子ボルトの導体を接触させ、理想的な導体半導体接合を形成したとすると、半導体のある幅の領域に存在する電子が導体へ移動する。電子がなくなった領域では、当然のことながら、電子の濃度は極めて低くなる。電子が移動する半導体の領域の幅は、半導体の電子濃度に依存し、例えば、ももとの半導体の電子濃度が $10^{18} / \text{cm}^3$ であれば、数十nmである。

【0014】

20

そして、この部分の電子濃度が著しく低くなるため、バンド図においては、導体と半導体との接合界面において、バリアができる。このようなバリアを有する導体半導体接合をショットキーバリア型接合という。電子は、半導体から導体へは流れやすいが、導体から半導体へは、バリアがあるため流れにくい。したがって、ショットキーバリア型接合では整流作用が観測される。

【0015】

同様のことは、導体が直接、半導体に接していなくても起こる。例えば、半導体と導体との間に絶縁膜が存在する場合にも半導体の電子濃度は導体の影響を受ける。もちろん、その程度は、絶縁膜の厚さや誘電率により影響される。絶縁膜が厚くなるか、誘電率が低くなれば、導体の影響は小さくなる。

30

【0016】

FETにおいて、ソース電極と半導体あるいはドレイン電極と半導体との接合は、電流が流れやすいことが好ましいので、オーミック接合となるようにソース電極あるいはドレイン電極の材料が選択される。例えば、チタンや窒化チタン等である。電極と半導体との接合がオーミック接合であると、得られるFETの特性が安定し、良品率が高くなるというメリットもある。

【0017】

また、ゲートの材料としては、半導体の電子を排除する作用を有する材料が選択される。例えば、タングステンや白金等である。このような材料を用いて、半導体のサイズ（典型的には、ソース電極とドレイン電極の間隔） L と実効的なゲート絶縁膜と半導体の厚さの和 T の比率 L/T が10以上であれば、オフ電流が $1 \times 10^{-18} \text{ A}$ 以下の極めて小さいFETを作製できる。ここで、 $T = (\text{ゲート絶縁膜の厚さ} \times \text{半導体の誘電率} / \text{ゲート絶縁膜の誘電率}) + \text{半導体の厚さ}$ 、で算出される。

40

【0018】

オン状態の電流（オン電流）を大きくするためや、薄膜形成技術の限界、あるいは微細化の結果等の理由により、比率 L/T は低下することが要求されている。例えば、半導体層を厚くすれば、断面積が大きくなるので、より多くの電流を流すことができる。また、半導体層やゲート絶縁層の厚さを量産できる限界まで薄くし、さらに、チャネル（ソース電極とドレイン電極の間の距離）を短くすると、相対的に L が T に対して小さくなる。また、パワーデバイスへの応用では、耐圧を高めるために、ゲート絶縁膜を厚くすることも求

50

められる。

【0019】

しかしながら、このような構造では、比率 L/T が4以下となると、オフ電流を低く保つことは不可能となった。同様な現象は、 L を 100 nm 未満、あるいは T を $1\text{ }\mu\text{ m}$ 以上とすることによっても観測される。その原因を図7を用いて説明する。図7(A)には導体半導体接合を有する典型的なFETの構造を示す。すなわち、半導体層11の一方の面にソース電極13aとドレイン電極13bを有する。また、半導体層11の他方の面にはゲート絶縁膜14とゲート15を有する。

【0020】

ソース電極13aと半導体層11、およびドレイン電極13bと半導体層11との接合はオーミック接合となるように、導体を選択されている。また、ゲート15には半導体の電子親和力より仕事関数の大きな材料を用いることにより、ソース電極13aやドレイン電極13bから流入する電子を排除するようにする。

10

【0021】

話を単純にするため、ソース電極13aやドレイン電極13bが半導体層11に電子を注入しようとする力と、ゲート15が半導体層11から電子を排除しようとする力を等しいものとする。それらの力は、それぞれ、ソース電極13a(あるいはドレイン電極13b)やゲート15からの距離に依存すると考えられる。

【0022】

半導体層11の中で双方から同じだけ離れた場所では、それぞれの力が拮抗して、電子濃度は、本来の値と等しくなると考えられる。ソース電極13aからの距離がゲート15からの距離より短ければ、前者の作用が勝り、その地点では、電子濃度がより高くなる。逆に、前者の距離が後者の距離より長ければ、後者の作用が勝り、その地点では、電子濃度がより低くなる。

20

【0023】

ここで、距離について注意しておく。この場合の距離とは、空間的な距離ではなく、電磁気的な距離であるので、空間的な距離に誘電率をかけた値で比較する必要がある。

【0024】

上記の前提に基づく、図7(A)のFETの半導体層11中の電子濃度の概念的な等高線を図7(B)に示す。ここでは、話を簡単にするために、ゲート絶縁膜14の誘電率は半導体層11の誘電率と等しいものとする。また、ソース電極13a、ドレイン電極13bとゲート15の電位は等しくしてある。

30

【0025】

ソース電極13aやドレイン電極13bと半導体層11との界面付近には電子濃度の高い領域1aが存在する。そして、その次には、それよりも1桁程度電子濃度の低い領域1b、さらに、その外側には、さらに1桁程度電子濃度の低い領域1cが存在し、さらに、その外側には、さらに1桁程度電子濃度の低い領域1dが存在し、その外側には、電子濃度がそれ以下の領域1eが存在する。

【0026】

注目すべきは、領域1dが半導体層11のゲート15との反対側でつながっているということである。これは、その領域まではゲート15の力が及ばず、ソース電極13aやドレイン電極13bの力により電子が注入されたためである。

40

【0027】

この図においては、比率 L/T は2弱である。ソース電極13aとドレイン電極13bの間の距離を 120 nm とすれば、半導体層11の厚さは 50 nm であり、領域1aと領域1bとの間の等高線は、概ね、電子濃度が $10^{20}/\text{cm}^3$ であり、領域1dと領域1eとの間の等高線は、概ね、電子濃度が $10^{17}/\text{cm}^3$ であることを示すと考えてよい。

【0028】

また、ソース電極13aとドレイン電極13bの間の距離を $1.2\text{ }\mu\text{ m}$ とすれば、半導体層11の厚さは $0.5\text{ }\mu\text{ m}$ であり、領域1aと領域1bとの間の等高線は、概ね、電子濃

50

度が $10^{18} / \text{cm}^3$ であり、領域 1 d と領域 1 e との間の等高線は、概ね、電子濃度が $10^{15} / \text{cm}^3$ であることを示すと考えてよい。

【0029】

電子濃度が $10^{15} / \text{cm}^3$ という値は、十分に低い値のように思えるが、抵抗率で $1 \text{ k} \Omega \text{ cm}$ 程度である。図に示すように、半導体層の 3 分の 1 以上は、電子濃度が $10^{15} / \text{cm}^3$ 以上であるので、チャネル長とチャネル幅が同じ FET においては、抵抗は $10 \text{ M} \Omega$ 程度であり、ソース電極 13 a とドレイン電極 13 b 間の電位差を 1 V とした場合、オフ電流は $0.1 \mu \text{ A}$ も流れる。

【0030】

つまり、オフ電流を小さくするには、このようなゲートの反対側の電子濃度が無視できない程度の値となる領域をなくすことが必要である。そのためには、半導体層 11 を薄くすることが考えられる。つまり、ゲート 15 の影響力が及ばない領域を減らすことである。図の場合では、例えば、半導体層 11 を半分の厚さにすれば、オフ電流は 10 万分の 1 まで下げることができるかと計算される。

【0031】

しかしながら、例えば、ソース電極 13 a とドレイン電極 13 b の間の距離が 24 nm というような極めて小さなデバイスにおいては、半導体層 11 の厚さを、例えば、 2.5 nm 以下としなければならず、そのような薄い半導体層 11 を均質に形成することには技術的な困難が伴う。また、半導体層 11 を薄くすると、オン電流を減らすこととなる。

【0032】

第 2 の方法はゲート絶縁膜 14 を薄くすることである。図のゲート絶縁膜 14 の厚さを 6 分の 1 以下とすれば、ゲート 15 の影響力を、半導体層 11 の裏面にまで及ぼすことができる。しかし、上記の例と同様に、ソース電極 13 a とドレイン電極 13 b の間の距離を 24 nm とすると、ゲート絶縁膜 14 は 0.8 nm 以下である必要がある。

【0033】

酸化物半導体上においては、ゲート絶縁膜はスパッタ法や CVD 法によって形成されている。これらの方法は、珪素の熱酸化法のように、高性能な絶縁膜を均一の厚さで形成することは困難なので、やはり、現実的ではない。

【0034】

上記の考察は、ソース電極 13 a やドレイン電極 13 b が半導体層 11 に電子を注入しようとする力と、ゲート 15 が半導体層 11 から電子を排除しようとする力が等しいという前提であり、前者の力が後者よりも大きければ、より多くの電子がソース電極 13 a やドレイン電極 13 b から半導体層 11 に注入される。

【先行技術文献】

【特許文献】

【0035】

【特許文献 1】米国特許公開 2005 / 0199879 号公報

【特許文献 2】米国特許公開 2007 / 0194379 号公報

【発明の概要】

【発明が解決しようとする課題】

【0036】

本発明は、導体半導体接合を有する新規の半導体装置、あるいは、新規の電界効果トランジスタ、あるいは新規の半導体装置の製造方法、あるいは新規の電界効果トランジスタの製造方法の少なくともひとつを提供することを課題とする。また、本発明は、上記に説明したように導体半導体接合を有する FET のサイズを変更することにより、FET のオフ電流が増大してしまうことに対して有効な対策を提供することを課題の一つとする。特に、比率 L / T が 2 以下、あるいは、 L が 100 nm 未満、あるいは T が $1 \mu \text{ m}$ 以上の FET において、オフ電流が実用的に十分な小ささとなるような新規の構造を提供することを課題の一つとする。本発明は上記の課題の少なくとも 1 つを解決する。

【課題を解決するための手段】

10

20

30

40

50

【0037】

以下、本発明の説明をおこなうが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、Nチャネル型FETにおいては、高い電位を与えられる方をドレイン、他方をソースとし、Pチャネル型FETにおいては、低い電位を与えられる方をドレイン、他方をソースとする。いずれの電位もおなじであれば、いずれか一方をソース、他方をドレインとする。また、ソース電極、ドレイン電極という用語のかわりに第1の導体電極、第2の導体電極とも表現することがある。その場合は、電位の高低によって呼び名を変えない。

【0038】

本発明の一態様は、半導体層と、その一方の面に接して設けられた第1および第2の導体電極と、半導体層の他方の面に設けられたゲートとを有するFETにおいて、第1の導体電極および第2の導体電極の中間に、半導体層を横切るように設けられた第3の導体電極を有する。また、本発明の一態様は、半導体層と、その一方の面に接して設けられた第1および第2の導体電極とゲートとを有するFETにおいて、半導体層の他方の面に半導体層を横切るように設けられた第3の導体電極を有する。上記において、第3の導体電極は、第1の導体電極から第2の導体電極への電流の流れを妨げるように形成されるとよい。あるいは、第3の導体電極は、第1の導体電極と第2の導体電極の中間に形成されるとよい。あるいは、第3の導体電極が半導体層に接する部分が、第1の導体電極および第2の導体電極がそれぞれ半導体層に接する部分の中間にあるように第3の導体電極を配置するとよい。

【0039】

また、上記において、第3の導体電極は、第1もしくは第2の導体電極のいずれか一方のみと接しているか、同じ電位に保たれるような構造となっていることが好ましい。

【0040】

上記に加えて、第3の導体電極が設けられたのと同じ面に、半導体層を横切るように設けられた第4の導体電極を有してもよい。第4の導体電極は第3の導体電極とは離間して設けられるとよい。その際、第3の導体電極は、第1もしくは第2の導体電極の一方と接しているか、同じ電位に保たれるような構造となっており、かつ、第4の導体電極は第1もしくは第2の導体電極の他方と接しているか、同じ電位に保たれるような構造となっていることが好ましい。

【0041】

また、半導体層がドーピングにより、ドナーまたはアクセプタを高濃度に有する第1のドーピング領域と第2のドーピング領域を有するように構成し、第1のドーピング領域は第1の導体電極に接し、第2のドーピング領域は第2の導体電極に接するようにしてもよい。第1および第2のドーピング領域におけるドナーまたはアクセプタの濃度は $1 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{20} / \text{cm}^3$ 未満となるように設定すればよい。

【0042】

上記において、第1および第2の導体電極の半導体層と接する部分の仕事関数は、半導体層の電子親和力と0.3電子ボルトの和（すなわち、電子親和力+0.3電子ボルト）よりも小さい、あるいは、第1および第2の導体電極と半導体層はオーミック接合であることが好ましい。

【0043】

また、第3および/または第4の導体電極の半導体層と接する部分の仕事関数は、半導体層の電子親和力と0.6電子ボルトの和（すなわち、電子親和力+0.6電子ボルト）よりも大きい、あるいは、第3および/または第4の導体電極と半導体層はショットキーバリア型接合であることが好ましい。また、ゲートの仕事関数は、半導体層の電子親和力よりも大きいことが好ましい。

【0044】

さらに、半導体層とゲートとの間にはゲート絶縁膜を設けてもよい。あるいは、半導体層

10

20

30

40

50

とゲートとの間をショットキーバリア型接合してもよい。また、第１の導体電極と第２の導体電極は同じ材料で構成される必要はない。

【００４５】

なお、半導体層の種類は、酸化物に限らず、硫化物等のⅢⅤ族化合物でもよい。また、半導体のバンドギャップは２電子ボルト以上４電子ボルト未満、好ましくは、２．９電子ボルト以上３．５電子ボルト未満とするとよい。

【００４６】

以下、図面を用いて本発明のＦＥＴについて説明する。使用する用語は、上記に使用した用語と基本的に同じものを用いる。したがって、それらの用語の示す材料には、上記で使用する各用語に適用される条件を適用すればよい。例えば、以下の説明で第１の導体電極という説明があった場合には、その仕事関数としては上記の説明で示されたものを用いてもよい。

10

【００４７】

図１には本発明のＦＥＴの１例を示す。図１（Ａ）のＦＥＴは半導体層１と、その一方の面に第１の導体電極３ａと第２の導体電極３ｂ、第３の導体電極２と、半導体層１の他方の面にゲート絶縁膜４を間にはさんでゲート５を有する。

【００４８】

図１（Ｂ）は、図１（Ａ）で示したＦＥＴを下から見た様子を模式的に示したものである。図１（Ａ）のＦＥＴは何らかの基板上に構成されてもよいが、ここではわかりやすくするために基板を無視して表示する。図１（Ｂ）に示すように第３の導体電極２は、半導体層１を横切るように設けられる。

20

【００４９】

また、このＦＥＴでは第３の導体電極２は第１の導体電極３ａおよび第２の導体電極３ｂとは接していないが、他の配線等によってそのいずれか一方と同じ電位となるように構成されていてもよい。かくすると、使用中に何らかの理由で第３の導体電極２に流入したキャリア（Ｎチャネル型ＦＥＴであれば電子）を容易に排除できる。

【００５０】

図２（Ａ）には本発明のＦＥＴの他の例を示す。図２（Ａ）のＦＥＴは半導体層１と、その一方の面に第１の導体電極３ａと第２の導体電極３ｂおよびゲート絶縁膜４を間にはさんでゲート５を有する。また、半導体層１の他方の面に第３の導体電極２を有する。

30

【００５１】

半導体層１にはドーピングによってドナー濃度の高い第１のドーピング領域６ａと第２のドーピング領域６ｂを設け、それぞれ、第１の導体電極３ａと第２の導体電極３ｂに接する。第１のドーピング領域６ａと第２のドーピング領域６ｂはゲート５をマスクとして自己整合的に形成するとよい。第１のドーピング領域６ａと第２のドーピング領域６ｂは離間して形成する。

【００５２】

図２（Ｂ）には本発明のＦＥＴの他の例を示す。図２（Ｂ）のＦＥＴは半導体層１と、その一方の面に第１の導体電極３ａと第２の導体電極３ｂ、第３の導体電極２を有する。また、半導体層１の他方の面にゲート絶縁膜４を間にはさんでゲート５を有する。さらに、半導体層１は第１のドーピング領域６ａと第２のドーピング領域６ｂを有する。第１のドーピング領域６ａと第２のドーピング領域６ｂは離間して形成され、それぞれ、第１の導体電極３ａと第２の導体電極３ｂに接する。

40

【００５３】

図２（Ｃ）には本発明のＦＥＴの他の例を示す。図２（Ｃ）のＦＥＴは半導体層１と、その一方の面に第１の導体電極３ａと第２の導体電極３ｂ、第３の導体電極２と、半導体層１の他方の面にゲート絶縁膜４を間にはさんでゲート５を有する。ここで、第３の導体電極２は第１の導体電極３ａと接するように形成する。第１の導体電極３ａの代わりに、第２の導体電極３ｂと接するように形成してもよい。

【００５４】

50

図 2 (D) には本発明の F E T の他の例を示す。図 2 (D) の F E T は半導体層 1 と、その一方の面に第 1 の導体電極 3 a と第 2 の導体電極 3 b、第 3 の導体電極 2 a、第 4 の導体電極 2 b と、半導体層 1 の他方の面にゲート絶縁膜 4 を間にはさんでゲート 5 を有する。ここで、第 3 の導体電極 2 a は第 1 の導体電極 3 a と、また、第 4 の導体電極 2 b は第 2 の導体電極 3 b と接するように形成する。

【 0 0 5 5 】

図 3 (A) には本発明の F E T の他の例を示す。図 3 (A) の F E T は半導体層 1 と、その一方の面に第 1 の導体電極 3 a と第 2 の導体電極 3 b およびゲート絶縁膜 4 を間にはさんでゲート 5 を有する。また、半導体層の他方の面に第 3 の導体電極 2 を有する。

【 0 0 5 6 】

さらに半導体層 1 には離間して形成された第 1 のドーピング領域 6 a と第 2 のドーピング領域 6 b が設けられ、それぞれ、第 1 の導体電極 3 a と第 2 の導体電極 3 b に接する。第 3 の導体電極 2 は第 1 のドーピング領域 6 a と接するように形成する。第 1 のドーピング領域 6 a の代わりに第 2 のドーピング領域 6 b と接するように形成してもよい。

【 0 0 5 7 】

図 3 (B) には本発明の F E T の他の例を示す。図 3 (B) の F E T は半導体層 1 と、その一方の面に第 1 の導体電極 3 a と第 2 の導体電極 3 b および第 3 の導体電極 2 を有する。また、半導体層の他方の面にゲート絶縁膜 4 を間にはさんでゲート 5 を有する。

【 0 0 5 8 】

さらに半導体層 1 には離間して形成された第 1 のドーピング領域 6 a と第 2 のドーピング領域 6 b が設けられ、それぞれ、第 1 の導体電極 3 a と第 2 の導体電極 3 b に接する。第 3 の導体電極 2 は第 1 のドーピング領域 6 a および第 1 の導体電極 3 a と接するように形成する。代わりに、第 2 のドーピング領域 6 b および第 2 の導体電極 3 b と接するように形成してもよい。

【 0 0 5 9 】

図 3 (C) には本発明の F E T の他の例を示す。図 3 (C) の F E T は半導体層 1 と、その一方の面に第 1 の導体電極 3 a と第 2 の導体電極 3 b およびゲート絶縁膜 4 を間にはさんでゲート 5 を有する。また、半導体層の他方の面に第 3 の導体電極 2 a と第 4 の導体電極 2 b を有する。

【 0 0 6 0 】

さらに半導体層 1 には離間して形成された第 1 のドーピング領域 6 a と第 2 のドーピング領域 6 b が設けられ、それぞれ、第 1 の導体電極 3 a と第 2 の導体電極 3 b に接する。第 3 の導体電極 2 a は第 1 のドーピング領域 6 a と接するように形成され、第 4 の導体電極 2 b は第 2 のドーピング領域 6 b と接するように形成される。

【 0 0 6 1 】

図 3 (D) には本発明の F E T の他の例を示す。図 3 (D) の F E T は半導体層 1 と、その一方の面に第 1 の導体電極 3 a と第 2 の導体電極 3 b および第 3 の導体電極 2 a と第 4 の導体電極 2 b を有する。また、半導体層の他方の面にゲート絶縁膜 4 を間にはさんでゲート 5 を有する。

【 0 0 6 2 】

さらに半導体層 1 には離間して形成された第 1 のドーピング領域 6 a と第 2 のドーピング領域 6 b が設けられ、それぞれ、第 1 の導体電極 3 a と第 2 の導体電極 3 b に接する。第 3 の導体電極 2 a は第 1 のドーピング領域 6 a と第 1 の導体電極 3 a に接するように形成され、第 4 の導体電極 2 b は第 2 のドーピング領域 6 b と第 2 の導体電極 3 b に接するように形成される。

【 発明の効果 】

【 0 0 6 3 】

上記の構成のいずれかを採用することにより、前記課題を解決できる。図 1 を用いて、その効果を説明する。図 1 (A) には、本発明の 1 例である F E T の断面を示す。すなわち、半導体層 1 と、その一方の面に接して設けられた第 1 の導体電極 3 a および第 2 の導体

10

20

30

40

50

電極 3 b と、半導体層の他方の面に設けられたゲート絶縁膜 4 を間に挟んで設けられたゲート 5 とを有する F E T において、第 1 の導体電極 3 a および第 2 の導体電極 3 b の間に、半導体層 1 を横切るように設けられた第 3 の導体電極 2 を有する。

【 0 0 6 4 】

このような構成の F E T でオフ電流が小さくなる理由を図 1 (C) で説明する。図 1 (C) では、ゲート 5、第 1 の導体電極 3 a、第 2 の導体電極 3 b、第 3 の導体電極 2 と同じ電位に保たれているものとする。ゲート 5、第 1 の導体電極 3 a、第 2 の導体電極 3 b、半導体層 1 とゲート絶縁膜 4 の条件は、簡単のため、ここでは、図 7 での説明と同じものとする。また、第 3 の導体電極 2 の仕事関数は、ゲート 5 に用いられている材料の仕事関数と同じものとする。

10

【 0 0 6 5 】

図 7 (B) で示した場合と同様に、第 1 の導体電極 3 a、第 2 の導体電極 3 b から半導体層 1 に電子が注入されるため、第 1 の導体電極 3 a、第 2 の導体電極 3 b の近傍に極めて電子濃度の高い領域が形成され、周辺に向かうにしたがって、電子濃度が低くなる。また、ゲート 5 と半導体層 1 との間の作用で、ゲート絶縁膜 4 の近傍の電子が排除され、その部分の電子濃度が薄くなる。

【 0 0 6 6 】

しかし、図 7 (B) で示した場合と異なり、第 3 の導体電極 2 の周辺も極めて電子濃度の低い領域となる。これは、第 3 の導体電極 2 と半導体層 1 との間で、ショットキーバリア型接合が形成されるためである。その結果、図 7 (B) とは異なり、電子濃度の比較的高い領域が、F E T の中央部で分断される。このため、図 7 で示したような F E T に比べて、格段にオフ電流を低減できる。

20

【 0 0 6 7 】

上記の効果は、第 3 の導体電極 2 の半導体層 1 から電子を吸収する力が第 1 の導体電極 3 a や第 2 の導体電極 3 b が半導体層 1 に電子が注入する力より大きい場合に顕著である。このような力の大小は、仕事関数や電子親和力によって決定される。具体的には、第 3 の導体電極 2 の仕事関数が、第 1 の導体電極 3 a や第 2 の導体電極 3 b の仕事関数より 0 . 3 電子ボルト以上大きいとよい。

【 0 0 6 8 】

あるいは、第 1 の導体電極 3 a や第 2 の導体電極 3 b の仕事関数は、半導体層 1 の電子親和力と 0 . 3 電子ボルトの和 (すなわち、電子親和力 + 0 . 3 電子ボルト) よりも小さいこと、あるいは、第 1 および第 2 の導体電極と半導体層はオーミック接合であることが好ましい。

30

【 0 0 6 9 】

あるいは、第 3 の導体電極 2 の仕事関数は、半導体層の電子親和力と 0 . 6 電子ボルトの和 (すなわち、電子親和力 + 0 . 6 電子ボルト) よりも大きいこと、あるいは、第 3 の導体電極 2 と半導体層 1 はショットキーバリア型接合であることが好ましい。また、ゲートの仕事関数は、半導体層の電子親和力よりも大きいことが好ましい。

【 0 0 7 0 】

なお、第 3 の導体電極 2 は、半導体層 1 との間でショットキーバリア型接合を形成するため、電子は半導体層 1 から第 3 の導体電極 2 に比較的簡単に移動できるが、その逆は難しい。その場合、電子が第 3 の導体電極 2 に蓄積され、第 3 の導体電極 2 が電子を排除する作用がより一層、強まってしまい、F E T の動作が不安定となる。

40

【 0 0 7 1 】

このことを避けるためには、第 3 の導体電極 2 を第 1 の導体電極 3 a もしくは第 2 の導体電極 3 b のいずれか一方と配線等を介して接するように構成するか、第 1 の導体電極 3 a もしくは第 2 の導体電極 3 b のいずれか一方と同じ電位となるように設定すればよい。

【 0 0 7 2 】

また、興味深いことには、図 1 (A) に示す F E T の半導体層をさらに厚くした場合でも、電子濃度の分布の形状は、図 1 (C) と基本的に同じとなる。

50

【 0 0 7 3 】

ここでは、話を簡単にするため、第3の導体電極2が半導体層1から電子を排除する力が、第1の導体電極3aや第2の導体電極3bが半導体層1に電子を注入する力と等しいものとする。その場合、図7の説明でおこなったように、それぞれの力の大小は、それぞれの距離に依存する。

【 0 0 7 4 】

ここで、第3の導体電極2からゲート5に垂直に引いた線を考える。この線上の、いずれの点においても、第1の導体電極3aや第2の導体電極3bのいずれよりも、第3の導体電極2に近い。そのため、第3の導体電極2の影響力が、第1の導体電極3aや第2の導体電極3bのいずれよりも大きく、結果として、電子を排除する力が、電子を注入する力にまさる。したがって、もともとの電子濃度よりも低い電子濃度となる。

10

【 0 0 7 5 】

すなわち、本発明は、半導体層1を厚く積層して、より多くの電流を取り出す装置にも都合がよい。上記は、半導体層1を厚くした場合についての考察であったが、同様にゲート絶縁膜4を厚くしても、同じく本発明によって効果が確認できる。その場合は、FETのゲートの耐圧を高めることができる。

【 0 0 7 6 】

例えば、ここで、ゲートのみを正の電位に保つとすると、電位に応じて、ゲート絶縁膜4の近傍の半導体層1に電子濃度の高い領域ができ、第1の導体電極3aや第2の導体電極3bの近傍の電子濃度の高い領域（すなわち抵抗の低い領域）とつながって、オン状態となる。

20

【 0 0 7 7 】

さらに、ゲート5の電位を高めると、ゲート絶縁膜4の近傍の半導体層の電子濃度は、さらに高くなり、また、ゲート絶縁膜4から離れた部分にも電子濃度の高い領域ができ、これらが第1の導体電極3aや第2の導体電極3bの近傍の電子濃度の高い領域とつながって、さらにFETの抵抗が低下し、より多くの電流が流れる。しかし、半導体層1が薄いと、ゲート5の電位を高めても、流れる電流はある段階で飽和してしまう。

【 0 0 7 8 】

しかし、半導体層1が厚いと、ゲート5の電位をさらに高めれば、よりゲート絶縁膜から離れた領域にも電子濃度の高い領域ができるので、より多くの電流を得ることができる。従来のFETでは半導体層を厚くすると、先に説明したような理由で、オフ電流が大きくなったが、本発明では、半導体層を厚くしても、十分に低いオフ電流を得ることができる。

30

【 0 0 7 9 】

なお、本発明によって十分に低いオフ電流を得るには、ドナーあるいはアクセプタに由来するキャリア濃度を $10^{12} / \text{cm}^3$ 以下とすることが好ましい。特に、半導体層を厚くする場合には、このことに注意すべきである。なお、本明細書ではドナー（あるいはアクセプタ）の濃度とは、ドナー（あるいはアクセプタ）となりうる元素や化学基等の濃度に、そのイオン化率を乗じたものを言う。例えば、あるドナー元素が2%含まれていても、そのイオン化率が0.005%であれば、ドナー濃度は1ppm（ $= 0.02 \times 0.00005$ ）である。

40

【 0 0 8 0 】

上記の説明で、第3の導体電極2からゲート5に垂直に引いた線上のいずれの点においても、電子を排除する力が、電子を注入する力にまさる、と述べたが、第3の導体電極2から離れるに従って、第3の導体電極2と上記の点との距離と、第1の導体電極3aや第2の導体電極3bと上記の点との距離との差は小さくなる。

【 0 0 8 1 】

したがって、電子濃度の低下も限られるようになり、半導体層1の本来の電子濃度（すなわち、ドナーあるいはアクセプタに由来する電子濃度）に近づく。そのような場合においては、オフ電流を決定するのは、半導体層1の本来の電子濃度であるため、その値がある

50

程度小さくないと、オフ電流の低下も限られる。

【0082】

上記に関連して、半導体層1が酸化物半導体である場合は、酸素欠損や水素濃度が小さい方が好ましい。酸素欠損や水素はドナーとなるためである。また、水素を含有すると、FETの動作を不安定にする。水素濃度は $10^{18} / \text{cm}^3$ 以下とすることが好ましい。

【0083】

上記の議論は導体半導体接合を有するFETに関するものであるが、ドナー濃度の濃度勾配を有するFETにおいても適応できる。特に、PN接合によって絶縁できないFETにおいては本発明によってソースドレイン間の分離ができる。

【0084】

導体と半導体との接合においては、上記の説明のように、仕事関数と電子親和力等によって導体から半導体に電子が供給されたり、半導体から導体に電子が吸収されたりする。同じことが高濃度のドナーを有する領域と、低濃度のドナーを有する領域との境界で起こる。

【0085】

例えば、第1の領域は、ドナー濃度が $1 \times 10^{20} / \text{cm}^3$ で、第2の領域は、ドナー濃度が $1 \times 10^{12} / \text{cm}^3$ であるとする。その場合、第1の領域の電子はバンド図では伝導帯の下端近辺に存在するのに対し、第2の領域の電子はバンドギャップの中央付近に存在する。すなわち、第1の領域の電子は、第2の領域の電子よりもポテンシャルが高い。

【0086】

もし、第1の領域と第2の領域を接合すると、ポテンシャルの差により、第1の領域の電子は第2の領域に流入する。第1の領域の電子濃度が $1 \times 10^{20} / \text{cm}^3$ というような比較的、高濃度であれば、電子の供給は、導体と第2の領域が接した場合と同様と考えられ、第2の領域の相当、深い部分にまで電子が流入する。

【0087】

その程度は、第2の領域の電子のポテンシャルの高さと第1の領域の電子のポテンシャルの高さの比率、すなわち、第2の領域の電子濃度と第1の領域の電子濃度の比率に依存し、第2の領域の電子濃度が低ければ、より深い部分にまで第1の領域から電子が注入される。いうまでもなく、このように注入された電子は、オフ電流を増加させる。

【0088】

特に、珪素の場合と、よりバンドギャップの大きな半導体の場合とを比較すると、後者の方が、第2の領域のより深い部分まで電子が注入される。これは、後者の方がバンドギャップが大きいいため、第1の領域の電子と第2の領域の電子のポテンシャルの差が大きいためである。

【0089】

このような、高濃度のドナーを有する領域からのキャリアの流入を防ぐには、上記のような第3の導体電極によって、ショットキーバリア型接合を形成し、半導体層中に図1(C)に示されるような電子濃度の極めて低い領域を形成すればよい。

【0090】

なお、上記のFETにおいて、第3の導体電極2が第1の導体電極3aと同電位に保たれており、かつ第1の導体電極3aに印加される電位が、第2の導体電極3bに印加される電位よりも高くなった場合には、上記のようなショットキーバリア型接合の領域は縮小し、第2の導体電極3bより半導体層1に電子が流入する。

【0091】

そのことを避けるためには、常に、第1の導体電極3aの電位が第2の導体電極3bの電位より高くなるように回路を設計するか、図2(D)、図3(C)あるいは図3(D)に示すように、第3の導体電極に加えて、第4の導体電極を設けて、これを第2の導体電極3bと同じ電位となるようにすればよい。

【0092】

このような構造は、第1の導体電極と第2の導体電極の間で、電流が往復する回路、例え

10

20

30

40

50

ば、DRAM（ダイナミック・ランダム・アクセス・メモリ）等のメモリセルのトランジスタや、アクティブマトリクス表示装置のスイッチングトランジスタにおいて有効である。

【0093】

なお、上記の説明で、導体の仕事関数について議論した。もっとも簡単な仮定では、導体の仕事関数は半導体との界面で決定される値を用いればよいが、現実には界面では、化学的反応により半導体と導体の化合物が生成されたり、あるいは電荷や異種元素がトラップされたりして複雑な物性が観察されることも多い。

【0094】

また、例えば、半導体層に厚さが数nm以下の極めて薄い第1の導体層と、それに重なる、ある程度の厚みのある第2の導体層が積層している場合は、第1の導体層の仕事関数の影響度がかなり低下する。したがって、本発明を適用するに当たっては、界面から5nm離れた部分での各種材料の値が、本発明で好ましいとする条件を満たすように設計してもよい。

【0095】

さらに、第3の導体電極の材料として、半導体層との間で化学的に安定な材料、例えば、白金やパラジウム等の貴金属を用いるとよい。また、半導体層が酸化物であれば、第3の導体電極の材料として、酸化物導電体を用いてもよい。

【0096】

本発明は、キャリアとして、実質的に、電子あるいはホール的一方しか用いられない半導体材料において効果が顕著である。すなわち、電子あるいはホールの方の移動度は、 $1\text{ cm}^2/\text{Vs}$ 以上であるのに対し、他方の移動度が $0.01\text{ cm}^2/\text{Vs}$ 以下であるとか、他方がキャリアとして存在しないとか、あるいは、他方の有効質量が自由電子の100倍以上であるとか、という場合において好ましい結果が得られる。

【図面の簡単な説明】

【0097】

【図1】本発明の電界効果トランジスタの一例および動作原理を示す図である。

【図2】本発明の電界効果トランジスタの例を示す図である。

【図3】本発明の電界効果トランジスタの例を示す図である。

【図4】実施の形態1の電界効果トランジスタの作製工程を示す図である。

【図5】実施の形態2の電界効果トランジスタの作製工程を示す図である。

【図6】実施の形態3の電界効果トランジスタの作製工程を示す図である。

【図7】従来の電界効果トランジスタの例および動作を示す図である。

【発明を実施するための形態】

【0098】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0099】

（実施の形態1）

本実施の形態では、図1（A）に示すFETの作製方法について図4（A）乃至図4（F）を用いて説明する。まず、図4（A）に示すように、基板101上に、第3の導体電極102を形成する。基板101としては、様々なものが用いられるが、その後の処理に耐えられる物性を有していることが必要である。また、その表面は絶縁性であることが好ましい。すなわち、基板101は絶縁体単独、あるいは絶縁体や導体や半導体の表面に絶縁層を形成したもの等であることが好ましい。

【0100】

基板 101 に絶縁体を用いる場合には、各種ガラスやサファイヤ、石英、セラミックス等を用いることができる。導体を用いる場合には、アルミニウム、銅、ステンレス鋼、銀等を用いることができる。半導体を用いる場合には、珪素、ゲルマニウム、炭化珪素、窒化ガリウム等を用いることができる。本実施の形態では、基板 101 としてバリウム硼珪酸ガラスを用いる。

【0101】

第3の導体電極 102 の材料としては、白金、金、タングステン等の仕事関数の大きな金属を用いることができる。あるいは窒化インジウムのように電子親和力が5電子ボルト以上の化合物を用いてもよい。第3の導体電極 102 はそのような材料単独で構成してもよいし、多層構造とし、後に設けられる半導体層に接する部分を、上記の材料で構成してもよい。本実施の形態では、厚さ100nmの白金膜をスパッタリング法で形成し、これをエッチングして、第3の導体電極 102 を形成する。

10

【0102】

次に、図4(B)に示すように、導体膜 103 を形成する。導体膜 103 は、後に、第1および第2の導体電極となるものである。そのため、その目的に適した材料を用いて構成する。例えば、チタン、モリブテン、窒化チタン、窒化モリブテン等である。導体膜 103 はそのような材料単独で構成してもよいし、多層構造とし、後に設けられる半導体層に接する部分を、上記の材料で構成してもよい。

【0103】

また、導体膜 103 は、第3の導体電極 102 に重なって形成され、その後、所定の形状にパターニングされるため、第3の導体電極 102 を構成する材料とエッチングレートが異なるものであることが好ましい。本実施の形態では、厚さ100nmのチタン膜を形成した後、その表面を窒化して、窒化チタンを形成し、これを導体膜 103 とする。

20

【0104】

次に、導体膜 103 をエッチングして、第1の導体電極 103a、第2の導体電極 103b を形成する。さらに、スパッタリング法により、第1の絶縁膜 104 を形成する(図4(C)参照)。第1の絶縁膜 104 の材料としては、酸化珪素、酸化アルミニウム、窒化アルミニウム等を用いることができる。本実施の形態では、第1の絶縁膜 104 として、スパッタリング法により形成した厚さ100nmの酸化珪素を用いる。

【0105】

次に、第1の絶縁膜 104 を化学的機械的研磨法等でエッチングして、基板 101 の表面を平坦化する。このエッチングは、図4(D)に示すように、第1の導体電極 103a、第2の導体電極 103b、第3の導体電極 102 が露出するまでおこなう。その結果、第1の導体電極 103a と第3の導体電極 102 の間、および、第2の導体電極 103b と第3の導体電極 102 の間に絶縁物 104a、104b それぞれが埋め込まれた形状となる。

30

【0106】

その後、インジウムと亜鉛を有する酸化物半導体層を形成し、これをパターニングして、半導体層 105 を得る。酸化物半導体としては、上記以外にも各種のものが用いられる。本実施の形態では、インジウムと亜鉛が等しく含まれる酸化物ターゲットを用いたスパッタリング法によって、厚さ200nmのインジウム亜鉛酸化物膜を形成し、これを半導体層 105 に用いる。

40

【0107】

さらに、スパッタリング法により、第2の絶縁膜 106 を形成する(図4(E)参照)。第2の絶縁膜 106 はゲート絶縁膜として用いられる。第2の絶縁膜 106 の材料としては、酸化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化ランタン、酸化イットリウム等を用いることができる。本実施の形態では、第2の絶縁膜 106 として、スパッタリング法により形成した厚さ100nmの酸化アルミニウムを用いる。

【0108】

半導体層 105 を形成後、あるいは、第2の絶縁膜 106 を形成後のいずれか一方、もし

50

くは双方で、適切な熱処理をおこなうとよい。これは、半導体層 105 中の水素濃度や酸素欠損を低減させるためであり、可能であれば、半導体層 105 形成直後におこなうとよい。

【0109】

その後、ゲート 107 を形成する。ゲート 107 は、図 4 (F) に示すように、第 3 の導体電極 102 と重なり、かつ、第 1 の導体電極 103 a、第 2 の導体電極 103 b の一部と重なるように形成されることが好ましい。

【0110】

ゲート 107 の材料としては、白金、金、タングステン等の仕事関数の大きな金属を用いることができる。ゲート 107 はそのような材料単独で構成してもよいし、多層構造とし、第 2 の絶縁膜 106 に接する部分を、上記の材料で構成してもよい。本実施の形態では、厚さ 100 nm の白金膜と厚さ 100 nm のアルミニウム膜をスパッタリング法で形成し、これをエッチングして、ゲート 107 を形成する。このようにして、FET が形成される。

【0111】

(実施の形態 2)

本実施の形態では、図 2 (D) に示す FET の作製方法について図 5 (A) 乃至図 5 (G) を用いて説明する。まず、図 5 (A) に示すように、基板 101 上に、第 3 の導体電極 102 a と第 4 の導体電極 102 b を形成する。本実施の形態では、基板 101 としてバリウム硼珪酸ガラスを用いる。また、第 3 の導体電極 102 a と第 4 の導体電極 102 b の材料としては、スパッタリング法で形成した厚さ 100 nm の白金を用いる。これをエッチングして、第 3 の導体電極 102 a と第 4 の導体電極 102 b を形成する。

【0112】

次に、図 5 (B) に示すように、導体膜 103 を形成する。本実施の形態では、厚さ 100 nm のチタン膜を形成した後、その表面を窒化して、窒化チタンを形成し、これを導体膜 103 とする。

【0113】

次に、導体膜 103 を化学的機械的研磨法等でエッチングして、基板 101 の表面を平坦化する。このエッチングは、図 5 (C) に示すように、第 3 の導体電極 102 a、第 4 の導体電極 102 b が露出するまでおこなう。その結果、導体膜 103 c が、第 3 の導体電極 102 a と第 4 の導体電極 102 b の間に埋め込まれた形状となる。

【0114】

そして、図 5 (D) に示すように、導体膜 103 c をエッチングして、第 3 の導体電極 102 a、第 4 の導体電極 102 b の間に隙間を形成する。さらに、図 5 (E) に示すようにスパッタリング法により、第 1 の絶縁膜 104 を形成する。本実施の形態では、第 1 の絶縁膜 104 として、スパッタリング法により形成した厚さ 100 nm の酸化珪素を用いる。

【0115】

次に、第 1 の絶縁膜 104 を化学的機械的研磨法等でエッチングして、基板 101 の表面を平坦化する。このエッチングは、図 5 (F) に示すように、第 1 の導体電極 103 a、第 2 の導体電極 103 b、第 3 の導体電極 102 a、第 4 の導体電極 102 b が露出するまでおこなう。この結果、絶縁物 104 a が、第 3 の導体電極 102 a と第 4 の導体電極 102 b の間に埋め込まれた形状となる。

【0116】

その後、インジウムと亜鉛とガリウムが等しく含まれる酸化物ターゲットを用いたスパッタリング法によって、厚さ 200 nm のインジウム亜鉛ガリウム酸化物膜を形成し、これをパターンニングして、半導体層 105 を形成する。さらに、スパッタリング法により形成した厚さ 100 nm の酸化アルミニウムにより、第 2 の絶縁膜 106 を形成する。

【0117】

その後、厚さ 100 nm の白金膜と厚さ 100 nm のチタン膜をスパッタリング法で形成

10

20

30

40

50

し、これをエッチングして、ゲート107を形成する。ゲート107は、図5(G)に示すように、第3の導体電極102a、第4の導体電極102bと重なり、かつ、第1の導体電極103a、第2の導体電極103bの一部と重なるように形成されることが好ましい。このようにして、FETが形成される。

【0118】

(実施の形態3)

本実施の形態では、図2(A)に示すFETの作製方法について図6(A)乃至図6(E)を用いて説明する。まず、基板101上に、第3の導体電極102を形成する。本実施の形態では、基板101としてバリウム硼珪酸ガラスを用いる。また、第3の導体電極102は、厚さ100nmの白金膜をスパッタリング法で形成し、これをエッチングして形成する。

10

【0119】

次に、図6(A)に示すように、第1の絶縁膜104を形成する。本実施の形態では、第1の絶縁膜104として、スパッタリング法により形成した厚さ100nmの酸化珪素を用いる。

【0120】

次に、第1の絶縁膜104を化学的機械的研磨法等でエッチングして、基板101の表面を平坦化する。このエッチングは、図6(B)に示すように、第3の導体電極102が露出するまでおこなう。この結果、第3の導体電極102が絶縁物104aと絶縁物104bの間に埋め込まれた形状となる。

20

【0121】

その後、半導体層105として、インジウムと亜鉛とガリウムがインジウム：ガリウム：亜鉛＝2：2：1の比率で含まれる酸化物ターゲットを用いたスパッタリング法によって、厚さ200nmのインジウム亜鉛ガリウム酸化物膜を形成する。さらに、スパッタリング法により形成した厚さ100nmの酸化アルミニウムにより、第2の絶縁膜106を形成する。

【0122】

その後、厚さ50nmの白金膜と厚さ150nmのアルミニウム膜をスパッタリング法で形成し、これをエッチングして、ゲート107を形成する。図6(C)に示すように、ゲート107は、第3の導体電極102と重なるように形成されることが好ましい。

30

【0123】

そして、ゲート107をマスクとして、半導体層105にインジウム亜鉛ガリウム酸化物を還元させる作用のあるイオン、例えば、リンイオン、硼素イオン、チタンイオン等をイオン注入法で導入する。

【0124】

本実施の形態ではリンイオンを用いる。リンイオンは珪素半導体プロセスでも用いられており、かつ、イオン半径も大きく、イオンがFETの中を移動しないため、FETの特性の安定性信頼性の面でメリットがある。かくして、図6(D)に示すように第1のドーピング領域108aと第2のドーピング領域108bを形成する。

【0125】

その後、第3の絶縁膜109として、厚さ300nmの酸化珪素膜をCVD法により形成する。第3の絶縁膜109は、その表面を化学的機械的研磨法等で平坦化される。そして、第3の絶縁膜109および第2の絶縁膜106に、第1のドーピング領域108aと第2のドーピング領域108bに達するコンタクトホールを形成し、第1の導体電極103aと第2の導体電極103bを形成する。

40

【0126】

本実施の形態では、第1の導体電極103aと第2の導体電極103bは、厚さ50nmの窒化チタン膜と厚さ150nmのチタン膜を、スパッタリング法で連続的に形成して、これをパターニングして形成する。このようにして、図6(E)に示されるFETが形成される。

50

【 0 1 2 7 】

(実施の形態 4)

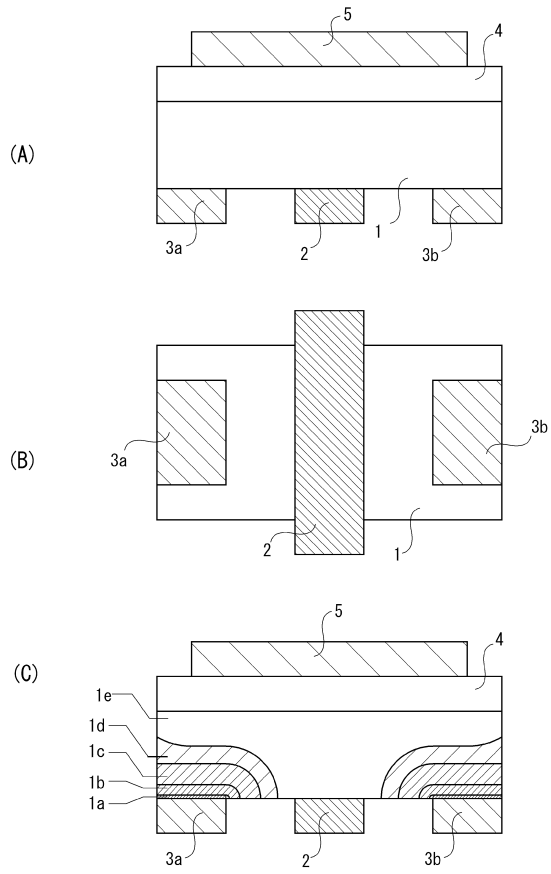
上記実施の形態 1 乃至 3 で示した半導体装置は、さまざまな電子機器に用いることができる。例えば、液晶ディスプレイ、EL (Electro Luminescence) ディスプレー、FE (Field Emission) ディスプレー等の表示装置の駆動回路、イメージセンサの駆動回路、半導体メモリ等である。また、それらを用いた各種電子機器、例えば、テレビジョン、パーソナルコンピュータ、携帯電話他の通信機器、電子手帳、携帯音楽プレーヤ等である。

【 符号の説明 】

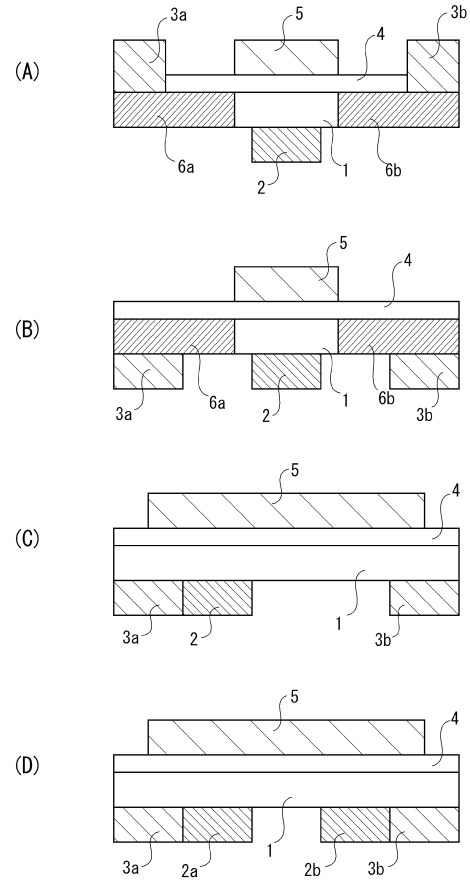
【 0 1 2 8 】

1	半導体層	10
1 a	領域	
1 b	領域	
1 c	領域	
1 d	領域	
1 e	領域	
2	第 3 の導体電極	
2 a	第 3 の導体電極	
2 b	第 4 の導体電極	
3 a	第 1 の導体電極	20
3 b	第 2 の導体電極	
4	ゲート絶縁膜	
5	ゲート	
6 a	第 1 のドーピング領域	
6 b	第 2 のドーピング領域	
1 1	半導体層	
1 3 a	ソース電極	
1 3 b	ドレイン電極	
1 4	ゲート絶縁膜	
1 5	ゲート	30
1 0 1	基板	
1 0 2	第 3 の導体電極	
1 0 2 a	第 3 の導体電極	
1 0 2 b	第 4 の導体電極	
1 0 3	導体膜	
1 0 3 a	第 1 の導体電極	
1 0 3 b	第 2 の導体電極	
1 0 3 c	導体膜	
1 0 4	第 1 の絶縁膜	
1 0 4 a	絶縁物	40
1 0 4 b	絶縁物	
1 0 5	半導体層	
1 0 6	第 2 の絶縁膜	
1 0 7	ゲート	
1 0 8 a	第 1 のドーピング領域	
1 0 8 b	第 2 のドーピング領域	
1 0 9	第 3 の絶縁膜	

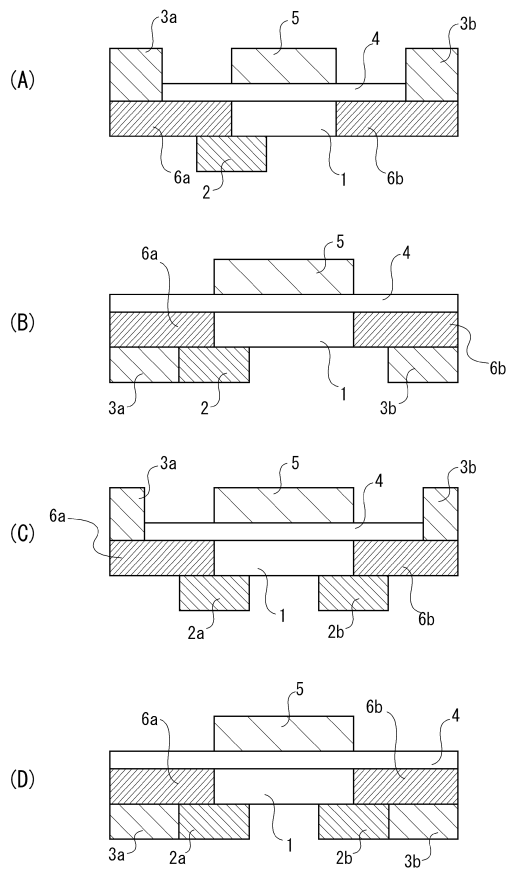
【図 1】



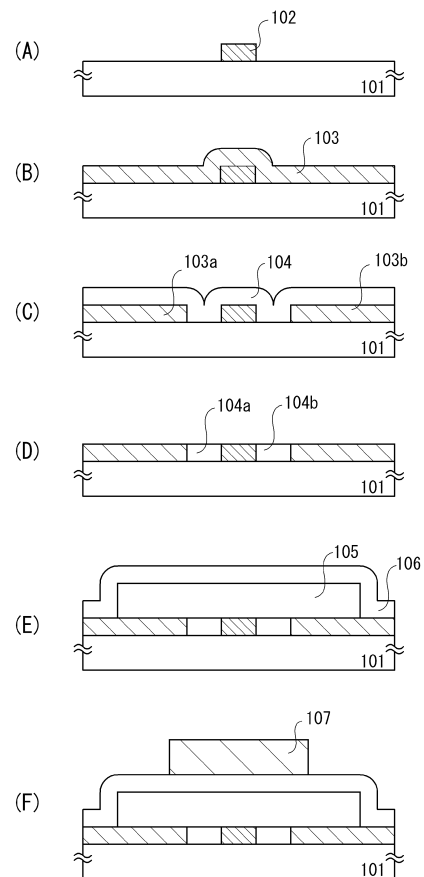
【図 2】



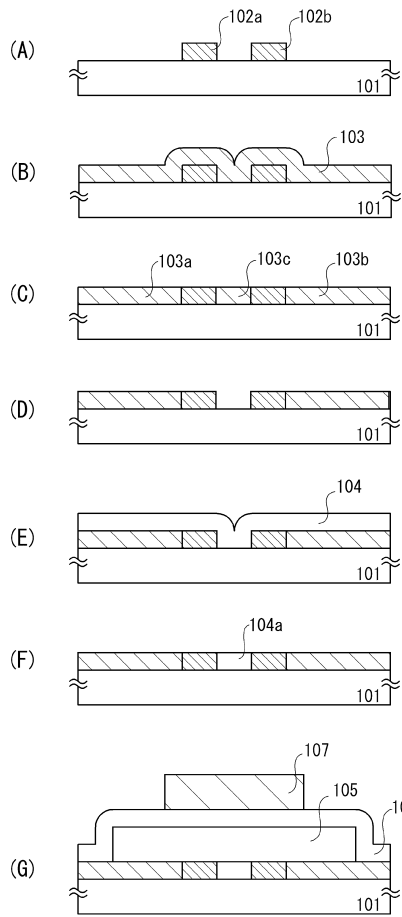
【図 3】



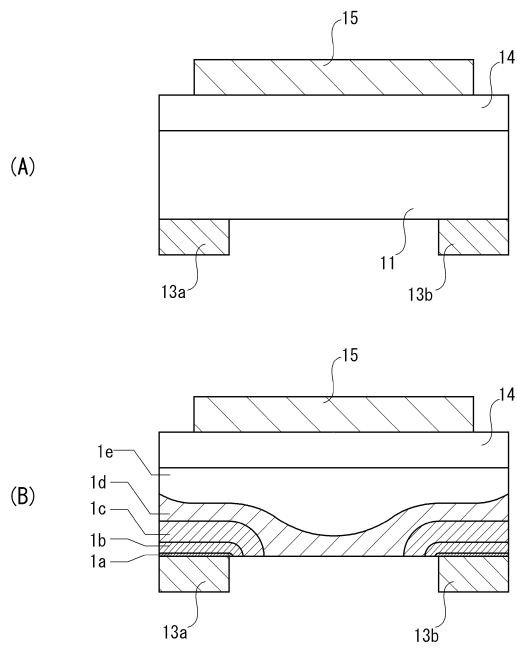
【図 4】



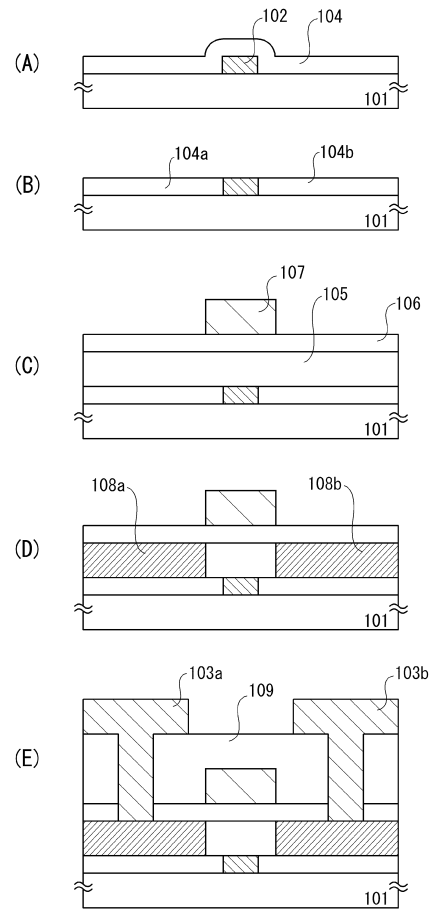
【図 5】



【図 7】



【図 6】



 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 6 V</i>
			<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 8 B</i>

(56)参考文献 特開 2 0 0 8 - 1 2 4 2 1 5 (J P , A)
 特表 2 0 0 7 - 5 2 5 0 0 4 (J P , A)
 国際公開第 2 0 0 3 / 0 9 8 6 9 9 (W O , A 1)
 特開 2 0 0 0 - 2 7 7 5 3 4 (J P , A)
 特開 2 0 0 3 - 0 4 6 0 8 1 (J P , A)
 特開平 0 9 - 2 2 3 9 3 7 (J P , A)
 特開 2 0 0 5 - 2 5 9 8 9 7 (J P , A)
 特開 2 0 0 4 - 2 8 8 8 5 3 (J P , A)
 特開 2 0 0 8 - 0 6 0 1 0 1 (J P , A)
 国際公開第 2 0 0 8 / 0 9 1 5 0 4 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 9 / 7 8 6
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 2 8
H 0 1 L	2 9 / 4 2 3
H 0 1 L	2 9 / 4 7
H 0 1 L	2 9 / 4 9
H 0 1 L	2 9 / 8 7 2