(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0096847
(43) 공개일자 2010년09월02일

(51) Int. Cl.
H01L 51/00 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2009-0015910
(22) 출원일자 2009년02월25일
심사청구일자 2009년02월25일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
홍문표
경기 성남시 분당구 정자동 한솔마을청구아파트 107동 1103호
김동우
서울 성동구 마장동 현대아파트 110동 401호
(뒷면에 계속)
(74) 대리인
유미특허법인

전체 청구항 수 : 총 12 항

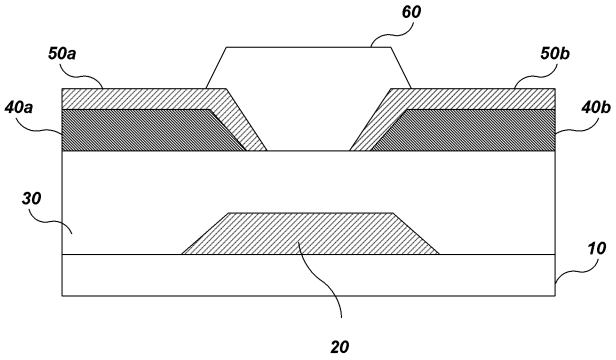
(54) 유기 박막 트랜지스터 및 그의 제조 방법

(57) 요 약

본 발명은 유기 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

본 발명에서는 기판 위에 게이트 전극을 형성하고, 게이트 전극 및 기판 위에 게이트 절연막을 형성한다. 특히 실록산 결합을 갖는 용액형 물질을 사용한 용액 공정을 통하여 상기 게이트 절연막을 형성한다. 그리고 게이트 절연막 위에 소스 전극 및 드레인 전극을 형성하고, 강제 산화법을 사용하여 상기 소스 전극 및 드레인 전극 위에 금속 산화막인 수송자 주입막을 각각 형성하며, 소스 전극 및 드레인 전극 사이에 상기 게이트 전극과 중첩되는 유기 반도체층을 형성한다.

대 표 도 - 도1



(72) 발명자

김두현

서울 서대문구 남가좌2동 삼성아파트 105동 504호

김건수

서울 은평구 불광동 218-27

특허청구의 범위

청구항 1

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 기판 위에 게이트 절연막을 형성하며, 상기 게이트 절연막은 실록산 결합을 갖는 용액형 물질을 사용한 용액 공정을 통하여 형성되는 단계;

상기 게이트 절연막 위에 소스 전극 및 드레인 전극을 형성하는 단계;

강제 산화법을 사용하여 상기 소스 전극 및 드레인 전극 위에 금속 산화막인 수송자 주입막을 각각 형성하는 단계; 및

상기 소스 전극 및 드레인 전극 사이에 상기 게이트 전극과 중첩되는 유기 반도체층을 형성하는 단계

를 포함하는, 유기 박막 트랜지스터 제조 방법.

청구항 2

제1항에 있어서

상기 게이트 절연막을 형성하는 단계는, 실리콘옥사이드(SiO_x), 실리콘나이트라이드(SiN_x), 알루미늄옥사이드(Al_2O_3), 지르코니아비드(ZrO_2) 을 포함하는 물질 중 하나를 이용하여 상기 게이트 절연막을 형성하는, 유기 박막 트랜지스터 제조 방법.

청구항 3

제1항에 있어서

상기 수송자 주입막을 형성하는 단계는, 산소 플라즈마 공정을 통하여 상기 수송자 주입막을 형성하는 유기 박막 트랜지스터 제조 방법.

청구항 4

제1항에 있어서

상기 수송자 주입막을 형성하는 단계는, 산소 중성자빔을 이용한 플라즈마 공정을 통하여 상기 수송자 주입막을 형성하는, 유기 박막 트랜지스터 제조 방법.

청구항 5

제4항에 있어서

상기 산소 중성자빔을 이용한 플라즈마 공정은,

상기 게이트 절연막을 포함하는 플라즈마 방전공간으로 처리가스를 도입하는 단계;

상기 플라즈마 방전공간에서 플라즈마 방전으로 처리가스를 플라즈마로 전환시키는 단계;

생성된 플라즈마를 상기 플라즈마 방전공간의 측면에 배치된 산소 원소 코팅막과 충돌시켜, 산소 원소를 상기 산소 원소 코팅막으로부터 플라즈마 방전공간으로 스퍼터링하는 단계;

상기 산소 원소 코팅막으로부터 스퍼터링된 산소 원소의 양이온을 상기 플라즈마 방전 공간에 배치된 금속판으로 유도하는 단계;

상기 금속판과 산소 원소의 양이온의 충돌에 의해 산소 원소의 중성입자를 생성하는 단계; 및

상기 산소 원소의 중성입자를 상기 소스 전극 및 드레인 전극과 접촉시켜 금속 산화막인 수송자 주입막을 형성하는 단계

를 포함하는, 유기 박막 트랜지스터 제조 방법.

청구항 6

제4항 또는 제5항에 있어서

상기 게이트 절연막을 형성하는 단계는 분자량이 설정값보다 작은 아크릴계 물질, 폴리비닐페놀(PVP), 폴리비닐알콜(PVA) 그리고 폴리이미드(PI)) 중 하나를 사용하여 상기 게이트 절연막을 형성하는, 유기 박막 트랜지스터 제조 방법.

청구항 7

기판 위에 형성되어 있는 게이트 전극;

상기 게이트 전극을 덮는 형태로 상기 기판 위에 형성되어 있는 게이트 절연막;

상기 게이트 절연막 위에 각각 형성되어 있는 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극 위에 각각 형성되어 있는 수송자 주입막; 그리고

상기 소스 전극과 드레인 전극 사이에 위치되고 상기 게이트 전극과 중첩되어 있는 유기 반도체층을 포함하며,

상기 게이트 절연막은 실리콘 옥사이드(SiO_x), 실리콘 질화물(SiN_x), 알루미늄옥사이드(Al_2O_3), 지르코니아비드(ZrO_2) 중 하나로 이루어지고. 실록산 결합을 갖는 용액형 물질을 이용하여 형성되어 있는, 유기 박막 트랜지스터.

청구항 8

기판 위에 형성되어 있는 게이트 전극;

상기 게이트 전극을 덮는 형태로 상기 기판 위에 형성되어 있는 게이트 절연막;

상기 게이트 절연막 위에 각각 형성되어 있는 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극 위에 각각 형성되어 있는 수송자 주입막; 그리고

상기 소스 전극과 드레인 전극 사이에 위치되고 상기 게이트 전극과 중첩되어 있는 유기 반도체층을 포함하며,

상기 게이트 절연막은 분자량이 설정값보다 작은 유기 물질(아크릴계 물질, 폴리비닐페놀(PVP), 폴리비닐알콜(PVA) 그리고 폴리이미드(PI) 중 하나임)로 이루어지고, 실록산 결합을 갖는 용액형 물질을 이용하여 형성되어 있으며,

상기 수송자 주입막은 상기 소스 및 드레인 전극의 표면을 산소 중성입자빔을 이용하여 산화시킨 금속 산화막인, 유기 박막 트랜지스터.

청구항 9

제7항 또는 제8항에 있어서

상기 소스 전극 및 드레인 전극은 다층 구조로 이루어지는, 유기 박막 트랜지스터.

청구항 10

제9항에 있어서

상기 소스 전극 및 드레인 전극은 몰리브덴(Mo), 텅스텐(W), 구리(Cu), 니켈(Ni)을 포함하는 전이금속 계열 중 하나로 이루어지는 제1층과, 금(Au), 은(Ag), 크롬(Cr), 구리(Cu), 알루미늄(Al)을 포함하는 금속이나 ITO(Indium Tin Oxide)를 포함하는 전도성 산화막 중 하나인 제2층으로 이루어지는, 유기 박막 트랜지스터.

청구항 11

제7항 또는 제8항에 있어서

상기 수송자 주입막은, 몰리브덴산화막 (MoO_x), 텅스텐산화막 (WO_x), 구리산화막 (CuO_x) 그리고 니켈산화막 (NiO_x) 중 하나로 이루어지는, 유기 박막 트랜지스터.

청구항 12

제7항 또는 제8항에 있어서

상기 유기 반도체층은, 펜타센 (Pentacene), 폴리사이오펜 (polythiophene), TIPS펜타센 (triisopropylsilylethynyl pentacene), 고분자 유기 반도체층(poly 3-hexylthiophene(P3HT), poly 3-octlythiophene(P3OT), poly butylthiopehen (PBT)) 중 하나로 이루어지는, 유기 박막 트랜지스터.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 유기 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 유기 박막 트랜지스터(Organic Thin Film Transistor: OTFT)는 전도성 고분자 또는 저분자를 이용한 소자 중에서 유기물을 활성층으로 사용하는 소자로서, 유연성, 가공 및 제조의 편의성의 장점으로 인하여 최근에 엑티브 매트릭스 기반의 플렉서블 디스플레이 장치 등에 적용을 위하여 많이 연구되고 있다.

[0003] 유기 박막 트랜지스터는 일반적으로 하부 기판 상에 금속을 사용하여 형성된 게이트 전극, 게이트 전극을 포함한 상기 하부기판 위에 형성되는 게이트 절연막, 게이트 절연막 상부에 형성되어 있으며 소스 및 드레인 전극, 그리고 게이트 절연막의 노출 표면 및 소스 전극과 드레인 전극 위에 형성된 유기 반도체층을 포함한다.

[0004] 몰리브덴(Mo), 텅스텐(W), 구리(Cu), 니켈(Ni) 등과 같은 전이 금속으로 된 소스 및 드레인 전극은 일함수(Workfucntion)가 낮아서 유기 반도체층과 직접 접촉하게 되면, 금속의 일함수와 유기 반도체의 에너지 준위의 불일치에 의하여 높은 에너지 장벽(barrier)이 존재하게 되어 접촉 저항을 증가시키게 된다. 즉, 소스 및 드레인 전극과 유기 반도체층이 직접 접촉하게 되면, 이들 막간의 수송자 주입(carrier injection)을 방해하는 에너지 장벽이 형성되어, 축적 모드(accumulation mode)시 형성된 다수의 주요 운반자(majority carrier)들의 이동이 원활하지 못하게 되어 상기 막간 접촉면의 저항이 증가하게 된다. 그 결과, 유기 박막 트랜지스터의 전계 효과 이동도(field effect mobility)가 낮아지고, 유기 박막 트랜지스터의 출력(output) 특성에서 저전압에서의 전류 비선형성(current clouding) 현상이 발생하게 되는 문제점이 있다.

[0005] 이에 따라 최근에는 접촉저항을 감소시키기 위해 금, 은, 구리, 크롬 같은 금속막을 대신하여 몰리브덴산화막(MoO_x), 텅스텐산화막(WO_x), 구리산화막(CuO_x) 그리고 니켈산화막(NiO_x) 등의 금속 산화막을 소스 및 드레인 전극으로 사용하여, 에너지 장벽 및 접촉 저항을 감소시켜 유기 박막 트랜지스터의 특성을 향상시키고자 하는 연구가 많이 진행되고 있다.

[0006] 이러한 수송자 주입막으로 금속 산화막을 사용한 유기 박막 트랜지스터를 제조하는 경우, 통상의 경우 금속 산화막을 진공승화법으로 소스 및 드레인 전극을 형성하나, 진공승화법의 경우, 양산 공정 적용의 한계성, 대면적 적용의 한계성, 금속산화막의 높은 비저항에 따른 배선재료로서의 적용성 부족 등이 존재한다.

[0007] 이를 해결하기 위하여, 소스 전극 및 드레인 전극이 형성되기 전 공정에서, 금속 표면을 전면 산화시키고 소스 및 드레인 전극들을 패턴닝하여 플라즈마 산화 공정 동안 트랜지스터의 채널 부위를 보호하는 방법을 사용 할 수 있다. 그러나 이러한 방법은 금속 전극의 측면에 산화막이 형성되지 않아 유기 반도체와의 접촉특성 개선에 큰 효과가 없는 문제가 있다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명이 해결하고자 하는 기술적 과제는 유기 박막 트랜지스터 제조시 강제 산화법을 이용하여 금속산화막을 간단하게 형성하고, 이에 따른 게이트 절연막의 손상을 방지하는 제조 방법을 제공하는 것이다.

[0009] 본 발명이 해결하고자 하는 기술적 과제는 유기 박막 트랜지스터의 금속 전극에 금속 산화막을 안정적으로 형성하기 위한 제조 방법을 제공하는 것이다.

[0010] 또한 본 발명이 해결하고자 하는 기술적 과제는 출력 특성이 향상된 유기 박막 트랜지스터를 제공하는 것이다.

과제 해결수단

[0011] 이러한 기술적 과제를 달성하기 위한 본 발명의 특징에 따른 유기 박막 트랜지스터의 제조 방법은, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극 및 기판 위에 게이트 절연막을 형성하며, 상기 게이트 절연막은 실리콘옥사이드(SiO_x), 실리콘나이트라이드(SiNx), 알루미늄옥사이드(Al_2O_3), 지르코니아비드(ZrO_2) 그리고 실록산 결합을 갖는 용액형 물질을 사용한 용액 공정을 통하여 형성되는 단계; 상기 게이트 절연막 위에 소스 전극 및 드레인 전극을 형성하는 단계; 강제 산화법을 사용하여 상기 소스 전극 및 드레인 전극 위에 금속 산화막인 수송자 주입막을 각각 형성하는 단계; 및 상기 소스 전극 및 드레인 전극 사이에 상기 게이트 전극과 중첩되는 유기 반도체층을 형성하는 단계를 포함한다.

[0012] 이러한 특징을 가지는 방법에서, 게이트 절연막을 분자량이 설정값보다 작은 유기 물질(아크릴계 물질, 폴리비닐페놀(PVP), 폴리비닐알콜(PVA) 그리고 폴리이미드(PI) 등)을 사용하여 형성할 수 있으며, 그리고 소스 및 드레인 전극의 위에 산화막인 수송자 주입막을 형성시 산소 중성입자빔을 사용할 수 있다.

[0013] 또한 본 발명의 다른 특징에 따른 유기 박막 트랜지스터는, 기판 위에 형성되어 있는 게이트 전극; 상기 게이트 전극을 덮는 형태로 상기 기판 위에 형성되어 있는 게이트 절연막; 상기 게이트 절연막 위에 각각 형성되어 있는 소스 전극 및 드레인 전극; 상기 소스 전극 및 드레인 전극 위에 각각 형성되어 있는 수송자 주입막; 그리고 상기 소스 전극과 드레인 전극 사이에 위치되고 상기 게이트 전극과 중첩되어 있는 유기 반도체층을 포함하며, 상기 게이트 절연막은 실리콘 옥사이드(SiO_x), 실리콘 질화물(SiN_x), 알루미늄옥사이드(Al_2O_3), 지르코니아비드(ZrO_2) 중 하나로 이루어지고. 실록산 결합을 갖는 용액형 물질을 포함한다.

[0014] 또한 본 발명의 다른 특징에 따른 유기 박막 트랜지스터는, 기판 위에 형성되어 있는 게이트 전극; 상기 게이트 전극을 덮는 형태로 상기 기판 위에 형성되어 있는 게이트 절연막; 상기 게이트 절연막 위에 각각 형성되어 있는 소스 전극 및 드레인 전극; 상기 소스 전극 및 드레인 전극 위에 각각 형성되어 있는 수송자 주입막; 그리고 상기 소스 전극과 드레인 전극 사이에 위치되고 상기 게이트 전극과 중첩되어 있는 유기 반도체층을 포함하며, 상기 게이트 절연막은 분자량이 설정값보다 작은 유기 물질(아크릴계 물질, 폴리비닐페놀(PVP), 폴리비닐알콜(PVA) 그리고 폴리이미드(PI) 중 하나임)로 이루어지고, 실록산 결합)을 갖는 용액형 물질을 이용하여 형성되어 있고, 상기 수송자 주입막은 상기 소스 및 드레인 전극의 표면을 산소 중성입자빔을 이용하여 산화시킨 금속 산화막이다.

효 과

[0015] 이상 설명한 바와 같이, 본 발명에 따르면, 유기 박막 트랜지스터 제조시 소스 및 드레인 전극 위에 금속 산화막을 형성하는 경우, 게이트 절연막이 손상되는 것을 방지할 수 있다. 그 결과 보다 안정적으로 금속 산화막을 형성할 수 있으며, 또한 게이트 절연막에 의하여 형성되는 트랜지스터 채널이 안정적으로 형성된다. 그러므로 보다 소자 특성이 향상된 유기 박막 트랜지스터를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0017] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0018] 그러면 도면을 참조하여 본 발명의 실시예에 따른 유기 박막 트랜지스터에 대해서 상세하게 설명한다.

[0019] 도 1은 본 발명의 실시 예에 따른 유기 박막 트랜지스터의 구조도이다.

[0020] 첨부한 도 1에 도시되어 있듯이, 본 발명의 실시 예에 따른 유기 박막 트랜지스터는, 기판 위에 형성되어 있는 게이트 전극(20), 게이트 전극(20) 및 기판(10) 위에 형성되어 있는 게이트 절연막(30), 게이트 절연막 위에 형성되어 있는 소스 전극(40a), 게이트 절연막 위에 형성되어 있는 드레인 전극(40b), 소스 전극 및 드레인 전극 위에 형성되어 있는 수송자 주입막(50a, 50b), 수송자 주입막 위에 형성되어 있는 유기 반도체층(60)을 포함한다.

[0021] 게이트 전극(20)은 금(Au), 은(Ag), 크롬(Cr), 니켈(Ni), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), ITO(Indium Tin Oxide), IZO 등의 범용 금속 또는 전도성 산화막으로 이루어질 수 있다.

[0022] 게이트 절연막(30)은 게이트 전극(20)을 덮는 형태로 기판(10) 위에 형성되어 있다. 본 발명의 실시 예에 따른 게이트 절연막(30)은, 실리콘 산화막(SiO_x) 또는 실리콘 질화물(SiN_x), 알루미늄옥사이드(Al_2O_3), 지르코니아비드(ZrO_2) 등의 무기 절연 물질 또는 아크릴계 물질, 폴리비닐페놀(PVP), 폴리비닐알콜(PVA) 그리고 폴리이미드(PI)와 같은 유기 절연 물질로 이루어진다. 특히, 실록산 결합(Si-O-Si)을 갖는 실록산(Siloxane) 등과 같은 용액형 물질을 사용하여 게이트 절연막(30)을 형성한다.

[0023] 소스 전극(40a) 및 드레인 전극(40b)은 게이트 절연막(30)의 양 에지(edge)와 중첩되어 섬형상으로 형성된다. 예를 들어, 금(Au), 은(Ag), 크롬(Cr), 니켈(Ni), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), ITO(Indium Tin Oxide), IZO 등의 금속 물질 또는 전도성 산화막 중에서 하나로 이루어질 수 있다. 이러한 소스 및 드레인 전극(40a, 40b)은 다층 구조로 형성될 수 있다. 다층 구조로 형성될 경우, 소스 전극(40a) 및 드레인 전극(40b)은 몰리브덴(Mo), 텅스텐(W), 구리(Cu), 니켈(Ni) 과 같이 반도체 특성을 갖는 산화막을 쉽게 형성하는 전이금속계열 중 하나로 이루어지고, 추가적으로 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al) 같은 전기전도성이 우수한 금속이나 ITO(Indium Tin Oxide)와 같은 전도성 산화막이 보조적으로 사용될 수 있다.

[0024] 수송자 주입막(50a, 50b)은 금속 산화막(Metal Oxide)이며, 예를 들어, 몰리브덴산화막(MoO_x), 텅스텐산화막(WO_x), 구리산화막(CuO_x) 그리고 니켈산화막(NiO_x) 등으로 이루어질 수 있다.

[0025] 유기 반도체층(60)은, 동일 금속의 산화막으로 이루어진 수송자 주입막(50a, 50b)을 포함하는 소스 및 드레인 전극(40a, 40b) 상에 형성되어 있다. 이러한 유기 반도체층(60)은 펜타센 (Pentacene), 폴리사이오펜(polythiophene), TIPS펜타센(triisopropylsilylethynyl pentacene), 고분자 유기 반도체층(poly 3-hexylthiophene(P3HT), poly 3-octlythiophene(P3OT), poly butylthiopehen(PBT)) 중 하나로 이루어질 수 있다.

[0026] 본 발명의 실시 예에서는 유기 박막 트랜지스터를 제조하는 공정에서, 소스 및 드레인 금속 박막의 개선을 위하여 산소 플라즈마 처리 방법을 이용하여 금속 산화막을 형성한다. 이 때 산소 플라즈마 처리 방법으로 인한 채널 영역의 플라즈마 손상을 방지하기 위하여 용액 공정이 가능하고 무기 재료인 실록산(Si-O-Si) 물질을 이용하고 분자량이 설정값보다 큰 유기 물질을 이용하여 게이트 절연막을 형성한다. 또는 분자량이 설정값보다 작은 유기 물질을 이용하여 게이트 절연막을 형성하는 경우, 소스 및 드레인 전극 형성시에 산소 중성입자빔을 사용하여 금속 산화막을 생성하여, 플라즈마 손상을 최소화한다.

[0027] 다음에는 도 1 및 도 2A 내지 도 2D를 참조하여 본 발명의 실시 예에 따른 유기 박막 트랜지스터를 제조하는 방법에 대하여 설명한다.

[0028] 도 2A 내지 도 2D는 본 발명의 실시 예에 따른 유기 박막 트랜지스터 제조 방법을 나타낸 단면도이다.

[0029] 먼저, 도 2A에 도시된 바와 같이, 기판(10) 위에 알루미늄(Al), 몰리브덴(Mo), ITO 등의 범용 금속 또는 전도성 산화막 중 하나로 이루어지는 금속막을 증착하고 포토 식각 공정을 수행하여 게이트 전극(20)을 형성한다. 구체적으로, 금속막 상에 포토 레지스트(Photo resist)(도시하지 않음)를 도포하고, 상기 포토 레지스트 상부에 소정의 패턴이 형성된 포토 마스크를 정렬한 후, 광선을 조사하여 노광하고 그 이후에 현상하여 포토레지스트를 패터닝한다. 이어서, 패터닝된 포토 레지스트를 마스크로 사용하여 게이트 전극(20)을 위한 금속막을 선택적으로 식각하여 게이트 전극(20)을 형성하고, 상기 포토 레지스트를 제거한다.

[0030] 이와 같이 게이트 전극(20)이 형성된 다음, 기판(10) 및 게이트 전극(20)의 위에 유기 절연 물질을 도포하여 게이트 절연막(30)을 형성한다. 구체적으로 실리콘 산화막(SiO_x), 실리콘 질화물(SiN_x), 알루미늄옥사이드(Al_2O_3), 지르코니아비드(ZrO_2)등의 무기 절연물질이나, 또는 아크릴계 물질, 폴리비닐페놀(PVP), 폴리비닐알콜(PVA) 그리고 폴리이미드(PI)와 같은 유기절연물질 중 하나를 선택하여 기판(10) 및 게이트 전극(20) 위에 도포하고, 이

때, 강제 산화와 같은 플라즈마 공정 중 플라즈마 손상(Damage)의 영향을 최소화하기 위하여, 용액 공정을 수행한다. 그리고 특히 실록산 결합(Si-O-Si)을 갖는 용액형 물질을 사용하여 용액 공정을 수행하여 게이트 절연막(30)을 형성한다. 구체적으로, 선택되는 유기 절연 물질이나 무기 절연 물질을 실록산 결합을 포함하는 용액형 물질을 사용하여 스핀 코팅하여 게이트 전극(20) 및 기판(10) 위에 박막을 형성하고 건조를 수행하여 절연 박막 즉, 게이트 절연막(30)을 형성한다. 여기서 스핀 코팅으로 형성된 박막을 소프트 큐어링(Soft Curing)을 하고 하드 큐어링(Hard Curing)을 하여 건조시킬 수 있다.

[0031] 다음 도 2B에서와 같이, 소스 및 드레인 전극(40a, 40b)을 형성하기 위한 금속막(40)을 게이트 절연막(30) 위에 증착한다. 여기서 금속막(40)은 몰리브덴(Mo), 니켈(Ni), 텅스텐(W)과 같이 반도체 특성을 갖는 산화막을 쉽게 형성하는 전이금속 계열중 하나로 이루어질 수 있으며, 이외에도 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al) 같은 전기전도성이 우수한 금속이나 ITO(Indium Tin Oxide)와 같은 전도성 산화막을 보조적으로 사용할 수도 있다. 그리고 도 2C에서와 같이 포토 식각 공정을 통하여 금속막(40)을 패터닝하여 소스 및 드레인 전극(40a, 40b)을 형성한다.

[0032] 다음, 도 2D에서와 같이, 소스 및 드레인 전극(40a, 40b) 위에 수송자 주입막(50a, 50b)을 형성한다. 즉, 산소 플라즈마 또는 산소 중성입자빔을 사용한 강제 산화법으로 상기 소스 전극 및 드레인 전극 위에 금속 산화막인 수송자 주입막(50a, 50b)을 형성한다. 이와 같이 소스 전극(40a)과 드레인 전극(40b)의 표면들이 강제 산화되어 수송자 주입막(50a, 50b)이 형성된다. 여기서 수송자 주입막(50a, 50b)은 전극 형성시 사용된 금속에 따라 몰리브덴산화막(MoO_x), 텅스텐산화막(WO_x), 구리산화막(CuO_x) 그리고 니켈산화막(NiO_x)등의 물질 중에서 하나로 이루어지게 된다.

[0033] 특히, 산소 플라즈마를 이용하여 수송자 주입막을 형성하는 경우에도, 본 발명의 실시 예에 따른 게이트 절연막(30)은 실리콘옥사이드 (SiOx), 실리콘 질화물(SiN_x), 알루미늄옥사이드(Al_2O_3), 지르코니아비드(ZrO_2)와 같은 물질을 사용하고, 실록산 결합(Si-O-Si)을 갖는 용액 물질을 이용한 용액 공정을 통하여 형성되어 있으므로, 플라즈마 손상(Plasma Damage)이 발생되지 않는다. 그러므로 전극 형성 후 산소 플라즈마 표면 처리와 같은 쉬운 강제 산화법을 사용하면서, 이후에 형성되는 유기 반도체층과 접촉이 일어날 수 있는 소스 및 드레인 전극의 위에 금속 산화막을 안정적으로 쉽게 형성할 수 있다.

[0034] 위에 기술된 바와 같이 게이트 절연막(30) 형성시 용액 공정을 사용하는 경우 실록산 결합 (Si-O-Si)을 가지는 용액형 물질과 분자량이 큰 유기 절연막을 사용할 수 있다. 반면, 게이트 절연막(30)으로 분자량이 설정값 보다 작은 유기 게이트 절연막(아크릴계 물질, 폴리비닐페놀(PVP), 폴리비닐알콜(PVA) 그리고 폴리이미드(PI)) 등에서 하나를 사용한 경우에는, 소스 및 드레인 전극 생성시 금속 표면에 강제 산화막을 형성하는 과정에서 산소 중성입자빔을 사용함으로써 유기 게이트 절연막의 플라즈마 손상을 최소화할 수 있다.

[0035] 보다 구체적으로 설명하면 일반적으로 스퍼터링 공정시에는, 타겟에 충돌할 산소 (O_2), 아르곤(Ar) 등의 양이온을 형성하기 위한 플라즈마 형성 시, 발생되는 높은 에너지를 가진 입자(Energetic particles: 중성 O_2, Ar, 음이온 입자, 양이온 입자, 열전자)에 의한 충돌로 인한 에너지 전달에 따른 온도 상승, 유기 박막 트랜지스터의 유기 절연체의 유기막 변성이 발생되어, 유기막을 통한 소스 전극과 드레인 전극 사이의 누설 전류가 증가한다. 또한, 상기 높은 에너지를 가지는 입자들의 기판 충돌 시에 기판 표면의 재삭박(re-sputtering) 현상, 계면 반응, 이차 전자 발생을 일으켜, 소자 특성에 영향을 주게 된다.

[0036] 반면 본 발명의 실시 예에서는 산소 중성입자빔을 이용하여 게이트 절연막을 형성함으로써 위에 기술된 바와 같은 문제점을 해소할 수 있다. 본 발명의 실시 예에서 산소 중성자빔을 이용하여 소스 및 드레인 전극을 형성하는 과정은 다음과 같다.

[0037] 먼저 플라즈마 방전 공간으로 처리 가스를 도입한다. 그리고 플라즈마 방전 공간에서 플라즈마 방전으로 처리 가스(산소)를 플라즈마로 전환시킨다. 생성된 플라즈마를 플라즈마 방전공간의 측면에 배치된 산소(고체)원소 코팅막과 충돌시켜, 산소(고체)원소를 산소(고체)원소 코팅막으로부터 플라즈마 방전공간으로 스퍼터링한다. 그리고 산소(고체)원소 코팅막으로부터 스퍼터링된 산소(고체)원소의 양이온을 플라즈마 방전공간의 상부에 배치된 금속판으로 유도한다. 이에 따라 금속판과 산소(고체)원소의 양이온의 충돌에 의해 산소(고체)원소의 중성입자가 생성되며, 생성된 산소(고체)원소의 중성입자를 금속 유기막인 소스 및 드레인 전극에 접촉시켜 금속 산화막 전극을 형성한다. 이 때 채널에 사용되는 유기 절연막인 게이트 절연막에 대한 플라즈마 손상이 최소화된다. 그 결과 보다 안정적인 유기 박막 트랜지스터를 제조할 수 있다.

[0038] 한편, 위에 기술된 바와 같이 소스 및 드레인 전극의 위에 금속 산화막인 수송자 주입막(50a, 50b)을 형성한 다음, 펜타센이나 TIPS 펜타센 등의 유기 반도체 물질을 수송자 주입막(50a, 50b)의 위 그리고 노출되어 있는 게이트 절연막(30) 위에 진공 증착법으로 증착하거나 도포한다. 그리고 사용된 유기 반도체 물질에 따라 포토 식각 방법이나 잉크젯 공정을 통하여 패터닝을 수행하여, 소스 전극(40a) 및 드레인 전극(40b) 사이에 위치되면서 게이트 전극(20)과 중첩되는 유기 반도체층(60)을 형성한다.

[0039] 위에 기술된 바와 같은 다수의 공정을 통하여 도 1에 도시된 바와 같은 구조를 가지는, 본 발명의 실시 예에 따른 유기 박막 트랜지스터가 제조된다.

[0040] 이러한 본 발명의 실시 예에 따르면, 수송자 주입막과 소스 및 드레인 전극을 용이하게 형성할 수 있으며, 수송자 주입막 형성시에 게이트 절연막에 손상이 발생되는 것을 방지할 수 있다. 특히 범용 금속 위에 플라즈마 표면처리 공정등을 통하여 금속산화막을 손쉽게 형성해 줌으로써, 전극의 일함수와 유기 반도체의 에너지 준위와의 차이를 최소화 시킬 수 있으며, 그 결과 포텐셜 에너지 장벽을 낮추어 유기 박막 트랜지스터의 특성을 향상시킬 수 있다.

[0041] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0042] 도 1은 본 발명의 실시 예에 따른 유기 박막 트랜지스터의 구조를 나타낸 단면도이다.

[0043] 도 2A 내지 도 2D는 본 발명의 실시 예에 따른 유기 박막 트랜지스터를 제조하는 방법을 나타낸 단면도이다.

[0044] <도면 부호의 설명>

[0045] 10 : 기판 20 : 게이트 전극

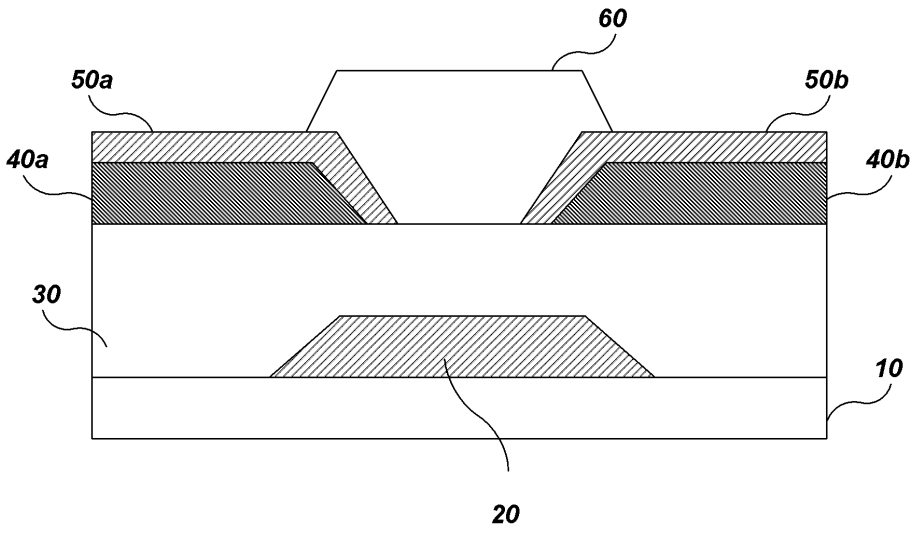
[0046] 30 : 게이트 절연막 40 : 금속막

[0047] 40a : 소스 전극 40b : 드레인 전극

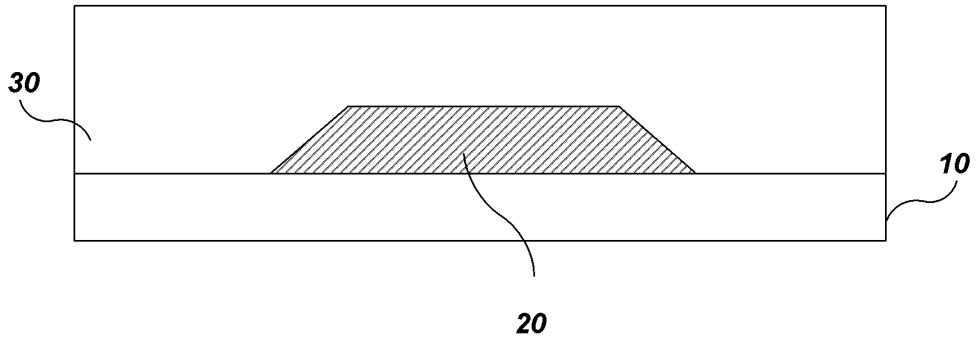
[0048] 50a, 50b: 수송자 주입막 60 : 유기 반도체층

도면

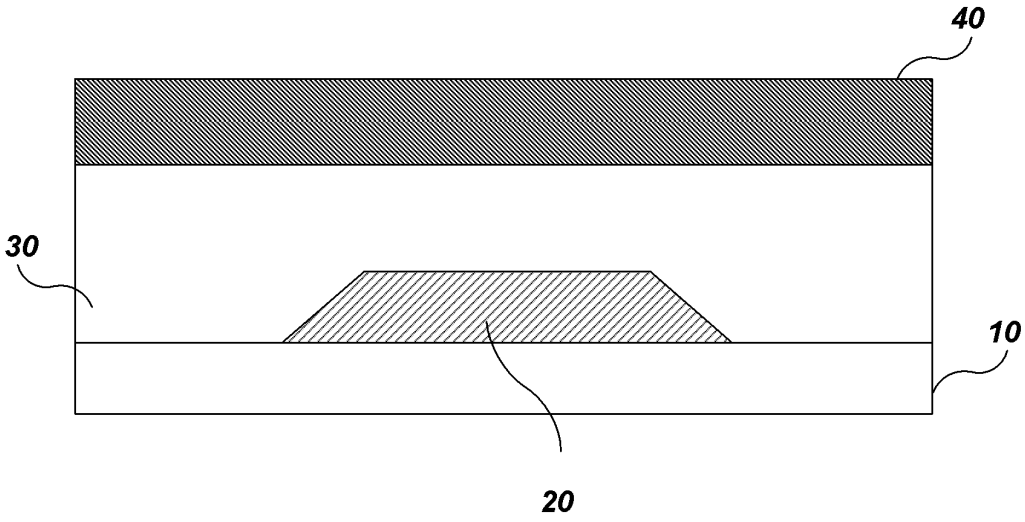
도면1



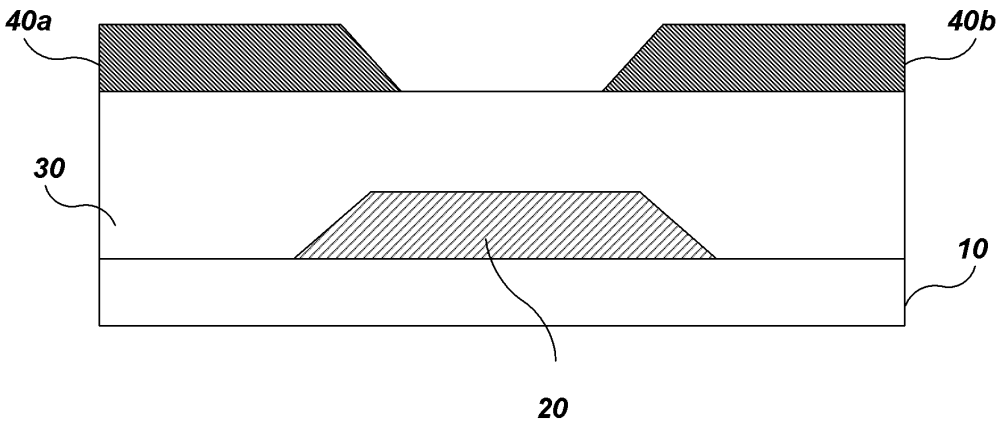
도면2a



도면2b



도면2c



도면2d

