(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 16/00

(45) 공고일자 2002년08월14일
(11) 등록번호 10-0332001
(24) 등록일자 2002년03월27일

(21) 출원번호 10-1994-0011641
(22) 출원일자 1994년05월27일

(65) 공개번호 특1995-0009730
(43) 공개일자 1995년04월24일

(30) 우선권주장 93-221143 1993년09월06일 일본(JP)

(73) 특허권자
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
다나까도시히로
일본국아끼가와시니노미야2273-5
가또마사따까
일본국무사시노시교난쵸5-2-13-B 201
구메히또시
일본국무사시노시니시꾸보1-33-7
오구라게이스께
일본국도꼬로자와시구스노끼다이1-360-1
아다찌데쯔오
일본국하찌오지시아까쯔끼쵸1-48-18

(74) 대리인
백남기

심사관 : 이철희

(54) 반도체불휘발성기억장치

요약

임계값의 전기적 프로그램 및 소거를 여러개의 펄스를 반복하여 인가하는 것에 의해서 실행하는 반도체 불휘발성 기억장치에 관한 것으로서, 메모리셀의 라이트 동작과 검증동작의 전환시간 및 검증동작 자체의 오버헤드시간을 저감하고 전기적 프로그램 및 소거모드(프로그램모드)에 있어서의 실프로그램 시간의 효율을 향상시켜 외부 CPU의 부담을 경감하기 위해서, 메모리셀에 대한 프로그래밍을 여러개의 프로그래밍동작의 반복에 의해서 실행하는 프로그래밍수단; 프로그래밍수단에 의한 프로그래밍동작의 반복중에 적어도 1회의 프로그래밍을 실행하고 있는 메모리셀의 상태를 리드하는 검증수단; 검증수단에 의해 리드된 메모리셀의 상태에 관한 정보에 따라서, 프로그래밍수단을 제어하여 기억장치의 프로그래밍의 반복동작의 계속, 정지를 제어하는 제어수단 및; 프로그래밍 펄스폭이 프로그래밍 동작의 반복 회수에 따라 변화하도록 각 프로그래밍 동작에 있어서의 프로그래밍 펄스를 제어하는 펄스 제어수단을 구비하는 구성으로 하였

다.

이것에 의해, 프로그램 동작모드를 실행하는데 필요한 시간에 대한 프로그램 동작과 검증동작의 전환시간 및 검증동작 자체의 시간의 오버헤드 시간을 단축할 수 있고 또 CPU의 부담을 현저하게 경감시킬 수 있다는 효과가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 원리를 설명하기 위한 메모리셀 임계값 변화량과 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 관계를 도시한 도면,

도 2는 파울러 노르데임 터널 현상을 이용하여 부유 게이트에 축적된 전하를 방출하는 경우에 있어서의 시간 변화에 대한 메모리 임계값 변화를 도시한 도면,

도 3은 파울러 노르데임 터널 현상을 이용하여 부유 게이트에 전하를 주입하는 경우에 있어서의 시간 변화에 대한 메모리셀 임계값 변화를 도시한 도면,

도 4는 핫캐리어 방식을 이용하여 부유 게이트에 전하를 주입하는 경우에 있어서의 시간 변화에 대한 메모리셀 임계값 변화를 도시한 도면,

도 5는 등배율의 프로그램 펄스를 공급하는 경우에 있어서의 프로그램 펄스의 회수와 프로그램 펄스폭의 관계를 도시한 도면,

도 6은 2회 반복하여 프로그램 펄스를 공급하는 경우에 있어서의 프로그램 펄스의 회수와 프로그램 펄스폭의 관계를 도시한 도면,

도 7은 본 발명의 반도체 불휘발성 기억장치의 실시예의 회로도,

도 8은 본 발명의 리드 동작의 워드선 전압에 대한 드레인 전류 특성으로서 2개의 상태의 임계값이 OV 이상인 경우의 임계값 특성을 도시한 도면,

도 9는 본 발명의 리드 동작의 워드선 전압에 대한 드레인 전류 특성으로서 낮은 임계값이 OV미만, 높은 임계값이 OV 이상 Vcc 이하인 경우의 임계값 특성을 도시한 도면,

도 10은 본 발명의 리드 동작의 워드선 전압에 대한 드레인 전류 특성으로서 낮은 임계값이 OV 미만, 높은 임계값이 Vcc 이상인 경우의 임계값 특성을 도시한 도면,

도 11은 외부 전원전압이 고전압인 경우의 전면 터널 방식에 있어서의 메모리셀의 임계값을 저하시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 12는 외부 전원전압이 단일 전원인 경우의 전면 터널 방식에 있어서의 메모리셀의 임계값을 저하시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 13은 외부 전원전압이 고전압인 경우의 소오스 에지 터널 방식에 있어서의 메모리셀의 임계값을 저하시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 14는 외부 전원전압이 단일 전원인 경우의 소오스 에지 터널 방식에 있어서의 메모리셀의 임계값을 저하시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 15는 외부 전원전압이 단일 전원인 경우의 드레인 에지 터널 방식에 있어서의 메모리셀의 임계값을 저하시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 16은 외부 전원전압이 고전압인 경우의 핫캐리어 방식에 있어서의 메모리셀의 임계값을 증가시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 17은 외부 전원전압이 고전압인 경우의 전면 터널 방식에 있어서의 메모리셀의 임계값을 증가시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 18은 외부 전원전압이 단일 전원인 경우의 전면 터널 방식에 있어서의 메모리셀의 임계값을 증가시키는 동작에서의 메모리셀 각 단자전압을 도시한 단면도,

도 19는 본 발명의 임계값을 변화시키는 동작 알고리듬을 도시한 흐름도,

도 20은 본 발명의 프로그램 제어회로를 예시하는 프로그램 펄스 발생회로 및 검증 어드레스 발생회로의 블럭도,

도 21은 본 발명의 센스앰프 판정신호 ALL을 발생하는 회로의 1예를 도시한 낮은 임계값 상태의 판정 회로도,

도 22는 본 발명의 센스앰프 판정신호 ALL을 발생하는 회로의 1예를 도시한 높은 임계값 상태의 판정 회로도,

도 23은 분주신호 OS를 발생하는 회로 및 발진기 회로 OSC의 1예를 도시한 회로도,

도 24는 본 발명의 논리회로 LOGM의 1예를 도시한 회로도,

도 25는 본 발명의 지연회로 Di의 1예를 도시한 회로도,

도 26은 본 발명의 프로그램 펄스폭 회로 PC의 1예를 도시한 회로도,

도 27은 본 발명의 2진 카운터 회로 BC의 1예를 도시한 회로도,

도 28은 본 발명의 반복 회수 카운터 회로 BCS2의 1예를 도시한 회로도,

도 29는 본 발명의 펄스 종료 신호 전환용 회로 PES의 1예를 도시한 회로도,

도 30은 본 발명의 펄스폭을 2배로 하는 펄스 제어회로 PEi의 1예를 도시한 회로도,

도 31은 동일 펄스를 2회 반복하여 발생하는 본 발명의 펄스 제어회로 PEi의 1예를 도시한 회로도,

도 32는 본 발명의 펄스폭을 2배로 하는 동작을 설명하는데 사용되는 파형 타이밍도,

도 33은 동일 펄스를 2회 반복하여 인가하는 본 발명의 동작을 설명하는데 사용되는 파형 타이밍도,

도 34는 본 발명의 다른 실시예를 도시한 블럭도,

도 35는 종래예의 임계값을 저하시키는 동작인 소거 모드의 알고리듬의 흐름도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 임계값 전압을 전기적으로 프로그램 및 소거할 수 있는 트랜지스터로 이루어지는 반도체 불휘발성 기억장치에 관한 것으로서, 특히 임계값의 전기적 프로그램 및 소거를 여러개의 펄스를 반복하여 인가하는 것에 의해서 실행하는 반도체 불휘발성 기억장치에 관한 것이다.

기억 내용을 전기적으로 일괄 소거할 수 있는 1트랜지스터/셀 구성의 반도체 불휘발성 기억장치는 " 플래시 메모리" 라고 불리고 있다. 플래시 메모리는 그 구성상 1비트당의 점유면적이 작아 고집적화가 가능하기 때문에, 최근 주목받고 있으며 그 구조나 구동방법 등에 관한 연구 개발이 활발하게 실행되고 있다. 예를 들면, JP-A-2-289997에는 전기적 프로그램 및 소거 동작(프로그래머블 동작)을 실행하는 반도체 불휘발성 기억장치 즉 메모리셀의 임계값을 저하시키는 동작인 소거모드에 대해서 기재되어 있다. 소거 모드는 파울러 노르데임(Fowler-Nordheim) 터널 현상을 이용하여 부유 게이트의 전하를 방출하는 동작 모드이다. 그 때의 임계값 특성을 도 2 도 4에 도시한다. 이들 도면에 도시되어 있는 바와 같이, 시간 대수축(logarithmic scale)에 대한 임계값의 변화는 임의의 시간 경과후에는 거의 직선으로 되어 있다.

전기적 소거 동작후의 메모리셀의 임계값은 전원전압의 하한 전압(Vccmin과 OV 사이가 아니면 안된다. 전기적 소거를 실행하는 반도체 불휘발성 기억소자의 임계값은 EPROM과 같이 기억 내용을 자외선에 의해 소거한 경우의 열평형 상태의 임계값 전압과는 달리 전기적 소거동작을 계속하는 동안에 부의 전압으로 될 수 있다. 메모리셀의 임계값이 부의 전압까지 저하한 경우에는 리드동작 등에 악영향이 발생한다. 예를 들면, 리드동작에 있어서 전압값 OV인 비선택의 워드선 즉 제어 게이트에 접속되어 있는 메모리셀의 임계값이 부의 전압까지 저하한 경우, 원하는 데이타선을 선택하면 데이타선에 메모리 전류(비선택 누설 전류)가 흘러 버린다. 그것에 의해서, 결과적으로 리드 시간의 지연, 더 나아가서는 오(誤)리드를 일으킬 수 있다. 이와 같은 일이 발생하지 않도록 종래에는 소거 펄스를 여러회 반복하여 인가하는 것에 의해서 소거 동작을 실행함과 동시에, 소거 동작후에 메모리 셀의 임계값이 OV 이상인 것을 확인(검증)하도록 하고 있었다.

종래의 소거 모드의 알고리듬을 도 35의 흐름도를 이용하여 설명한다.

도 35에 도시되어 있는 바와 같이, 소거 동작에 앞서서 프리라이트(prewrite)처리(11)이 실행된다. 프리라이트 처리라고 하는 것은 라이트되지 않은(미라이트의) 메모리셀의 임계값 전압(예를 들면 약 1V)이 소거 동작을 실행하는 것에 의해서 부의 전압으로 되어 버리는 것을 방지하기 위해서 미리 모든 메모리셀에 대해서 라이트를 실행하는 동작을 말한다.

프리라이트 처리(11)에서는 우선 초기어드레스를 설정하고(스텝 111), 그 후 그 어드레스에 대해서 라이트동작을 실행한다(스텝 112). 다음에, 그 어드레스가 최종어드레스인지 아닌지를 판정한다(스텝 113). 스텝 113에서의 판정 결과, 최종어드레스가 아닌 경우에는 어드레스를 인크리먼트(스텝 114) 한 후, 스텝 112로 되돌아가서 인크리먼트한 새로운 어드레스에 대해서 라이트동작을 실행한다. 스텝 112, 113, 114의 루프를 스텝 113의 판정에서 최종어드레스로 될 때까지 반복한다.

스텝 113의 판정 결과, 그 어드레스가 최종어드레스로 된 경우에는 프리라이트 처리(11)을 종료하고, 스텝 12의 어드레스설정 처리를 실행한다.

스텝 12에서 소거할 초기어드레스를 설정한 후 소거펄스를 발생하고, 모든 메모리셀에 대해서 소거동작을 실행한다(스텝 131). 소거동작 종료후에 메모리셀의 임계값이 소거 임계값에 도달해 있는지를 판정하기 위한 상태 리드동작 즉 검증 동작을 실행한다(스텝 132). 검증동작에 있어서 임의의 어드레스에 대응하는 메모리셀의 임계값이 소거임계값에 도달하지 않은 경우에는 다시 스텝 131로 되돌아가서 모든 메모리셀에 대한 소거를 반복한다(반복루프 13). 반복루프(13)의 검증동작에서는 다시 동일 어드레스로부터 임계값의 판정을 실행한다. 스텝 131, 132의 루프를 스텝 132의 판정에 의해 메모리셀의 임계값이 소거 임계값에 도달할 때까지 반복하여 실행한다.

스텝 132에서의 판정에 의해 메모리셀의 임계값이 소거임계값에 도달한 것이 판정된 경우에는 그 어드레스가 최종어드레스인지 아닌지를 판정한다(스텝 14). 그 후, 스텝 14에서의 판정 결과, 최종어드레스가 아닌 경우에는 어드레스를 인크리먼트(스텝 15) 한 후 다시 스텝 132의 검증동작으로 되돌아간다.

스텝 14의 판정결과, 최종어드레스로 된 경우에는 모든 메모리셀의 임계값이 소거 임계값으로 된 것으로 판단하여 소거모드를 종료한다.

이상 기술한 종래기술에 있어서의 소거모드에서는 반복해서 실행되는 소거동작의 펄스폭은 일정하다.

발명이 이루고자 하는 기술적 과제

상기 종래기술에 있어서는 소거모드에서 반복 실행되는 소거동작의 펄스폭은 항상 일정폭으로 하는 것이 전제조건으로 되어 있었다. 또, 메모리셀의 기억내용을 소거하는 경우에는 예를 들면 도 2에 도시한 바와 같이 시간 대수축에 대한 임계값 특성은 거의 직선으로 되어 있다. 따라서, 소거펄스폭을 일정하게 한 경우, 소거동작의 회수가 증대할수록 각 펄스에 대한 메모리 임계값 변화량은 적어진다. 그 때문에, 소거동작과 검증동작의 전환 시간 및 검증동작 자체가 오버헤드 시간으로 되고, 결과적으로 소거모드 시간이 길어져 버린다는 문제점이 있었다.

또, 전기적 프로그램 및 소거동작의 제어를 반도체 불휘발성 기억장치의 외부에 있는 시스템 예를 들면 자동 제어 카메라 시스템(스틸 카메라), 휴대용 녹음기 또는 포켓 컴퓨터 등의 휴대용 시스템내의 CPU에 실행시키는 경우에는 그와 같은 프로그램동작의 제어를 반도체 불휘발성 기억장치와 외부시스템 사이의 버스를 분리하지 않고 실행할 필요가 있기 때문에 제어가 번잡하고, 또 제어동작 동안에 CPU가 반도체 불휘발성 기억장치의 전기적 프로그램 및 소거제어로 점유되어 버린다는 문제점이 있었다.

본 발명의 목적은 전기적 소거가 가능한 반도체 불휘발성 기억장치에 있어서 메모리셀의 라이트동작과 검증동작의 전환시간 및 검증동작 자체의 오버헤드시간을 저감하고, 전기적 프로그램 및 소거모드(프로그램모드)에 있어서의 실(real) 프로그램 시간의 효율을 향상시켜 외부 CPU의 부담을 경감시킬 수 있는 반도체 불휘발성 기억장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 하나의 특징에 따르면, 임계값 전압을 전기적으로 프로그램 및 소거할 수 있는 트랜지스터로 이루어지는 반도체 불휘발성 기억장치에 있어서, 여러개의 프로그램 동작을 반복해서 실행하는 것에 의해 프로그램을 실행함과 동시에, 상기 프로그램동작의 반복중에 적어도 1회 프로그램하고 있는 메모리셀의 상태를 리드 즉 검증하고, 그 리드한 정보에 따라서 상기 기억장치의 반복적인 프로그램 동작의 계속, 정지를 제어하는 것이다.

또, 본 발명의 다른 특징에 따르면, 반복적인 프로그램동작에 있어서의 프로그램 펄스폭을 반복 회수와 함께 더욱 크게 함과 동시에, 반복회수에 따른 프로그램 펄스폭을 프로그래밍 가능하게 하고 있다.

또, 본 발명의 다른 특징에 따르면, 프로그램 펄스폭 및 프로그램동작 회수를 반도체 불휘발성 기억장치의 내부 또는 외부에서 제어할 수 있도록 하고 있다.

본 발명의 반도체 불휘발성 기억장치에 의하면, 프로그램 펄스폭을 반복회수와 함께 더욱 크게 하는 것에 의해서, 임계값을 변화시키는 동작회수 즉 프로그램펄스 회수에 대한 메모리셀의 임계값 변화의 차폭 ΔV_{th} 를 일정하게 할 수 있고, 임계값을 변화시키는 동작의 합계 회수 즉 프로그램 펄스의 합계 회수를 저감시킬 수 있다. 즉, 프로그램 동작모드의 시간에 대한 프로그램동작과 검증동작의 전환시간 및 검증동작 자체의 시간의 오버헤드시간을 단축할 수 있다.

또, 반도체 불휘발성 기억장치 내부에 프로그램 펄스 인가 제어수단을 마련하는 것에 의해, 그 반도체 불휘발성 기억장치가 사용되는 시스템내의 CPU로부터의 제어는 프로그램모드 개시의 아주 짧은 시간에만 실행하면 되고, 그 후의 프로그램 동작은 반도체 불휘발성 기억장치의 내부에서만 자동적으로 실행된다. 따라서, CPU의 부담은 현저하게 경감된다.

이하, 본 발명의 실시예를 첨부, 도면에 따라서 상세하게 설명한다.

본 발명의 실시예의 구체적 구성을 설명하기 전에 우선 본 발명의 원리를 논리적으로 설명하기로 한다.

메모리셀의 임계값을 전기적으로 변경하는 방법으로는 파울러 노르데임 터널 현상을 이용하여 부유게이트의 전하를 방출 및 주입하는 방법과 핫캐리어를 이용하여 부유게이트에 전하를 주입하는 방법이 있다. 도 2 내지 도 4에는 각각의 방법에 의한 시간에 대한 임계값의 변화를 도시한다. 이 점에 대해서 도 2의 파울러 노르데임 터널 현상을 이용한 전하방출의 경우와 도 3의 파울러 노르데임 터널 현상을 이용한 전하 주입의 경우에 있어서는 임의의 시간 경과후 또 도 4의 핫캐리어 방법을 이용한 전하주입의 경우에 있어서는 임의의 시간의 범위에서 시간 대수축 즉 log(t)에 대해서 메모리셀 임계값 V_{th} 의 변화를 거의 직선으로 나타낼 수 있다. 그 때의 관계식은 $V_{th} = Kv_{th} \cdot \log(t)$로 표현된다. 여기서, Kv_{th} 는 시간 대수축에 대한 임계값의 변화의 기울기이다.

메모리셀의 임계값을 정밀도 좋게 변화시키기 위해서는 상술한 바와 같이 임계값을 변화시키는 동작을 분할하고, 검증동작에 의해서 임계값을 검증한다. 또, 오버헤드시간을 저감하기 위해서는 상술한 바와 같이 반복 실행되는 임계값을 변화 시키는 동작과 그 검증동작의 회수를 저감하지 않으면 안된다.

그 때문에, 임계값을 변화시키는 동작의 반복회수 즉 프로그램 펄스의 반복회수를 저감하고, 반복회수가 증가할 때마다 임계값을 변화시키는데 필요한 동작시간 구체적으로는 프로그램 펄스폭을 길게 한다. 즉, 1회의 임계값을 변화시키는 동작 구체적으로는 프로그램 펄스에 대한 메모리셀의 임계값 변화의 차폭 ΔV_{th} 가 일정한 값으로 되도록, 임계값을 변화시키는 동작시간 즉 프로그램 펄스폭을 반복회수의 증가와 함께 증가시킨다.

도 1은 전기적으로 프로그램 및 소거가능한(프로그램가능한) 동작에 의한 매모리셀의 임계값의 변화 특성을 대표적으로 도시한 것이다. 메모리셀의 임계값 변화의 차폭 ΔV_{th} 를 일정하게 하기 위해서, 회수가 증가할 때마다 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)을 순차 길게(t1 〈t2 〈…) 한다. 이와 같이 하는것에 의해, 임계값을 변화시키는 동작(프로그램 펄스) 회수를 효과적으로 저감할 수 있다.

상술한 관계식 $V_{th} = Kv_{th} \cdot \log(t)$에 따라서, 1회의 임계값을 변화시키는 동작(프로그램 펄스)에 대한 메모리셀의 임계값 변화의 차폭 ΔV_{th} 는 다음과 같이 표현된다.

$$\Delta V_{th} = Kv_{th} \cdot \log(t2/t1)$$

또, 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 배율은 다음과 같이 표현된다.

$$(t2/t1) = 10E(\Delta V_{th}/Kv_{th})$$

여기서, $10E(\Delta V_{th}/Kv_{th})$는 10의 $(\Delta V_{th}/Kv_{th})$승을 의미하고 있다.

시간 대수축(log(t))에 대한 임계값 변화의 기울기 Kv_{th} 는 메모리셀의 터널 절연막 및 층간 절연막의 막두께, 메모리셀의 단자에 인가하는 전압 등에 따라서 결정되는 메모리셀 디바이스 특유의 값이다.

여기서, 시간 대수에 관한 임계값 변화의 기울기 Kv_{th} 의 절대값을 0.664로 한다. 임계값 변화의 차폭 ΔV_{th} 를 0.2V로 제어하는 경우, 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 배율은 2배로 된다. 즉, 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 배율을 항상 일정한 배율로 하는 것에 의해, 필요 최소한의 반복 회수로 항상 임계값 변화의 주폭 ΔV_{th} 를 일전한 값으로 제어할 수 있다.

도 5 및 도 6은 본 발명의 상기한 원리에 따라 임계값을 변화시키는 동작(프로그램 펄스) 회수와 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 관계를 도시한 것이다. 도 5는 임계값을 변화시키는 동작(프로그램 펄스) 회수에 대해서 임계값을 변화시키는 데 필요한 동작시간(프로그램 펄스폭)을 일정한 배율(2배)로 증가시킨 것이다. 또, 도 6은 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)을 여러개 예를 들면 2개로 분할해서 부여한 것이다. 이 때, 메모기셀이 임계값 변화의 차폭 ΔV_{th} 는 완만하게 된다.

또한, 본 발명자들중 일부는 종래의 기술로서 승인되지 않고 또한 본원에서 참증으로 기재하고 있지 않은 " JP-A-6-68686(1992년 8월 21자로 출원된 일본 특허원4-222499. 1994년 3월 11일자로 공개됨)" 에 있어서 상기 원리에 따르는 불휘발성 메모리셀의 전기적 일괄 소거방법을 제안하고 있다.

다음에, 본 발명의 구체적인 구성예를 실명한다. 도 7에는 본 발명에 관한 반도체 불휘발성 기억장치의 회로도가 도시되어 있다.

도 7에 있어서의 각 회로소자는 특히 제한되는 것은 아니지만, 예를 들면 공지의 상보형 MOS(CMOS) 집적회로의 제조기술에 의해 1개의 단결정 실리콘과 같은 반도체 기판상에 형성된다.

또, 특히 제한되는 것은 아니지만, 예를 들면 집적회로는 단결정 p형 실리콘으로 이루어지는 반도체 기판상에 형성된다. n채널 MOSFET는 제한되는 것은 아니지만, 이러한 반도체 기판 표면에 형성된 소오스영역, 드레인영역 및 소오스영역과 드레인영역 사이의 반도체 기판상에 얇은 두께의 게이트 절연막을 거쳐서 형성된 폴리실리콘 등으로 이루어지는 게이트전극으로 구성된다. p채널 MOSFET는 상기 반도체 기판 표면에 형성된 n형 웰영역에 형성된다. 이것에 의해, 반도체 기판은 그 위에 형성된 여러개의 n채널 MOSFET의 공통의 기판 게이트를 구성하고, 회로의 접지전위가 공급된다. p채널 MOSFET의 공통의 기판 게이트 즉 n형 웰영역은 전원전압 Vcc에 접속된다. 또는, 고전압 회로이면 n형 웰영역은 외부에서 인가된 고전압 Vpp, 내부발생 고전압 등에 접속된다. 또는, 집적회로는 단결정 n형 실리콘으로 이루어지는 반도체 기판상에 형성해도 좋다. 이 경우, n채널 MOSFET의 각각은 p형 웰영역에 형성된다.

또, 특히 제한되는 것은 아니지만, 예를 들면 이 실시예의 반도체 불휘발성 기억장치는 외부단자에서 공급되는 로우(행), 컬럼(열) 어드레스신호 AX, AY를 받는 로우 및 컬럼 어드레스버퍼 XADB, YADB를 거쳐서 형성된 상의 어드레스신호가 로우 및 컬럼 어드레스디코더 XDCR, YDCR로 공급된다. 또, 특히 제한되는 것은 아니지만, 예를 들면 상기 로우 및 컬럼 어드레스버퍼 XADB, YADB는 장치 내부에서 생성된 선택신호 ce에 의해 활성화되고, 외부단자에서 공급된 어드레스신호 AX, YX를 페치하고, 외부단자에서, 공급된 어드레스신호와 동상(同相)의 내부 어드레스신호와 역상(逆相)의 어드레스신호로 이루어지는 상보 어드레스신호를 형성한다.

로우 어드레스 디코더 XDCR은 로우 어드레스 버퍼 XADB에서 출력된 상보 어드레스 신호에 따른 메모리셀군의 원하는 워드선 WL을 선택하는데 사용되는 선택신호를 형성하고, 컬럼 어드레스 디코더 YDCR은 컬럼 어드레스 버퍼 YADB에서 출력된 상보 어드레스 신호에 따른 메모리셀군의 원하는 데이타선 DL을 선택하는데 사용되는 선택신호를 형성한다. 메모리셀군의 워드선 WL의 전위는 로우 어드레스 디코더 XDCR에 입력되는 전원전압의 워드선 전위 V_{WORD} 이다.

특히 제한되지는 않지만, 예를 들면 메모리셀의 선택은 8비트 또는 16비트 단위로 라이트동작 및 리드동작을 실행하기 때문에, 로우 어드레스 디코더 XDCR과 컬럼 어드레스 디코더 YDCR에 의해 메모리셀은 8개 또는 16개가 선택된다. 1개의 데이타 블럭의 메모리셀은 워드선 방향(행 방향)으로 m개, 데이타선 방향(열 방향)으로 n개로 하였다. 즉, 메모리셀군은 $(m \times n)$개의 메모리셀을 각각 갖는 데이타블럭이 8개 또는 16개 등으로 구성된다.

상기 메모리셀은 특히 제한되지 않지만, 예를 들면 EPROM의 메모리셀과 유사한 구성이고, 제어게이트와 부유게이트를 갖는 공지의 메모리셀 또는 제어게이트와 부유게이트 및 선택게이트를 갖는 공지의 메모리셀이다.

도 7에 있어서의 각각의 메모리셀은 제어게이트와 부유게이트를 갖는 구성이다. 메모리셀을 여러개 접속하는 메모리셀군은 특히 제한되지 않지만, 예를 들면 도 7에 도시한 바와 같이 Vp_{WELL} 전위를 공급받는 p형 웰영역에 형성되는 메모리셀 MOSFET M1 M9, 워드선 WL1 WLn, 데이타선 DL1 DLm 및 공통 소오스선 CS에 의해 구성되어 있다. 공통 소오스선 CS의 전위는 소오스 전위 전환회로 SVC에 의해 데이타 리드 및 검증시에는 회로의 접지전위 Vss, 메모리셀의 임계값을 변경하는 동작시에는 고전압 V_{SOURCE} 로 전환된다. 도 7의 메모리셀군에 있어서 동일 행에 배치된 메모리셀 예를 들면 M1, M4, …, M7의 제어게이트는 동일 워드선 WL1에 접속되고, 동일 열에 배치된 메모리셀 예를 들면 M1, M2, …M3의 드레인은 동일 데이타선 DL1에 접속되어 있다.

데이타선 DL1 DLm은 상기 어드레스 디코더 YDCR에 의해서 형성된 선택 신호를 각각 받는 컬럼 선택 스위치 MOSFET Q1, Q2, …, Q3을 거쳐서 공통 데이타선 CD에 접속된다. 공통 데이타선 CD에는 외부단자 I/O에서 입력되는 라이트 신호를 받는 라이트용 데이타 입력버퍼 DIB의 외부단자가 라이트시에 온(ON)으로 되는 라이트 제어신호 we를 받는 MOSFET Q5를 거쳐서 접속된다. 이 라이트시에는 입력버퍼 DIB에 입력되는 전원전압 V_{DATA} 가 메모리셀의 드레인 단자전압으로 된다. 공통 데이타선 CD는 리드시에 온으로 되는 리드 제어신호 se를 받는 스위치 MOSFET Q4를 거쳐서 센스앰프 SA에 결합되고, 또 리드용 데이타 출력버퍼 DOB를 통해 외부단자 I/O에 접속된다. 또, 데이타선 DL1, DL2, …, DLm 마다 센스앰프 SA가 접속되고, 컬럼 선택 스위치 MOSFET Q1, Q2, …,Q3을 거쳐서 공통 데이타선 CD에 접속되도록 해도 좋다. 이 때, 센스앰프 SA를 래치회로로 구성하고, 라이트용 데이타를 유지시키는 기능을 갖게 하는 경우, 센스앰프SA의 전원전압이 V_{DATA} 로 된다.

임계값이 높은 메모리셀은 그의 부유게이트에 전자가 축적되어 있기 때문에, 제어게이트 즉 워드선 WL에 선택전위를 인가해도 드레인전류는 흐르지 않는다. 한편, 부유게이트에 전자의 주입이 실행되지 않은 메모리셀의 임계값은 낮기 때문에, 워드선 WL에 선택전위를 인가한 경우에는 드레인 전류가 흐른다. 이 드레인 전류를 센스앰프 SA에 의해 리드하는 것에 의해서 메모리셀의 임계값의 레벨(고저)을 기억장치의 정보로 사용한다.

도 7중의 타이밍 제어회로 CONT는 특히 제한되지 않지만, 예를 들면 외부 단자($\overline{CE}$), ($\overline{OE}$), ($\overline{WE}$), (SC), (RDY/BSY) 등으로 각각 공급되는 침인에이블(ce) 신호, 출력 인에이블(oe) 신호, 라이트 인에이블(we) 신호, 직렬 제어(sc) 신호, 레디/비지(ready/busy)(rb) 신호 등에 따라서 내부제어신호 ce, se, we, oe 등의 타이밍신호 및 메모리셀의 선택 게이트 단자에 접속되어 있는 워드선 공급전압 V_{WORD} . 메모리셀의 드레인단자의 전압으로 되는 데이타선 공급전압 V_{DATA} 및 메모리셀의 소오스단자 전압으로 되는 소오스선 공급전압 V_{SOURCE} 등의 내부전원전압을 전원전압 Vcc로부터 내부승압 및 내부강압에 의해 발생한다. 또, 상기 전원전압은 외부에서 공급되도록 해도 좋다. 또한, 본 명세서에 있어서의 ($\overline{CE}$), ($\overline{OE}$), ($\overline{WE}$)등의 「- (바)」는 상보신호를 나타내고 있다. 그리고, 센스앰프 SA의 출력 SO S7은 타이밍 제어회로 CONT에 입력된다. 동작신호 MV, MAI, MP(도 32 참조)도 타이밍 제어회로 CONT에서 발생되어 AX, AY로 공급된다.

리드동작, 프로그램 동작(소거동작 및 라이트동작) 등의 동작모드에는 상기 외부신호($\overline{CE}$),($\overline{WE}$)의 활성과 외부단자 I/O의 데이타 예를 들면 리드동작 00H, 소거동작 20H, 라이트동작 10H 등에 의한 코맨드 입력에 의해 각 동작모드로 되고, 타이밍 제어회로 CONT에서 각 동작에 필요한 내부신호를 발생한다. 또, 프로그램 동작 중인지, 프로그램 동작이 종료했는지, 소거동작 중인지 아닌지, 라이트 동작중인지 아닌지를 상태 폴링(status polling) 또는 레디/비지 신호에 의해 외부에서 알 수 있게 한다. 섹터에서의 연속적인 데이타 리드동작 및 섹터에서의 데이타 라이트동작 즉 섹터에서의 섹터데이타의 수신 등에 있어서는 외부단자 SC에서 공급되는 신호와 동기시켜 데이타를 출력 및 입력시켜도 좋다.

리드동작시에는 데이타 리드가 실행되는 메모리셀에 접속된 워드선 WL 및 데이타선 DL을 선택한다.

도 8 내지 도 10은 리드 동작에 있어서의 워드선 전압값에 대한 메모리셀의 2개의 상태에 있어서의 전류특성 즉 임계값 특성을 도시한 것이다.

도 8은 메모리셀의 2개의 상태가 모두 OV이상인 경우의 예를 도시한 것이다. 이 때의 선택 워드선의 리드전압은 2개의 상태의 임계값 사이에 대응하는 정의 전압값 예를 들면 전원전압 Vcc이다. 또, 비선택 워드선의 전압은 낮은 임계값에 대응하는 전압 이하의 값 예를 들면 접지전압 Vss이다.

도 9는 낮은 쪽의 임계값이 OV 미만, 높은 쪽의 임계값이 OV 이상이고 전원 전압 Vcc이하로 한 경우의 예를 도시한 것이다. 도면에 도시된 바와 같은 경우에 있어서 선택 워드선 전압은 2개의 상태의 임계값 사이의 전압 예를 들면 접지전압 Vss이고, 비선택 워드선의 전압은 높은 쪽의 임계값 상태에 대응하는 전압 이상의 값 예를 들면 전원전압 Vcc인 예이다.

도 10은 낮은 쪽의 임계값을 OV 미만, 높은 쪽의 임계값을 전원전압 Vcc이상으로 한 경우의 예를 도시한 것이다. 선택 워드선 전압은 2개의 상태의 임계값 사이의 전압 예를 들면 전원전압 Vcc이고, 비선택 워드선 전압은 낮은 쪽의 임계값 상태에 대응하는 전압 이하의 값 즉 부전압이다.

도 7의 반도체 불휘발성 기억장치의 회로도에 있어서, 메모리셀의 임계값을 변경하는 동작인 프로그램 동작(소거동작 및 라이트동작) 모드에서는 도 8 내지 도 10의 리드동작에서의 선택 및 비선택의 메모리셀 임계값의 정의에 따라서, 로우어드레스 디코더 XDCR에서 선택 또는 비선택의 메모리셀의 제어게이트 단자로 워드선 공급전압 V_{WORD} , 센스앰프 SA에서 드레인단자로 데이타선 공급전압 V_{DATA} , 소오스 전위 전환회로 SVC에 의해 소오스단자로 소오스선 공급전압 V_{SOURCE} 가 각각 공급된다.

메모리셀의 임계값을 낮게 하기 위해서, 파울러 노드데임 터널 현상을 이용해서 부유게이트에 축적된 전하를 방출한다. 도 11 도 15에는 메모리셀의 단자전압을 도시하고 있다. 도 11 및 도 12는 부유게이트와 기판 사이에서 발생하는 전면(全面) 터널 현상을 이용하는 방법을 도시한 것이고, 도 13, 도 14 및 도 15는 부유게이트와 소오스 또는 드레인 사이에서 발생하는 에지 터널 현상을 이용하는 방법을 도시한 것이다. 또, 도 11, 도 12, 도 13 및 도 14는 공통 p형 웰 또는 공통 소오스에 접속되어 있는 메모리셀군을 일괄 동작시키기 위한 소거동작을 도시한 것이고, 도 15는 드레인측의 전위에 의해 메모리셀의 임계값을 선택적으로 낮게 할 수 있는 라이트동작을 도시한 것이다.

도 11 및 도 12는 깊은 n형 웰영역상에 p형 웰영역을 마련하고, 그 위에 메모리셀을 마련한 것이다. 도 11에 도시한 방법은 적어도 기판의 p형 웰영역과 깊은 n형 웰영역에 예를 들면 20V의 외부 고전압 전원에서 승압한 전위 Vp_{WELL} 을 인가하고 제어게이트의 전위를 OV로 하는 것에 의해서, 부유게이트에서 기판으로 터널전류가 흐르게 되어 전하를 방출하게 된다. 이 때, 메모리셀의 임계값은 높은 상태에서 낮은 상태로 된다. 또한, 임계값을 높은 상태로 유지하기 위해서는 제어 게이트에 외부 고전압 전원에서 승압한 전위를 인가하면 좋다.

도 12는 외부 전원전압의 단일 전원화를 도모할 수 있는 방법을 도시한 것이다. 즉, 기판의 전위를 전원전압 Vcc로 하고, 제어게이트의 전위로는 장치 내부에서 승압하는 부전압 V_{WORD} 예를 들면 -15V를 공급한다. 또, 비선택 제어게이트의 각각의 전위는 전원전압 Vcc 또는 OV로 한다.

도 13에 있어서는 제어게이트의 전위를 OV로 하고, 소오스단자 전압을 외부 고전압 전원 V_{SOURCE} 예를 들면 12V로 한다. 부유게이트에 축적되어 있던 전하는 고전압의 소오스단자 전압 V_{SOURCE} 예를 들면 12V에 기인하는 전계에 의해 소오스단자측으로 방출된다.

도 14는 도 13의 구조에 대해서 외부 전원전압의 단일 전원화가 도모되는 구성을 도시한 것이다. 이 경우, 제어게이트로는 장치 내부에서 승압하는 부전압$_{WORD}$ 예를 들면 -8V를 공급하고, 소오스단자의 전위는 전원전압 V_{SOURCE} 예를 들면 5V로 한다. 또, 비선텍 제어게이트의 각각의 전위는 전원전압 Vcc이다.

도 15는 도 13과는 다른 방법을 도시한 것으로서, 부유게이트에 축적되어 있던 전하가 에지터널 현상을 이용하여 드레인 단자측으로 방출되는 예이다. 전하가 에지터널 현상을 이용하여 드레인단자 측으로 방출되는 것에 의해서, 드레인단자로 전위 V_{DATA} 를 선택적으로 공급할 수 있다. 따라서, 이 동작을 라이트동작이라고 정의할 수 있다. 이 경우, 드레인단자의 전위를 예를 들면 전원전압 Vcc 예를 들면 5V 또는 접지전압 Vss 중의 어느 1개로 제어하는 것에 의해서, 부유게이트에 축적되어 있던 전하의 방출과 전하의 유지를 제어할 수 있다.

한편, 메모리셀의 임계값을 높게 하기 위해서는 핫캐리어 방식 또는 파울러 노르데임 터널 현상을 이용해서 부유게이트에 전하를 주입한다. 도 16 도 18은 메모리셀의 각 단자에 인가되는 전위를 도시한 것이다. 도 16은 부유게이트에서 드레인으로 주입되는 핫캐리어를 이용하는 방법을 도시한 것이고, 도 17 및 도 18은 부유게이트와 기판 사이에서 발생하는 전면 터널 현상을 이용하는 방법을 도시한 것이다. 또, 도 16에 있어서는 드레인측의 전위에 의해 메모리셀의 임계값을 선택적으로 높게 할 수 있기 때문에, 이 동작은 라이트동작이다. 한편, 도 17 및 도 18의 구성은 기판 또는 공통 p형 웰영역에 접속되어 있는 메모리셀군을 일괄 동작시키기 위한 소거동작을 설명하는 것이다. 그러나, 이 소거동작은 드레인단자, 소오스단자에 각각 선택 전위, 비선택 전위를 공급하는 것에 의해 라이트동작으로서도 이용할 수 있다. 도 18은 깊은 n형 웰영역상에 p형 웰영역을 마련하고, 그 위에 메모리셀이 마련되어 있는 것이다.

도 16에 도시한 방법에서는 메모리셀의 제어게이트에 외부 고전압 전원 V_{WORD} (예를 들면 12V)를 인가하고, 드레인 단자 전압을 선택적으로 예를 들면 외부 고전압 전원에서 강압한 전위 V_{DATA} 예를 들면 6V 또는 접지전압 Vss로 하는 것에 의해, 드레인영역 근방에서 발생하는 핫캐리어를 제어할 수 있다. 핫캐리어를 부유게이트에 주입하는 것에 의해서 메모리셀의 임계값은 낮은 상태에서 높은 상태로 된다.

도 17에 도시한 방법에서는 기판 전압을 접지전압 Vss로 하고, 제어게이트에 외부 고전압 전원에서 승압한 고전압 V_{WORD} 예를 들면 18V를 인가하는 것에 의해서, 기판에서 부유게이트로 전하를 주입한다. 비선택 제어게이트의 각각의 전위는 접지전압 Vss이다. 이 동작을 라이트동작으로서 이용하는 경우에는 드레인 또는 소오스단자에 선택 전위 예를 들면 접지전위 Vss, 비선택 전위 예를 들면 고전압을 각각 인가하여 채널 전위를 제어하는 것에 의해, 선택적으로 부유게이트로 전하를 주입할 수 있다.

도 18에 도시한 방법에서는 도 17의 방법에 대해서 외부 전원의 단일 전원화가 도모된다. 이 경우, 기판의 p형 웰영역의 전위를 장치 내부에서 승압하는 부전압 Vp_{WELL} 예를 들면 -5V로 하고, 제어게이트로는 도 17에 도시한 것보다 낮은 고전압 V_{WORD} 예를 들면 13V를 외부 전원전압에서 승압하여 공급한다.

도 11 도 15 및 도 16 도 18의 외부 전원전압으로서 고전압을 사용하는 방법에 있어서, 외부 전원이 단일 전원전압에 따라 장치 내부에서 충분한 전류공급 능력이 있는 내장전원을 발생시켜도 좋다.

메모리셀의 업계값을 변화시킨 후의 임계값은 그 전압값의 확보, 메모리셀 전류의 확보 및 임의의 범위내에 마련할 필요가 있다. 예를 들면, 도 9의 임계값 특성 즉 낮은 임계값측이 0V 미만, 높은 임계값측이 0V 이상 Vcc 이하이고, 낮은 임계값 상태를 도 11의 전면 터널 방법에 의해 실현하고 그 동작을 소거동작으로 한 경우에는 리드동작시 예를 들면 선택 워드선 전위가 0V일 때 전류값의 확보가 필요하다. 또, 종래기술에서 설명한 도 8의 임계값 특성 즉 2개의 상태의 임계값이 모두 0V이상이고, 낮은 임계값 상태를 도 13 또는 도 15의 에지터널 방법에 의한 라이트동작으로 한 경우에는 임계값은 전원전압의 하한전압 Vccmin과 0V 사이에서 제어하지 않으면 안된다.

따라서, 메모리셀의 임계값을 정밀도좋게 변화시키기 위해서는 상술한 바와 같이 임계값을 변화시키는 동작(프로그램 펄스)을 분할하고, 분할동작시마다 메모리 셀의 임계값의 상태를 리드하여 검증하는 동작(검증동작)을 실행하고, 리드한 정보에 따라서 메모리셀의 임계값을 변화시키는 동작의 계속, 정지를 제어하지 않으면 안된다.

도 19는 메모리셀의 임계값을 정밀도좋게 변화시키기 위한 동작 알고리듬을 도시한 것이다. 도 19에 있어서 우선 임계값을 변화시키는 초기 어드레스를 설정(스텝 21)한 후, 반복루프(22)의 동작을 실행한다. 반복루프(22)의 동작에서는 임계값을 변화시키는데 사용되는 분할된 펄스(프로그램 펄스)를 인가하고(스텝 221), 그 후 메모리셀의 임계값의 상태를 리드하고 검증하는 동작(스텝 222의 검증동작)을 실행한다. 검증동작에서의 판정에 있어서 페일(fail)(NO)인 경우에는 다시 프로그램 펄스를 인가하는 동작(스텝 221)을 반복한다. 한편, 검증동작에서의 판정에 있어서 패스(pass)(YES)인 경우에는 그 어드레스가 최종어드레스인지 아닌지를 판정한다(스텝 23). 최종어드레스가 아니면 어드레스를 인크리먼트(스텝 24)한 후, 스텝 222의 검증동작으로 되돌아간다. 최종 어드레스인 경우에는 임계값을 변화시키는 처

리를 종료한다.

도 2 내지 도 4에 도시한 메모리셀의 임계값 특성에서 알 수 있는 바와 같이, 임의의 누적시간 범위에서 시간 대수축(log (t))에 대해서 메모리셀의 임계값의 변화는 거의 직선으로 표현된다. 시간 대수축에 대한 임계값의 변화의 기울기 Kv_{th}는 상술한 바와 같이 메모리셀 디바이스 특유의 값이다. 또, 상술한 바와 같이 log(t)에 대한 임계값의 변화의 기울기 Kv_{th}의 절대값을 0.664, 임계값 변화의 차폭 ΔV_{th}를 0.2V로 한 경우,임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 배율은 상술한 식 $\{(t2/t1)=10E(\Delta V_{th}/Kv_{th})\}$에 적용하면 2배로 된다. 또, 임계값 변화의 차폭 ΔV_{th}를 더욱더 작게 제어하는 경우 예를 들면 0.1V인 경우에는 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 배율은 1.41배로 된다.

임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)을 발생하는 펄스 발생회로에는 2진 카운터 BC가 여러개 연속된 2진 카운터열 BCS1을 사용하고, 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 페치부분을 임계값을 변화시키는데 필요한 동작(프로그램 펄스) 회수의 정보에 의해 제어한다. 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭) 사이의 배율이 2배인 경우에는 회수가 증가할 때마다 2진 카운터일 BCS1의 페치부분을 변경하고, 종래의 프로그램 펄스와 동일한 펄스폭을 갖는 프로그램 펄스를 공급한다. 임계값을 변화시키는데 필요한 동작(프로그램 펄스) 회수와 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)의 관계를 도 5에 도시한다.

또, 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭) 사이의 배율이 2진 카운터 BC의 배율의 배수 예를 들면 2배가 아닌 경우에는 하기와 같은 방법이 고려된다. 제1 방법은 임계값을 변화시키는데 필요한 동작(프로그램 펄스) 회수에 따라서 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)을 결정해 두는 방법이다. 이 경우, 임계값 변화의 차폭 ΔV_{th}를 작게 제어하는 경우에는 회수가 많아지고, 펄스폭을 발생하는 제어회로의 수가 많아진다. 제2 방법은 동일한 프로그램 펄스폭의 펄스를 여러회 반복해서 인가하도록 하여 근사적으로 원하는 배율에 접근시키는 방법이다. 제2 방법에 있어서의 임계값을 변화시키는 동작 즉 프로그램 펄스 회수와 임계값을 변화시키는데 필요한 동작시간 즉 프로그램 펄스폭의 관계를 도 6에 도시한다.

도 20은 임계값을 변화시키는데 필요한 동작시간 즉 프로그램 펄스폭 사이의 배율을 실현하고, 검증어드레스를 발생하는 프로그램 제어회로를 블럭도로 예시한 것이다. 프로그램 제어회로는 논리회로 LOGM, 프로그램 펄스폭 회로 PC, 반복 회수 카운터 BCS2 및 펄스 종료신호 전환회로 PES를 포함한다. 프로그램 펄스폭 회로 PC는 발진기 또는 시스템 클럭 OSC 및 펄스폭 카운터 BCS1을 포함한다. 프로그램 제어회로에 있어서는 논리회로 LOGM이 자동 프로그램 모드신호 AM, 센스앰프 판정신호 ALL, 분주신호 OS 및 펄스 종료신호 전환회로 PES로부터의 프로그램 펄스 종료신호 PE를 입력으로 하고, 프로그램 검증신호 MV, 프로그램 어드레스 인크리먼트신호 MAI 및 프로그램 펄스폭 신호 MP를 발생한다.

도 21 및 도 22에는 센스앰프 판정신호 ALL을 발생하는 회로의 1예를 도시한다. 특히 제한되지는 않지만, 메모리셀의 선택을 8비트 단위로 실행하는 리드동작의 경우, 센스앰프의 출력을 출력신호 S0 S7로 한다.

도 21은 낮은 메모리셀의 임계값 상태를 판정하는 회로의 1예를 도시한 것이다. 모든 센스앰프의 출력 S0 S7이 로우(LOW) 상태 즉 메모리셀의 임계값이 낮은 상태일 때에만 센스앰프 판정신호 ALL은 하이(HIGH) 상태로 된다.

도 22는 높은 메모리셀의 임계값 상태를 판정하는 회로의 1예를 도시한 것이다. 모든 센스앰프의 출력 S0 S7이 하이상태 즉 메모리셀의 임계값이 높은 상태일 때에만 센스앰프 판정신호 ALL은 하이상태로 된다.

도 23은 도 20중의 분주신호 OS의 발생 및 발진기 회로 OSC의 1예를 도시한 것이다. 입력신호 IN이 로우상태일 때, 출력신호 OUT가 하이상태, 로우상태를 반복하는 발진상태로 된다. 그러므로, 분주신호 OS는 이 회로의 출력신호 OUT이다.

도 24는 도 20중의 논리회로 LOGM의 구성의 1예를 도시한 것이다. 도 25는 도 24중의 지연회로 Di(i=1 5)의 구성의 1예를 도시한 것이다. 도 26은 도 20중의 프로그램 펄스폭 회로 PC의 구성의 1예를 도시한 것이다. 도 27은 2진 카운터 발진회로 BC의 구성의 1예를 도시한 것이다. 도 28은 도 20중의 반복회수 카운터 회로 BCS2의 구성의 1예를 도시한 것이다. 도 29는 도 20중의 펄스 종료신호 전환회로 PES의 구성의 1예를 도시한 것이다. 또, 임계값을 변화시키는 동작시간(프로그램 펄스폭) 사이의 배율을 2배로 하는 도 29중의 펄드 제어회로 PEi의 구성의 1예를 도 30에 도시하고 있다. 동일한 펄스폭을 1예로서 2회 반복할 수 있는 펄스 제어회로 PEi의 구성의 1예를 도 31에 도시하고 있다. 또, 도 32와 도 33은 파형 타이밍을 각각 도시한 것이다.

이하, 프로그램 펄스 발생과 검증 어드레스 발생의 동작을 도 20, 도 21, 도 24, 도 26, 도 28, 도 29, 도 30 및 도 32를 참조해서 설명한다.

도 24의 논리회로 LOGM 및 도 32의 프로그램 펄스폭을 2배로 하는 파형 타미밍을 참조하면, 메모리셀의 임계값을 변화시키는 동작모드에서는 무선 자동모드 설정신호 AM이 상승동작 기간으로 들어간다. 또, 자동모드 설정신호 AM의 상승에 수반해서 그 신호의 부정신호 $\overline{AM}$ 가 하강하고, 지연회로 D1에 의한 지연시간이 경과한 후에 자동모드설정 지연신호 $\overline{AMD}$ 가 하강한다.

NAND회로 NAND1은 자동모드 설정신호 AM과 자동모드설정 부정지연신호 $\overline{AMD}$ 를 입력하고, 일정시간동안 하이레벨로 되는 개시신호 ST를 생성한다. 이 개시신호 ST를 받아서 플립플롭회로 FF가 세트된다. 플립플롭 회로 FF로부터의 출력신호와 이 출력신호가 지연회로 D2를 거친 신호를 NOR회로 NOR1에 입력한다. 그 후, 지연회로 D2에 설정된 지연시간이 경화한 후에 프로그램 펄스폭 신호 MP를 상승시킨다. 이 프로그램 펄스폭 신호 MP의 하이레벨에 의해 메모리셀내의 부유게이트에 축적되어 있던 전하가 이동하여 프로그램 상태의 개시로 된다.

도 20중의 프로그램 펄스폭 회로 PC(도 26 참조) 및 반복회수 카운터 회로 BCS2(도 28 참조)는 프로그램 펄스폭 신호 MP의 하이레벨을 받아서 활성화되고, 프로그램 회수의 정보에 따라서 펄스 종료신호 전환회로 PES(도 29) 참조)의 출력 신호인 프로그램 펄스 종료신호 PE가 로우레벨에서 하이레벨로 변화하여 플립플롭 회로 FF를 리세트한다. 이것에 따라서, 프로그램 펄스폭 신호 MP가 하강하고, 메모리셀의 부유게이트의 전하의 이동을 정지시켜 프로그램상태 종료로 된다.

지연회로 D4와 NAND 회로 NAND2에 의해 지연회로 D4에서 설정된 지연 시간의 경과후에 프로그램 검증신호 MV가 상승하여 검증동작으로 진행한다. 검증용 기준펄스의 분주신호 OS는 주기의 전반(前半)이 하이레벨 주기의 후반이 로우 레벨인 신호이다. 분주신호 OS가 로우레벨인 기간에 센스앰프로부터의 8비트 출력인 경우, 그 출력신호 S0 S7의 센스앰프 판정신호 ALL을 받는다.

여기서, 프로그램 동작을 메모리셀의 임계값을 저하시키는 동작으로 간주한 경우에는 센스앰프 판정신호 ALL의 발생회로는 예를 들면 도 21과 같은 구성이다. 센스앰프에서 출력되고 있는 전체비트의 출력신호 S0 S7이 로우레벨일 때 즉 메모리셀의 각각의 임계값이 로우레벨이면, 도 24의 플립플롭회로 FF가 세트되지 않고 프로그램 어드레스 인크리먼트 신호 MAI에 응답해서 다음의 어드레스를 나타내는 내부 어드레스신호가 형성되고, 다시 분주신호 OS가 로우레벨인 기간에 판정이 실행된다. 만약, 센스앰프의 출력신호 S0 S7중 1비트 이상의 신호가 하이레벨이면 즉 1비트라도 임계값을 저하시키는 동작이 불충분하다고 판정된 메모리셀이 있으면, 플립플롭 회로 FF가 세트되고, 다시 프로그램 펄스폭 신호 MP가 하이레벨로 되어 메모리셀의 임계값을 변화시키는 동작이 실행된다.

그 후, 다시 검증이 실행된다. 이 때, 도 24의 지연회로 D5 작용에 의해 분주신호 OS의 최후의 펄스는 프로그램 어드레스 인크리먼트 신호 MAI에 나타나지 않도록 제어된다. 그 후, 마지막으로 이 어드레스는 임계값을 변화시키는 동작이 불충분하다고 판정된 채로 남게 된다. 즉, 다시 임계값을 변화시키는 동작이 실행된 후의 검증은 이전의 검증에서 임계값을 변화시키는 동작이 불충분하다고 판정된 어드레스부터 실행된다.

상기 동작의 반복에 의해 모든 어드레스에 대응하는 메모리셀이 검증되면, 임계값을 변화시키는 동작모드 설정신호가 하강하여 모드를 종료한다.

다음에, 임계값을 변화시키는 동작의 소정 회수마다(프로그램 펄스의 소정 회수의 인가시마다) 이전에 설정한 펄스의 항상 2배의 프로그램 펄스폭을 갖는 프로그램 펄스(임계값을 변화시키는데 필요한 동작시간에 대응)를 발생하는 동작을 도 26, 도 28, 도 29, 도 30 및 도 32를 사용해서 설명한다. 도 29의 펄스 종료신호 전환회로 PES는 펄스 제어회로 PEi의 작용에 의해 프로그램 펄스 종료신호 PE를 발생한다. 도 30은 프로그램 펄스폭을 항상 2배로 하는 펄스 제어회로 PEi의 구성의 1 예를 도시한 것이다. 도 30중의 신호 A, B, C는 도 26의 프로그램 펄스폭 회로 PC중의 펄스폭 카운터 BCS1에서 공급되는 출력신호이고, 신호 $\overline{a}$, $\overline{b}$, $\overline{c}$, $\overline{a}$, $\overline{x}$는 도 28의 반복회수 카운터회로 ECS2에서 공급되는 출력신호를 각각 나타낸다. 즉, 프로그램 펄스폭 신호 A, B, C는 각각의 펄스 종료신호 PEA, PEB, PEC의 입력 신호로서, 프로그램 펄스회수 정보신호 $\overline{a}$ $\overline{x}$에 의해 제어된다.

도 32의 파형 타이밍에 있어서 프로그램 펄스폭 신호 MP의 제1회째는 하기의 파형 타이밍에 의해 활성화된다. 도 26의 발진기 출력 O1의 하이레벨에 따라 펄스폭 카운터 BCS1의 출력신호 A가 로우레벨로 된다. 한편, 도 28의 반복회수 카운터 회로 BCS2의 출력신호 $\overline{a}$ $\overline{x}$는 로우레벨이므로, 도 30중의 펄스 종료신호 PEA가 하이레벨로 되고, 결국 도 29의 프로그램 펄스 종료신호 PE가 상승하고 프로그램 펄스폭 신호 MP가 하강한다. 제 1회째의 프로그램 펄스폭 신호 MP는 발진기 출력 O1이 로우레벨 기간일 때의 1회분이다. 그 후, 프로그램 펄스폭 신호 MP의 하강에 따라서 반복회수 카운터 회로 BCS2의 출력신호 $\overline{a}$가 상승한다.

제2회째에는 발진기 출력 O1의 하이레벨에 따라 펄스폭 카운터 BCS1의 출력신호 A가 로우레벨로 되고, 다시 발진기 출력 O1의 하이레벨에 따라서 출력신호 A가 하이레벨로 된다. 그 때, 펄스폭 카운터 BCS1의 출력신호 B가 로우레벨로 되고, 반복회수 카운터 회로 BCS2의 출력신호 $\overline{b}$ $\overline{x}$에 따라서 펄스 종료신호 PEB가 하이레벨로 된다. 즉, 상술한 동작을 실행하는 것에 의해 반복회수 카운터 회로 BCS2의 출력신호 $\overline{a}$에 관계없이 프로그램 회수는 받아들여지지 않는다. 제2 회째의 프로그램 펄스폭 신호 MP는 발진기 출력 O1이 로우레벨 기간일 때의 2회분이다.

제3회째는 하이레벨의 발진기 출력 O1을 4회 받는다. 이것에 따라, 펄스폭 카운터 BCS1의 출력신호 C가 로우레벨로 되고, 그 때의 반복회수 카운터 회로 BCS2의 출력신호 $\overline{a}$와 $\overline{b}$는 하이레벨로 되며, 그의 논리곱과 그밖의 출력신호 $\overline{a}$ $\overline{x}$의 조합에 의해 펄스 종료신호 PEC는 하이레벨로 된다. 제3회째의 프로그램 펄스폭 신호 MP는 발진기 출력 O1이 로우레벨 기간일 때의 4회분에 대응한다.

제4회째의 프로그램 펄스폭 신호 MP는 발진기 출력 O1이 로우레벨 기간일 때의 8회분에 대응한다. 따라서, n회째에 있어서 프로그램 펄스폭 신호 MP는 발진기 출력 O1이 로우레벨 기간일 때의 (2En-1)회분에 대응한다.

다음에, 동일한 펄스폭을 갖는 프로그램 펄스를 여러회 반복해서 인가하는 1 예로서 2회 반복하는 경우를 도 31의 펄스 제어회로 PEi 및 도 33의 파형 타이밍을 이용하여 이하에 설명한다.

도 33의 파형 타이밍에 있어서 제1회째 및 제2회째의 프로그램 펄스폭 신호에 대응(상당)하는 반복회수 카운터 회로 BCS2의 출력신호 $\overline{b}$ $\overline{x}$는 로우레벨이다. 그러므로, 도 31에 도시한 바와 같이 이들 출력신호와 펄스폭 카운터 BCS1의 출력 신호 A의 조합에 의해 펄스 종료신호 PEA를 발생한다. 즉, 반복회수 카운터 회로 BCS2의 출력신호 $\overline{a}$의 레벨에 관계없이 제어를 실행한다. 제1회째 및 제2회째를 프로그램 펄스폭 신호 MP는 발진기 출력 O1이 로우레벨인 기간의 1회분에 대응한다.

제3회째 및 제4회째의 프로그램 펄스폭 신호 MP에 대응하는 반복회수 카운터 회로 BCS2의 출력신호 $\overline{c}$ $\overline{x}$의 각각은 로우레벨이므로, 이들 출력신호와 펄스폭 카운터 회로 BCS1의 출력신호 B의 조합에 의해 펄스 종료신호 PEB가 발생한다. 즉, 반복회수 카운터 회로 BCS2의 출력신호 $\overline{a}$와 $\overline{b}$의 레벨에 관계없이 제어를 실행한다. 제3회째 및 제4회째의 프로그램 펄스폭 신호 MP의 각각은 발진기 출력 O1이 로우레벨인 기간의 2회분에 대응한다.

제5회째 및 제6회째에서는 펄스폭 카운터 ECS1의 출력신호 C, 반복회수 카운터 회로 BCS2의 출력신호 $\overline{b}$와 $\overline{c}$의 논리곱, 출력신호 $\overline{a}$, $\overline{b}$, $\overline{c}$의 논리곱 및 그밖의 출력신호 $\overline{a}$ $\overline{x}$의 로우레벨의 조합에 의해 펄스 종료신호 PBC는 하이레벨로 된다. 제5회째 및 제6회째의 프로그램 펄스폭 신호 MP는 발진기 출력 O1이 로우레벨인 기간의 4회분에 대응한다.

또, 동일한 펄스폭을 갖는 프로그램 펄스를 여러회 반복하여 인가하는 방법은 반복회수 카운터 회로 BCS2를 2개의 계통으로 나누어 제1 반복회수 카운터 회로 BCS2의 계통이 반복회수 정보를 받도록 하고, 제2 반복회수 카운터 회로 BCS2의 계통이 펄스 제어회로 PEi의 임력신호 $\overline{a}$ $\overline{x}$를 발생하도록 하는 것에 의해 실현할 수 있다.

임계값은 변화시키는 동작(프로그램 펄스) 회수가 적은 경우에는 프로그램 동작 회수에 따른 임계값을 변화시키는데 필요한 동작시간(프로그램 펄스폭)을 장치 내부에서 프로그래밍하고 있어도 좋다.

도 34는 본 발명의 다른 실시예에 의한 반도체 불휘발성 기억장치의 프로그램 장치의 블럭 회로도이다. 도면에 있어서 상술한 것과 마찬가지의 참조 번호는 동일한 구성요소 및 신호를 나타낸다.

도 34에 있어서 프로그램 장치는 타이밍 제어회로(30), 프로그램 논리 제어회로(31), 프로그램 전압 제어회로(32), 검증 논리 제어회로(33), 프로그램 동작회수 카운터(34), 펄스폭 제어회로(35) 및 검증 판정회로(36)을 포함하고 있다. 펄스폭 제어회로(35)로부터 프로그램 펄스폭 신호 MP를 출력하고, 이것을 메모리셀 어레이의 디코더 AX, AV(도 7 참조)로 출력하여 메모리셀의 프로그램 동작을 실행한다. 프로그램 논리 제어회로(31)과 검증 논리 제어회로(33)은 도 20의 논리회로 LOGM의 구성에 대응하고, 회로동작은 상기 논리회로 LOGM과 실질적으로 동일하다.

발명의 효과

상술한 바와 같이, 본 발명의 반도체 불휘발성 기억장치는 프로그램 펄스의 펄스폭을 반복회수의 증가와 함께 크게 하는 것에 의해서 임계값을 변화시키는 동작(프로그램 펄스)의 합계 회수를 저감시킬 수 있다. 즉, 프로그램 동작모드를 실행하는데 필요한 시간에 대한 프로그램 동작과 검증동작의 전환시간 및 검증동작 자체의 시간의 오버헤드 시간을 단축할 수 있다. 또, 반도체 불휘발성 기억장치 내부에 프로그램 펄스인가 제어수단을 마련하는 것에 의해서, 그 반도체 불휘발성 기억장치가 사용되는 시스템내의 CPU로부터의 제어는 프로그램 모드를 개시하는데 필요한 짧은 시간동안만

실행하면 좋고, 그 후의 프로그램 동작은 반도체 불휘발성 기억장치의 내부에서만 자동적으로 실행된다. 따라서, CPU의 부담은 현저하게 경감된다.

(57) 청구의 범위

청구항 1.

각각 임계값전압을 전기적으로 프로그래밍할 수 있는 트랜지스터로 이루어지는 메모리셀을 포함하는 반도체 불휘발성 기억장치에 있어서,

상기 메모리셀에 대한 프로그래밍을 여러개의 프로그래밍동작의 반복에 의해서 실행하는 프로그래밍수단;

상기 프로그래밍수단에 의한 상기 프로그래밍동작의 반복중에 적어도 1회의 프로그래밍을 실행하고 있는 메모리셀의 상태를 리드하는 검증수단;

상기 검증수단에 의해 리드된 메모리셀의 상태에 관한 정보에 따라서, 상기 프로그래밍수단을 제어하여 상기 기억장치의 프로그래밍의 반복동작의 계속, 정지를 제어하는 제어수단 및:

프로그래밍 펄스폭이 프로그래밍 동작의 반복 회수에 따라 변화하도록 반복적인 프로그래밍 동작에 있어서의 프로그래밍 펄스를 제어하는 펄스 제어수단을 구비하는 반도체 불휘발성 기억장치.

청구항 2.

제1항에 있어서,

상기 펄스 제어수단은 프로그래밍 동작의 반복회수의 증가에 따라 프로그래밍 펄스폭을 크게 하는 수단을 포함하는 반도체 불휘발성 기억장치.

청구항 3.

제1항에 있어서,

상기 펄스 제어수단은 프로그래밍 동작의 반복회수가 여러회분 증가할 때마다 프로그래밍 펄스폭을 증가시키는 수단을 포함하는 반도체 불휘발성 기억장치.

청구항 4.

제1항에 있어서,

상기 펄스 제어수단은 프로그래밍 펄스폭과 프로그래밍 동작의 반복 회수의 관계를 프로그래밍하는 프로그래밍 수단을 포함하는 반도체 불휘발성 기억장치.

청구항 5.

제1항에 있어서,

프로그래밍 동작의 반복 회수를 카운트하는 수단을 더 구비하는 반도체 불휘발성 기억장치.

청구항 6.

제5항에 있어서,

상기 반도체 불휘발성 기억장치가 동작 상태에 있는지 또는 그 동작이 종료했는지를 검지가능하게 하는 검지수단을 더 포함하고.

상기 검지는 전기적 프로그래밍 모드중에 상태 레지스터 또는 레디/비지 핀을 이용하여 외부로부터 실행하는 반도체 불휘발성 기억장치.

청구항 7.

제2항에 있어서,

상기 프로그래밍 펄스폭은 대응하는 프로그래밍 동작의 각각의 부가 반복에 의해 2배로 되는 반도체 불휘발성 기억장치.

청구항 8.

제3항에 있어서,

상기 프로그래밍 펄스폭은 대응하는 프로그래밍 동작의 동일한 프로그래밍 펄스폭에서 2회의 부가 반복이 각각 발생한 후에 증가되는 반도체 불휘발성 기억장치.

청구항 9.

제8항에 있어서,

상기 프로그래밍 펄스폭의 각각의 증가는 그의 2배화를 나타내는 반도체 불휘발성 기억장치.

청구항 10.

임계값전압을 전기적으로 프로그래밍할 수 있는 트랜지스터를 각각 구비하고, 여러개의 메모리셀을 일괄적으로 프로그래밍하는 방법에 있어서,

상기 메모리셀에 대한 프로그래밍을 프로그래밍 동작과 검증동작을 여러회 교대로 실행하는 조합에 의해 수행하는 스텝;

상기 검증동작에 의해 얻어진 정보에 따라서 프로그래밍동작의 반복이 필요한지 필요하지 않은지를 판정하는 스텝 및;

상기 판정결과가 반복동작의 계속을 나타낼 때, 상기 프로그래밍동작에 있어서의 프로그래밍 펄스폭을 반복회수의 증가와 함께 증가시킨 프로그래밍 펄스를 상기 메모리셀에 인가하는 스텝을 포함하는 프로그래밍 방법.

청구항 11.

제 10항에 있어서,

상기 프로그래밍 펄스폭은 대응하는 프로그래밍 동작의 각각의 부가 반복에 의해 2배로 되는 프로그래밍 방법.

청구항 12.

제10항에 있어서,

상기 프로그래밍 펄스폭은 대응하는 프로그래밍 동작의 동일한 펄스폭에서 프로그래밍 펄스의 2회의 부가 반복이 각각 발생한 후에 증가되는 프로그래밍 방법.

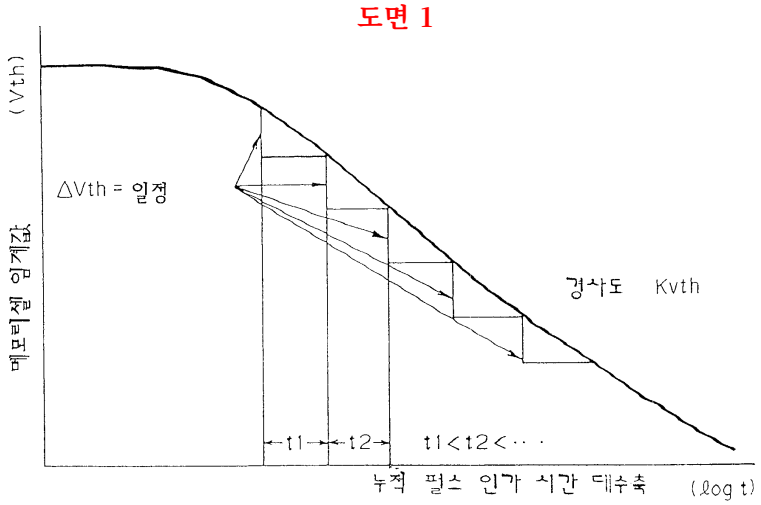
청구항 13.

제12항에 있어서,

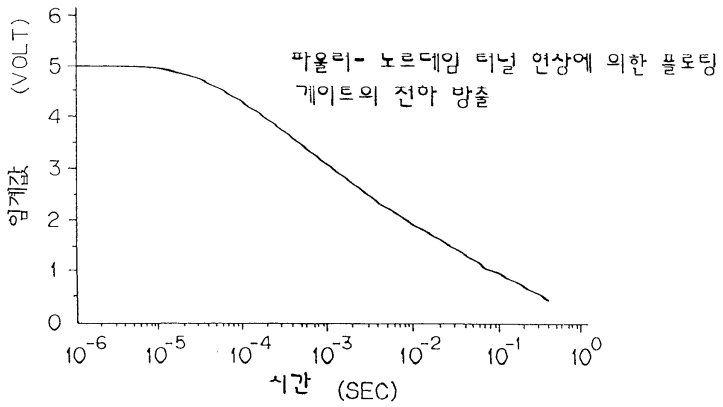
상기 프로그래밍 펄스폭의 각각의 증가는 그의 2배화를 나타내는 프로그래밍 방법.

도면

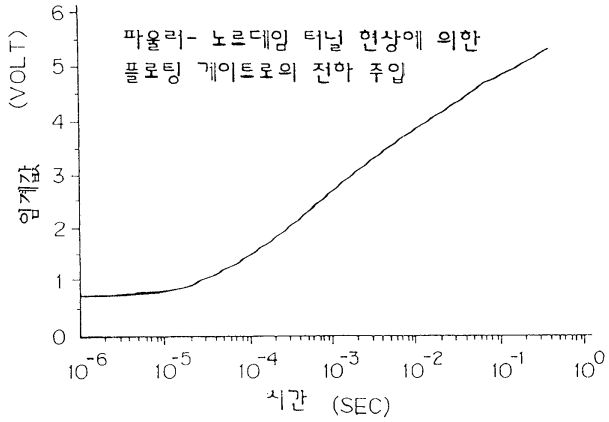
도면 1



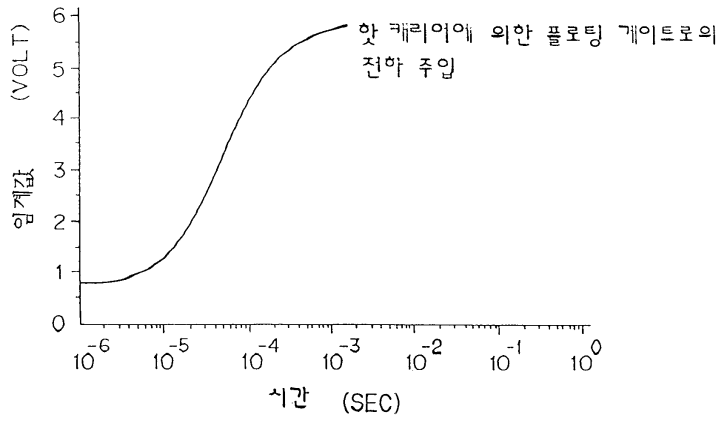
도면 2



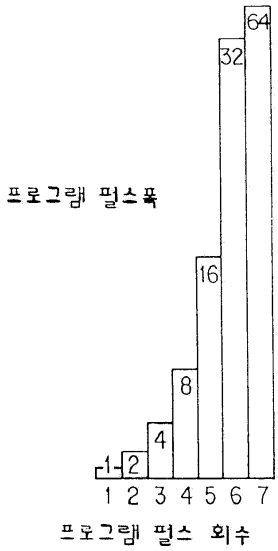
도면 3


파울러- 노르데임 터널 현상에 의한
플로팅 게이트로의 전하 주입
임계값 (VOLT)
0
1
2
3
4
5
6
10^{-6}
10^{-5}
10^{-4}
10^{-3}
10^{-2}
10^{-1}
10^{0}
시간 (SEC)

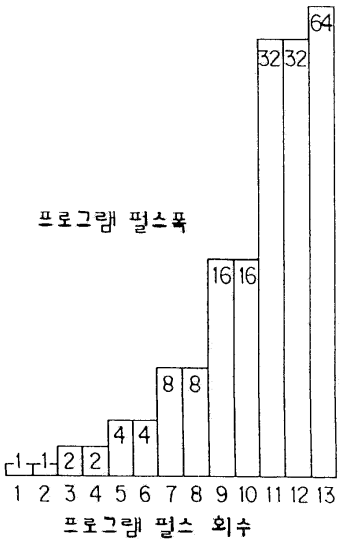
도면 4


핫 캐리어에 의한 플로팅 게이트로의
전하 주입
임계값 (VOLT)
0
1
2
3
4
5
6
10^{-6}
10^{-5}
10^{-4}
10^{-3}
10^{-2}
10^{-1}
10^{0}
시간 (SEC)

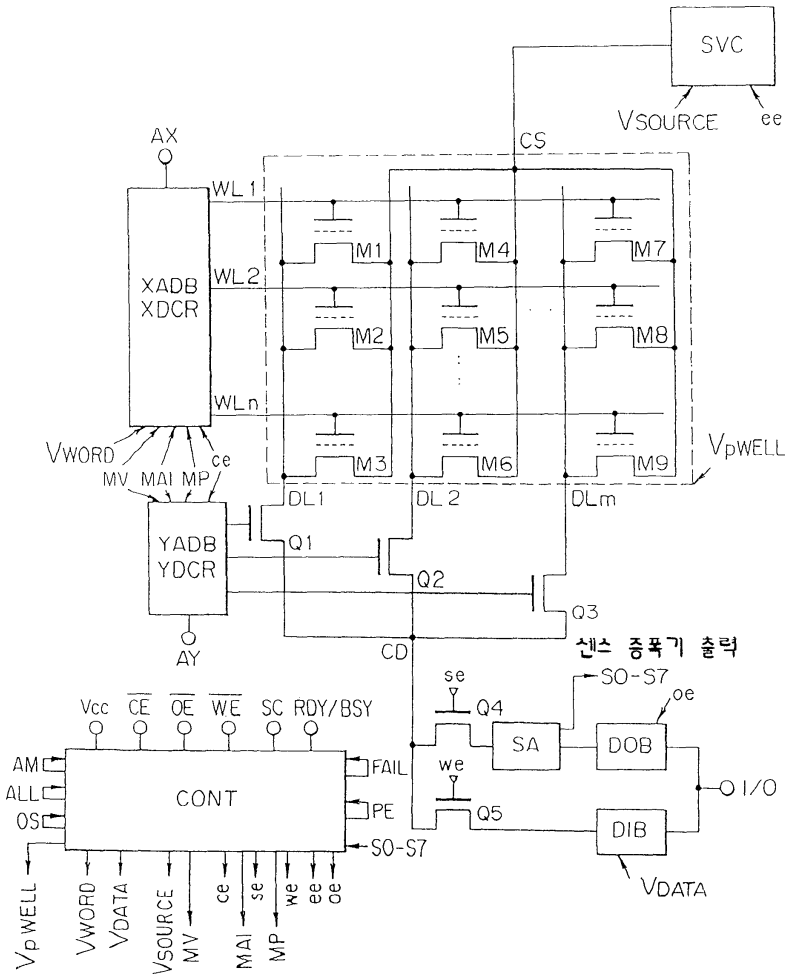
도면 5


프로그램 펄스폭
1
2
4
8
16
32
64
1 2 3 4 5 6 7
프로그램 펄스 회수

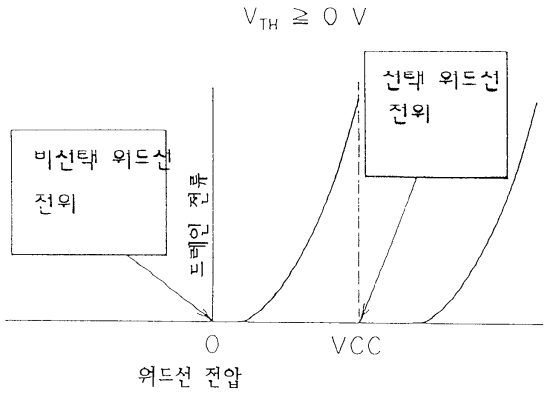
도면 6


프로그램 펄스폭
1
1
2
2
4
4
8
8
16
16
32
32
64
1 2 3 4 5 6 7 8 9 10 11 12 13
프로그램 펄스 회수

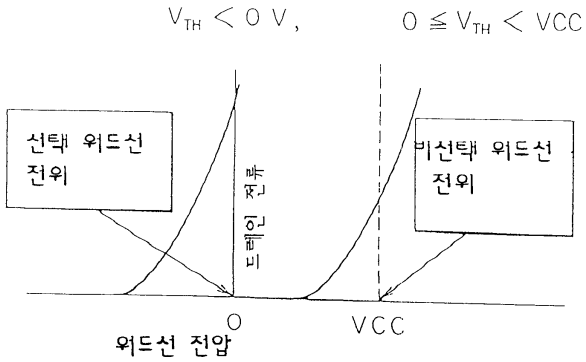
도면 7


SVC
VSOURCE
ee
CS
AX
WL1
WL2
WLn
XADB
XDCR
M1
M2
M3
M4
M5
M6
M7
M8
M9
VWORD
MV MAI MP
ce
VpWELL
DL1
DL2
DLm
YADB
YDCR
Q1
Q2
Q3
AY
CD
센스 증폭기 출력
se
Q4
SO-S7
oe
SA
DOB
I/O
we
Q5
DIB
VDATA
Vcc
CE
OE
WE
SC
RDY/BSY
AM
ALL
OS
CONT
FAIL
PE
SO-S7
VpWELL
VWORD
VDATA
VSOURCE
MV
ce
MAI
se
MP
we
ee
oe

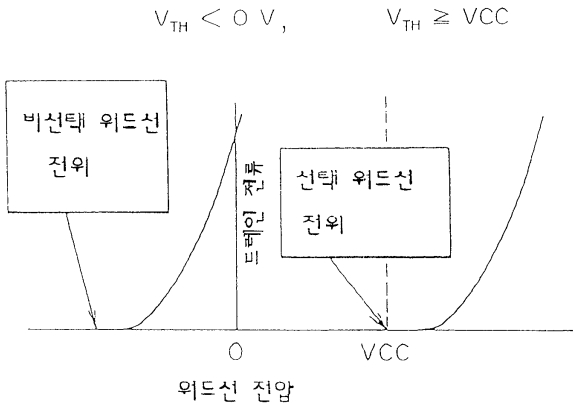
도면 8


$V_{TH} \geq 0\ V$
선택 워드선 전위
비선택 워드선 전위
드레인 전류
0
VCC
워드선 전압

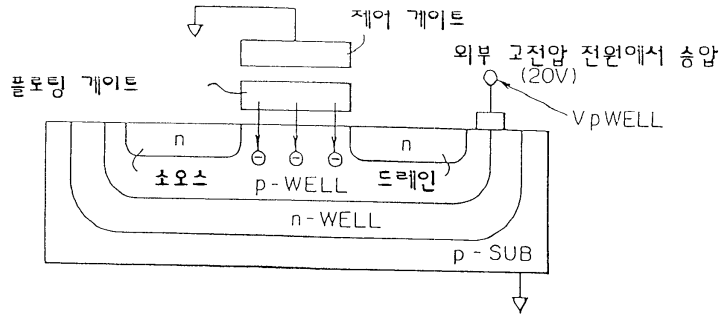
도면 9


$V_{TH} < 0\ V,$
$0 \leq V_{TH} < VCC$
선택 워드선 전위
비선택 워드선 전위
드레인 전류
0
VCC
워드선 전압

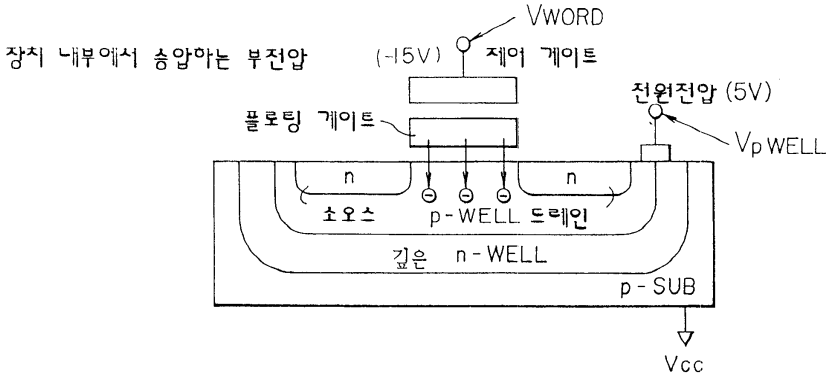
도면 10


$V_{TH} < 0\ V,$
$V_{TH} \geq VCC$
비선택 워드선 전위
선택 워드선 전위
드레인 전류
0
VCC
워드선 전압

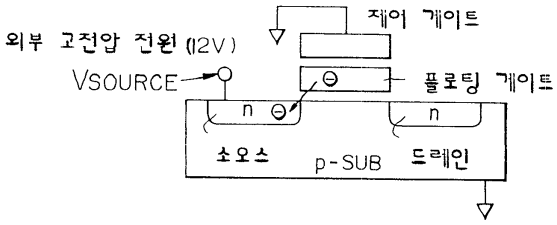
도면 11



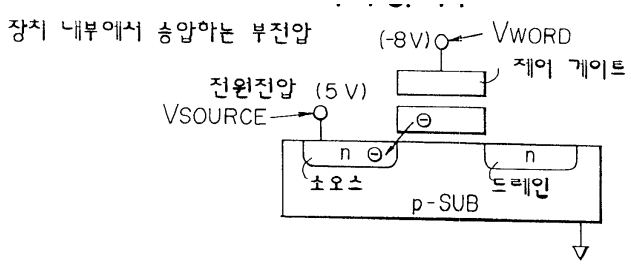
도면 12



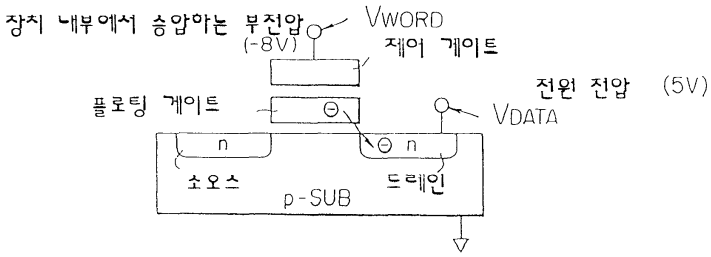
도면 13



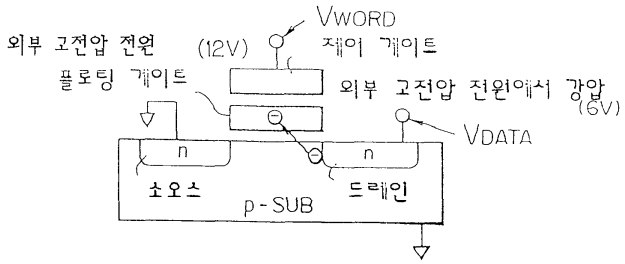
도면 14



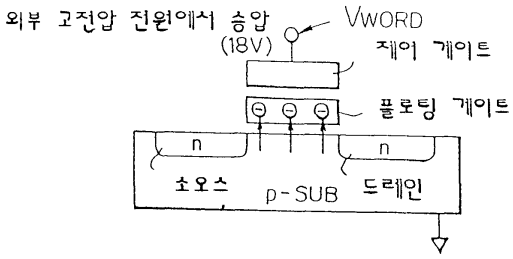
도면 15



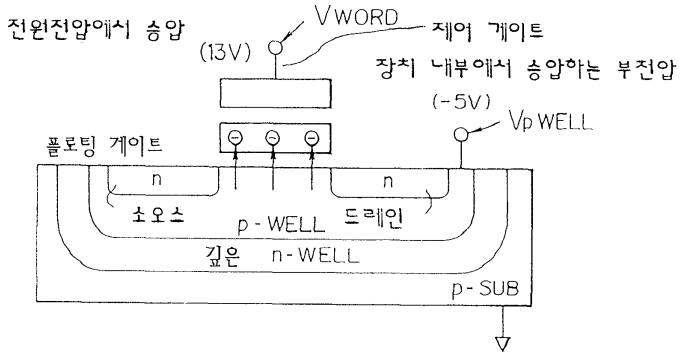
도면 16



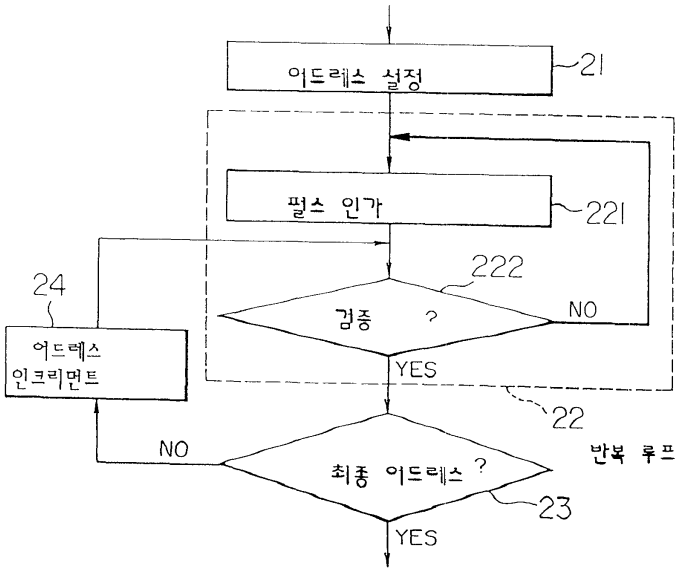
도면 17



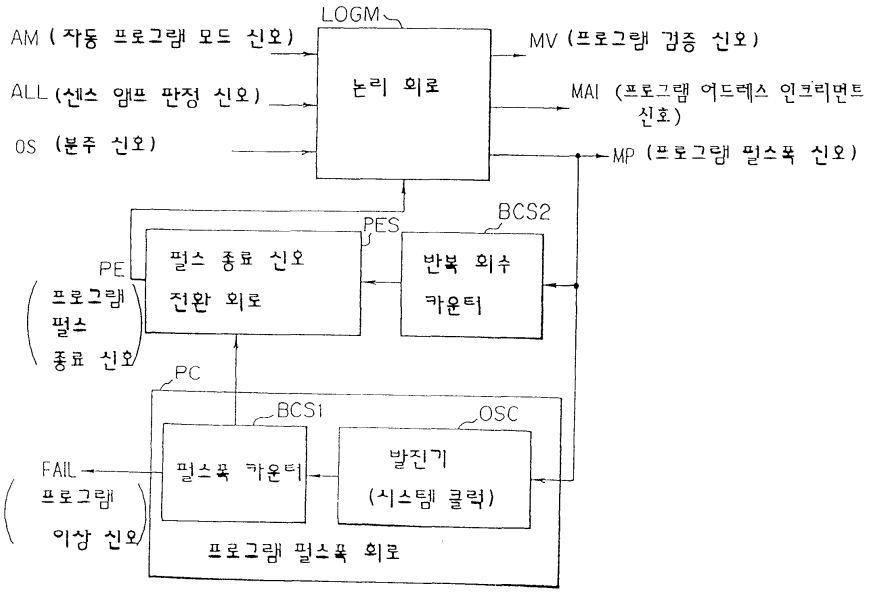
도면 18


전원전압에서 승압
VWORD
(13V)
제어 게이트
장치 내부에서 승압하는 부전압
(-5V)
Vp WELL
플로팅 게이트
n
n
소오스
p-WELL
드레인
깊은 n-WELL
p-SUB

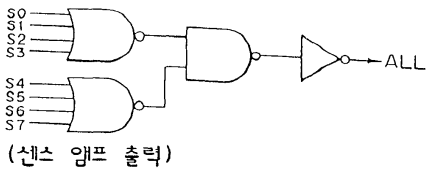
도면 19


어드레스 설정
21
펄스 인가
221
222
24
검증 ?
NO
어드레스
인크리먼트
YES
22
반복 루프
NO
최종 어드레스 ?
23
YES

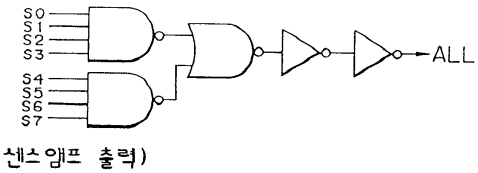
도면 20



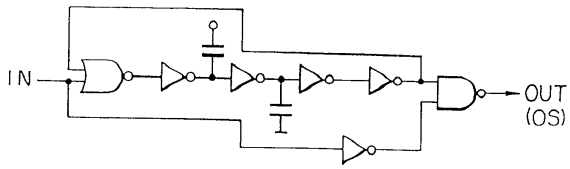
도면 21



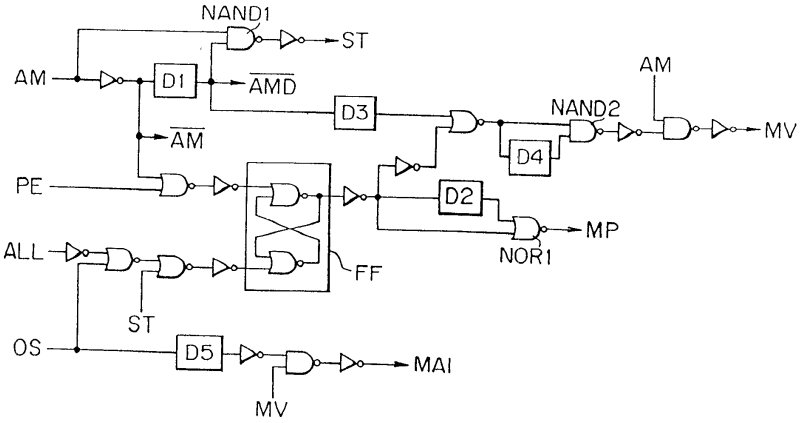
도면 22



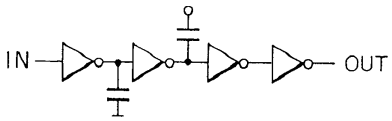
도면 23



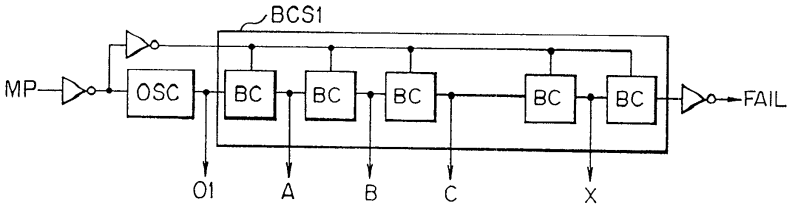
도면 24



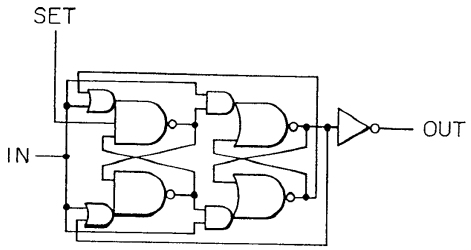
도면 25



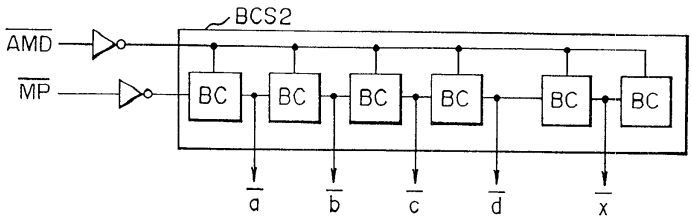
도면 26



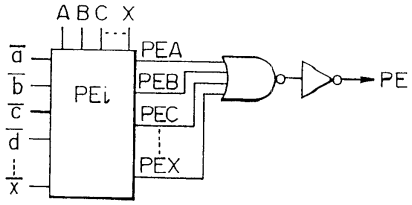
도면 27



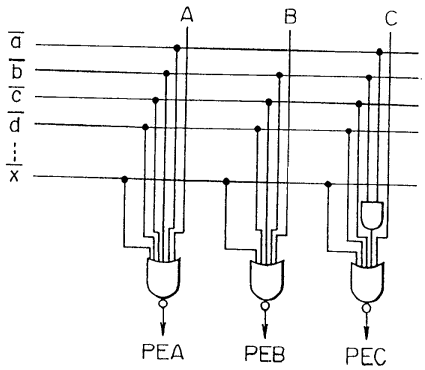
도면 28



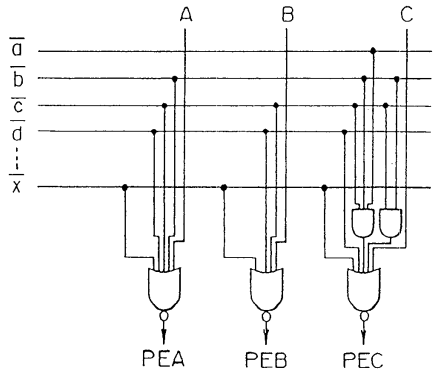
도면 29



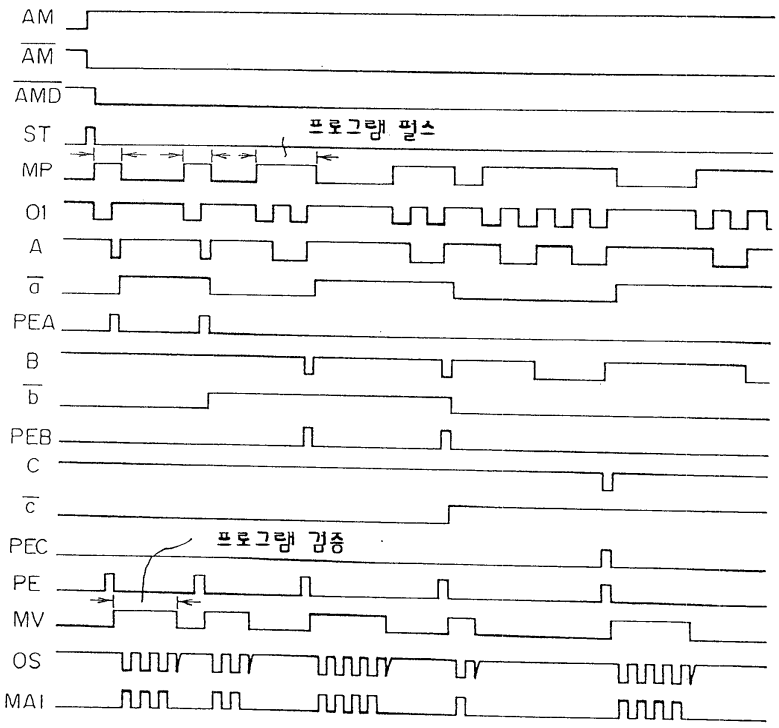
도면 30



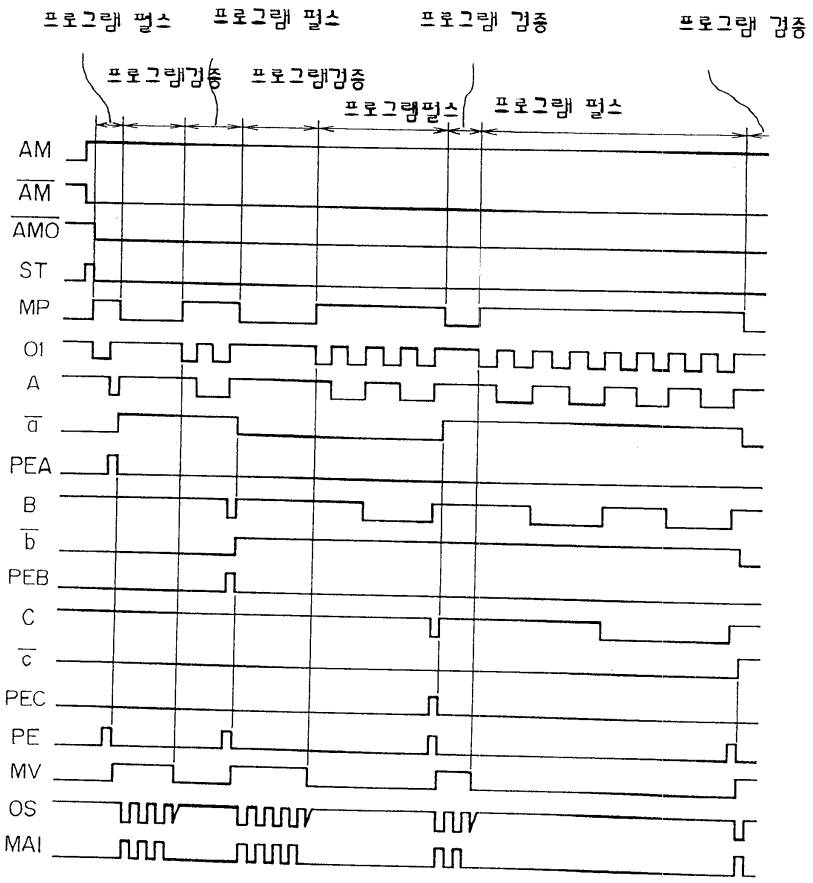
도면 31


A
B
C
a
b
c
d
x
PEA
PEB
PEC

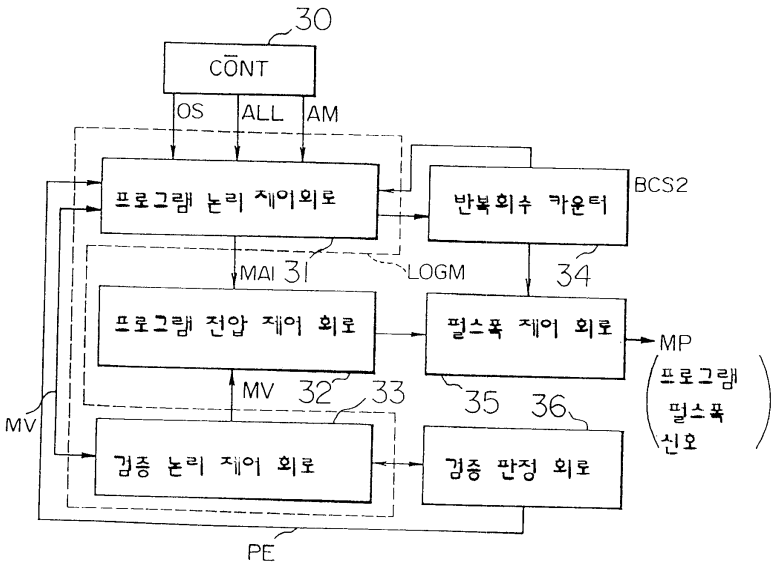
도면 33


AM
AM
AMD
ST
프로그램 펄스
MP
O1
A
a
PEA
B
b
PEB
C
c
PEC
프로그램 검증
PE
MV
OS
MAI

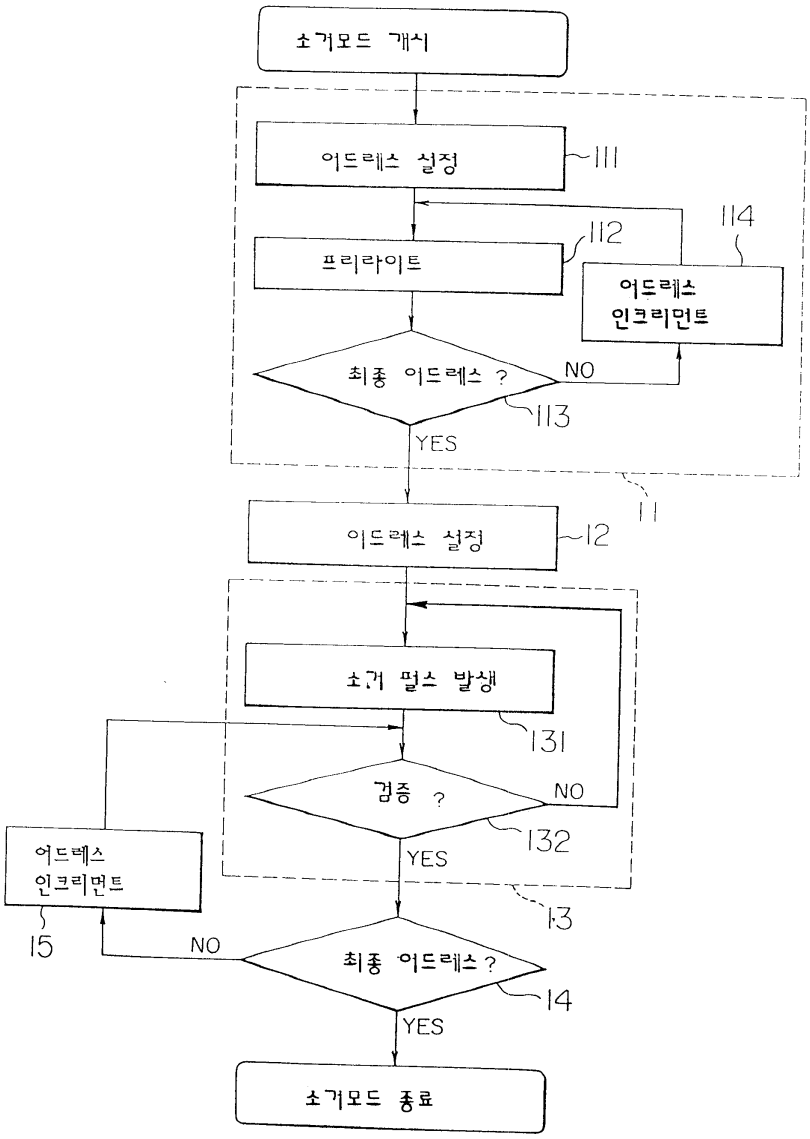
도면 32


프로그램 펄스
프로그램 펄스
프로그램 검증
프로그램 검증
프로그램검증
프로그램검증
프로그램펄스
프로그램 펄스
AM
$\overline{AM}$
AMO
ST
MP
O1
A
$\overline{a}$
PEA
B
$\overline{b}$
PEB
C
$\overline{c}$
PEC
PE
MV
OS
MAI

도면 34


30
CONT
OS
ALL
AM
프로그램 논리 제어회로
반복회수 카운터
BCS2
MAI
31
LOGM
34
프로그램 전압 제어 회로
펄스폭 제어 회로
MP
프로그램 펄스폭 신호
MV
32
33
35
36
MV
검증 논리 제어 회로
검증 판정 회로
PE

도면 35


소거모드 개시
어드레스 설정
111
프리라이트
112
114
어드레스 인크리먼트
최종 어드레스 ?
NO
113
YES
11
어드레스 설정
12
소거 펄스 발생
131
검증 ?
NO
132
YES
13
어드레스 인크리먼트
15
NO
최종 어드레스 ?
14
YES
소거모드 종료