

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年11月10日(10.11.2022)



(10) 国際公開番号
WO 2022/234771 A1

(51) 国際特許分類:
H01L 21/76 (2006.01) H01L 27/146 (2006.01)

(21) 国際出願番号: PCT/JP2022/017932

(22) 国際出願日: 2022年4月15日(15.04.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

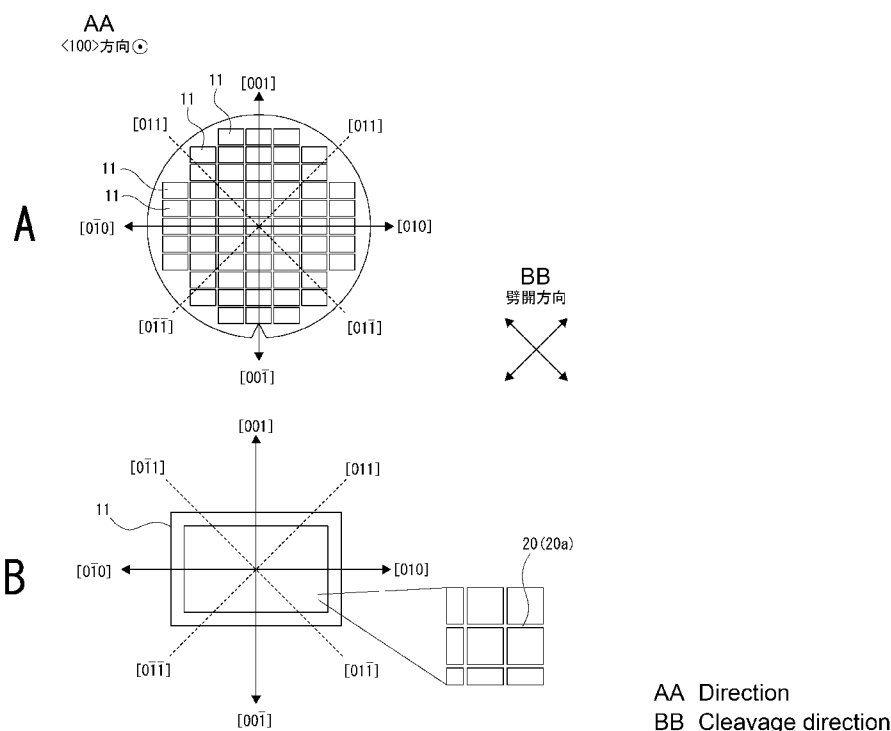
(30) 優先権データ:
特願 2021-079301 2021年5月7日(07.05.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 高橋 新吾 (TAKAHASHI, Shingo); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大庭 義行 (OHBA, Yoshiyuki); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 宮澤 信二 (MIYAZAWA, Shinji); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 磯部 裕史 (ISOBE, Hiroshi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 伊藤 琢哉 (ITO, Takuya); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリュー

(54) Title: SENSOR DEVICE, AND MANUFACTURING METHOD

(54) 発明の名称: センサ装置、製造方法



(57) Abstract: A sensor device according to the present technology comprises a semiconductor substrate on which a plurality of photoelectric conversion elements are arranged by pixel unit, and on which an interpixel separating part is formed that separates between pixels using trenches formed between the pixels, and in the semiconductor substrate, the interpixel separating part is formed along a different direction from the crystal cleavage direction of the semiconductor substrate.



WO 2022/234771 A1

シヨonz株式会社内 Kanagawa (JP). 三好 康史
(MIYOSHI, Yasufumi); 〒2430014 神奈川県厚
木市旭町四丁目14番1号 ソニーセミコンダク
タソリューションズ株式会社内 Kanagawa (JP).
中野 道広(NAKANO, Michihiro); 〒8691102 熊
本県菊池郡菊陽町大字原水4000番地
1 ソニーセミコンダクタマニュファクチャ
リング株式会社内 Kumamoto (JP).

(74) 代理人: 岩田 雅信, 外 (IWATA, Masanobu et al.); 〒1010032 東京都千代田区岩本町1丁目3番9号 ハクセイビル8階 テクノピア国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 本技術に係るセンサ装置は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、半導体基板において、画素間分離部が、半導体基板の結晶の劈開方向とは異なる方向に沿って形成されたものである。

明 細 書

発明の名称： センサ装置、製造方法

技術分野

[0001] 本技術は、センサ装置とその製造方法に関するものであり、特に、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備えたセンサ装置とその製造方法に関する。

背景技術

[0002] 例えばCCD (Charge Coupled Device) イメージセンサやCMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等、光電変換素子を有する画素が複数配列されたセンサ装置が広く知られている。

この種のセンサ装置では、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成されたものが知られている。トレンチ内には、光吸収素材や光反射素材による膜を形成することができる、これにより画素間における光の漏れ込みの低減を図ることが可能とされる。

なお、関連する従来技術に関しては下記特許文献を挙げる事ができる。

先行技術文献

特許文献

- [0003] 特許文献1：特開2009-65118号公報
特許文献2：特開2019-161224号公報
特許文献3：特開2006-59842号公報
特許文献4：特開2007-27392号公報

発明の概要

発明が解決しようとする課題

[0004] ここで、センサ装置の製造プロセスにおいては、上記のようなトレンチによる画素間分離部が形成された半導体基板に対しアニール等の加熱処理が行われるが、この加熱処理に伴い、半導体基板において熱収縮が生じ、これに

起因してトレンチ付近からクラックが生じる虞がある。

[0005] 本技術は上記事情に鑑み為されたものであり、トレンチによる画素間分離部が形成された半導体基板を備えるセンサ装置について、半導体基板におけるクラックの発生防止を図ることを目的とする。

課題を解決するための手段

[0006] 本技術に係る第一のセンサ装置は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、前記半導体基板において、前記画素間分離部が、前記半導体基板の結晶の劈開方向とは異なる方向に沿って形成されたものである。

上記のように画素間分離部が劈開方向とは異なる方向に沿って形成されることで、画素間分離部のトレンチに沿って半導体基板にクラックが生じ易くなることが回避される。

[0007] 本技術に係る第二のセンサ装置は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、前記半導体基板の厚み方向に直交する二面のうち、前記トレンチの掘り込みが行われた側の面である第一面上と、前記トレンチの最外周部分とに形成された第一絶縁膜と、前記第一絶縁膜上に形成された第二絶縁膜とを有し、前記第一絶縁膜は、前記トレンチが前記第一面側の開口部を有するように形成され、前記第二絶縁膜は、前記トレンチの前記開口部上を跨いで形成されたものである。

上記のようにトレンチが第一面側の開口部を有するように第一絶縁膜が形成されるということは、センサ装置製造プロセスにおいて、第一絶縁膜同士がトレンチ内で接しないということになる。

[0008] また、本技術に係る上記第二のセンサ装置に対応する製造方法は、光電変換素子が画素単位で複数配列され、各画素間を分離する縦溝が形成された半導体基板について、前記半導体基板の厚み方向に直交する二面のうち前記縦溝の掘り込みが行われた側の面である第一面上と、前記縦溝の側壁部分とに

第一絶縁膜を成膜する第一成膜工程と、前記第一絶縁膜上に第二絶縁膜を成膜する第二成膜工程と、を有し、前記第一成膜工程では、前記縦溝が前記第一面側の開口部を有するように前記第一絶縁膜を成膜し、前記第二成膜工程では、前記縦溝における前記開口部上を跨ぐように前記第二絶縁膜を成膜する製造方法である。

これにより、センサ装置の製造プロセスにおいて、画素間分離の縦溝の側壁部に成膜された第一絶縁膜同士が接しない。

[0009] 本技術に係る第三のセンサ装置は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、前記トレンチには、最外周部に絶縁膜が形成され、前記絶縁膜の内側にメタル膜が形成され、前記メタル膜の内側に前記半導体基板の構成材料と近似した熱膨張特性を有する近似熱膨張材料が埋め込まれたものである。

上記のようにトレンチ内のメタル膜の内側に半導体基板の構成材料に対する近似熱膨張材料が埋め込まれていることで、センサ装置製造時における加熱処理に伴う熱収縮が生じて、トレンチ外とトレンチ内とで熱収縮の様相が同様となるように図られる。このため、上記の加熱処理に伴いトレンチの入り口部分に生じる応力の緩和が図られる。

[0010] 本技術に係る第四のセンサ装置は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、前記半導体基板の厚み方向に直交する二面のうち、前記トレンチの掘り込みが行われた側の面である第一面上と、前記トレンチの最外周部分とに形成された絶縁膜と、前記絶縁膜上に形成されたウェットティング膜と、前記ウェットティング膜上に形成されたメタル膜と、を有し、前記ウェットティング膜は、前記トレンチ内の前記絶縁膜上ではアモルファス又は微結晶、前記トレンチ外部における前記絶縁膜上では高配向結晶とされたものである。

上記のようにトレンチ内にメタル膜を形成するためのウェットティング膜が

、トレンチ内の絶縁膜上ではアモルファス又は微結晶とされていることで、トレンチ内のメタル膜内にボイドが生じ難くなるようにすることが可能となる。

図面の簡単な説明

[0011] [図1]本技術に係る第一実施形態としてのセンサ装置の回路構成例を示したブロック図である。

[図2]実施形態におけるセンサ装置が有する画素の等価回路図である。

[図3]第一実施形態における画素アレイ部の概略構造を説明するための断面図である。

[図4]実施形態における画素間分離構造、画素間遮光構造の概略構造を説明するための平面図である。

[図5]クラックについての説明図である。

[図6]第一実施形態における画素間分離部の形成方向の一例の説明図である。

[図7]第一実施形態における画素間分離部の形成方向の別例の説明図である。

[図8]画素配列領域の最外周部から生じるクラックの説明図である。

[図9]角落とし形状についての説明図である。

[図10]画素配列領域の最外周辺に沿って形成されたトレンチ上を覆うメタル膜の例を示した図である。

[図11]メタル膜の変形例の説明図である。

[図12]第二実施形態における画素アレイ部の概略構造を説明するための断面図である。

[図13]絶縁膜によってトレンチの入り口部を閉塞するように絶縁膜の成膜を行う例の説明図である。

[図14]クラックの発生要因となる応力の説明図である。

[図15]第一絶縁膜の成膜工程において非クロス部が第一絶縁膜で閉塞され、クロス部が非閉塞である状態を平面視により模式的に表した図である。

[図16]膜質悪化部分の形成原理を説明するための断面図である。

[図17]クロス部に縦溝を形成しない手法及びクロス部の縦溝の幅と非クロス

部の縦溝の幅とを等しくする手法の説明図である。

[図18]第二実施形態におけるセンサ装置の製造手法についての説明図である。

[図19]第二実施形態における絶縁膜の形成手法の別例を説明するための図である。

[図20]第三実施形態における画素アレイ部の概略構造を説明するための断面図である。

[図21]第三実施形態におけるセンサ装置の製造手法についての説明図である。

[図22]Al、Ag、Mgのそれぞれについて波長に対する反射率特性を膜厚ごとに示した図である。

[図23]W、Ti、Si、Pd、Ni、Cr、Au、Fe、Ptについての波長に対する反射率特性を示した図である。

[図24]近似熱膨張材料に液体シリコンを用いた場合の効果についての説明図である。

[図25]第三実施形態におけるセンサ装置の製造手法についての別例の説明図である。

[図26]第三実施形態におけるセンサ装置の製造手法についてのさらに別例の説明図である。

[図27]第四実施形態における画素アレイ部の概略構造を説明するための断面図である。

[図28]第四実施形態におけるセンサ装置の製造手法についての説明図である。

[図29]バリアメタル膜の有無によるメタル膜の成膜態様の違いを説明するための図である。

発明を実施するための形態

[0012] 以下、添付図面を参照し、本技術に係る実施形態を次の順序で説明する。

<1. 第一実施形態>

(1-1. センサ装置の回路構成)

(1-2. 画素の回路構成)

(1-3. 画素アレイ部の構造例)

(1-4. 第一実施形態としての画素アレイ部の構造について)

<2. 第二実施形態>

<3. 第三実施形態>

<4. 第四実施形態>

<5. 変形例>

<6. 実施形態のまとめ>

<7. 本技術>

[0013] <1. 第一実施形態>

(1-1. センサ装置の回路構成)

図1は、本技術に係る第一実施形態としてのセンサ装置1の回路構成例を示したブロック図である。

本実施形態のセンサ装置1は、複数の画素2が配列された画素アレイ部3と、垂直駆動回路4と、カラム信号処理回路5と、水平駆動回路6と、出力回路7と、制御回路8等を有して構成される。

[0014] 画素2は、光電変換素子と、複数の画素トランジスタとを有して構成されている。なお、画素2の回路構成については後に改めて説明する。

[0015] 画素アレイ部3は、行方向及び列方向にそれぞれ複数配列された画素2を有して構成される。以下では、行方向を「X方向」、列方向を「Y方向」と表記することもある。

[0016] 画素アレイ部3には、実際に光を受光し光電変換により生成した信号電荷を増幅しカラム信号処理回路5に読み出す有効画素領域と、黒レベルの基準になる光学的黒を出力するための黒基準画素領域（図示せず）とを有して構成される。黒基準画素領域は、通常は、有効画素領域の外周部に形成されるものである。

[0017] 制御回路8は、垂直同期信号、水平同期信号及びマスタクロックに基づい

て、垂直駆動回路4、カラム信号処理回路5、水平駆動回路6の動作クロックや制御信号等を生成し、これら垂直駆動回路4、カラム信号処理回路5、水平駆動回路6に出力する。

[0018] 垂直駆動回路4は、例えばシフトレジスタにより構成され、画素アレイ部3の各画素2を行単位で順次垂直方向に選択走査する。そして、各画素2において受光量に応じて得られる信号電荷に基づく画素信号を、垂直信号線9を通してカラム信号処理回路5に出力させる。

[0019] カラム信号処理回路5は、例えば、画素2の列ごとに配置されており、1行分の画素2から出力される信号について、画素列ごとに黒基準画素領域（図示しないが、有効画素領域の周囲に形成される）からの信号に基づきノイズ除去や信号増幅等の信号処理を行う。カラム信号処理回路5の出力段には、水平選択スイッチ（図示せず）が水平信号線10との間に設けられている。

[0020] 水平駆動回路6は、例えばシフトレジスタにより構成され、水平走査パルスを順次出力することによってカラム信号処理回路5の各々を順番に選択し、カラム信号処理回路5の各々から画素信号を水平信号線10に出力させる。

[0021] 出力回路7は、カラム信号処理回路5の各々から水平信号線10を通して順次に供給される信号に対し信号処理を行い出力する。

[0022] (1-2. 画素の回路構成)

図2は、画素2の等価回路図である。

図示のように画素2は、光電変換素子としてのフォトダイオードPDを備えると共に、転送トランジスタ Q_t 、フローティングディフュージョン（浮遊拡散領域）FD、リセットトランジスタ Q_r 、増幅トランジスタ Q_a 、及び選択トランジスタ Q_s を備えている。

ここで、本例において、画素2が備える各種のトランジスタは、例えばMOSFET (metal-oxide-semiconductor field-effect transistor) で構成されている。

[0023] 転送トランジスタ Q_t は、ゲートが転送駆動信号 TG の供給ラインに接続されており、転送駆動信号 TG がONされると導通状態となり、フォトダイオード PD に蓄積されている信号電荷をフローティングディフュージョン FD に転送する。

フローティングディフュージョン FD は、フォトダイオード PD から転送された電荷を一時保持する電荷保持部である。

[0024] リセットトランジスタ Q_r は、ゲートがリセット信号 RST の供給ラインに接続されており、リセット信号 RST がONとされると導通状態となり、フローティングディフュージョン FD の電位を基準電位 VDD にリセットする。

[0025] 増幅トランジスタ Q_a は、ソースが選択トランジスタ Q_s を介して垂直信号線9に接続され、ドレインが基準電位 VDD （定電流源）に接続されて、ソースフォロワ回路を構成する。

選択トランジスタ Q_s は、増幅トランジスタ Q_a のソースと垂直信号線9との間に接続されると共に、ゲートが選択信号 SLC の供給ラインと接続されている。選択トランジスタ Q_s は、選択信号 SLC がONとされると導通状態となり、フローティングディフュージョン FD に保持された電荷を増幅トランジスタ Q_a を介して垂直信号線9に出力する。

[0026] ここで、転送駆動信号 TG 、リセット信号 RST 、及び選択信号 SLC は、図1に示した垂直駆動回路4が出力する。

[0027] 上記構成による画素2の動作について簡単に説明すると、先ず、受光を開始する前に、画素2の電荷をリセットする電荷リセット動作（電子シャッタ動作）が行われる。すなわち、リセットトランジスタ Q_r 、及び転送トランジスタ Q_t がON（導通状態）とされ、フォトダイオード PD とフローティングディフュージョン FD の蓄積電荷がリセットされる。

蓄積電荷のリセット後、リセットトランジスタ Q_r 、及び転送トランジスタ Q_t をOFFとして、フォトダイオード PD の電荷蓄積を開始させる。その後、フォトダイオード PD に蓄積された電荷信号を読み出す際には、転送

トランジスタ Q_t をONとし、また選択トランジスタ Q_s をONとする。これにより、電荷信号がフォトダイオードPDからフローティングディフュージョンFDに転送されると共に、フローティングディフュージョンFDに保持された電荷信号が増幅トランジスタ Q_a を介して垂直信号線9に出力される。

[0028] (1-3. 画素アレイ部の構造例)

図3は、画素アレイ部3の概略構造を説明するための断面図である。

本実施形態のセンサ装置1は、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) 型イメージセンサとして構成されている。この場合の「裏面」とは、画素アレイ部3が有する半導体基板11の表面 S_s 、裏面 S_b を基準としたものである。

[0029] 図3に示すように、画素アレイ部3は、半導体基板11と、半導体基板11の表面 S_s 側に形成された配線層12とを備えている。本例において、半導体基板11の裏面 S_b には、固定電荷を有する絶縁膜である固定電荷膜13が形成され、固定電荷膜13上には絶縁膜14が形成されている。また、絶縁膜14上には画素間遮光部21、平坦化膜15、フィルタ層16、及びマイクロレンズ（オンチップレンズ）17がこの順序で積層されている。

[0030] なお、各画素2には、前述した画素トランジスタ（転送トランジスタ Q_t 、リセットトランジスタ Q_r 、増幅トランジスタ Q_a 、選択トランジスタ Q_s ）も形成されるが、図3ではそれら画素トランジスタについての図示は省略している。ここで、画素トランジスタの電極（ゲート、ドレイン、ソースの各電極）として機能する導電体は、配線層12における半導体基板11の表面 S_s 近傍に形成される。

[0031] 半導体基板11は、例えばシリコン（Si）で構成され、例えば $1\mu\text{m}$ から $6\mu\text{m}$ 程度の厚みを有して形成されている。半導体基板11内において、各画素2の領域には、光電変換素子としてのフォトダイオードPDが形成されている。隣接するフォトダイオードPD間は、画素間分離部20により電氣的に分離されている。

[0032] 画素間分離部20は、本例では固定電荷膜13の一部と絶縁膜14の一部とで構成され、図4の平面図に例示するように、各画素2のフォトダイオードPDを取り囲むように格子状に形成されている。このような構成により、画素間分離部20は、画素2間の光の漏れ込みの抑制を図る機能を有する。また、画素間分離部20は、画素2間で信号電荷の漏れ込みが生じないように、画素2間を電氣的に分離する機能も有している。

[0033] ここで、画素間分離部20としては、半導体基板11に対しフォトダイオードPDの形成領域を取り囲むように形成した縦溝に対して、固定電荷膜13と絶縁膜14とを成膜することで形成することができる（いわゆるトレンチアイソレーション）。具体的に、画素間分離部20は、例えばFDTI（Front Deep Trench Isolation：フロントディープトレンチアイソレーション）、FFTI（Front Full Trench Isolation：フロントフルトレンチアイソレーション）、RDTI（Reversed Deep Trench Isolation：リバーズディープトレンチアイソレーション）、RFTI（Reversed Full Trench Isolation：リバーズフルトレンチアイソレーション）等として構成することができる。

ここでの「フロント」「リバーズ」は、縦溝を形成するための切削（掘り込み）を半導体基板11の表面S_s側から行うか裏面S_b側から行うかの違いを意味する。また、「ディープ」「フル」は、トレンチの深さ（縦溝の深さ）を表すもので、「フル」は半導体基板11を貫通させることを意味し、「ディープ」は半導体基板11を貫通させない程度の深さにトレンチを形成することを意味する。

図3では、トレンチを裏面S_b側から形成するRDTI又はRFTIに対応した構造を例示している。

[0034] ここで、半導体基板11に対し縦溝を形成する場合、縦溝の幅は、切削の進行方向側にいくほど徐々に狭まる傾向となる。このため、FDTIやFFTIのように表面S_s側からトレンチを形成する場合、画素間分離部20は、表面S_s側よりも裏面S_b側の方が幅が狭くなるという特徴を有するもの

となる。逆に、RDTIやRFTIのように裏面Sb側からトレンチを形成する場合、画素間分離部20は、裏面Sb側よりも表面Ss側の方が幅が狭くなるという特徴を有するものとなる。

[0035] 本明細書においては、光電変換素子が画素単位で複数配列された半導体基板に対して縦溝を形成することによって生成される領域分離体のことを「トレンチ」と表記する。このトレンチは、溝そのものとされる場合もある他、溝内に所要の膜が形成された形態もあり得る。

画素間分離部20を構成するトレンチのことを以下「トレンチ20a」と表記する。

[0036] 固定電荷膜13は、画素間分離部20の形成工程において、上記した縦溝の側壁面及び底面に成膜されると共に、半導体基板11の裏面Sb全面に形成されている。固定電荷膜13としては、シリコン等の基板上に堆積することにより固定電荷を発生させてピンングを強化させることが可能な材料を用いることが好ましく、負の電荷を有する高屈折率材料膜、又は高誘電体膜を用いることができる。具体的な材料としては、例えば、ハフニウム(Hf)、アルミニウム(Al)、ジルコニウム(Zr)、タンタル(Ta)及びチタン(Ti)のうち少なくとも何れかの元素を含む酸化物又は窒化物を適用することができる。成膜方法としては、例えば、CVD法(Chemical Vapor Deposition: 化学蒸着法)、スパッタリング法、ALD法(Atomic Layer Deposition: 原子層堆積法)等が挙げられる。なお、ALD法を用いれば、成膜中に界面準位を低減するSiO₂(酸化シリコン)膜を同時に1nm程度の膜厚に形成することができる。

なお、固定電荷膜13の材料には、絶縁性を損なわない範囲で膜中にシリコンや窒素(N)が添加されていてもよい。その濃度は、膜の絶縁性が損なわれない範囲で適宜決定される。このように、シリコンや窒素(N)が添加されることによって、膜の耐熱性やプロセス中におけるイオン注入の阻止能力を上げることが可能になる。

[0037] 本実施形態では、画素間分離部20の内部、及び半導体基板11の裏面S

bに負の電荷を有する固定電荷膜13が形成されているため、固定電荷膜13に接する面に反転層が形成される。これにより、シリコン界面が反転層によりピンニングされるため、暗電流の発生が抑制される。また、半導体基板11に画素間分離部20形成用の縦溝を形成する場合、該縦溝の側壁及び底面に物理的ダメージが発生し、縦溝周辺部でピンニング外れが発生する可能性があるが、この問題点に対し、本実施形態では、縦溝の側壁面及び底面に固定電荷を多く持つ固定電荷膜13を形成することによりピンニング外れの防止が図られる。

[0038] 絶縁膜14は、固定電荷膜13が形成された縦溝内に埋め込まれると共に、半導体基板11の裏面Sb側全面に形成されている。絶縁膜14の材料としては、固定電荷膜13とは異なる屈折率を有する材料で形成することが好ましく、例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、樹脂などを用いることができる。また、正の固定電荷を持たない、又は正の固定電荷が少ないという特徴を持つ材料を絶縁膜14に用いることができる。

本実施形態では、画素間分離部20の内部に絶縁膜14が埋め込まれていることにより、各画素2間において、フォトダイオードPDが絶縁膜14を介して分離される。これにより、隣接画素間で信号電荷が漏れ込み難くなるため、飽和電荷量(Qs)を超えた信号電荷が発生した場合において、溢れた信号電荷の隣接するフォトダイオードPDへの漏れ込みを抑制することができる。

[0039] また、本実施形態において、半導体基板11の光入射面側となる裏面Sb側に形成された固定電荷膜13と絶縁膜14の2層構造は、その屈折率の違いにより、反射防止膜としても機能する。

[0040] 画素間遮光部21は、半導体基板11の裏面Sb側に形成された絶縁膜14上において、各画素2のフォトダイオードPD上を開口するように格子状に形成されている。すなわち、画素間遮光部21は、図4の平面図に例示するように、画素間分離部20に対応する位置に形成されている。

画素間遮光部21を構成する材料としては、遮光が可能な材料であればよ

く、例えば、タングステン（W）、アルミニウム（Al）又は銅（Cu）を用いることができる。

画素間遮光部21により、隣接する画素2間において、一方の画素2にのみ入射されるべき光が他方の画素2に漏れ込んでしまうことの防止が図られる。

[0041] 平坦化膜15は、画素間遮光部21上、及び絶縁膜14における画素間遮光部21の非形成部上に形成され、これにより半導体基板11の裏面Sb側の面が平坦とされる。平坦化膜15の材料としては、例えば、樹脂などの有機材料を用いることができる。

[0042] フィルタ層16は、平坦化膜15上に形成されており、画素2ごとに所定の波長帯による光を透過する波長フィルタが形成されている。ここでの波長フィルタとしては、例えばR（赤色）光、G（緑色）光、又はB（青色）光を透過する波長フィルタや、赤外光を透過する波長フィルタ等を挙げることができる。

[0043] マイクロレンズ17は、フィルタ層16上において画素2ごとに形成されている。マイクロレンズ17では入射光が集光され、集光された光がフィルタ層16における波長フィルタを介してフォトダイオードPDに効率良く入射する。

[0044] 配線層12は、半導体基板11の表面Ss側に形成されており、層間絶縁膜12bを介して複数層に積層された配線12aを有して構成されている。配線層12に形成される配線12aを介して、画素トランジスタが駆動される。

[0045] 上記のような画素アレイ部3を備えたセンサ装置1では、半導体基板11の裏面Sb側から光が照射され、マイクロレンズ17及びフィルタ層16を透過した光がフォトダイオードPDにて光電変換されることにより、信号電荷が生成される。そして、光電変換により得られた信号電荷に基づく画素信号が、半導体基板11の表面Ss側に形成された画素トランジスタを經由し、配線層12における所定の配線12aとして形成された垂直信号線9を介

して出力される。

[0046] (1-4. 第一実施形態としての画素アレイ部の構造について)

ここで、画素間分離部20として縦溝の形成を伴うトレンチ20aが設けられる場合、センサ装置1の製造プロセスにおけるアニール等の加熱処理が行われることに伴い、半導体基板11においてトレンチ20aに沿ってクラックが発生してしまう虞がある。

[0047] 図5は、クラックについての説明図であり、半導体基板11におけるトレンチ20a及びその近傍部分の断面の拡大イメージを表している。図5Aはクラックが未発生の状態、図5Bはクラック(図中「Cr」と示す)の発生状態を表している。

[0048] 第一実施形態では、このようなクラックの発生防止を図るべく、画素間分離部20を半導体基板11の結晶の劈開方向とは異なる方向に沿って形成するという手法を採る。

[0049] 図6、図7により、画素間分離部20の形成方向の例を説明する。

これら図6、図7において、図6A、図7Aは、それぞれセンサ装置1の製造プロセスで用いる半導体ウェハ(wafer)上における半導体基板11の配列態様の例と、半導体ウェハの結晶方向及び劈開方向を例示している。

図6B、図7Bは、それぞれ図6A、図7Aに例示する半導体基板11の配列態様を採った場合に対応した半導体基板11の結晶方向と、画素間分離部20(トレンチ20a)の形成方向との関係を例示している。

これら図6、図7に示すように、半導体基板11は、平面視で矩形(本例では長方形)の形状とされている。

[0050] ここで、図中で用いている< >、[]の記号の意味について簡単に説明しておく。これら記号は結晶学において一般的に用いられている記号であって、< >は等価な方位群を表している。すなわち、ベクトルOPの結晶方向[uvw]に沿う周囲の原子の配列状態をみると、対称な方向が存在する。これら方向は、結晶学的に互いに等価であり、これらの方向をひとまとめにして<uvw>で表したものである。[]は結晶中の任意の格子点か

ら任意の他の格子点Pに至るベクトルの方向を表している。すなわち、結晶中の任意の格子点を原点Oとし結晶軸（方向） x 、 y 、 z をとり（単位格子の辺長は a 、 b 、 c である）、原点Oから任意の他の格子点Pに至るベクトルを考えた場合に、ベクトルOPは $u a + v b + w c$ で表される。この $[u \ v \ w]$ は結晶方向と呼ばれている。

() はミラー指数と呼ばれるものであり、結晶中の相異なる三つの格子点を含む結晶面を表している。そして、この結晶面についても、上記の方向の場合と同様、結晶学的に互いに等価な結晶面が存在する。

[0051] 図6、図7において、半導体ウェハ（及び半導体基板11）は、厚み方向が $\langle 100 \rangle$ 方向に一致している。

ここで、図中では、 $[\]$ の結晶方向について数値「1」上にバー（「 $\bar{}$ 」）を付した記号（以下「1バー」と表記する）が用いられているが、本明細書の文中においては、文字表記の都合から、「1バー」は「 $1\bar{}$ 」として表す。

[0052] 図6及び図7では、半導体ウェハとして、 $[001]$ $[011]$ $[010]$ $[011\bar{}]$ $[001\bar{}]$ $[01\bar{}1\bar{}]$ $[01\bar{}0]$ $[01\bar{}1]$ の方向が面方向（厚み方向に直交する方向）に平行であるウェハが用いられている。本例のように半導体基板11にシリコン基板が用いられる場合、これらの結晶方向のうち、 $[011]$ $[01\bar{}1\bar{}]$ $[01\bar{}1]$ $[011\bar{}]$ の方向が劈開方向となる。

[0053] 図6の例では、図6Aに示されるように、半導体基板11は半導体ウェハにおいて、長手方向が $[010]$ $[01\bar{}0]$ の方向に平行、短手方向が $[001]$ $[001\bar{}]$ の方向に平行となるように配列されている。

そして、図6Bに示されるように、この場合の半導体基板11においては、画素間分離のためのトレンチ20aが $[001]$ $[001\bar{}]$ $[010]$ $[01\bar{}0]$ の方向に沿って形成されている。

これにより、この場合の画素間分離部20は半導体基板11の結晶の劈開方向とは異なる方向に沿って形成される。

従って、半導体基板 11 におけるクラックの発生防止を図ることができる。

。

[0054] 一方で、図 7 の例では、図 7 A に示されるように、半導体基板 11 は半導体ウェハにおいて長手方向が $[011]$ $[0\bar{1}\bar{1}]$ の方向に平行、短手方向が $[0\bar{1}1]$ $[01\bar{1}]$ の方向に平行となるように配列されている。

。

そして、図 7 B に示されるように、この場合の半導体基板 11 においては、トレンチ 20 a が $[001]$ $[00\bar{1}]$ $[0\bar{1}0]$ $[010]$ の方向に沿って形成されている。

この図 7 の例においても、画素間分離部 20 は半導体基板 11 の結晶の劈開方向とは異なる方向に沿って形成され、半導体基板 11 におけるクラックの発生防止が図られる。

[0055] これら図 6、図 7 で例示した画素間分離部 20 の形成方向はあくまで一例である。

半導体基板 11 としてシリコン基板が用いられる場合、劈開方向は $[01\bar{1}]$ $[011\bar{1}]$ $[011]$ $[0\bar{1}\bar{1}]$ $[1\bar{0}1]$ $[101\bar{1}]$ $[101]$ $[1\bar{0}1\bar{1}]$ $[1\bar{1}0]$ $[11\bar{0}]$ $[110]$ $[1\bar{1}\bar{0}]$ となる。従って、本例のように半導体基板 11 にシリコン基板が用いられる場合、これらの方向とは異なる方向に沿って画素間分離部 20 を形成することで、クラックの発生防止を図ることができる。

[0056] また、図 6、図 7 の例では、劈開方向とは異なる方向として、 $[001]$ $[00\bar{1}]$ $[0\bar{1}0]$ $[010]$ の方向に沿って画素間分離部 20 を形成している。

これにより、画素間分離部 20 のトレンチ 20 a は、劈開方向に対し 45 度ずれた方向に沿って形成される。

従って、トレンチ 20 a の形成方向と劈開方向との関係性の面で、クラックの発生防止効果を最大限に高めることができる。

[0057] ここで、トレンチ 20 a は、基本的には、画素間分離部 20 として画素 2

間の境界部分にのみ形成される。換言すれば、半導体基板 1 1 において複数の画素 2 が二次元に配列された領域を画素配列領域 A p としたとき、トレンチ 2 0 a は、基本的には、この画素配列領域 A p の最外周部には形成されないものとなる。

[0058] しかしながら、トレンチ 2 0 a が画素 2 間の境界部分にしか形成されない場合には、そのことに起因して画素配列領域 A p の最外周部からクラックが生じてしまう虞がある。

[0059] 図 8 は、この点についての説明図であり、図 8 A は半導体基板 1 1 における画素配列領域 A p の説明図、図 8 B は画素配列領域 A p の最外周近傍の一部領域の拡大図である。

トレンチ 2 0 a が画素 2 間の境界部分にしか形成されない場合には、トレンチ 2 0 a が画素配列領域 A p の最外周辺の位置で途絶することになり、この途絶部分からクラックが生じ易くなる（図 8 B の点線で示す「C r」を参照）。

[0060] そこで、その対策として、半導体基板 1 1 に画素配列領域 A p の最外周辺に沿ってトレンチ 2 0 a を形成した構成を採ることができる。

これにより、画素配列領域 A p の最外周部に上記のようなトレンチ 2 0 a の途絶部分が生じることの防止が図られ、該途絶部分からのクラックの発生の防止を図ることができる。

[0061] 但し、画素配列領域 A p は矩形状の領域とされるため、その外縁に沿ってトレンチ 2 0 a を 1 周形成した場合には、画素配列領域 A p の四隅となる部分において、トレンチ 2 0 a の折れ角が直角となってしまう。画素配列領域 A p の最外周辺に形成するトレンチ 2 0 a について、画素配列領域 A p の四隅となる部分の折れ角が 9 0 度に近いほど、該四隅の部分からクラックが生じ易くなってしまう。

図 8 C では、該四隅の部分から生じるクラックのイメージを示している（図中、点線で示す「C r」を参照）。図示のようにこの場合のクラックは、平面視で半導体基板 1 1 の斜め方向に生じるものとなる。

[0062] そこで、画素配列領域 A_p の最外周辺に形成するトレンチ $20a$ については、図9に例示するように、画素配列領域 A_p の四隅となる部分の形状を角落とし形状とすることができる。

ここで言う角落とし形状とは、直交関係にある二辺をそのまま連結させた場合の折れ角 90 度の角部を基準としたときに、折れ角をより寝かせた形状、又は角部を丸めた形状を意味するものである。

[0063] 図9A及び図9Bは、角落とし形状の例として、角部を丸めた形状を例示しており、図9Aはそのような角落としを1画素分の領域で行った例、図9Bは 2×2 の4画素分の領域で行った例である。

[0064] 図9C及び図9Dは角落とし形状の例として折れ角を 45 度とした例を示しており、図9Cは角落としを1画素分の領域で行った例、図9Dは角落としを 2×2 の4画素分の領域で行った例である。

[0065] 上記のように画素配列領域 A_p の最外周部に形成したトレンチ $20a$ の四隅の部分の形状を角落とし形状とすることで、それら四隅の部分からのクラックの発生を抑制を図ることができる。

[0066] 画素配列領域 A_p の最外周部分からのクラック発生を抑制を図る上では、図10に例示するように、少なくとも画素配列領域 A_p の最外周辺に沿って形成されたトレンチ $20a$ 上を覆うメタル膜 22 を形成することが有効である。

この場合、メタル膜 22 は、画素配列領域 A_p の最外周辺に沿って形成されたトレンチ $20a$ 上を覆うと共に、画素配列領域 A_p 内の画素間分離部 20 としてのトレンチ $20a$ を全て覆うように形成されている。このとき、メタル膜 22 は、画素配列領域 A_p における少なくとも有効画素領域内では、フォトダイオード PD に光を入射させるための開口が画素 2 ごとに設けられるように形成される。

なお、メタル膜 22 には、例えば A_1 膜を用いることが考えられる。また、メタル膜 22 は、フレア抑制のための遮光膜として機能させることもできる。

[0067] 図11は、メタル膜22の変形例についての説明図である。

図示のようにこの場合のメタル膜22は、少なくとも画素配列領域Apの最外周辺に沿って形成されたトレンチ20a（図示の例では四隅部が角落とし形状とされた例としている）を覆う部分22aと、この部分22aの四隅から斜め方向に延在する部分22bとを有している。

ここで言う斜め方向とは、結晶方向 $[0\ 1\ \bar{1}]$ $[0\ 1\ 1\ \bar{1}]$ $[0\ 1\ 1]$ $[0\ 1\ \bar{1}\ \bar{1}]$ $[1\ \bar{0}\ 1]$ $[1\ 0\ 1\ \bar{1}]$ $[1\ 0\ 1]$ $[1\ \bar{0}\ 1\ \bar{1}]$ $[1\ \bar{1}\ 0]$ $[1\ 1\ \bar{0}]$ $[1\ 1\ 0]$ $[1\ \bar{1}\ \bar{1}\ 0]$ の方向である。つまり、部分22bは、半導体基板11の劈開方向に沿って形成された部分と換言できる。

これにより、画素配列領域Apの最外周を1周するトレンチ20aの四隅から斜め方向にクラックが生じることの防止を図ることができる。

[0068] <2. 第二実施形態>

続いて、第二実施形態について図12から図19を参照して説明する。

第二実施形態は、画素間分離の縦溝Vtの側壁部に絶縁膜を形成する場合（つまりトレンチの最外周部分に絶縁膜が形成される場合）において、センサ装置1の製造時に縦溝Vt内で絶縁膜同士が接してしまうことに起因した半導体基板11のクラックの発生防止を図るものである。

なお以下の説明において、既に説明済みとなった部分と同様となる部分については同一符号を付して説明を省略する。

[0069] 図12は、第二実施形態における画素アレイ部3Aの概略構造を説明するための断面図である。

第一実施形態の場合の画素アレイ部3との相違点は、画素間分離部20に代えて画素間分離部20Aが形成されている点である。換言すれば、トレンチ20aに代えてトレンチ20aAが形成されている点である。

トレンチ20aAは、最外周部分に第一絶縁膜25形成されている。図示のようにこの第一絶縁膜25は、トレンチ20aAの最外周部分から半導体基板11の裏面Sb上にかけて連続的に形成されている。

トレンチ20aAとしても、トレンチ20Aと同様に半導体基板11の裏

面S bからの掘り込みが行われて形成されたものとされる。この場合、半導体基板11の裏面S bは、半導体基板11の厚み方向に直交する二面のうちトレンチの掘り込みが行われた側の面であるということができ、請求項に言う「第一面」に相当する。

[0070] トレンチ20 a Aは、第一絶縁膜25の内側が空隙部とされ、トレンチ20 a Aにおける裏面S b側の端部は第一絶縁膜25によって閉塞されていない。このようにトレンチ20 a Aにおける裏面S b側の端部において第一絶縁膜25で閉塞されていない空隙の部分を「開口部O t」と表記する。

[0071] 画素アレイ部3 Aにおいては、第一絶縁膜25上に第二絶縁膜26が形成されている。図示のように第二絶縁膜26は、トレンチ20 a Aの開口部O t上を跨いで形成されている。

本例では、トレンチ20 a Aの開口部O t上は、平面視でトレンチ20 a A上をトレースするようにパターニングされた樹脂膜27により覆われており、この樹脂膜27上に第二絶縁膜26が形成されていることで、第二絶縁膜26が開口部O t上を跨ぐように形成されている。

ここで、第一絶縁膜25、第二絶縁膜26については、酸化シリコン等の酸化膜を用いることができる。

[0072] なお、第二絶縁膜26よりも上層部分の構造、及び半導体基板11よりも下層部分の構造は画素アレイ部3の場合と同様となるため重複説明は避ける。

[0073] ここで、画素間分離のためのトレンチについて、最外周部に絶縁膜を設けた構造を実現する上では、図13に例示するように、絶縁膜（図中では第一絶縁膜25として示している）によってトレンチの裏面S b側を閉塞するように絶縁膜の成膜を行うことが考えられる。

[0074] しかしながら、このようにトレンチの裏面S b側を閉塞するように絶縁膜を成膜する場合には、下記のような理由でクラックが生じ易くなる。

まず、トレンチの裏面S b側を閉塞するように絶縁膜を成膜したとしても、実際には、絶縁膜同士が完全には密着せずに僅かな隙間が生じることにな

る。この隙間部分が、センサ装置 1 の製造プロセス中における加熱処理に伴って癒着収縮することで応力が生じ、該応力に起因してクラックが生じ易くなる。

[0075] 図 1 4 は、この点の説明図である。

図 1 4 A は、第一絶縁膜 2 5 の成膜が行われた際の半導体基板 1 1 における縦溝 V_t の近傍部分の様子を模式的に示している。第一絶縁膜 2 5 の成膜後にアニールとしての加熱処理が行われるため、図 1 4 A の状態は加熱前の状態と表現できる。

縦溝 V_t における裏面 S_b 側の開口部を閉塞するように第一絶縁膜 2 5 を成膜しても、実際には第一絶縁膜 2 5 同士は完全には密着せず、図中の縦矢印で示すような微細な隙間が生じる。

この状態でアニールとしての加熱処理が行われると、図 1 4 B に例示するように、第一絶縁膜 2 5 同士が熱膨張により癒着する。そして、加熱処理後には、温度低下により第一絶縁膜 2 5 は収縮するが、この熱収縮に起因して、加熱処理後には、癒着した第一絶縁膜 2 5 同士の間に図 1 4 C の横矢印で表すような応力、すなわち癒着した第一絶縁膜 2 5 同士を離間させる方向に作用する応力が生じる。

このような応力が、クラックの発生要因となる。

[0076] また、トレンチの裏面 S_b 側を閉塞するように第一絶縁膜 2 5 を成膜しようとしても、トレンチの幅はクロス部（トレンチが交差する部分）とその他の部分（以下「非クロス部」と表記する）とで異なることから、第一絶縁膜 2 5 によるトレンチの閉塞は、非クロス部で開始され、その後にクロス部に及ぶことになる。すなわち、第一絶縁膜 2 5 の成膜過程では、縦溝 V_t 全体が開口されている状態と、縦溝 V_t の非クロス部が閉塞、クロス部が非閉塞である状態とが存在するものである。

上記のようにクロス部が非クロス部に遅れて閉塞されることに起因して、トレンチ内には第一絶縁膜 2 5 の膜質悪化部分が形成され、この膜質悪化部分によってもクラックが生じ易くなる。

[0077] 図15及び図16を参照してこの点について詳述する。

図15は、第一絶縁膜25の成膜工程において非クロス部が第一絶縁膜25で閉塞され、クロス部が非閉塞である状態を平面視により模式的に表している。

この状態では、非クロス部の縦溝Vtには成膜ガスが直接進入しないものとなるが、クロス部における非閉塞部分を介して、非クロス部の縦溝Vt内に成膜ガスが進入することになる。

[0078] このように非クロス部の縦溝Vtにクロス部の非閉塞部分から遅れて成膜ガスが進入してくることで、図16の断面図に示すように、非クロス部の縦溝Vt内では、既に縦溝Vtの開口部を閉塞して形成されている第一絶縁膜25（図中、太実線）の下側に、該遅れて進入した成膜ガスにより新たに第一絶縁膜25の成膜が行われる（図中、太破線）。

このようにクロス部から非クロス部に進入した成膜ガスで成膜される第一絶縁膜25の部分は、 O_2 プラズマが不足した状態で成膜されるため、反応未完了となり、膜質が悪化するものとなる。このように膜質が悪化した部分に起因してクラックが生じ易くなる。

[0079] ここで、上記のような膜質悪化部分を生じさせないためには、例えば図17Aに示すようにクロス部に縦溝Vtを形成しない手法や、図17Bのようにクロス部の縦溝Vtの幅W1と非クロス部の縦溝Vtの幅W2とを等しくする手法を採ることが考えられる。

しかしながら図17Aの手法を採った場合には、クロス部にトレンチが形成されないため、画素間の遮蔽性能の低下を招く。また、図17Bのように幅W1とW2を等しくする手法は、縦溝Vtの形成に困難性を伴うためコストアップを助長したり、トレンチの形状を各画素間で揃えることが困難であるため面内ばらつきを助長したりする虞がある。

[0080] そこで、第二実施形態では、縦溝Vtの裏面Sb側の部分を閉塞しないように第一絶縁膜25を形成することで、先の図12で説明したように、トレンチ20aAが裏面Sb側の開口部Otを有する構造となるようにしている

。

これにより、画素間の遮蔽性能の低下や加工困難性に伴うコストアップや面内ばらつきの防止を図りながら、上述した第一絶縁膜 25 の熱収縮による応力や膜質悪化部分に起因するクラックの発生防止を図ることができる。

[0081] 図 18 は、第二実施形態におけるセンサ装置 1 の製造手法についての説明図である。

ここでは特に、第一絶縁膜 25、第二絶縁膜 26、及び樹脂膜 27 の形成に係る工程を説明する。図 18 において、図 18 A から図 18 E の各図では、下段に断面視の様子、上段に平面視（裏面 S b 側の平面視）の様子をそれぞれ示している。

先ず、裏面 S b 側から掘り込まれた縦溝 V t を有する半導体基板 11 の裏面 S b 側を対象として、第一絶縁膜 25 を、縦溝 V t の裏面 S b 側の開口を閉塞しないように形成する（図 18 A）。この第一絶縁膜 25 の形成工程は、例えば ALD 法（原子層堆積法）等の成膜プロセスにより行うことができる。

[0082] 次いで、成膜された第一絶縁膜 25 上にレジスト R g を例えばスピンコート法等で塗布し（図 18 B）、塗布されたレジスト R g に対し縦溝 V t 上をトレースするパターンにより露光を行って、レジスト R g の硬化処理を施す（図 18 C）。その上で、レジスト R g の未硬化部分を除去する（図 18 D）。これにより、縦溝 V t の裏面 S b 側において第一絶縁膜 25 が非形成とされていることで形成される開口部上を覆うように、樹脂膜 27 が形成される。

さらに、第一絶縁膜 25 上、及び樹脂膜 27 上に対して第二絶縁膜 26 を例えば CVD 法（化学蒸着法）やスパッタリング法等の成膜プロセスにより形成する（図 18 E）。

これにより、図 12 に示した画素アレイ部 3 A の構造を実現することができる。

[0083] 図 19 は、第二実施形態における絶縁膜の形成手法の別例を説明するため

の図である。

この別例において、裏面S b側から掘り込まれた縦溝V tを有する半導体基板1 1の裏面S b側を対象として、縦溝V tの裏面S b側の開口を閉塞しないように第一絶縁膜2 5を形成する点は図1 8の場合と同様である（図1 9 A）。

この別例では、縦溝V tの裏面S b側の開口を閉塞しないように形成された第一絶縁膜2 5上に、第二絶縁膜2 6をCVD法により成膜する。

第二絶縁膜2 6の成膜にCVD法を適用することで、縦溝V tにおける裏面S b側の開口部を閉塞しないように第二絶縁膜2 6を成膜することができる。すなわち、第二絶縁膜2 6がトレンチ2 0 a Aの開口部O t上を跨いで形成されるようにすることができる。

[0084] また、さらに別例として、第一絶縁膜2 5の成膜をALD法により行った場合には、第一絶縁膜2 5上への第二絶縁膜2 6の成膜は、第一絶縁膜2 5の成膜時よりも成膜温度を高温としたALD法により行うこともできる。

この場合、第一絶縁膜2 5の成膜温度は例えば300度程度、第二絶縁膜2 6の成膜温度は400度程度とすることが考えられる。

第一絶縁膜2 5の成膜時よりも成膜温度を高温としたALD法で第二絶縁膜2 6を成膜することで、第二絶縁膜2 6の成膜時に、第二絶縁膜2 6の材料が縦溝V tの裏面S b側に形成された開口部内に進入し難くなる。このため、図1 9 Bの場合と同様に、第二絶縁膜2 6がトレンチ2 0 a Aの開口部O t上を跨いで形成されるようにすることができる。

[0085] <3. 第三実施形態>

第三実施形態は、トレンチ内にメタル膜を形成する場合において、製造プロセス中の加熱処理に伴って該メタル膜に生じる応力に起因したクラックの発生防止を図るものである。

[0086] 図2 0は、第三実施形態における画素アレイ部3 Bの概略構造を説明するための断面図である。

第一実施形態の場合の画素アレイ部3との相違点は、画素間分離部2 0に

代えて画素間分離部 20B が形成されている点である。換言すれば、トレンチ 20a に代えてトレンチ 20aB が形成されている点である。

[0087] トレンチ 20aB においては、最外周部分に第一絶縁膜 25 が形成されている。図示のように第一絶縁膜 25 は、トレンチ 20aB の最外周部分から半導体基板 11 の裏面 Sb 上にかけて連続的に形成されている。

[0088] また、トレンチ 20aB においては、第一絶縁膜 25 の内側にメタル膜 28 が形成されている。このメタル膜 28 は、画素 2 間の遮光膜として機能すると共に、反射膜としても機能する。この反射膜としての機能により、フォトダイオード PD に対する集光性能の向上が図られる。

[0089] さらに、トレンチ 20aB におけるメタル膜 28 よりも内側の部分には、近似熱膨張材料 29 が埋め込まれている。なお、この近似熱膨張材料 29 については後述する。

[0090] 画素アレイ部 3B においては、トレンチ 20aB 上、及び半導体基板 11 の裏面 Sb 上に形成された第一絶縁膜 25 上に第二絶縁膜 26 が形成されている。

なお、この第二絶縁膜 26 よりも上層部分の構造、及び半導体基板 11 よりも下層部分の構造は画素アレイ部 3 の場合と同様となるため重複説明は避ける。

[0091] ここで、画素間分離のためのトレンチ内に遮光性能や集光性能の向上のためにメタル膜を形成する場合には、センサ装置 1 の製造プロセス中におけるアニール等の加熱処理が行われることに伴い、メタル膜に熱収縮に応じた応力が生じ、半導体基板 11 においてこの応力に起因したクラックが生じる虞がある。

[0092] そこで、本実施形態では、トレンチ 20aB 内に形成したメタル膜 28 の内側を近似熱膨張材料 29 で埋めるものとしている。ここで、近似熱膨張材料 29 とは、半導体基板 11 の構成材料と近似した熱膨張特性を有する材料を意味する。

本例のように半導体基板 11 がシリコン基板とされる場合、近似熱膨張材

料 2 9 にはシリコンが用いられる。このとき、近似熱膨張材料 2 9 には、例えばポリシリコン（多結晶シリコン）、又はアモルファスシリコン（非晶質シリコン）を用いることが考えられる。

[0093] 上記のようにトレンチ 2 0 a B 内のメタル膜の内側に近似熱膨張材料 2 9 が埋め込まれることで、センサ装置 1 の製造時における加熱処理に伴う熱収縮が生じて、トレンチ 2 0 a B 外とトレンチ 2 0 a B 内とで熱収縮の様相が同様となるように図られる。このため、上記の加熱処理に伴いトレンチ 2 0 a B の入り口部分（つまり本例では裏面 S b 側の部分）に生じる応力の緩和が図られる。

従って、トレンチ 2 0 a B 内に設けたメタル膜 2 8 により光電変換素子に対する集光性能の向上を図りながら、センサ装置 1 の製造プロセスにおける加熱処理に伴いトレンチ 2 0 a B の入り口部分に生じる応力に起因したクラックの発生防止を図ることができる。

[0094] 図 2 1 は、第三実施形態におけるセンサ装置 1 の製造手法についての説明図である。

ここでは特に、トレンチ 2 0 a B、及び第二絶縁膜 2 6 の形成に係る工程を説明する。

先ず、半導体基板 1 1 の裏面 S b 側からの掘り込みを行うことで、縦溝 V t を形成する（図 2 1 A）。本例において、縦溝 V t の深さ D t は例えば 3 μ m 程度、縦溝 V t の幅 W t は例えば 2 0 0 nm 程度である。

[0095] 次いで、第一絶縁膜 2 5、及びメタル膜 2 8 の形成を行う（図 2 1 B）。具体的には、先ず、縦溝 V t が形成された半導体基板 1 1 の裏面 S b を対象として第一絶縁膜 2 5 を例えば A L D 法等の成膜プロセスにより形成する。これにより、半導体基板 1 1 の裏面 S b 上、及び縦溝 V t の側壁部に第一絶縁膜 2 5 が形成される。

そして、このように形成した第一絶縁膜 2 5 上に対し、例えば A 1 等によるメタル膜 2 8 を例えばスパッタリング等の成膜プロセスで形成する。

ここで、第一絶縁膜 2 5 について、縦溝 V t の側壁部における膜厚は例え

ば10nm程度とすることが望ましい。一方、メタル膜28について、縦溝Vtの側壁部における膜厚は例えば40nm程度とすることが望ましい。

[0096] さらに、メタル膜28上に例えばCVD法等の成膜プロセスにより近似熱膨張材料29（本例ではシリコン）を形成する（図21C）。これにより、縦溝Vt内におけるメタル膜28の内側に近似熱膨張材料29が埋め込まれ、トレンチ20aBとしての構造が得られる。

またこのとき、近似熱膨張材料29は、半導体基板11の裏面Sbの上層に形成されたメタル膜28上にも成膜される。

[0097] 近似熱膨張材料29の成膜後、CMP（Chemical Mechanical Polishing）等の研磨プロセスにより第一絶縁膜25よりも上側の部分を除去し（図21D）、その上で、トレンチ20aB上、及び裏面Sb上における第一絶縁膜25上に第二絶縁膜26を例えばALD法等の成膜プロセスにより形成する（図21E）。

[0098] 図21の説明から理解されるように、本例では、メタル膜28を成膜後、その内側を近似熱膨張材料29で埋めた上で、第二絶縁膜26（本例ではSiO₂膜）を成膜している。

これにより、第二絶縁膜26のアニールに伴いトレンチ20aBの入り口部分で生じる応力の緩和を図ることができ、この点でもクラックの発生防止効果を得ることができる。

[0099] ここで、メタル膜28の材料及び膜厚について図22及び図23を参照して考察する。

図22は、Al（図22A）、Ag（図22B）、Mg（図22C）のそれぞれについて、波長に対する反射率特性を膜厚ごとに示している。この図22における反射率は、トレンチ20aB内に形成される第一絶縁膜25（SiO₂）、メタル膜28、及び近似熱膨張材料29による層構造について、第一絶縁膜25の膜厚=10nm、近似熱膨張材料29の厚さ=80nmとした場合の計測結果である。

[0100] メタル膜28の材料には、例えばこれらAl、Ag、Mgの何れかを採用

することが考えられる。

可視光の波長帯（およそ400nmから800nm）を考慮すると、図22Aに示すA1については、反射率を80%以上確保するのであれば、膜厚を30nm以上とすることが望ましい。

また、図22Bに示すAg、図22Cに示すMgについては、同様に反射率を80%以上確保するのであれば、膜厚をそれぞれ50nm以上、30nm以上とすることが望ましい。

[0101] 図23は、参考としてW、Ti、Si、Pd、Ni、Cr、Au、Fe、Ptについての波長に対する反射率特性を示している。なお、これらの材料について、メタル膜28の膜厚は全て50nmとした。

この図23より、メタル膜28の代わりにSiを用いた場合、換言すれば、第一絶縁膜25の内側を全てSiで埋めた場合には、十分な反射率が得られないことが分かる。また、Auは全体的に見ると反射率が高いが、可視光の波長帯、特に600nm以下の領域では反射率が著しく低下するものとなっている。

この図23の結果より、W、Ti、Si、Pd、Ni、Cr、Au、Fe、Ptについては、可視光の波長帯で反射率=80%以上を確保することが困難であることが分かる。

[0102] ここで、近似熱膨張材料29については、液体シリコンを用いることもできる。

図24は、近似熱膨張材料29に液体シリコンを用いた場合の効果についての説明図である。

近似熱膨張材料29として液体シリコンを用いる場合、先の図21Bで説明したメタル膜28の成膜後、液体シリコンを例えばスピコート法により塗布する。

図24Aは、この塗布によりメタル膜28の内側に液体シリコンとしての近似熱膨張材料29が埋め込まれた様子を示している。

[0103] 液体シリコンを用いる場合には、液体シリコンの塗布後にアニール処理が

行われる。アニール処理が行われることで、メタル膜 28 の内側におけるシリコンの充填部には、図 24 B 中に「X」と示すような、トレンチの底部側に凸となる窪みが生じる（以下「窪み X」と表記）。この窪み X は、アニール処理に伴いシリコンに脱水素による体積減少が生じたことで形成されるものである。

[0104] アニール処理後には、図 24 C に示すように CMP 等の研磨プロセスにより第一絶縁膜 25 よりも上側の部分が除去され、その上で、図 24 D に示すように、ALD 法等の成膜プロセスにより第二絶縁膜 26 が形成される。

[0105] このとき、第二絶縁膜 26 は窪み X 内にも形成されことになるが、このように第二絶縁膜 26 が窪み X 内に形成されることで、トレンチの入り口部分において第二絶縁膜 26（例えば SiO_2 ）が側面ではなく上部から形成されることになるので、この点で、加熱処理に伴いトレンチの入り口部分で生じる応力の緩和に繋がるものとなる。

[0106] なお、第一絶縁膜 25 としては、前述した固定電荷膜 13 上に SiO_2 等による絶縁膜を積層した積層構造膜を採用することもできる。

図 25 を参照し、具体的な製造手法を説明する。この図 25 では、センサ装置 1 がインダイレクト Tof（Time of Flight：光飛行時間）方式やダイレクト Tof 方式等の Tof 方式による測距に対応した測距センサとされる場合に対応した製造手法例を説明する。

[0107] この場合は、縦溝 V_t が形成された半導体基板 11 について、縦溝 V_t の側壁部及び半導体基板 11 の裏面 S_b 上に対して固定電荷膜 13 を成膜し、この固定電荷膜 13 上に絶縁膜 30 を成膜した上で、絶縁膜 30 上にメタル膜 28 を成膜する（図 25 A）。

固定電荷膜 13 と絶縁膜 30 とにより、第一絶縁膜 25 が形成され、この第一絶縁膜 25 上にメタル膜 28 が形成される。

[0108] そして、メタル膜 28 上に例えば CVD 法等の成膜プロセスにより近似熱膨張材料 29（本例ではシリコン）を形成する（図 25 B）。これにより、縦溝 V_t 内におけるメタル膜 28 の内側に近似熱膨張材料 29 が埋め込まれ

、トレンチ20aBとしての構造が得られる。またこのとき、近似熱膨張材料29は、半導体基板11の裏面Sbの上層に形成されたメタル膜28上にも成膜される。

[0109] この場合、近似熱膨張材料29の成膜後には、エッチングにより第一絶縁膜25よりも上側の部分を除去する(図25C)。このとき、メタル膜28と近似熱膨張材料29の除去は、第一絶縁膜25よりも上層の部分を全て除去するのではなく、図示のようにトレンチに沿った部分を残すようにして行う。

[0110] ここで、Tof方式に対応する場合、受光対象となる光(例えば赤外光)の波長の関係から、縦溝Vtの深さDtは先に例示した3 μ m程度よりも深くする。例えば、深さDt=7 μ m程度とすることが考えられる。これにより、iTof方式で受光する光の波長に対応して、メタル膜28による集光性能を高めることができる。

なお、縦溝Vtの幅Wtについては、例えば700nm程度とすることが考えられる。

[0111] またこの場合、第一絶縁膜25を構成する固定電荷膜13、絶縁膜30については、裏面Sb上に形成された部分の膜厚をそれぞれ60nm程度、100nm程度とすることが望ましい。

[0112] ここで、図25の例では、図25Bから図25Cへの遷移として示したように、近似熱膨張材料29の成膜後、近似熱膨張材料29をエッチングにより除去する、具体的には、トレンチ上となる部分を除いて近似熱膨張材料29とをエッチングにより除去するようにしている。

しかしながら、このエッチングを実際に行ったところ、エッチングにより削られたメタル等の飛散物が半導体ウェハや装置チャンバ内に付着することが確認された。このようなメタル飛散物の付着に伴い、装置内のメタル汚染によるエッチングレート、アッシングレートの低下を招く虞がある。

[0113] そこで、図26に示すように、近似熱膨張材料29の成膜の前に、メタル膜28上にストッパ膜40を成膜しておくという手法を提案する。

先ず図26Aに示すように、この場合も先の図25Aと同様、縦溝Vtが形成された半導体基板11について、縦溝Vtの側壁部及び半導体基板11の裏面Sb上に対して固定電荷膜13を成膜し、この固定電荷膜13上に絶縁膜30を成膜した上で、絶縁膜30上にメタル膜28を成膜する。

そして、図26Bに示すように、メタル膜28上に対し、SiN（窒化シリコン）によるストッパ膜40を成膜する。このとき、ストッパ膜40の膜厚は、80nm以上とすることが望ましい。80nm以上であれば、後述する近似熱膨張材料29のエッチングの加工バラツキに対しメタル膜28の保護が図られることが確認されている。

ここで、SiNは埋め込み性が悪いため、ストッパ膜40は、図示のように縦溝Vt内（つまりトレンチ内）には形成されない。このとき、メタル膜28は、縦溝Vtにおける裏面Sbの近傍部分において、断面視で図示のように丸みを帯びるように形成される。ストッパ膜40は、縦溝Vtにおける裏面Sbの近傍部分において、この丸み部分に沿って成膜されるため、図示のように縦溝Vtを略閉塞するように形成される。

[0114] ストッパ膜40の成膜後、図26Cに示すようにストッパ膜40上に近似熱膨張材料29（例えばシリコン）を成膜する。これにより、縦溝Vt内におけるメタル膜28の内側に近似熱膨張材料29が埋め込まれ、トレンチ20aBとしての構造が得られる。

このとき、近似熱膨張材料29は、トレンチ20aB上、及び半導体基板11の裏面Sbの上層に形成されたストッパ膜40上にも成膜される。

[0115] 近似熱膨張材料29の成膜後、図26Dに示すように、トレンチ20aBの上部のみにレジストRgをパターニング及び露光し、図26Eに示すエッチング工程により、近似熱膨張材料29を除去する。このとき、トレンチ20aBの上部には、近似熱膨張材料29が残置される。

[0116] 図26Eのエッチング工程後、図26Fに示すようにトレンチ20aBの上部を除き、ストッパ膜40及びメタル膜28を除去する処理を行う。

[0117] 上記のような製造手法を採ることで、近似熱膨張材料29のエッチング時

にメタル等の飛散物が生じることの防止を図ることができ、エッチングレート、アッシングレートの低下防止を図ることができる。

また、上記の製造手法によれば、ストッパ膜40を成膜する分、近似熱膨張材料29の成膜時の膜圧を薄くすることが可能となり、プロセスリードタイムの短縮化を図ることができる。

さらに、上記の製造手法によれば、ストッパ膜40の成膜によりトレンチ20aBの閉塞性を高めることができる。

[0118] なお、図26の製造手法に関して、図26Cの近似熱膨張材料29の成膜工程においては、近似熱膨張材料29として、SiO₂（酸化シリコン）を例えばALD法により成膜することも考えられる。これにより、トレンチ20aB内のメタル膜28上に無機膜を形成することができ、メタル膜28のマイグレーションの抑制を図ることができる。

[0119] ここで、第三実施形態において、特に前述した液体シリコンを用いる場合等には、近似熱膨張材料29として、カーボンブラック等の導電材料が添加された材料を用いることができる。

これにより、トレンチ20aB内の近似熱膨張材料29で構成された部分を電極として用いることができる。

[0120] <4. 第四実施形態>

第四実施形態は、縦溝Vt内をメタルで埋めるタイプのトレンチを採用する場合において、トレンチ内のメタル部分に生じたボイドに起因してクラックが発生してしまうことの防止を図るものである。

[0121] 図27は、第三実施形態における画素アレイ部3Cの概略構造を説明するための断面図である。

第一実施形態の場合の画素アレイ部3との相違点は、画素間分離部20に代えて画素間分離部20Cが形成されている点である。すなわち、トレンチ20aに代えてトレンチ20aCが形成される。

[0122] トレンチ20aCにおいては、最外周部分に第一絶縁膜25が形成されている。図示のように第一絶縁膜25は、トレンチ20aBの最外周部分から

半導体基板 11 の裏面 S b 上にかけて連続的に形成されている。

そして、トレンチ 20 a C において、第一絶縁膜 25 の内側は、メタルによる遮光膜 31 で埋められている。図示のように遮光膜 31 は、トレンチ 20 a C 内における第一絶縁膜 25 の内側から、半導体基板 11 の裏面 S b 上における第一絶縁膜 25 上となる部分にかけて連続的に形成されている。

図示は省略するが、遮光膜 31 は、半導体基板 11 の裏面 S b の上層となる部分では、画素 2 ごとにフォトダイオード P D の上部となる部分に開口を有するように形成されている。

[0123] また、画素アレイ部 3 C においては、遮光膜 31 上に第二絶縁膜 26 が形成されている。なお、第二絶縁膜 26 は、遮光膜 31 上と共に、遮光膜 31 の上記した開口下における第一絶縁膜 25 上にも形成される。

[0124] この場合も第二絶縁膜 26 より上層部分の構造、及び半導体基板 11 より下層部分の構造は画素アレイ部 3 の場合と同様となるため重複説明は避ける。

[0125] ここで、トレンチ内へのメタルの埋め込みを良好に行うためには、縦溝 V t の側壁に沿った部分の濡れ性を高める等、種々の工夫を要するものとなるが、従来、トレンチ内へのメタルの埋め込みを良好に行うことについて具体的な手法の提案は為されていなかった。

[0126] 本願発明者らは、次のような手法でトレンチ内へのメタルの埋め込みを試みた。すなわち、縦溝 V t の側壁部にメタル埋め込みの第一下地層として C V D 法や A L D 法により T i N 膜を成膜し、さらに第二下地層として A L D 法により T i A l 膜を成膜し、この第二下地層上にメタル膜として A l 膜を C V D 法により成膜するという手法である。

[0127] しかしながらこの手法でメタルの埋め込みを行ったところ、埋め込んだメタル内に多数のボイドが発生することが確認された。

このようにトレンチ内に埋め込んだメタルにボイドが多数発生すると、該ボイドに起因して半導体基板 11 にクラックが発生し易くなる。

[0128] そこで、本実施形態では、トレンチ内のメタルの埋め込み手法として、以

下のような手法を提案する。

図28は、第四実施形態におけるセンサ装置1の製造手法についての説明図であり、ここでは特に、トレンチへのメタルの埋め込みに係る工程を説明する。

先ず、裏面Sb側からの掘り込みにより縦溝Vtが形成された半導体基板11を対象として、第一絶縁膜25、及びバリアメタル膜32の形成を行う(図28A)。すなわち、先ず、縦溝Vtが形成された半導体基板11の裏面Sbを対象として第一絶縁膜25を例えばALD法等の成膜プロセスにより形成する。これにより、半導体基板11の裏面Sb上、及び縦溝Vtの側壁部に第一絶縁膜25が形成される。本例では、第一絶縁膜25にはSiO₂が用いられる。

[0129] そして、第一絶縁膜25上に対し、指向性スパッタリングによりバリアメタル膜32を形成する。指向性スパッタリングを用いることで、バリアメタル膜32は、主として、裏面Sb上に形成された第一絶縁膜25上に形成され、第一絶縁膜25における縦溝Vtの側壁部に沿った部分には殆ど形成されないものとなる。なお、第一絶縁膜25における縦溝Vtの底面に沿った部分には、縦溝Vtの深さが比較的浅い場合にはバリアメタル膜32が形成されるが、縦溝Vtの深さが深い場合はバリアメタル膜32が殆ど形成されないことになる。

本例では、バリアメタル膜32にはTiが用いられる。

[0130] ここで、指向性スパッタリングにおける指向性は、イオン化の程度やステージバイアスの大きさ、成膜ガスの照射距離やコリメート等の要素により調整できる。

[0131] バリアメタル膜32の形成を行った後、ウェットイング膜33の形成を行う(図28B)。具体的には、バリアメタル膜32が形成された状態の半導体基板11の裏面Sb側を対象として、例えばCVD方法やALD法等による成膜プロセスでウェットイング膜33を形成する。これにより、第一絶縁膜25における縦溝Vtの側壁部に沿った部分と、バリアメタル膜32にお

ける裏面S bに沿った部分とに積層されるようにウェット膜3 3が形成される。

本例では、ウェット膜3 3にはTi Alが用いられる。

[0132] 上記のようにウェット膜3 3を形成した上で、ウェット膜3 3上に例えばCVD方法やALD法等による成膜プロセスでメタル膜3 4を形成する(図28C)。図示のようにメタル膜3 4は、ウェット膜3 3における縦溝V tの側壁部に沿った部分の内側から、ウェット膜3 3における裏面S bに沿って形成された部分の上部にかけて連続的に形成される。

本例において、メタル膜3 4にはAlが用いられる。

[0133] 図27に示した遮光膜3 1は、上記のように形成されたバリアメタル膜3 2、ウェット膜3 3、及びメタル膜3 4を含む膜として構成されている。

[0134] ここで、本例では、バリアメタル膜3 2の形成を指向性スパッタリングにより行うものとしたことで、バリアメタル膜3 2は、縦溝V tの側壁部に沿った部分には殆ど形成されず、一方で、半導体基板1 1の裏面S bに沿った部分には或る程度の膜厚により形成される。

このことに由来して、ウェット膜3 3は、縦溝V tの側壁部に沿った部分、すなわちトレンチ2 0 a Cの内側ではアモルファス又は微結晶となり、一方で、裏面S bに沿って形成された部分、すなわちトレンチ2 0 a C外部の第一絶縁膜2 5上となる部分では高配向結晶となる。

これは、縦溝V tの側壁部に沿った部分ではバリアメタル膜3 2が殆ど形成されないことで、該側壁部に沿った部分では結晶の配向性の向上効果が殆ど得られない一方、裏面S bに沿った部分ではバリアメタル膜3 2が或る程度の膜厚で形成されることで、該裏面S bに沿った部分では結晶の配向性の向上が図られるためであると推察される。

[0135] 上記のようにウェット膜3 3がトレンチ2 0 a C内ではアモルファス又は微結晶とされることで、このウェット膜3 3のトレンチ2 0 a

C内の部分の内側に形成されるメタル膜34としてもアモルファス又は微結晶となる。このようにアモルファス又は微結晶とされることで、トレンチ内のメタル膜34においてボイドの発生が抑制される。

これにより、トレンチ内のメタル膜34内に生じるボイドに起因したクラックの発生防止を図ることができる。すなわち、該ボイドに起因して、センサ装置製造プロセスにおける加熱処理に伴いクラックが発生してしまうことの防止を図ることができる。

[0136] また、ウェットティング膜33がトレンチ20aC外部における裏面Sbに沿った部分で高配向結晶とされることで、メタル膜34における裏面Sbに沿った部分としても高配向結晶となる。このように高配向結晶とされることで、メタル膜34の裏面Sbに沿った部分については膜厚の均一化が図られ、遮光膜としての性能向上が図られる。

[0137] 図29を参照し、バリアメタル膜32の有無によるメタル膜34の成膜態様の違いを説明する。

図29Aでは、下地層としてバリアメタル膜32が有る場合におけるメタル膜34の成膜態様を、図29Bでは下地層としてバリアメタル膜32が無い場合におけるメタル膜34の成膜態様をそれぞれ模式的に表している。また、これら図29A、図29Bでは、図中の右側から左側にかけて、メタル膜34の成膜が進行していく様子を表している。

[0138] バリアメタル膜32が有る図29Aの場合には、ウェットティング膜33は、下層に形成されたバリアメタル膜32の影響により結晶混じりの状態となる。このため、ウェットティング膜33上に対するメタル膜34の成膜初期では、図中の中央に示されるように、ウェットティング膜33上においてメタルの結晶の部分優先が生じる。このような結晶の部分優先に起因して、その後のメタル膜34の成膜の進行で結晶が成長していくと、図中の右側において矢印により示すように、結晶間に空隙が生じる。これが、メタル膜34内のボイドの発生要因となる。

[0139] 一方で、バリアメタル膜32が無い図29Bの場合、ウェットティング膜3

3は下層にバリアメタル膜32が存在しないことからアモルファス又は微結晶の状態となり、このようなウェットティング膜33上に対するメタル膜34の成膜初期では、図中の中央に示されるように、ウェットティング膜33上に全面的に核形成が行われる。このように全面的に核形成が行われた状態からメタル膜34の成膜が進行すると、図中の右側に示すように、空隙が生じ難くなる。つまり、メタル膜34内におけるボイドの発生が抑制されるものである。

[0140] ここで、上記ではバリアメタル膜32の材料としてNiを挙げたが、バリアメタル膜32には、例えばTiN、Ta、Ta₂N₅、W、WN等を用いることもできる。

また、ウェットティング膜33については、例示したTiAl以外にも、例えばCoAl、RuAl、NbAl、Co、Ru、Nb、W、Tiの単膜や窒化膜、或いはこれらの材料のうち2種以上を組み合わせた積層膜とすることもできる。

さらに、メタル膜34については、例示したAl以外に、例えばCu等を用いることもできる。

[0141] <5. 変形例>

なお、実施形態としては上記により説明した具体例に限定されるものではなく、多様な変形例としての構成を採り得る。

例えば、第一実施形態で説明した劈開方向と異なる方向に画素間分離部を形成する手法やトレンチ上にメタル膜22を形成する手法は、第二、第三、第四実施形態にそれぞれ組み合わせることが可能である。

[0142] また、上記では、イメージセンサ、すなわちセンシング画像として画素2ごとの受光量を示す画像を得るセンサ装置に対して本技術を適用する例を挙げたが、本技術は、例えばToFセンサ等、センシング画像としてデプス画像（画素2ごとの距離を示す画像）を得るデプスセンサに対しても好適に適用することができる。

さらに、本技術は、光電変換素子に有機材料を用いたセンサ装置（例えば

、国際公開第2020/255999号公報等を参照)や、光電変換素子にSPAD (Single Photon Avalanche Diode) を用いたセンサ装置 (例えば、国際公開第2020/203222号公報等を参照) 等にも好適に適用可能である。

[0143] 本技術は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備えたセンサ装置に広く適用可能なものである。

[0144] <6. 実施形態のまとめ>

上記により説明したように、第一実施形態としてのセンサ装置 (同1) は、光電変換素子 (フォトダイオードPD) が画素 (同2) 単位で複数配列され、画素間に形成されたトレンチ (同20a) により画素間を分離する画素間分離部 (同20) が形成された半導体基板 (同11) を備え、半導体基板において、画素間分離部が、半導体基板の結晶の劈開方向とは異なる方向に沿って形成されたものである。

上記のように画素間分離部が劈開方向とは異なる方向に沿って形成されることで、画素間分離部のトレンチに沿って半導体基板にクラックが生じ易くなることが回避される。

従って、半導体基板におけるクラックの発生防止を図ることができる。

[0145] また、第一実施形態のセンサ装置においては、半導体基板はシリコン基板とされ、画素間分離部は、シリコン結晶の劈開方向である $[01\bar{1}]$ $[011\bar{1}]$ $[011]$ $[01\bar{1}\bar{1}]$ $[1\bar{0}1]$ $[101\bar{1}]$ $[101]$ $[1\bar{0}1\bar{1}]$ $[1\bar{1}0]$ $[11\bar{0}]$ $[110]$ $[1\bar{1}\bar{0}]$ とは異なる方向に沿って形成されている。

これにより、画素間分離部のトレンチに沿って半導体基板にクラックが生じ易くなることが回避される。

従って、半導体基板におけるクラックの発生防止を図ることができる。

[0146] さらに、第一実施形態のセンサ装置においては、画素間分離部は、半導体基板の結晶方向 $[001]$ $[001\bar{1}]$ $[01\bar{1}0]$ $[010]$ の方向に沿

って形成されている。

これにより、画素間分離部のトレンチは、劈開方向に対し45度ずれた方向に沿って形成される。

従って、トレンチの形成方向と劈開方向との関係性の面で、クラックの発生防止効果を最大限に高めることができる。

[0147] さらにまた、第一実施形態のセンサ装置においては、半導体基板において、複数の画素が二次元に配列された領域である画素配列領域（同A p）の最外周辺に沿ってトレンチが形成されている。

トレンチが画素間分離部にのみ形成される、すなわち画素間の境界部分にのみ形成されている場合には、トレンチが画素配列領域の最外周辺の位置で途絶してしまい、この途絶部分からクラックが生じ易くなる。上記のように画素配列領域の最外周辺に沿ってトレンチを形成することで、上記の途絶部分が生じないように図られる。

従って、画素配列領域の最外周部分からクラックが発生してしまうことの防止を図ることができる。

[0148] また、第一実施形態のセンサ装置においては、画素配列領域の最外周辺に沿って形成されたトレンチは、画素配列領域の四隅となる部分の形状が角落とし形状とされている。

画素配列領域の最外周辺に形成するトレンチについて、画素配列領域の四隅となる部分の折れ角が90度に近いほど、該四隅の部分からクラックが生じ易くなる。

上記のように画素配列領域の四隅の部分のトレンチを角落とし形状とすることで、そのような四隅の部分からのクラックの発生の抑制を図ることができる。

[0149] さらに、第一実施形態のセンサ装置においては、画素配列領域の最外周辺に沿って形成されたトレンチ上を覆うメタル膜が形成されている。

これにより、画素配列領域の最外周部分からクラックが発生してしまうことの防止を図ることができる。

[0150] また、第一実施形態のセンサ装置においては、画素配列領域の外側に、半導体基板の劈開方向に沿ってメタル膜（部分 2 2 b）が形成されている。

これにより、画素配列領域の最外周辺に沿って形成されたトレンチの四隅から斜め方向にクラックが生じることの防止を図ることができる。

[0151] 第二実施形態のセンサ装置（同 1）は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチ（同 2 0 a A）により画素間を分離する画素間分離部（同 2 0 A）が形成された半導体基板を備え、半導体基板の厚み方向に直交する二面のうち、トレンチの掘り込みが行われた側の面である第一面上と、トレンチの最外周部分とに形成された第一絶縁膜（同 2 5）と、第一絶縁膜上に形成された第二絶縁膜（同 2 6）とを有し、第一絶縁膜は、トレンチが第一面側の開口部（同 0 t）を有するように形成され、第二絶縁膜は、トレンチの開口部上を跨いで形成されたものである。

上記のようにトレンチが第一面側の開口部を有するように第一絶縁膜が形成されるということは、センサ装置製造プロセスにおいて、第一絶縁膜同士がトレンチ内で接しないということになる。

従って、センサ装置製造プロセスにおいて、トレンチ内で第一絶縁膜同士が接してしまうことに起因した半導体基板のクラックの発生防止を図ることができる。ここで、第二絶縁膜がトレンチの上記開口部上を跨いで形成されていることで、第一絶縁膜形成後の第二絶縁膜の形成に伴い上記開口部が閉塞されてしまうことの防止が図られる。

[0152] また、第二実施形態のセンサ装置においては、第一絶縁膜と第二絶縁膜との間に、開口部上を覆う樹脂膜（同 2 7）が形成されている。

上記のような構造は、第一絶縁膜を成膜後、トレンチの開口部上を覆うレジストをパターニングした後に、第二絶縁膜を成膜することで得られる。

従って、トレンチにおける第一絶縁膜の内側に第二絶縁膜が成膜されてしまうことの防止が図られ、トレンチ内の第一絶縁膜の内側に空隙部を形成することができる。この空隙部が形成されることで、センサ装置製造時の加熱処理が行われることに伴いトレンチ内の第一絶縁膜に生じる熱収縮による応

力緩和を図ることができ、トレンチからのクラックの発生防止を図ることができる。

[0153] 第二実施形態の製造方法は、光電変換素子が画素単位で複数配列され、各画素間を分離する縦溝（同V t）が形成された半導体基板について、半導体基板の厚み方向に直交する二面のうち縦溝の掘り込みが行われた側の面である第一面上と、縦溝の側壁部分とに第一絶縁膜を成膜する第一成膜工程と、第一絶縁膜上に第二絶縁膜を成膜する第二成膜工程と、を有し、第一成膜工程では、縦溝が第一面側の開口部を有するように第一絶縁膜を成膜し、第二成膜工程では、縦溝における開口部上を跨ぐように第二絶縁膜を成膜する製造方法である。

これにより、センサ装置の製造プロセスにおいて、画素間分離の縦溝の側壁部に成膜された第一絶縁膜同士が接しない。

従って、センサ装置製造プロセスにおいて、画素間分離の縦溝の側壁部に成膜された第一絶縁膜同士が接してしまうことに起因した半導体基板のクラックの発生防止を図ることができる。ここで、第二絶縁膜が縦溝の上記開口部上を跨いで形成されていることで、第一絶縁膜形成後の第二絶縁膜の形成に伴い上記開口部が閉塞されてしまうことの防止が図られる。

[0154] また、第二実施形態の製造方法においては、第二成膜工程では、開口部上を対象としたレジストパターニングを行った上で第二絶縁膜を成膜している。

これにより、縦溝における上記開口部を跨ぐように第二絶縁膜が形成される。

従って、縦溝内において第一絶縁膜の内側に第二絶縁膜が成膜されてしまうことの防止が図られ、縦溝内の第一絶縁膜の内側に空隙部を形成することができる。この空隙部が形成されることで、センサ装置製造時の加熱処理が行われることに伴いトレンチ内の第一絶縁膜に生じる熱収縮による応力緩和を図ることができ、トレンチからのクラックの発生防止を図ることができる。

[0155] さらに、第二実施形態の製造方法においては、第一成膜工程では、第一絶縁膜を原子層堆積法により成膜し、第二成膜工程では、第二絶縁膜を化学蒸着法により成膜している。

第一絶縁膜の成膜を原子層堆積法（ALD法）により行うことで、縦溝が第一面側の開口部を有するように第一絶縁膜を成膜可能となる。また、第二絶縁膜の成膜を化学蒸着法（CDV法）により行うことで、第二絶縁膜の材料が縦溝の開口部に進入し難くなる。

従って、センサ装置製造プロセスにおいて、画素間分離の縦溝の側壁部に成膜された第一絶縁膜同士が接してしまうことに起因した半導体基板のクラックの発生防止を図ることができると共に、第二絶縁膜が縦溝の上記開口部上を跨いで形成されていることで、第二絶縁膜の形成に伴い上記開口部が閉塞されてしまうことの防止が図られる。

[0156] さらにまた、第二実施形態の製造方法においては、第一成膜工程では、第一絶縁膜を原子層堆積法により成膜し、第二成膜工程では、第二絶縁膜を、第一絶縁膜の成膜時よりも成膜温度を高温とした原子層堆積法により成膜している。

第一絶縁膜の成膜を原子層堆積法（ALD法）により行うことで、縦溝が第一面側の開口部を有するように第一絶縁膜を成膜可能となる。また、第二絶縁膜の成膜を、第一絶縁膜の成膜時よりも成膜温度を高温とした原子層堆積法により行うことで、第二絶縁膜の材料が縦溝の開口部に進入し難くなる。

従って、センサ装置製造プロセスにおいて、画素間分離の縦溝の側壁部に成膜された第一絶縁膜同士が接してしまうことに起因した半導体基板のクラックの発生防止を図ることができると共に、第二絶縁膜が縦溝の上記開口部上を跨いで形成されていることで、第二絶縁膜の形成に伴い上記開口部が閉塞されてしまうことの防止が図られる。

また、原子層堆積法による成膜装置によって第一、第二絶縁膜の双方の成膜を行うことができるため、第一、第二絶縁膜の成膜を装置を変えて行う必

要がなくなり、センサ装置の製造に係る作業負担軽減を図ることができる。

[0157] 第三実施形態のセンサ装置（同1）は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチ（同20aB）により画素間を分離する画素間分離部（同20B）が形成された半導体基板を備え、トレンチには、最外周部に絶縁膜が形成され、絶縁膜の内側にメタル膜が形成され、メタル膜の内側に半導体基板の構成材料と近似した熱膨張特性を有する近似熱膨張材料が埋め込まれたものである。

上記のようにトレンチ内のメタル膜の内側に半導体基板の構成材料に対する近似熱膨張材料が埋め込まれていることで、センサ装置製造時における加熱処理に伴う熱収縮が生じて、トレンチ外とトレンチ内とで熱収縮の様相が同様となるように図られる。このため、上記の加熱処理に伴いトレンチの入り口部分に生じる応力の緩和が図られる。

従って、トレンチ内に設けたメタル膜により光電変換素子に対する集光性能の向上を図りながら、センサ装置製造プロセスにおける加熱処理に伴いトレンチの入り口部分に生じる応力に起因したクラックの発生防止を図ることができる。

[0158] また、第三実施形態のセンサ装置においては、半導体基板はシリコン基板とされ、近似熱膨張材料がシリコンとされている。

これにより、半導体基板がシリコン基板とされる場合に対応して、センサ装置製造時における加熱処理に伴いトレンチの入り口部分に生じる応力の緩和が図られる。

すなわち、半導体基板がシリコン基板とされる場合に対応して、トレンチ内に設けたメタル膜により光電変換素子に対する集光性能の向上を図りながら、センサ装置製造プロセスにおける加熱処理に伴いトレンチの入り口部分に生じる応力に起因したクラックの発生防止を図ることができる。

[0159] さらに、第三実施形態のセンサ装置においては、近似熱膨張材料はポリシリコン又はアモルファスシリコンとされている。

これにより、半導体基板がシリコン基板とされる場合に対応して、センサ

装置製造時における加熱処理に伴いトレンチの入り口部分に生じる応力の緩和が図られる。

すなわち、半導体基板がシリコン基板とされる場合に対応して、トレンチ内に設けたメタル膜により光電変換素子に対する集光性能の向上を図りながら、センサ装置製造プロセスにおける加熱処理に伴いトレンチの入り口部分に生じる応力に起因したクラックの発生防止を図ることができる。

[0160] さらにまた、第三実施形態のセンサ装置においては、近似熱膨張材料は導電材料が添加された材料とされている。

これにより、トレンチ内の近似熱膨張材料で構成された部分を電極として用いることができる。

[0161] 第四実施形態のセンサ装置は、光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチ（同20aC）により画素間を分離する画素間分離部が形成された半導体基板を備え、半導体基板の厚み方向に直交する二面のうち、トレンチの掘り込みが行われた側の面である第一面上と、トレンチの最外周部分とに形成された絶縁膜（第一絶縁膜25）と、絶縁膜上に形成されたウェットティング膜（同33）と、ウェットティング膜上に形成されたメタル膜（同34）と、を有し、ウェットティング膜は、トレンチ内の絶縁膜上ではアモルファス又は微結晶、トレンチ外部における絶縁膜上では高配向結晶とされものである。

上記のようにトレンチ内にメタル膜を形成するためのウェットティング膜が、トレンチ内の絶縁膜上ではアモルファス又は微結晶とされていることで、トレンチ内のメタル膜内にボイドが生じ難くなるようにすることが可能となる。

従って、メタル膜内に生じたボイドに起因して、センサ装置製造プロセスにおける加熱処理に伴いクラックが発生してしまうことの防止を図ることができる。また、ウェットティング膜がトレンチ外部における絶縁膜上では高配向結晶とされることで、メタル膜における基板面方向に延在する部分の膜厚均一化が図られ、遮光膜としての性能向上が図られる。

[0162] また、第四実施形態のセンサ装置においては、ウェットティング膜はTiAlで構成されている。

これにより、バリアメタル膜がTi系の材料で構成される場合に対応して良好な濡れ性を実現することができる。

[0163] さらに、第四実施形態のセンサ装置においては、メタル膜はAlで構成されている。

Alは反射膜材料として好適である。

従って、トレンチ内にメタル膜が形成された画素間分離部について、画素間の光の漏れ込み低減効果の向上、及び光電変換素子に対する集光性能の向上を図ることができる。

[0164] 第四実施形態の製造方法は、光電変換素子が画素単位で複数配列され、各画素間を分離する縦溝が形成された半導体基板について、半導体基板の厚み方向に直交する二面のうち縦溝の掘り込みが行われた側の面である第一面上と、縦溝の側壁部分とに絶縁膜を形成する絶縁膜形成工程と、絶縁膜上に指向性スパッタリングによりバリアメタル膜を形成するバリアメタル膜形成工程と、バリアメタル膜上にウェットティング膜を形成するウェットティング膜形成工程と、ウェットティング膜上にメタル膜を形成するメタル膜形成工程と、を有する製造方法である。

上記のようにバリアメタル膜を指向性スパッタリングにより形成することで、ウェットティング膜が、トレンチ内の絶縁膜上ではアモルファス又は微結晶となり、トレンチ外部における絶縁膜上では高配向結晶となるようにすることが可能となる。

ウェットティング膜がトレンチ内の絶縁膜上ではアモルファス又は微結晶となることで、トレンチ内のメタル膜内にボイドが生じ難くなるようにすることができ、メタル膜内に生じたボイドに起因して、センサ装置製造プロセスにおける加熱処理に伴いクラックが発生してしまうことの防止を図ることができる。また、ウェットティング膜がトレンチ外部における絶縁膜上では高配向結晶とされることで、メタル膜における基板面方向に延在する部分の膜厚

均一化が図られ、反射膜としての性能向上が図られる。

[0165] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0166] <7. 本技術>

なお本技術は以下のような構成も採ることができる。

(1)

光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、

前記半導体基板において、前記画素間分離部が、前記半導体基板の結晶の劈開方向とは異なる方向に沿って形成された

センサ装置。

(2)

前記半導体基板はシリコン基板とされ、

前記画素間分離部は、シリコン結晶の劈開方向である

$[0\ 1\ \bar{1}]$ $[0\ 1\ 1\ \bar{1}]$ $[0\ 1\ 1]$ $[0\ 1\ \bar{1}\ \bar{1}]$

$[1\ \bar{1}\ 0\ 1]$ $[1\ 0\ 1\ \bar{1}]$ $[1\ 0\ 1]$ $[1\ \bar{1}\ 0\ 1\ \bar{1}]$

$[1\ \bar{1}\ 1\ 0]$ $[1\ 1\ \bar{1}\ 0]$ $[1\ 1\ 0]$ $[1\ \bar{1}\ \bar{1}\ 0]$

とは異なる方向に沿って形成された

前記(1)に記載のセンサ装置。

(3)

前記画素間分離部は、前記半導体基板の結晶方向 $[0\ 0\ 1]$ $[0\ 0\ 1\ \bar{1}]$

$[0\ 1\ \bar{1}\ 0]$ $[0\ 1\ 0]$ の方向に沿って形成された

前記(2)に記載のセンサ装置。

(4)

前記半導体基板において、複数の前記画素が二次元に配列された領域である画素配列領域の最外周辺に沿ってトレンチが形成された

前記(1)から(3)の何れかに記載のセンサ装置。

(5)

前記画素配列領域の最外周辺に沿って形成されたトレンチは、前記画素配列領域の四隅となる部分の形状が角落とし形状とされた

前記（４）に記載のセンサ装置。

（６）

前記画素配列領域の最外周辺に沿って形成されたトレンチ上を覆うメタル膜が形成された

前記（４）又は（５）に記載のセンサ装置。

（７）

前記画素配列領域の外側に、前記半導体基板の前記劈開方向に沿ってメタル膜が形成された

前記（４）から（６）の何れかに記載のセンサ装置。

（８）

光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、

前記半導体基板の厚み方向に直交する二面のうち、前記トレンチの掘り込みが行われた側の面である第一面上と、前記トレンチの最外周部分とに形成された第一絶縁膜と、

前記第一絶縁膜上に形成された第二絶縁膜とを有し、

前記第一絶縁膜は、前記トレンチが前記第一面側の開口部を有するように形成され、

前記第二絶縁膜は、前記トレンチの前記開口部上を跨いで形成されたセンサ装置。

（９）

前記第一絶縁膜と前記第二絶縁膜との間に、前記開口部上を覆う樹脂膜が形成された

前記（８）に記載のセンサ装置。

（１０）

光電変換素子が画素単位で複数配列され、各画素間を分離する縦溝が形成

された半導体基板について、前記半導体基板の厚み方向に直交する二面のうち前記縦溝の掘り込みが行われた側の面である第一面上と、前記縦溝の側壁部分とに第一絶縁膜を成膜する第一成膜工程と、

前記第一絶縁膜上に第二絶縁膜を成膜する第二成膜工程と、を有し、

前記第一成膜工程では、前記縦溝が前記第一面側の開口部を有するように前記第一絶縁膜を成膜し、

前記第二成膜工程では、前記縦溝における前記開口部上を跨ぐように前記第二絶縁膜を成膜する

製造方法。

(11)

前記第二成膜工程では、前記開口部上を対象としたレジストパターニングを行った上で前記第二絶縁膜を成膜する

前記(10)に記載の製造方法。

(12)

前記第一成膜工程では、前記第一絶縁膜を原子層堆積法により成膜し、

前記第二成膜工程では、前記第二絶縁膜を化学蒸着法により成膜する

前記(10)に記載の製造方法。

(13)

前記第一成膜工程では、前記第一絶縁膜を原子層堆積法により成膜し、

前記第二成膜工程では、前記第二絶縁膜を、前記第一絶縁膜の成膜時よりも成膜温度を高温とした原子層堆積法により成膜する

前記(10)に記載の製造方法。

(14)

光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、

前記トレンチには、最外周部に絶縁膜が形成され、前記絶縁膜の内側にメタル膜が形成され、前記メタル膜の内側に前記半導体基板の構成材料と近似した熱膨張特性を有する近似熱膨張材料が埋め込まれた

センサ装置。

(15)

前記半導体基板はシリコン基板とされ、
前記近似熱膨張材料がシリコンとされた
前記(14)に記載のセンサ装置。

(16)

前記近似熱膨張材料はポリシリコン又はアモルファスシリコンとされた
前記(15)に記載のセンサ装置。

(17)

前記近似熱膨張材料は導電材料が添加された材料とされた
前記(14)から(16)の何れかに記載のセンサ装置。

(18)

光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、

前記半導体基板の厚み方向に直交する二面のうち、前記トレンチの掘り込みが行われた側の面である第一面上と、前記トレンチの最外周部分とに形成された絶縁膜と、

前記絶縁膜上に形成されたウェットティング膜と、

前記ウェットティング膜上に形成されたメタル膜と、を有し、

前記ウェットティング膜は、前記トレンチ内の前記絶縁膜上ではアモルファス又は微結晶、前記トレンチ外部における前記絶縁膜上では高配向結晶とされた

センサ装置。

(19)

前記ウェットティング膜はTiAlで構成された
前記(18)に記載のセンサ装置。

(20)

前記メタル膜はAlで構成された

前記（１８）又は（１９）に記載のセンサ装置。

符号の説明

- [0167] 1 センサ装置
- 2 画素
- 3, 3 A, 3 B, 3 C 画素アレイ部
- P D フォトダイオード
- 1 1 半導体基板
- 1 2 配線層
- 1 2 a 配線
- 1 2 b 層間絶縁膜
- 1 3 固定電荷膜
- 1 4 絶縁膜
- 1 5 平坦化膜
- 1 6 フィルタ層
- 1 7 マイクロレンズ
- 2 0, 2 0 A, 2 0 B, 2 0 C 画素間分離部
- 2 0 a, 2 0 a A, 2 0 a B, 2 0 a C トレンチ
- 2 1 画素間遮光部
- A p 画素配列領域
- 2 2 メタル膜
- 2 5 第一絶縁膜
- 2 6 第二絶縁膜
- 2 7 樹脂膜
- O t 開口部
- V t 縦溝
- R g レジスト
- 2 8 メタル膜
- 2 9 近似熱膨張材料

- 30 絶縁膜
- 31 遮光膜
- 32 バリアメタル膜
- 33 ウェットティング膜
- 34 メタル膜
- 40 ストップ膜

請求の範囲

- [請求項1] 光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、
- 前記半導体基板において、前記画素間分離部が、前記半導体基板の結晶の劈開方向とは異なる方向に沿って形成された
- センサ装置。
- [請求項2] 前記半導体基板はシリコン基板とされ、
- 前記画素間分離部は、シリコン結晶の劈開方向である
- $$\begin{array}{cccc} [0\ 1\ \bar{1}] & [0\ 1\ 1\ \bar{1}] & [0\ 1\ 1] & [0\ 1\ \bar{1}\ \bar{1}] \\ [1\ \bar{1}\ 0\ 1] & [1\ 0\ 1\ \bar{1}] & [1\ 0\ 1] & [1\ \bar{1}\ 0\ 1\ \bar{1}] \\ [1\ \bar{1}\ 1\ 0] & [1\ 1\ \bar{1}\ 0] & [1\ 1\ 0] & [1\ \bar{1}\ 1\ \bar{1}\ 0] \end{array}$$
- とは異なる方向に沿って形成された
- 請求項1に記載のセンサ装置。
- [請求項3] 前記画素間分離部は、前記半導体基板の結晶方向 $[0\ 0\ 1]$ $[0\ 0\ 1\ \bar{1}]$ $[0\ 1\ \bar{1}\ 0]$ $[0\ 1\ 0]$ の方向に沿って形成された
- 請求項2に記載のセンサ装置。
- [請求項4] 前記半導体基板において、複数の前記画素が二次元に配列された領域である画素配列領域の最外周辺に沿ってトレンチが形成された
- 請求項1に記載のセンサ装置。
- [請求項5] 前記画素配列領域の最外周辺に沿って形成されたトレンチは、前記画素配列領域の四隅となる部分の形状が角落とし形状とされた
- 請求項4に記載のセンサ装置。
- [請求項6] 前記画素配列領域の最外周辺に沿って形成されたトレンチ上を覆うメタル膜が形成された
- 請求項4に記載のセンサ装置。
- [請求項7] 前記画素配列領域の外側に、前記半導体基板の前記劈開方向に沿ってメタル膜が形成された

請求項4に記載のセンサ装置。

[請求項8]

光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、

前記半導体基板の厚み方向に直交する二面のうち、前記トレンチの掘り込みが行われた側の面である第一面上と、前記トレンチの最外周部分とに形成された第一絶縁膜と、

前記第一絶縁膜上に形成された第二絶縁膜とを有し、

前記第一絶縁膜は、前記トレンチが前記第一面側の開口部を有するように形成され、

前記第二絶縁膜は、前記トレンチの前記開口部上を跨いで形成された

センサ装置。

[請求項9]

前記第一絶縁膜と前記第二絶縁膜との間に、前記開口部上を覆う樹脂膜が形成された

請求項8に記載のセンサ装置。

[請求項10]

光電変換素子が画素単位で複数配列され、各画素間を分離する縦溝が形成された半導体基板について、前記半導体基板の厚み方向に直交する二面のうち前記縦溝の掘り込みが行われた側の面である第一面上と、前記縦溝の側壁部分とに第一絶縁膜を成膜する第一成膜工程と、

前記第一絶縁膜上に第二絶縁膜を成膜する第二成膜工程と、を有し、

前記第一成膜工程では、前記縦溝が前記第一面側の開口部を有するように前記第一絶縁膜を成膜し、

前記第二成膜工程では、前記縦溝における前記開口部上を跨ぐように前記第二絶縁膜を成膜する

製造方法。

[請求項11]

前記第二成膜工程では、前記開口部上を対象としたレジストパター

ニングを行った上で前記第二絶縁膜を成膜する

請求項10に記載の製造方法。

[請求項12] 前記第一成膜工程では、前記第一絶縁膜を原子層堆積法により成膜し、

前記第二成膜工程では、前記第二絶縁膜を化学蒸着法により成膜する

請求項10に記載の製造方法。

[請求項13] 前記第一成膜工程では、前記第一絶縁膜を原子層堆積法により成膜し、

前記第二成膜工程では、前記第二絶縁膜を、前記第一絶縁膜の成膜時よりも成膜温度を高温とした原子層堆積法により成膜する

請求項10に記載の製造方法。

[請求項14] 光電変換素子が画素単位で複数配列され、画素間に形成されたトレンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、

前記トレンチには、最外周部に絶縁膜が形成され、前記絶縁膜の内側にメタル膜が形成され、前記メタル膜の内側に前記半導体基板の構成材料と近似した熱膨張特性を有する近似熱膨張材料が埋め込まれたセンサ装置。

[請求項15] 前記半導体基板はシリコン基板とされ、
前記近似熱膨張材料がシリコンとされた
請求項14に記載のセンサ装置。

[請求項16] 前記近似熱膨張材料はポリシリコン又はアモルファスシリコンとされた

請求項15に記載のセンサ装置。

[請求項17] 前記近似熱膨張材料は導電材料が添加された材料とされた
請求項14に記載のセンサ装置。

[請求項18] 光電変換素子が画素単位で複数配列され、画素間に形成されたトレ

ンチにより画素間を分離する画素間分離部が形成された半導体基板を備え、

前記半導体基板の厚み方向に直交する二面のうち、前記トレンチの掘り込みが行われた側の面である第一面上と、前記トレンチの最外周部分とに形成された絶縁膜と、

前記絶縁膜上に形成されたウェットティング膜と、

前記ウェットティング膜上に形成されたメタル膜と、を有し、

前記ウェットティング膜は、前記トレンチ内の前記絶縁膜上ではアモルファス又は微結晶、前記トレンチ外部における前記絶縁膜上では高配向結晶とされた

センサ装置。

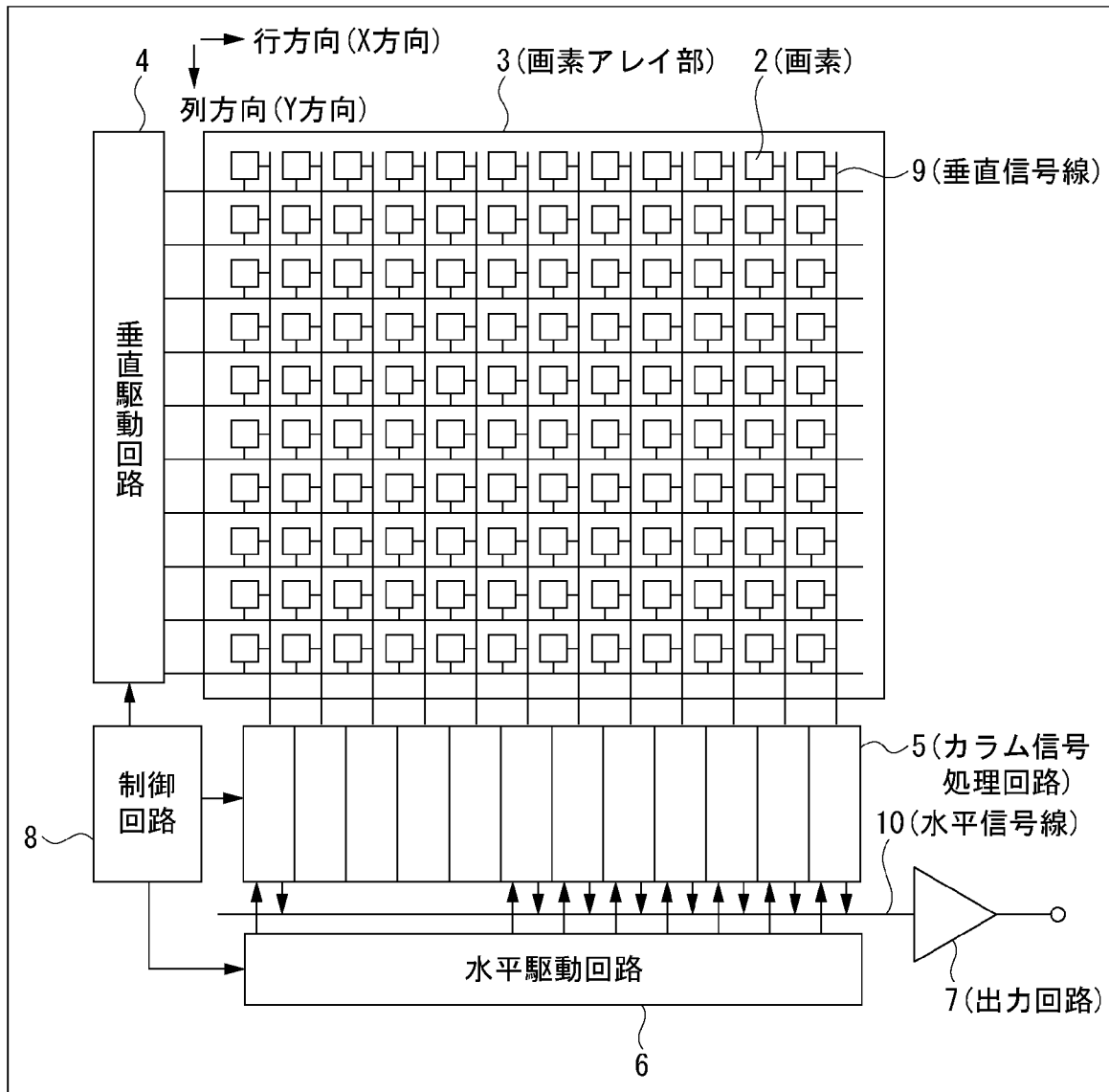
[請求項19] 前記ウェットティング膜はTiAlで構成された

請求項18に記載のセンサ装置。

[請求項20] 前記メタル膜はAlで構成された

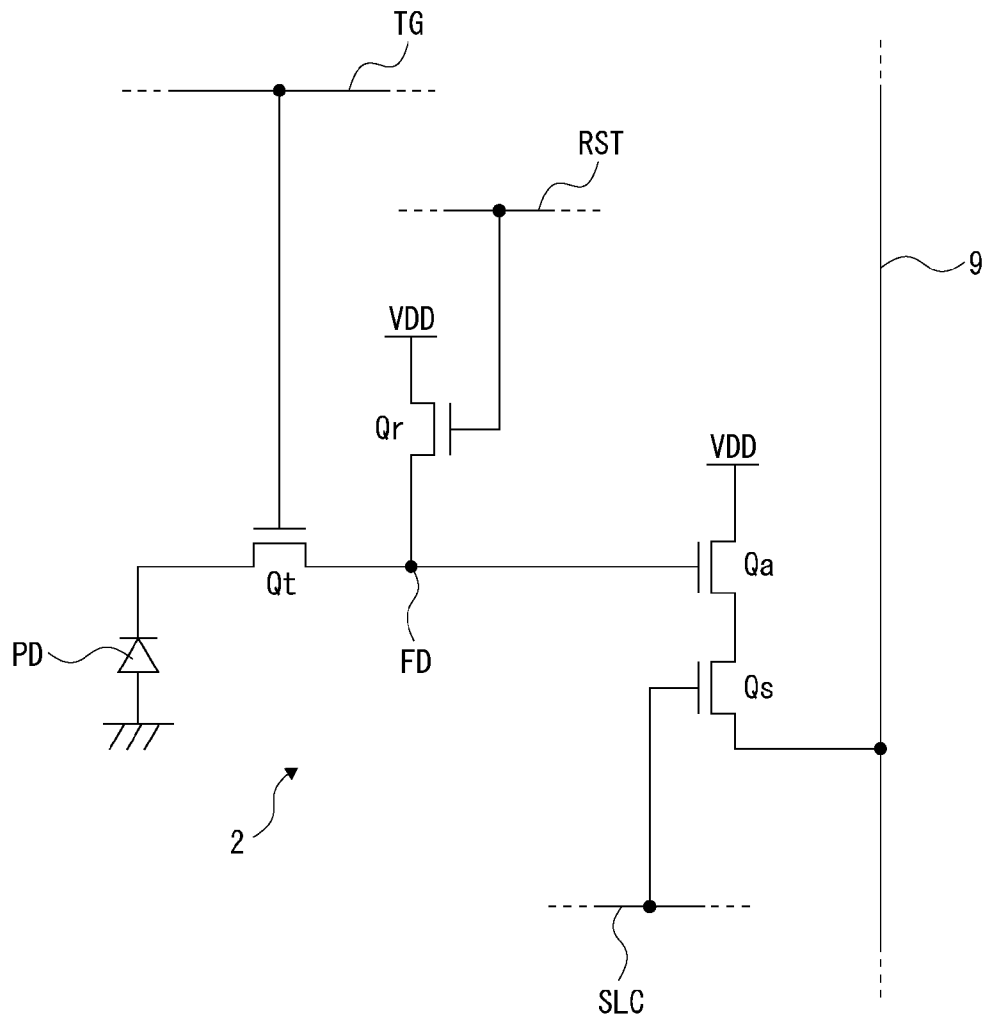
請求項18に記載のセンサ装置。

[図1]

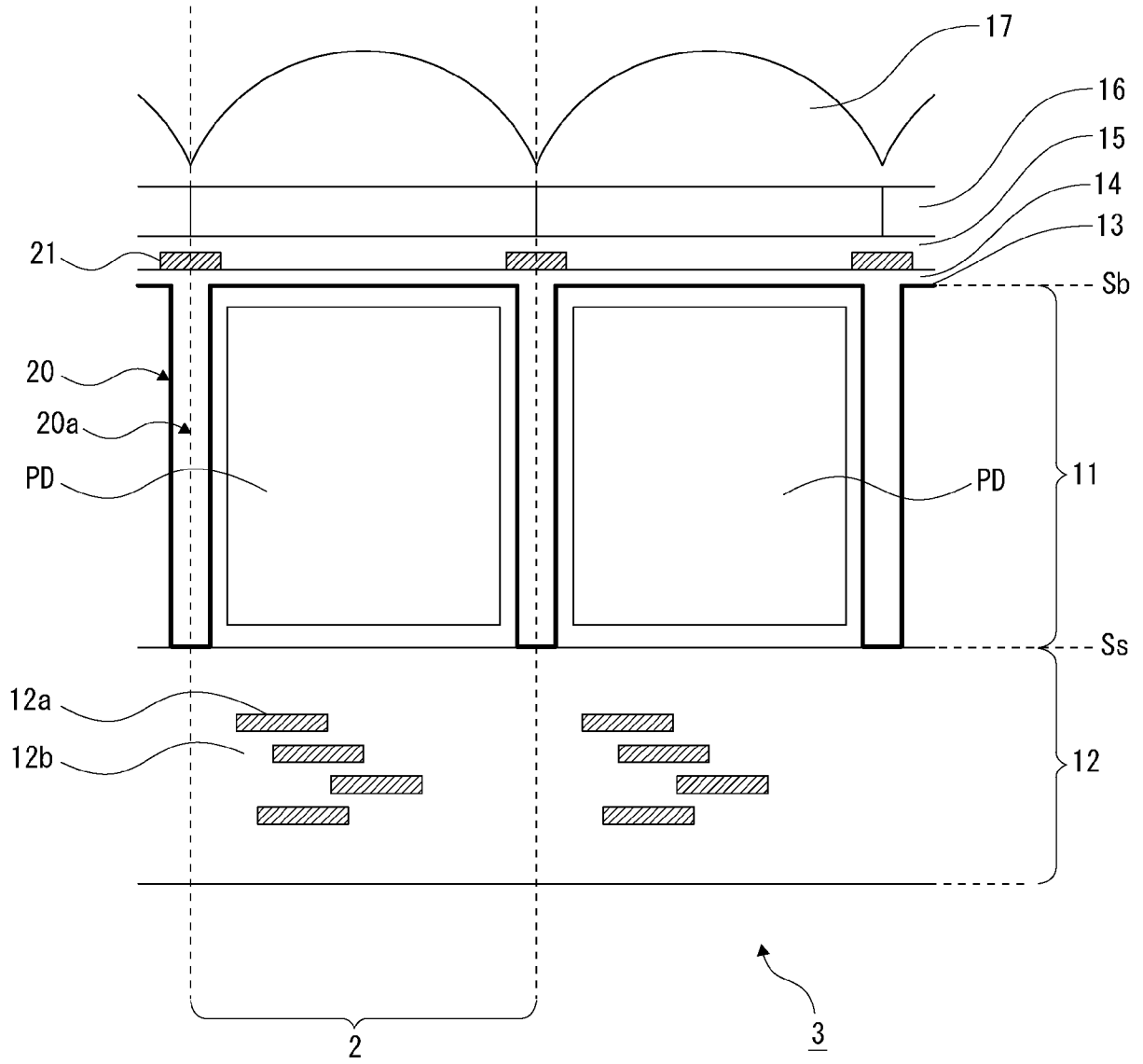


1 (センサ装置)

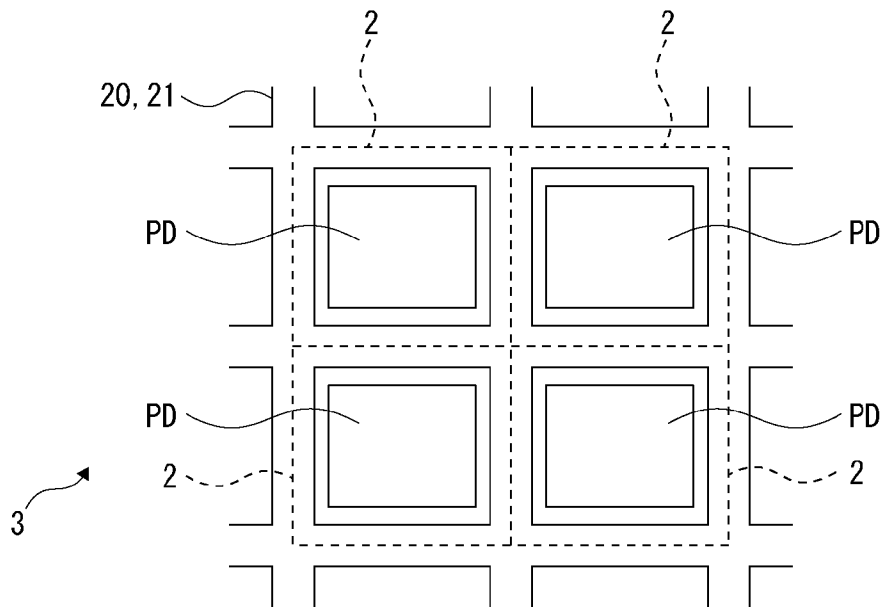
[図2]



[図3]

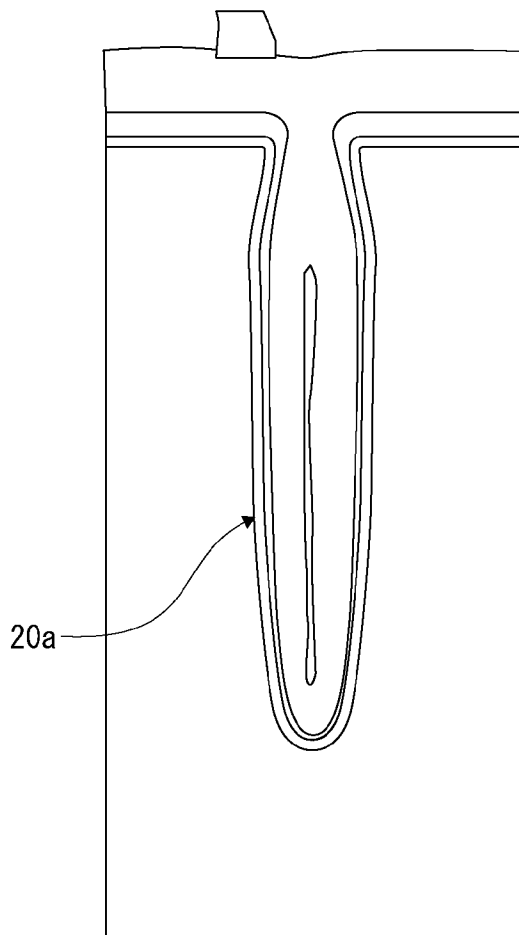


[図4]

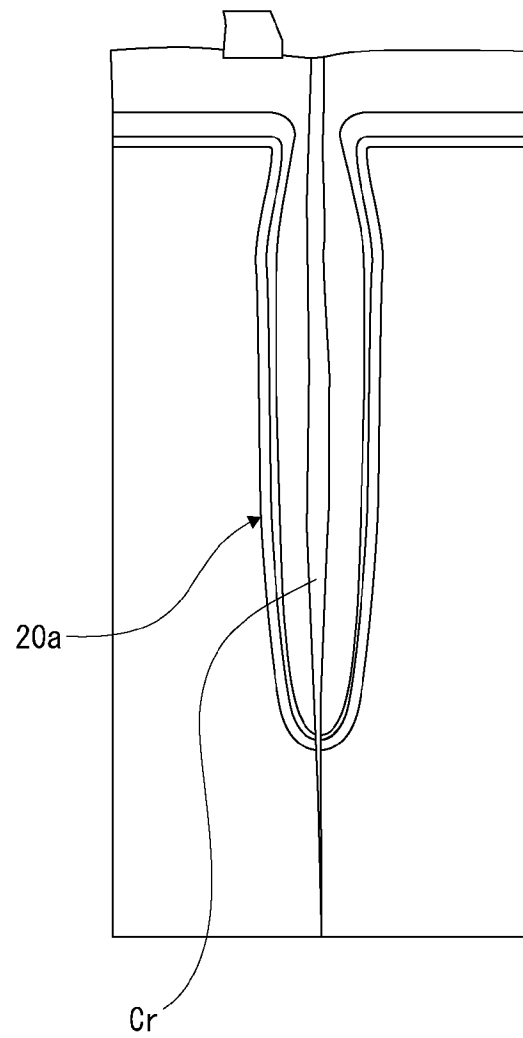


[図5]

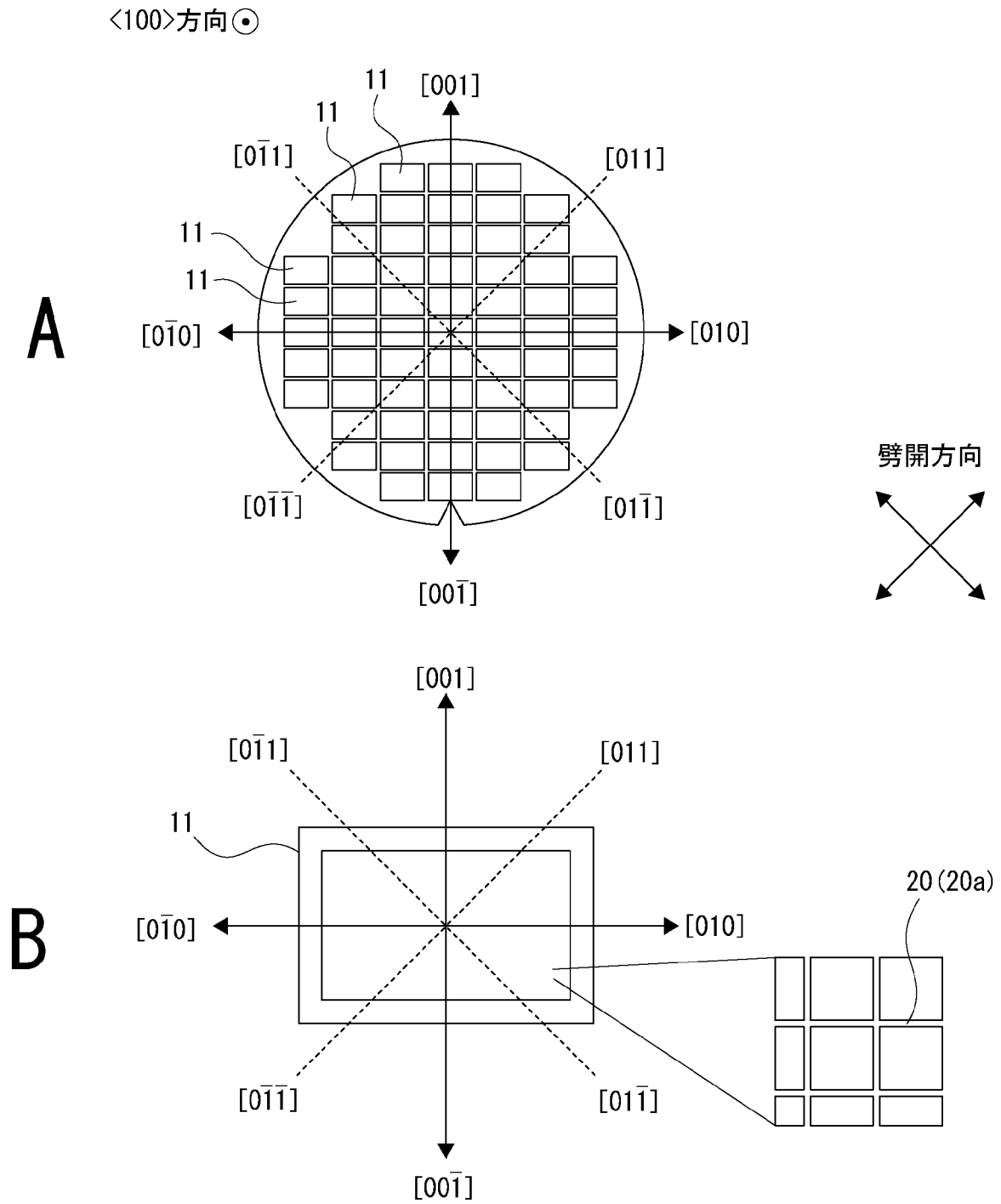
A



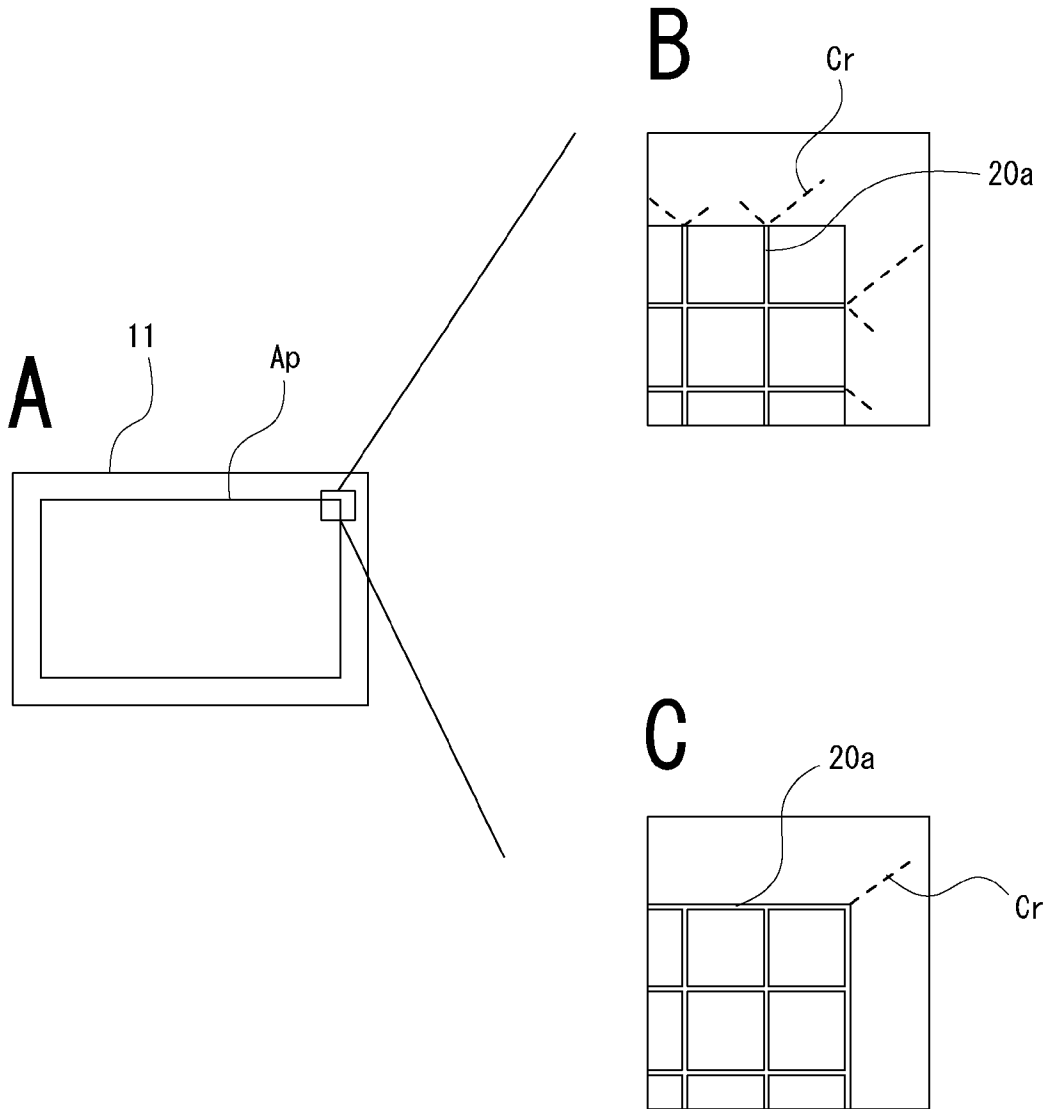
B



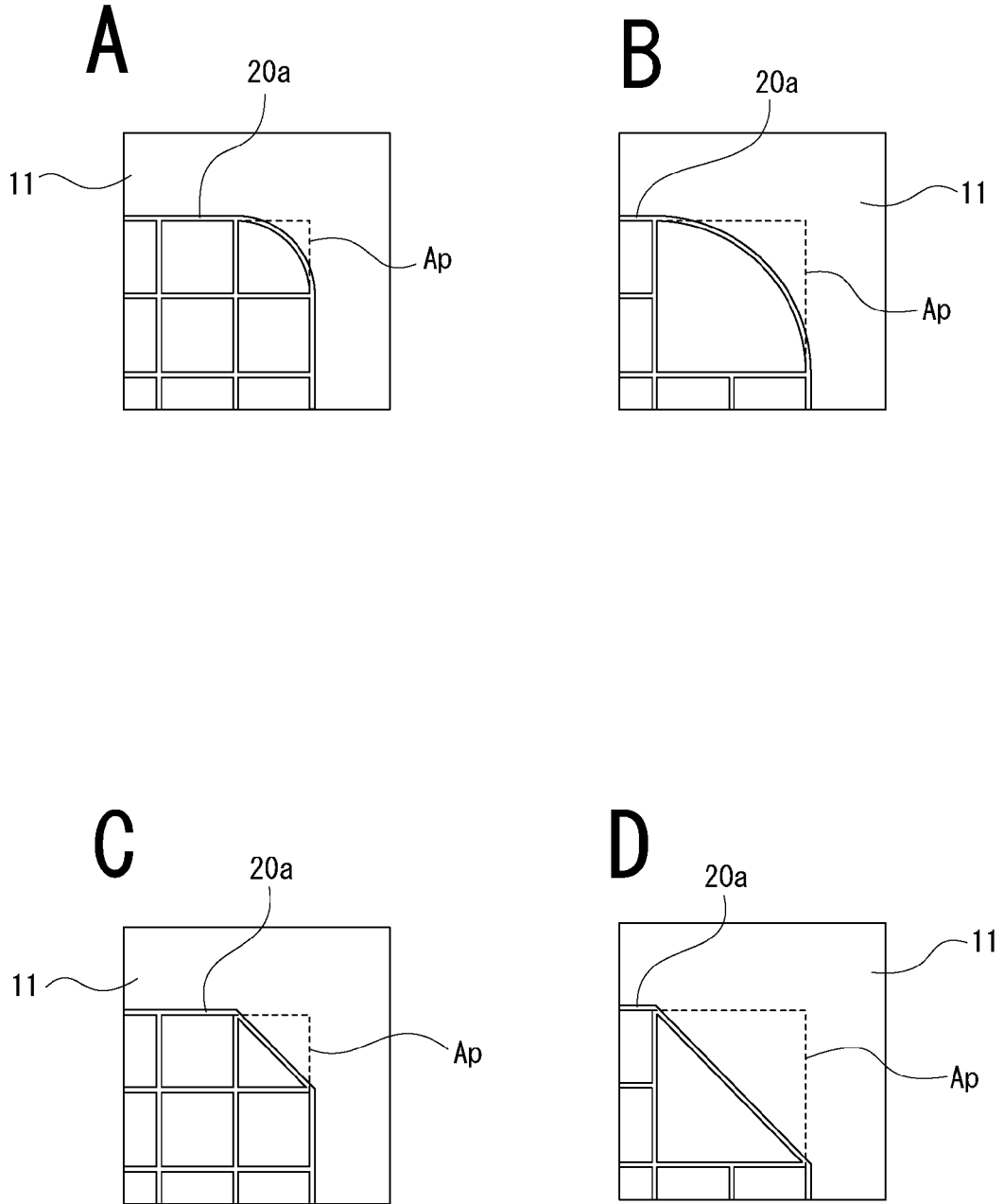
[図6]



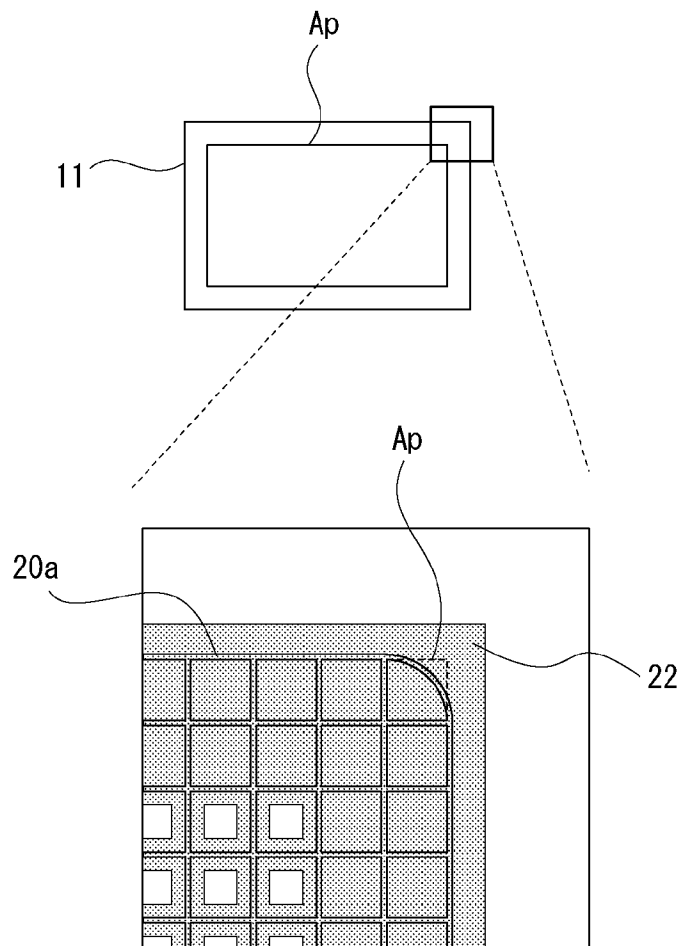
[図8]



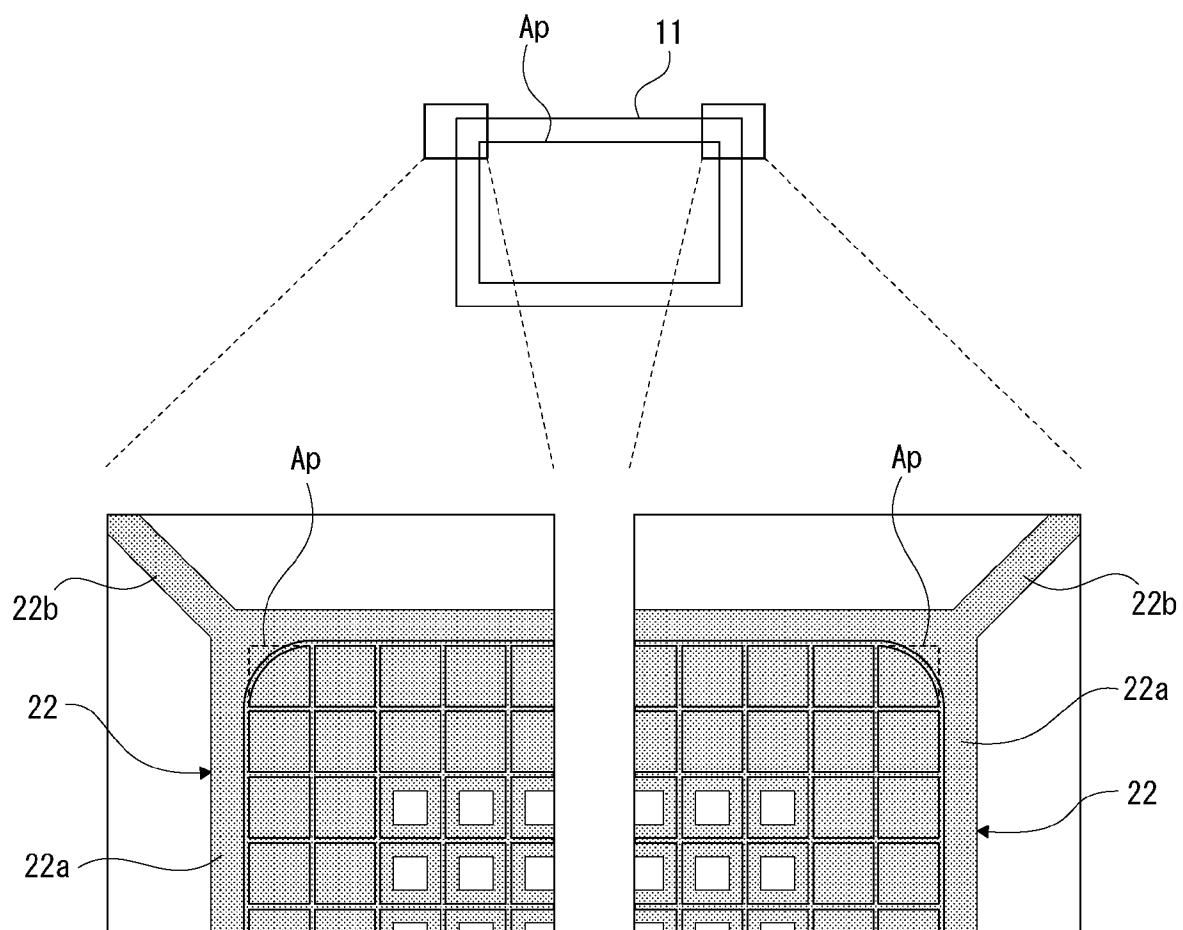
[図9]



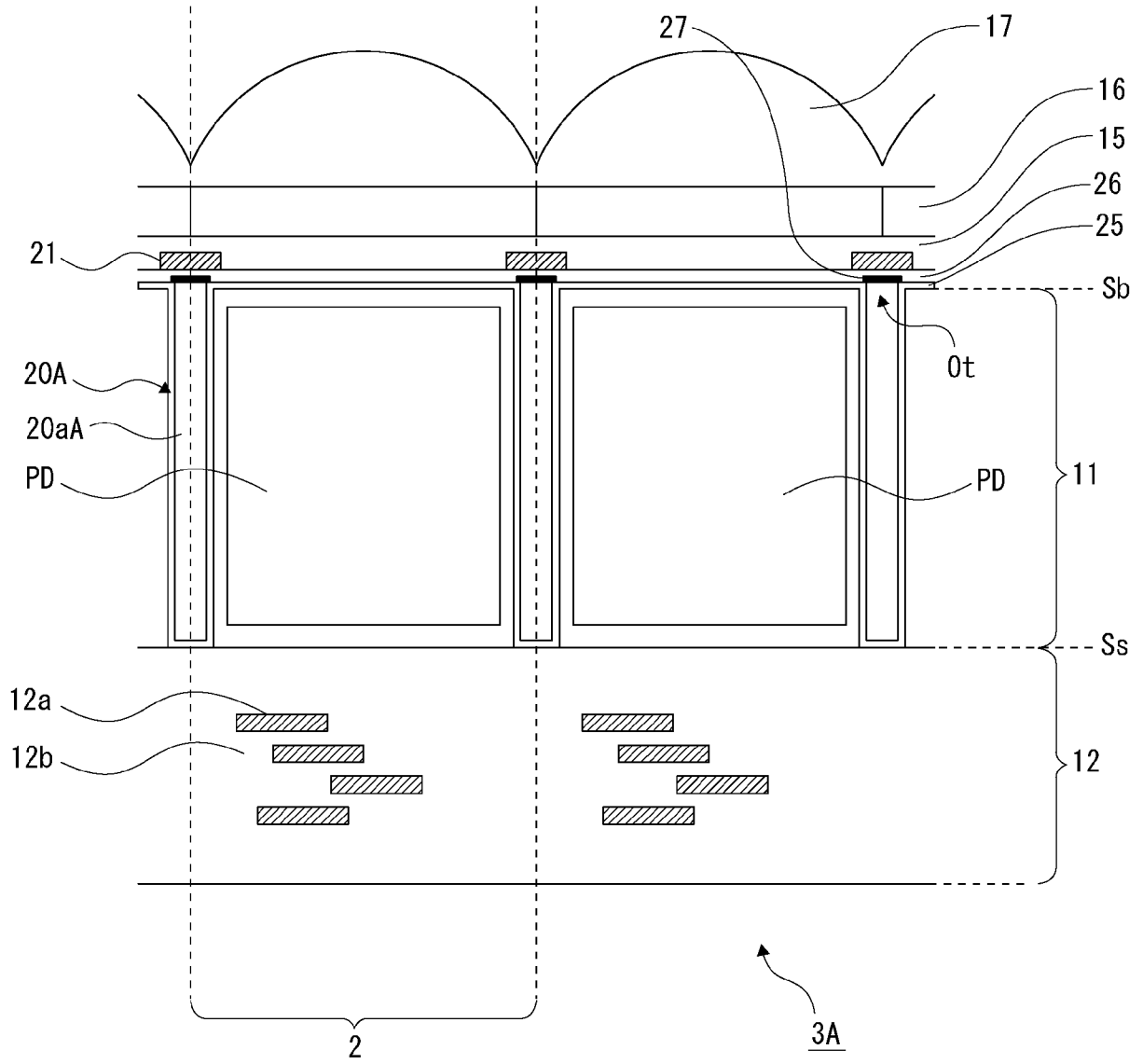
[図10]



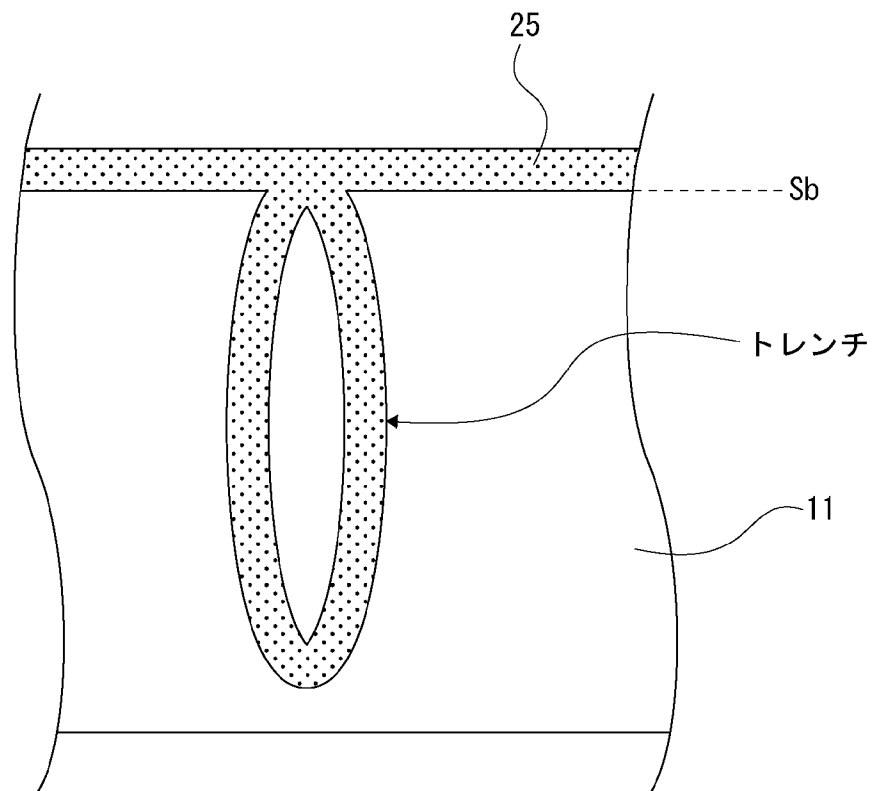
[図11]



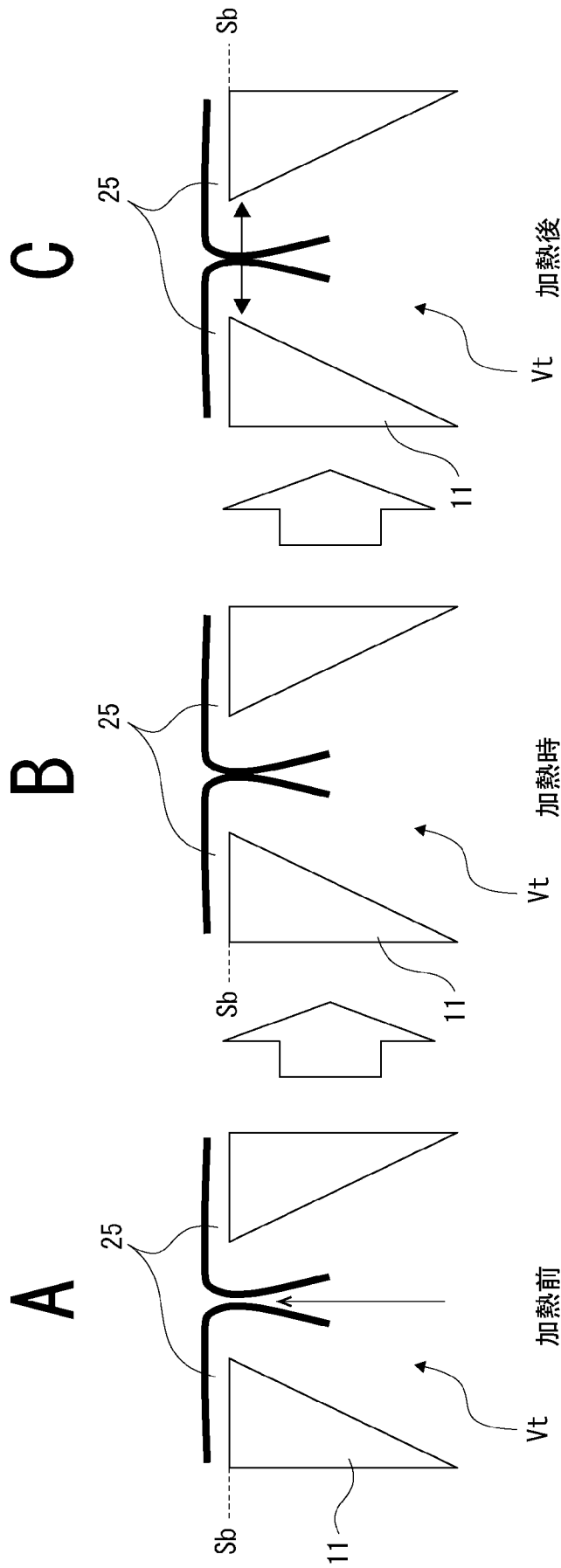
[図12]



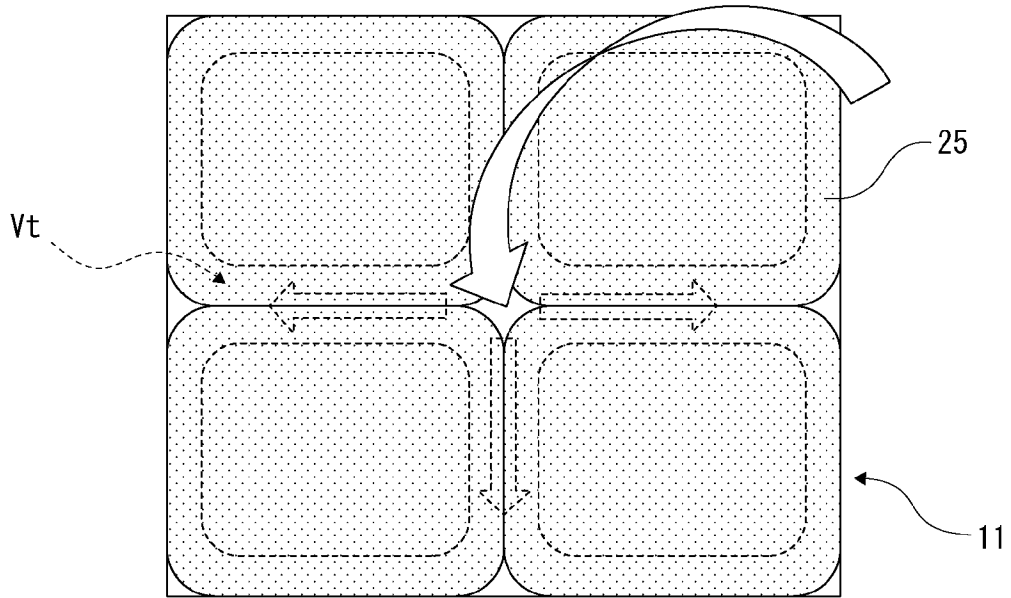
[図13]



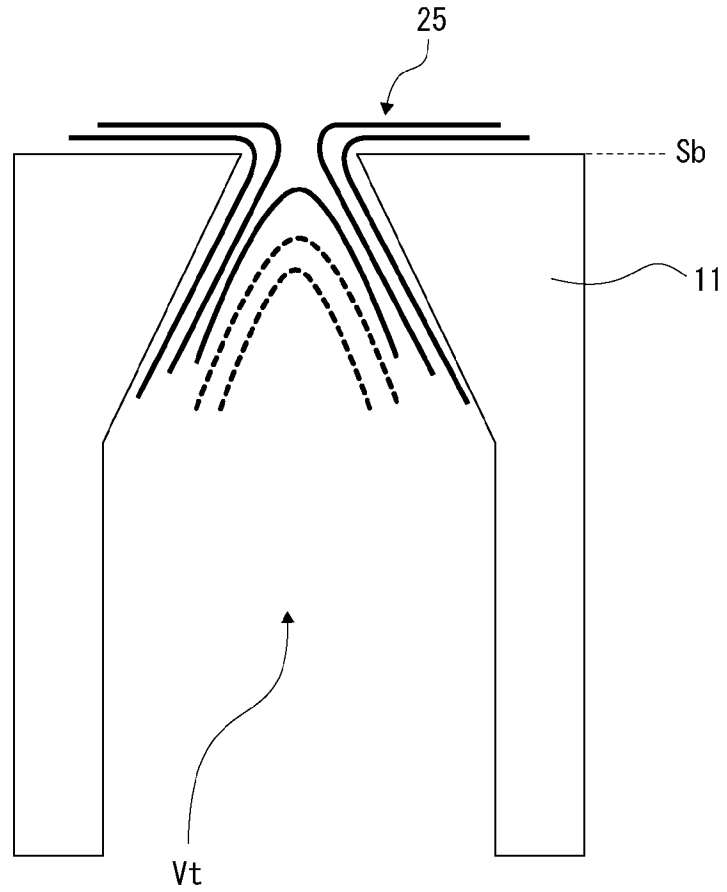
[圖14]



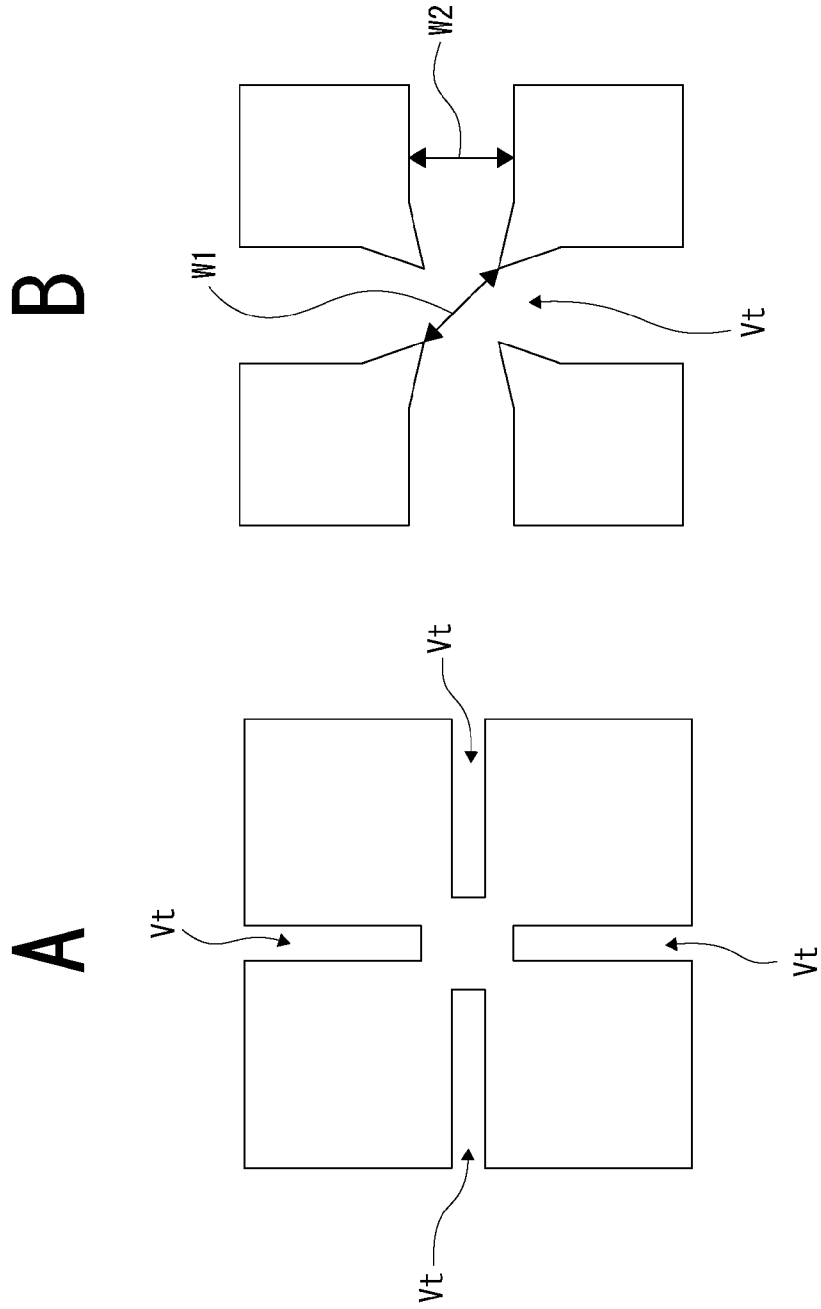
[図15]



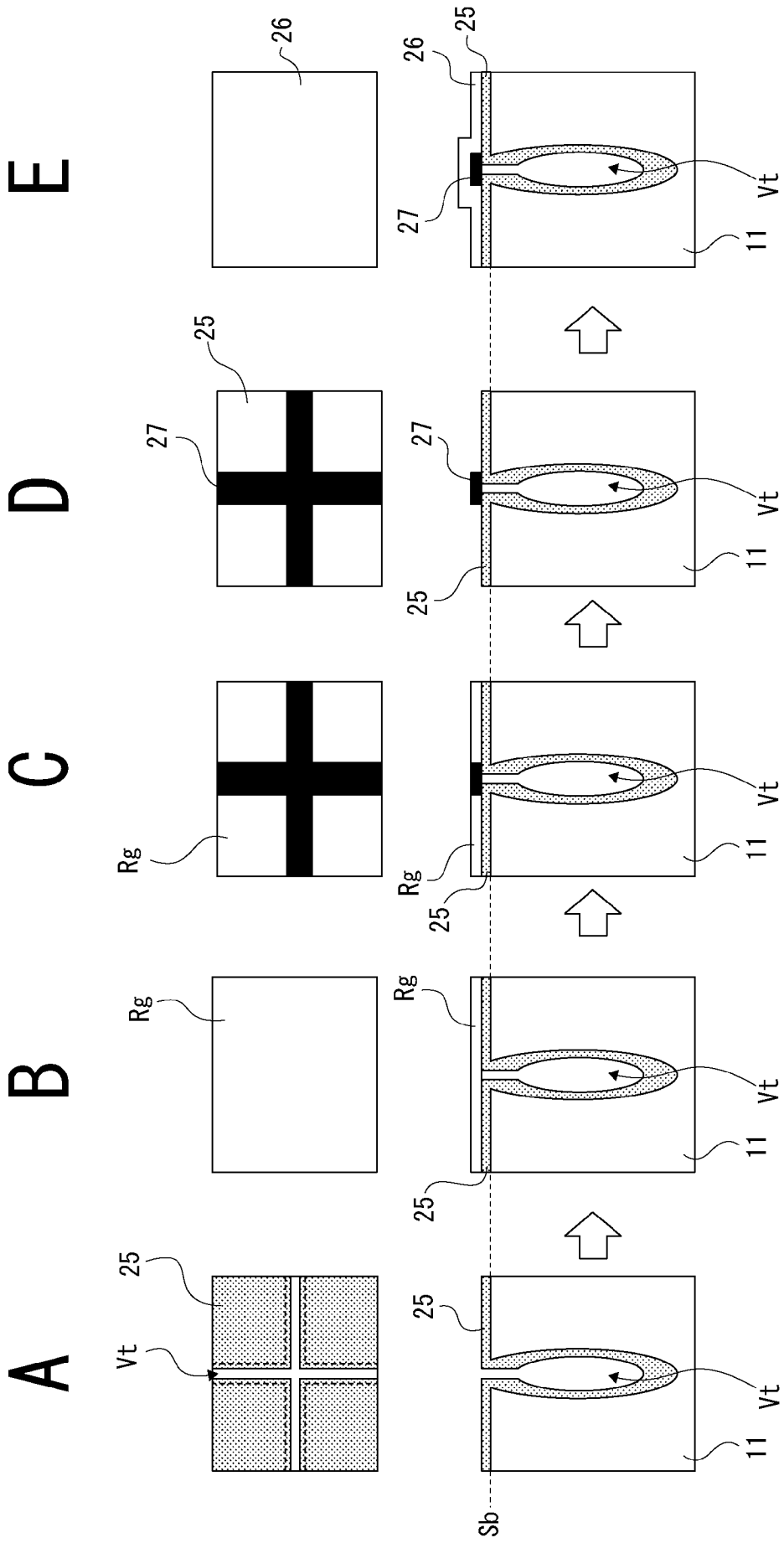
[図16]



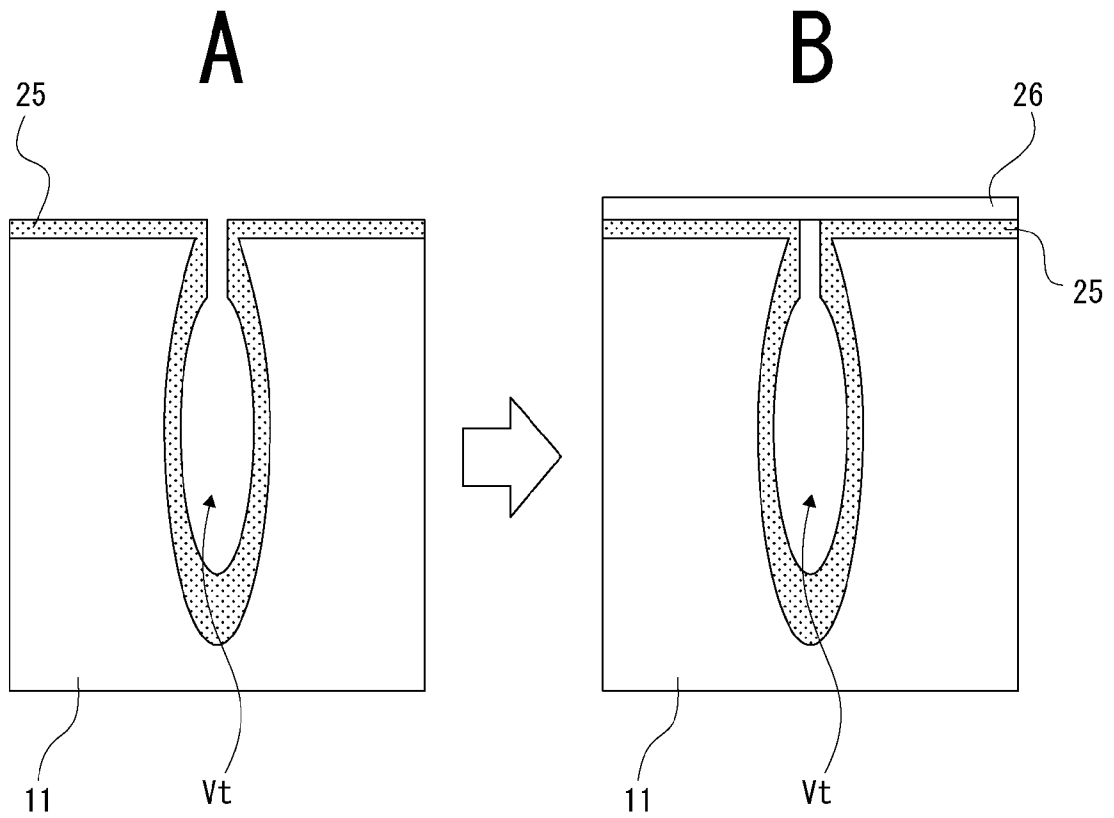
[図17]



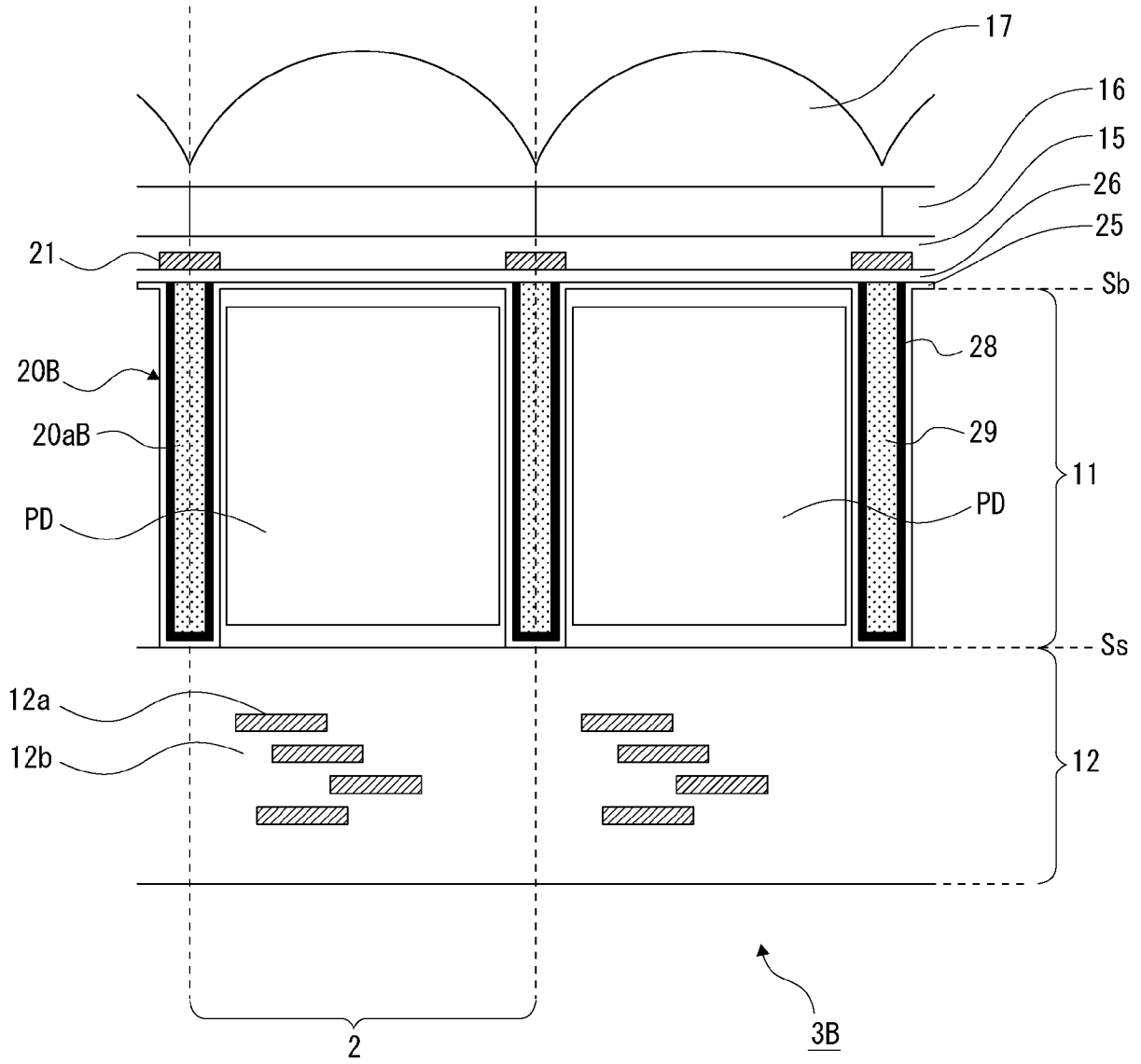
[図18]



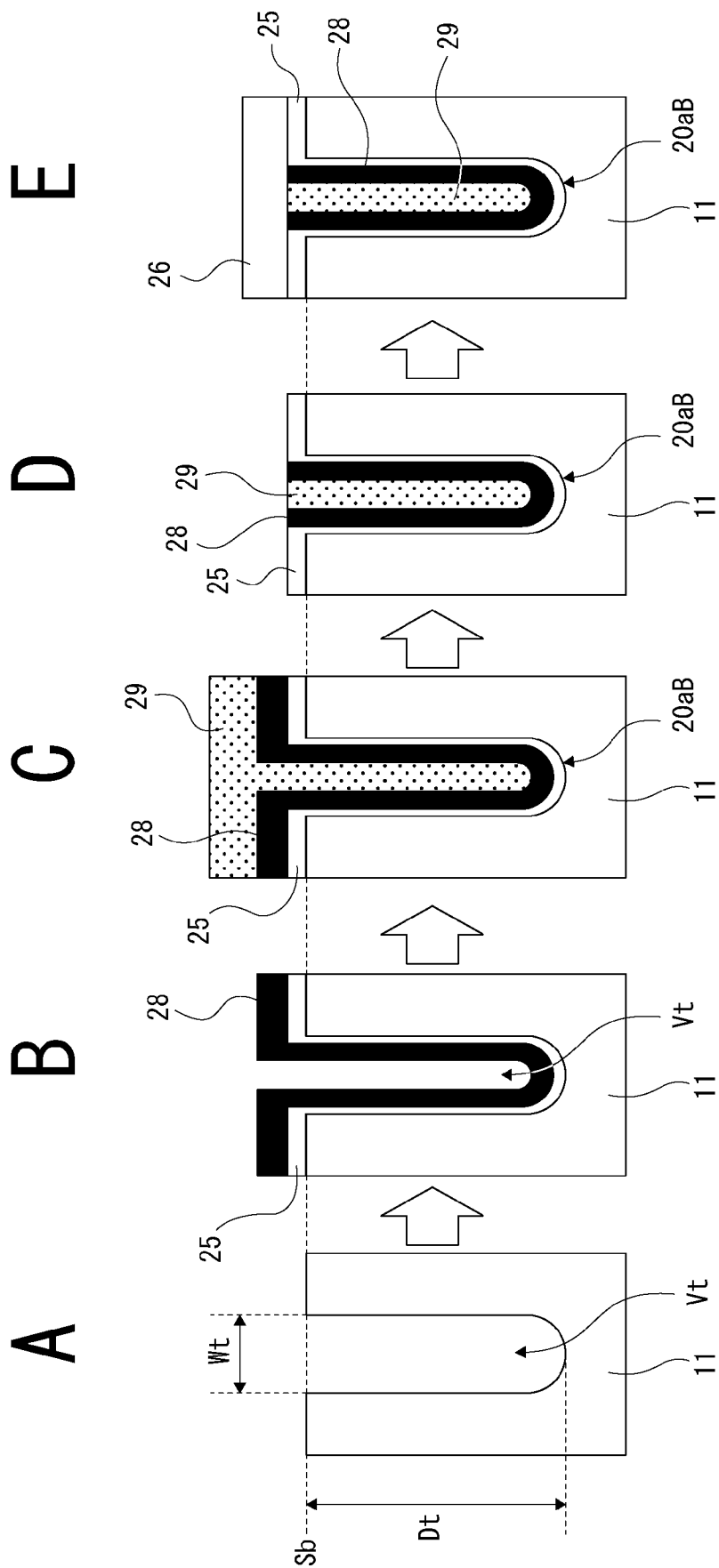
[図19]



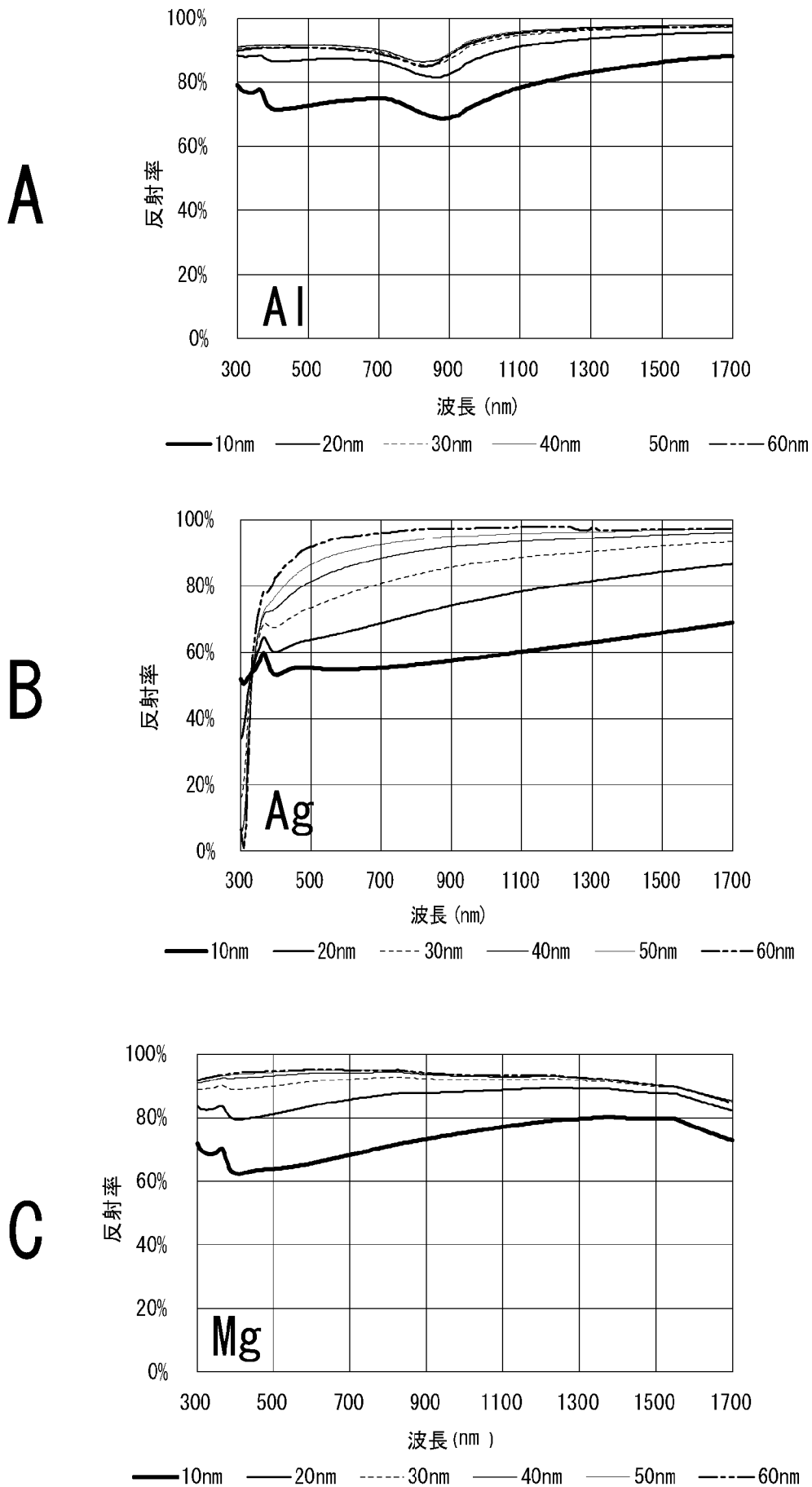
[図20]



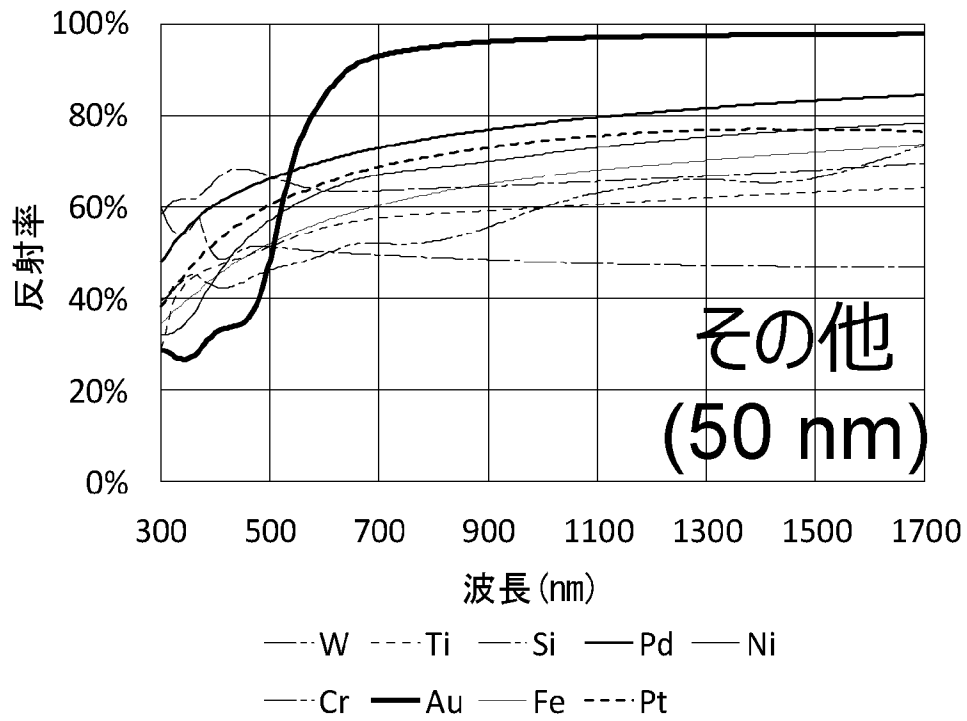
[図21]



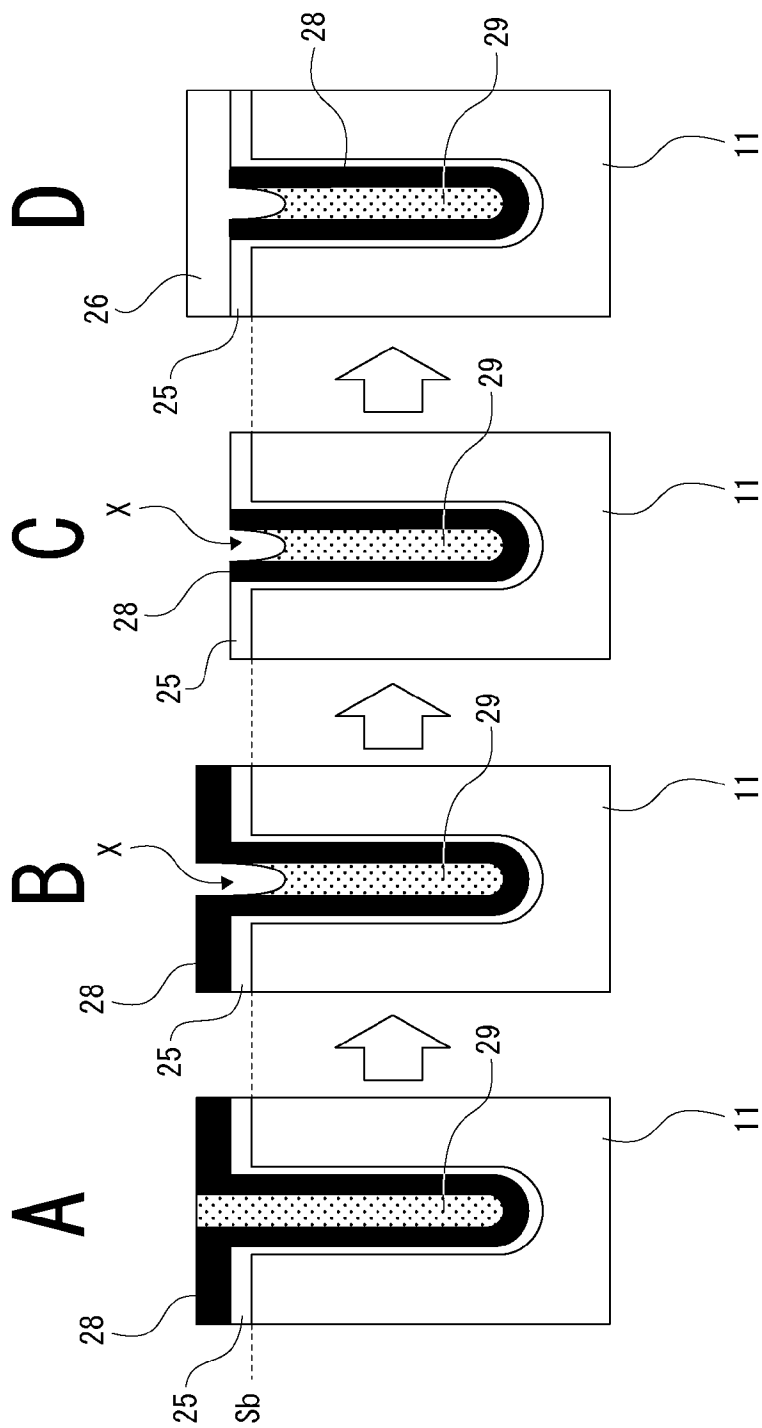
[図22]



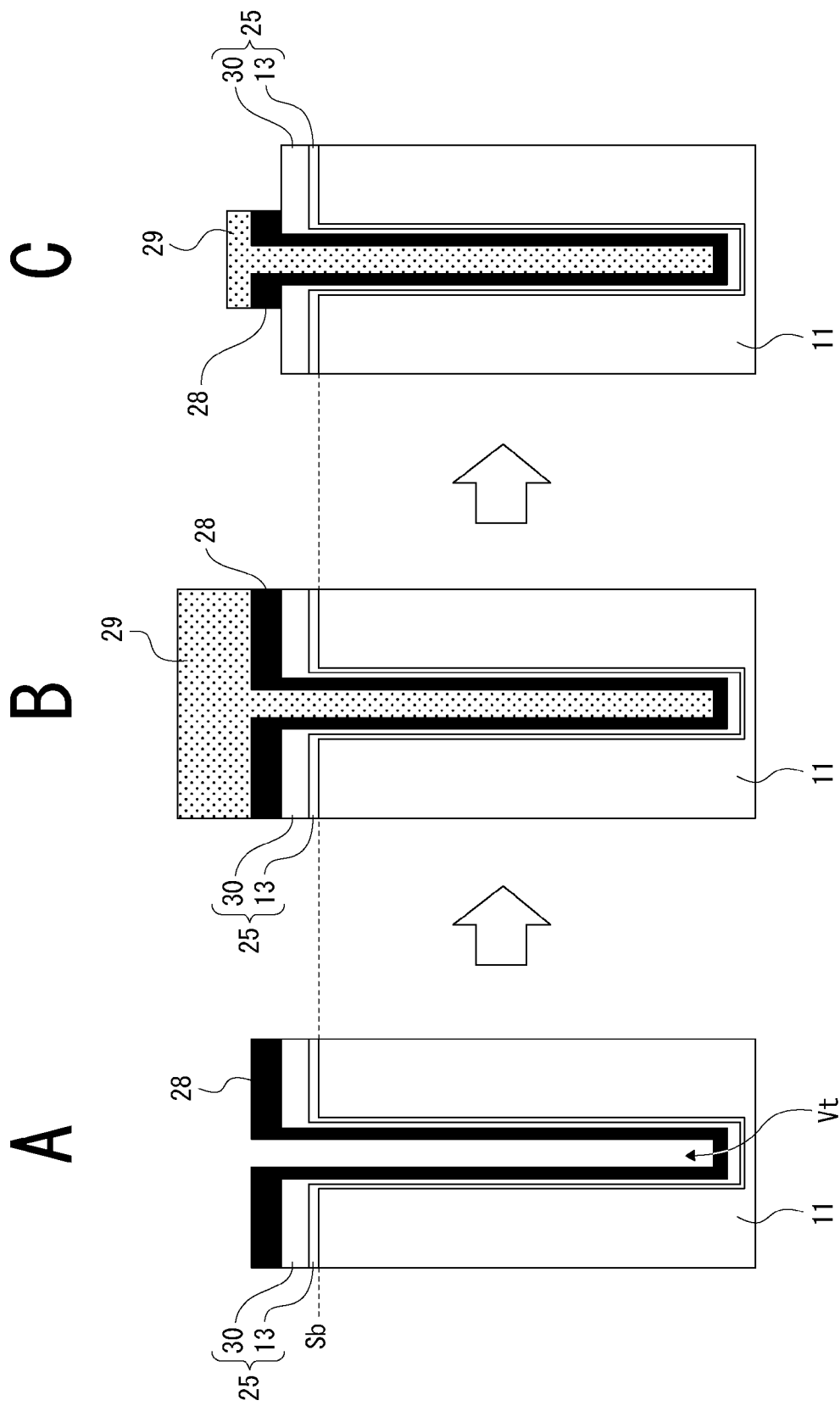
[図23]



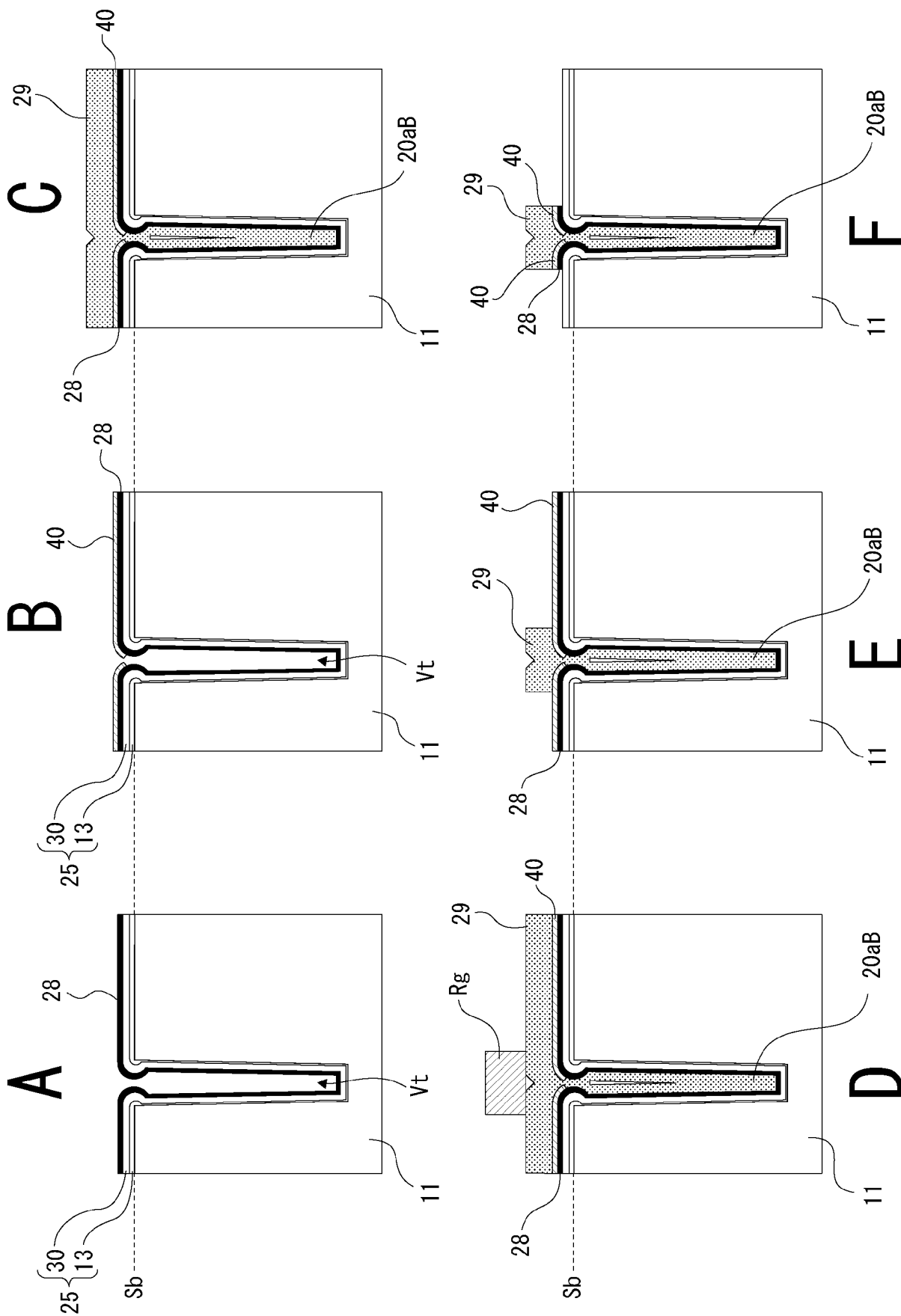
[図24]



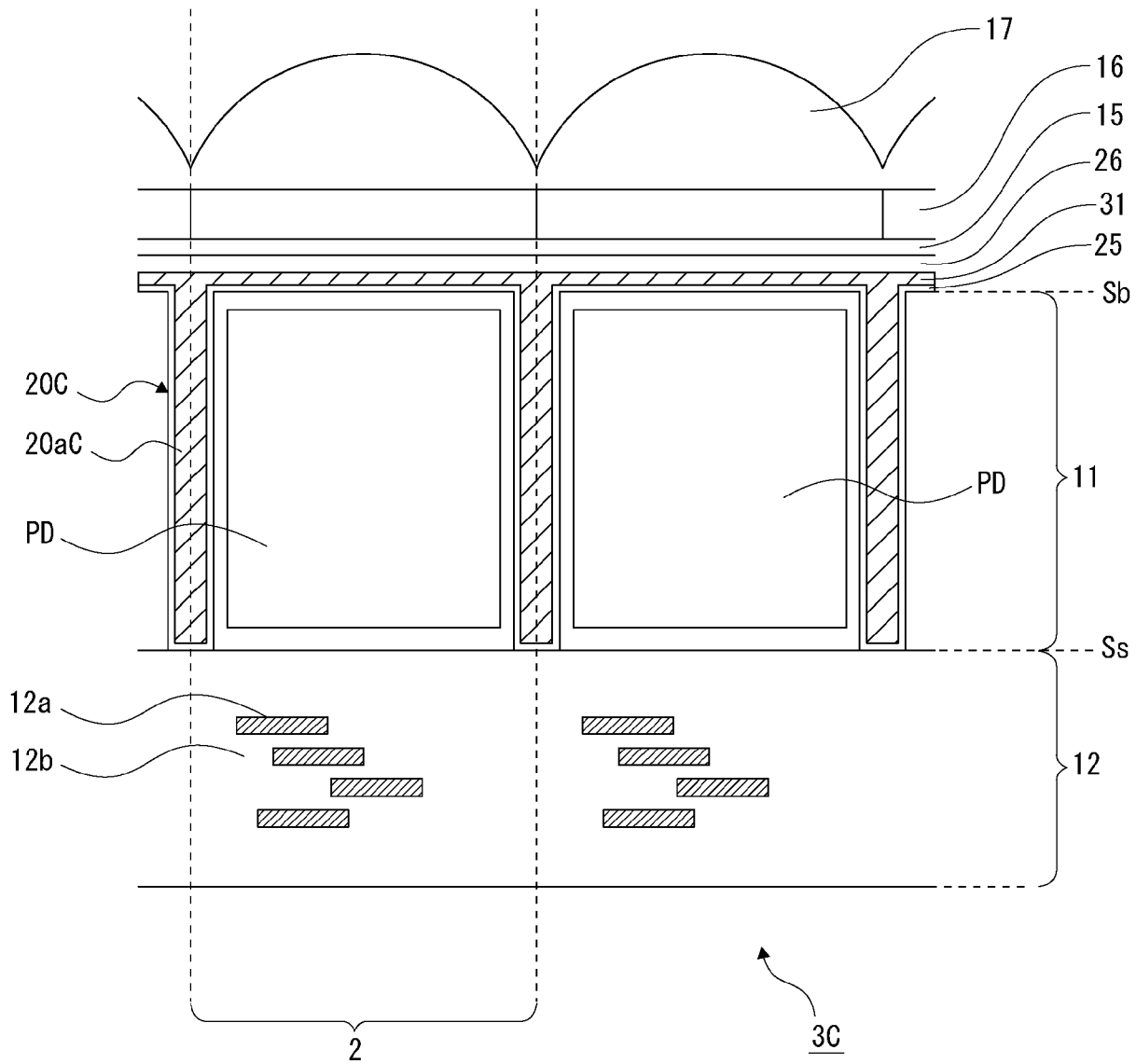
[図25]



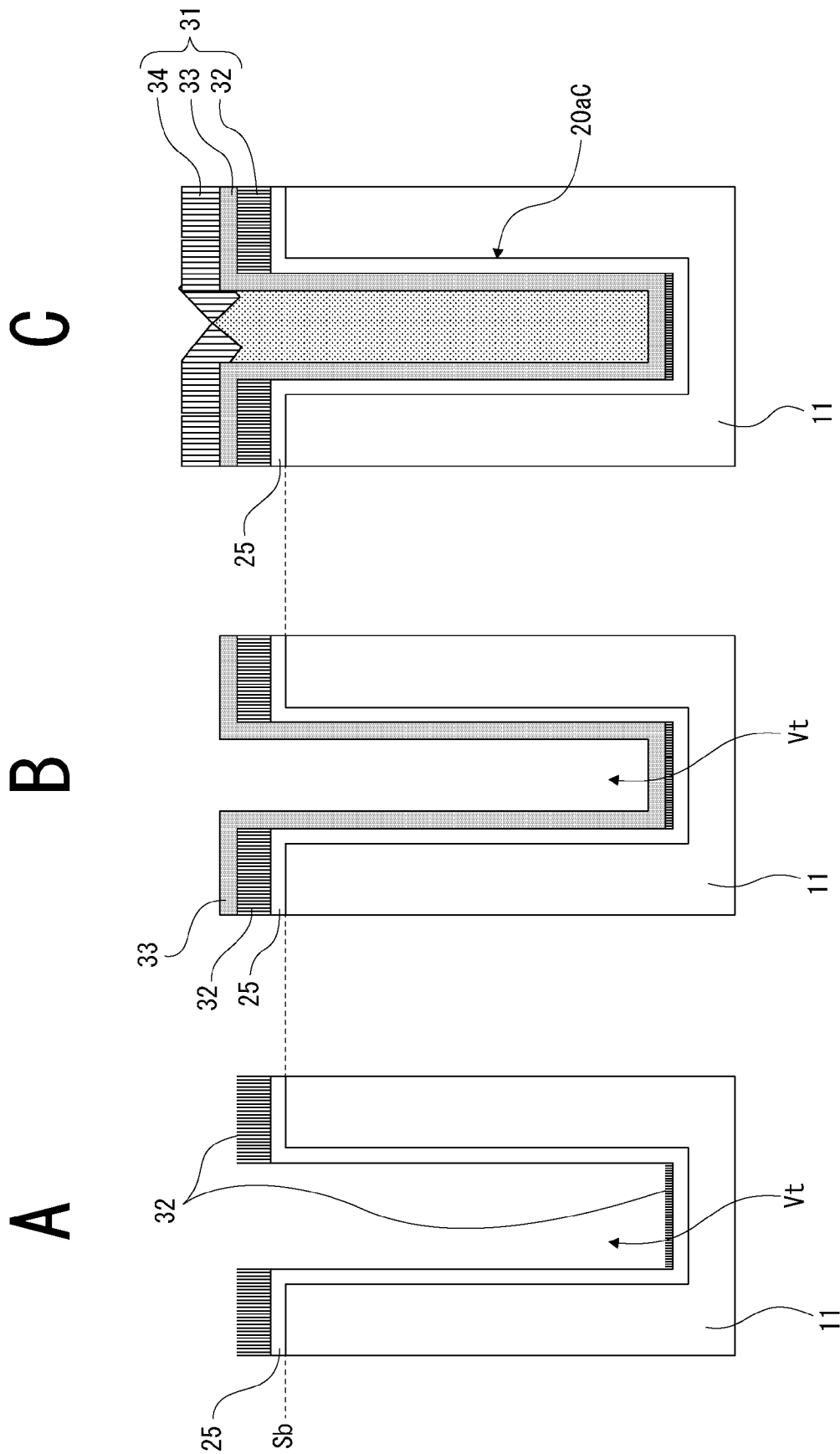
[図26]



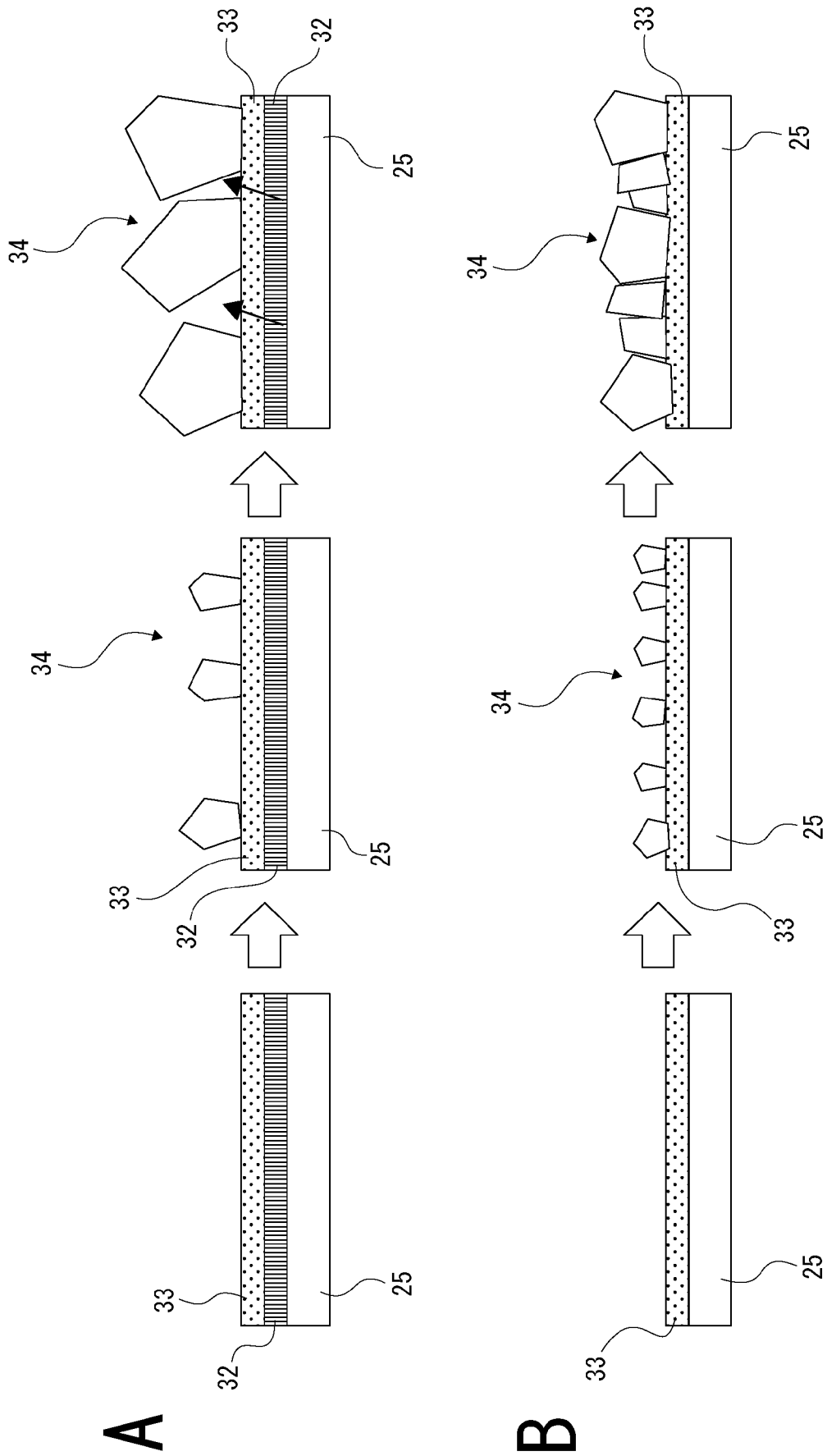
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/017932

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 21/76</i> (2006.01)i; <i>H01L 27/146</i> (2006.01)i FI: H01L27/146 A; H01L21/76 L		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/76; H01L27/146		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-15586 A (TOSHIBA CORP) 19 January 2001 (2001-01-19) paragraph [0026]	1-4
Y	paragraph [0026]	5-7
A	paragraph [0026]	8-20
Y	WO 2020/196024 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 01 October 2020 (2020-10-01) paragraph [0227]	5
Y	WO 2018/173872 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 27 September 2018 (2018-09-27) paragraph [0058]	6-7
X	JP 2015-111604 A (SONY CORP) 18 June 2015 (2015-06-18) paragraph [0080]	8-12
Y	JP 2021-44582 A (SONY CORP) 18 March 2021 (2021-03-18) paragraph [0247], fig. 38	14-17
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 June 2022		Date of mailing of the international search report 28 June 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/017932

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2001-15586 A	19 January 2001	(Family: none)	
WO 2020/196024 A1	01 October 2020	CN 113383421 A TW 202040805 A	
WO 2018/173872 A1	27 September 2018	US 2020/0066775 A1 paragraph [0071] US 2021/0399039 A1 CN 110447104 A	
JP 2015-111604 A	18 June 2015	WO 2013/150839 A1 paragraph [0080]	
JP 2021-44582 A	18 March 2021	US 2018/0350856 A1 paragraph [0301], fig. 38 US 2019/0371837 A1 US 2020/0243581 A1 US 2021/0265406 A1 WO 2017/130723 A1 EP 3410487 A1 DE 112017000216 T5 CN 107408568 A TW 201737479 A KR 10-2018-0108414 A	
JP 2012-33928 A	16 February 2012	US 2012/0028401 A1 paragraph [0042] EP 2416361 A2	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/76(2006.01)i; H01L 27/146(2006.01)i FI: H01L27/146 A; H01L21/76 L		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/76; H01L27/146 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2001-15586 A (株式会社東芝) 19.01.2001 (2001-01-19) 段落0026	1-4
Y	段落0026	5-7
A	段落0026	8-20
Y	WO 2020/196024 A1 (ソニーセミコンダクタソリューションズ株式会社) 01.10.2020 (2020-10-01) 段落0227	5
Y	WO 2018/173872 A1 (ソニーセミコンダクタソリューションズ株式会社) 27.09.2018 (2018-09-27) 段落0058	6-7
X	JP 2015-111604 A (ソニー株式会社) 18.06.2015 (2015-06-18) 段落0080	8-12
Y	JP 2021-44582 A (ソニー株式会社) 18.03.2021 (2021-03-18) 段落0247, 図38	14-17
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 21.06.2022	国際調査報告の発送日 28.06.2022	
名称及びあて先 日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 西出 隆二 5F 3356 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2022/017932

引用文献	公表日	パテントファミリー文献	公表日
JP 2001-15586 A	19.01.2001	(ファミリーなし)	
WO 2020/196024 A1	01.10.2020	CN 113383421 A TW 202040805 A	
WO 2018/173872 A1	27.09.2018	US 2020/0066775 A1 段落0071 US 2021/0399039 A1 CN 110447104 A	
JP 2015-111604 A	18.06.2015	WO 2013/150839 A1 段落0080	
JP 2021-44582 A	18.03.2021	US 2018/0350856 A1 段落0301, 図38 US 2019/0371837 A1 US 2020/0243581 A1 US 2021/0265406 A1 WO 2017/130723 A1 EP 3410487 A1 DE 112017000216 T5 CN 107408568 A TW 201737479 A KR 10-2018-0108414 A	
JP 2012-33928 A	16.02.2012	US 2012/0028401 A1 段落0042 EP 2416361 A2	