(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117238859 A
(43)申请公布日 2023.12.15

(21)申请号 202310708059.5

(22)申请日 2023.06.14

(30)优先权数据
10-2022-0072782 2022.06.15 KR

(71)申请人 LG 伊诺特有限公司
地址 韩国首尔

(72)发明人 刘霍多 严惺耘 李镕秀

(74)专利代理机构 中原信达知识产权代理有限责任公司 11219
专利代理师 车文 高伟

(51)Int.Cl.
H01L 23/31(2006.01)
H01L 23/498(2006.01)

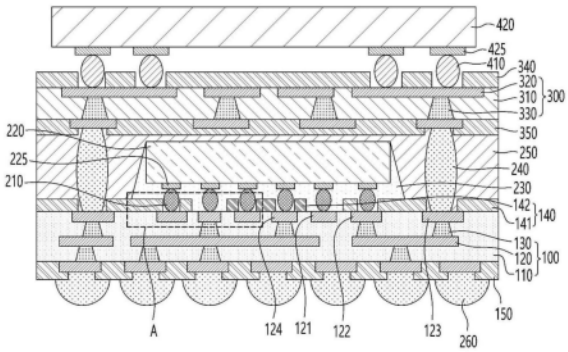
权利要求书3页 说明书25页 附图13页

(54)发明名称

半导体封装

(57)摘要

根据实施例的半导体封装包括:基板;第一保护层,所述第一保护层设置在所述基板上并且包括通孔;以及第二保护层,所述第二保护层设置在所述第一保护层的通孔内部并且与所述第一保护层间隔开,并且其中所述第一保护层的通孔的内表面包括朝向所述第二保护层突出的突起表面。



CN 117238859 A

1.一种半导体封装,包括:

基板;

第一保护层,所述第一保护层设置在所述基板上并包括通孔;以及

第二保护层,所述第二保护层设置在所述第一保护层的所述通孔内并与所述第一保护层间隔开,

其中,所述第一保护层的第一边缘面向所述第二保护层的第一边缘,

其中,在所述第一保护层的所述第一边缘和所述第二保护层的所述第一边缘之间的空间至少包括第一分隔区域和第二分隔区域,并且

其中,所述第一分隔区域中的空间的第一宽度不同于所述第二分隔区域中的空间的第二宽度。

2.根据权利要求1所述的半导体封装,其中,所述第一保护层的所述第一边缘包括第一突起,所述第一突起朝向所述第二保护层的所述第一边缘突出,并且

其中,所述第二保护层的所述第一边缘包括第二突起,所述第二突起朝向所述第一保护层突出。

3.根据权利要求2所述的半导体封装,其中,所述第一突起和所述第二突起中的至少一者具有台阶形状。

4.根据权利要求2所述的半导体封装,其中,所述第一突起设置在所述第一保护层的角部处。

5.根据权利要求2所述的半导体封装,其中,所述第二保护层的所述第一边缘包括第一凹部,所述第一凹部从所述第二保护层的所述第一边缘凹入,并且

其中,所述第一凹部设置在与所述第一保护层的所述第一突起相对应的位置处。

6.根据权利要求5所述的半导体封装,其中,所述第一凹部的宽度大于所述第一突起的宽度。

7.根据权利要求6所述的半导体封装,其中,在所述第一保护层的所述第一边缘和所述第二保护层的所述第一边缘之间的所述空间具有闭环形状。

8.根据权利要求6所述的半导体封装,其中,所述基板包括:

绝缘层;和

电路层,所述电路层设置在所述绝缘层上,并且

其中,所述电路层包括多个第一电极和迹线,所述多个第一电极和迹线在竖直方向上与在所述第一保护层的所述第一边缘和所述第二保护层的所述第一边缘之间的所述空间重叠。

9.根据权利要求8所述的半导体封装,其中,在竖直方向上与所述第一分隔区域重叠的多个第一电极和迹线的数量大于在竖直方向上与所述第二分隔区域重叠的多个第一电极和迹线的数量。

10.根据权利要求8所述的半导体封装,其中,所述第一保护层还包括第一开口,所述第一开口贯穿所述第一保护层,并且

其中,所述电路层还包括第二电极,所述第二电极在竖直方向上与所述第一保护层的所述第一开口重叠。

11.根据权利要求10所述的半导体封装,其中,所述第一保护层的所述第一开口与所述

第一保护层的所述第一边缘间隔开，并且被设置成更靠近所述第一保护层的所述第一边缘而不是更靠近所述第一保护层的与所述第一边缘相反的第二边缘。

12.根据权利要求11所述的半导体封装，其中，所述第二保护层还包括贯穿所述第二保护层的开口，并且

其中，所述电路层还包括第三电极，所述第三电极在竖直方向上与所述第二保护层的所述开口重叠。

13.根据权利要求12所述的半导体封装，其中，所述第一电极的上表面的形状不同于所述第二电极和所述第三电极中的至少一者的上表面的形状。

14.根据权利要求12所述的半导体封装，其中，所述第一电极的水平宽度小于所述第二电极的水平宽度和所述第三电极的水平宽度。

15.根据权利要求12所述的半导体封装，还包括：

第一连接部，所述第一连接部设置在所述第一电极、所述第二电极和所述第三电极上；以及

半导体器件，所述半导体器件设置在所述第一连接部上。

16.根据权利要求12所述的半导体封装，其中，所述第一保护层还包括第二开口，所述第二开口贯穿所述第一保护层，与所述第一开口间隔开并被设置成更靠近所述第一保护层的所述第二边缘而不是更靠近所述第一保护层的所述第一边缘，并且

其中，所述电路层还包括第四电极，所述第四电极在竖直方向上与所述第一保护层的所述第二开口重叠。

17.根据权利要求16所述的半导体封装，还包括：

第二连接部，所述第二连接部设置在所述第四电极上；以及

外部基板，所述外部基板联接在所述第二连接部上。

18.根据权利要求17所述的半导体封装，其中，所述第一保护层的所述第二开口的宽度大于所述第一保护层的所述第一开口的宽度。

19.根据权利要求11所述的半导体封装，其中，所述第一分隔区域的所述第一宽度暴露所述基板的焊盘的第一数量，并且

其中，所述第二分隔区域的所述第二宽度暴露所述基板的焊盘的第二数量，所述焊盘的第二数量不同于所述焊盘的第一数量。

20.根据权利要求19所述的半导体封装，其中，所述基板的所述焊盘的第一数量小于所述焊盘的第二数量。

21.根据权利要求11所述的半导体封装，其中，所述第一分隔区域的所述第一宽度小于所述第二分隔区域的所述第二宽度。

22.一种半导体封装，包括：

基板；

第一保护层，所述第一保护层设置在所述基板上并包括通孔；

第二保护层，所述第二保护层设置在所述第一保护层的所述通孔内并与所述第一保护层间隔开；以及

半导体器件，所述半导体器件设置在所述第二保护层上，

其中，所述第一保护层的第一边缘面向所述第二保护层的第一边缘，

其中,在所述第一保护层的所述第一边缘和所述第二保护层的所述第一边缘之间的空间至少包括第一分隔区域和第二分隔区域,并且

其中,所述第一分隔区域中的空间的第一宽度不同于所述第二分隔区域中的空间的第二宽度。

23.根据权利要求22所述的半导体封装,其中,所述基板包括:

绝缘层;以及

电路层,所述电路层设置在所述绝缘层上,并且

其中,所述电路层包括多个第一电极和迹线,所述多个第一电极和迹线在竖直方向上与在所述第一保护层的所述第一边缘和所述第二保护层的所述第一边缘之间的所述空间重叠。

半导体封装

[0001] 相关申请的交叉引用

[0002] 本申请根据美国法典第35章第119节和美国法典第35章第365节要求(2022年6月15日提交的)韩国专利申请No.10-2022-0072782的优先权,其全部内容通过引用的方式并入本文。

技术领域

[0003] 该实施例涉及一种半导体封装。

背景技术

[0004] 电气/电子产品的高性能化正在进步,因此,已经提出并研究了用于将大量封装(packages)附接到具有有限尺寸的基板的技术。然而,一般的封装基本上包括一个半导体芯片,因此在具有所需性能方面具有局限性。

[0005] 一般的半导体封装具有处理器封装和存储器封装被连接为一体的形式,该处理器封装中设置有处理器芯片,该存储器封装附接有存储器芯片。该半导体封装具有通过将处理器芯片和存储器芯片制造成一个集成封装来减小芯片安装面积和通过短波通(short pass)实现高速信号的优点。

[0006] 封装基板能够提供这些优点并且被广泛应用于移动设备等。

[0007] 另一方面,由于诸如移动设备的电子器件的高规格和高带宽存储器(HBM)的采用,封装的尺寸正在增加。因此,主要使用包括中介层的半导体封装。

[0008] 即,半导体封装包括封装基板、设置在封装基板上的半导体器件以及设置在封装基板上的存储器基板。存储器基板可以通过单独的中介层连接,或者存储器基板可以直接联接到封装基板。

[0009] 此外,封装基板包括连接到半导体器件的安装焊盘和第一保护层(例如,阻焊剂),该第一保护层包括在竖直方向上与安装焊盘的上表面重叠的开口。

[0010] 另一方面,由于5G、物联网(IOT)、图像质量增加和通信速度增加的原因,半导体器件的端子数量正在逐渐增加。相应地,被包括在封装基板中的安装焊盘的数量和第一保护层的开口的数量也在增加。

[0011] 在这种情况下,存在对能够在第一保护层中形成的开口的最小尺寸的限制,因此,存在连接到半导体器件的端子的安装焊盘不能设置在有限空间内的问题。因此,传统的半导体封装具有电路集成密度下降和整体尺寸增加的问题。

[0012] 因此,需要一种包括第一保护层的半导体封装,该半导体封装具有新颖结构,该结构能够减小半导体封装的尺寸并且能够在有限空间内布置连接到半导体器件的端子的所有安装焊盘。

[0013] (专利文献1)KR 10-2016-0138753A

发明内容

[0014] 技术问题

[0015] 实施例提供了一种具有新颖结构的半导体封装。

[0016] 此外,实施例提供了一种半导体封装,包括具有新的开放结构的保护层。

[0017] 此外,实施例提供了一种能够提高电路集成密度的半导体封装。

[0018] 此外,实施例提供了一种具有提高的物理可靠性和电气可靠性的半导体封装。

[0019] 此外,实施例提供了一种能够薄型化(slimming)和小型化的半导体封装。

[0020] 所提出的实施例要解决的技术问题不限于上面提及的技术问题,并且对于从以下的描述中所提出的实施例所属的领域的技术人员来说,可以清楚地理解其它未提及的技术问题。

[0021] 技术方案

[0022] 根据实施例的半导体封装包括:基板;第一保护层,所述第一保护层设置在所述基板上并且包括通孔;和第二保护层,所述第二保护层设置在所述第一保护层的通孔内并且与所述第一保护层间隔开,其中所述第一保护层的通孔的内表面包括朝向所述第二保护层突出的突起表面。

[0023] 此外,第二保护层的外表面包括朝向第一保护层突出的突起表面。

[0024] 此外,第一保护层的突起表面设置在第一保护层的上表面和第一保护层的通孔的内表面中的至少一者的内角部分上。

[0025] 此外,第一保护层的通孔的内表面与第二保护层的外表面之间的水平方向上的距离包括沿着通孔的内表面的不同距离。

[0026] 此外,第一保护层的通孔的内表面与第二保护层的外表面之间设置有分隔区域,该分隔区域在竖直方向上与所述通孔重叠并且在竖直方向上不与第二保护层重叠。

[0027] 此外,该分隔区域沿着第一保护层的通孔的内表面或第二保护层的外表面具有闭环形状。

[0028] 此外,基板包括绝缘层、以及设置在绝缘层上的电路层;其中,该电路层包括在竖直方向上与分隔区域重叠的多个第一电极和迹线。

[0029] 此外,该分隔区域包括具有第一距离的第一分隔区域、以及具有小于第一距离的第二距离的第二分隔区域,并且其中,在竖直方向上与第一分隔区域重叠的多个第一电极和迹线之间的距离小于在竖直方向上与第二分隔区域重叠的多个第一电极和迹线之间的距离。

[0030] 此外,第一保护层包括第一开口,该第一开口与所述通孔间隔开并且贯穿第一保护层的上表面和下表面,其中,所述电路层还包括第二电极,该第二电极在竖直方向上与第一保护层的第一开口重叠。

[0031] 此外,第一保护层的第一开口被设置成与第一通孔相邻,同时不连接到第一保护层的通孔。

[0032] 此外,第二保护层包括贯穿第二保护层的上表面和下表面的开口,并且所述电路层还包括在竖直方向上与第二保护层的开口重叠的第三电极。

[0033] 此外,第一电极的上表面的形状不同于第二电极和第三电极中的至少一者的上表面的形状。

[0034] 此外，第一电极在第一水平方向上的宽度小于第二电极在第一水平方向上的宽度和第三电极在第一水平方向上的宽度。

[0035] 此外，所述半导体封装还包括：第一连接部，该第一连接部设置在第一电极、第二电极与第三电极上；以及半导体器件，该半导体器件设置在第一连接部上。

[0036] 此外，第一保护层的突起表面和第二保护层的突起表面中的至少一者在竖直方向上具有台阶。

[0037] 此外，第一保护层还包括第二开口，该第二开口与第一保护层的通孔和第一开口间隔开并贯穿第一保护层的上表面和下表面，并且所述电路层还包括第四电极，该第四电极在竖直方向上与第一保护层的第二开口重叠。

[0038] 此外，所述半导体封装还包括：第二连接部，该第二连接部设置在第四电极上；以及外部基板，该外部基板联接在第二连接部上。

[0039] 此外，第一保护层的第二开口的宽度大于第一保护层的第一开口的宽度；并且第一保护层的第二开口比第一保护层的第一开口更远离第一保护层的通孔。

[0040] 同时，根据实施例的半导体封装包括：基板；第一保护层，所述第一保护层设置在所述基板上并且包括通孔；第二保护层，所述第二保护层设置在所述第一保护层的通孔内并且与所述第一保护层间隔开；以及半导体器件，所述半导体器件设置在所述第二保护层上；其中，所述第二保护层的外表面包括朝向所述第一保护层突出的突起表面，并且所述第一保护层的通孔的内表面与所述第二保护层的外表面在水平方向上的距离包括沿着所述通孔的内表面的不同距离。

[0041] 此外，所述基板包括：绝缘层；以及电路层，该电路层设置在绝缘层上；其中，电路层包括形成在第一保护层的内表面与第二保护层的外表面之间的分隔区域中的第一电极。

[0042] 有益效果

[0043] 实施例的半导体封装包括基板。此外，半导体封装包括第一保护层，该第一保护层设置在基板上并且具有通孔。此外，半导体封装包括第二保护层，该第二保护层设置在基板上并且设置在第一保护层的通孔内。

[0044] 在这种情况下，第一保护层的内表面包括朝向第二保护层突出的突起表面。优选地，第二保护层的外表面包括朝向第一保护层突出的突起表面。

[0045] 因此，第一保护层的通孔的内表面与第二保护层的外表面之间的在水平方向上的分隔距离(separation distance)可以包括沿着通孔的内表面的不同的分隔距离。

[0046] 例如，所述分隔距离可以包括第一分隔距离和第二分隔距离。此外，第一分隔距离和第二分隔距离可以彼此不同。例如，第一分隔距离可以大于第二分隔距离。

[0047] 在这种情况下，基板的电路层的第一电极和迹线可以集中设置在与第一分隔距离对应的第一分隔区域中，而不是在与第二分隔距离对应的第二分隔区域中。例如，设置在第一分隔区域中的第一电极和/或迹线之间的距离可以小于设置在第二分隔区域中的第一电极和/或迹线之间的距离。

[0048] 这意味着第一分隔区域中的电路层的集成密度高于第二分隔区域中的电路层的集成密度。

[0049] 在这种情况下，第一电极和迹线可以以相同的集成密度设置在第一分隔区域和第二分隔区域中。然而，这可能会增加要彼此连接的第一电极之间的距离，从而增加信号传输

损耗。另外，当第一电极和迹线以相同的集成密度设置在第一分隔区域和第二分隔区域中时，分隔区域的总面积可能会增加，这是因为发生相互信号干扰的第一电极应更远。此外，当分隔区域的总面积增加时，未被第一保护层和第二保护层保护的电极或迹线的数量增加，因此，可能导致物理可靠性和电气可靠性问题。

[0050] 此外，具有不同集成密度的第一电极和迹线可以设置在第一分隔区域和第二分隔区域中，并且分隔区域的分隔距离可以沿着第一保护层的内表面的周缘是相同的。但是，这增加了未被第一保护层或第二保护层覆盖的电极和迹线的面积，因此，可能导致电极或迹线由于热应力等而被分层的问题。

[0051] 因此，分隔区域沿着第一保护层的内表面和第二保护层的外表面的周缘具有彼此不同的第一分隔距离和第二分隔距离。因此，该实施例能够通过在分隔区域中具有不同的电路集成密度并最小化由于信号传输距离的减小而导致的信号传输损失来改善信号传输特性。此外，该实施例允许分隔区域当中具有相对低电路集成密度的区域的分隔距离小于具有高电路集成密度的区域的分隔距离。因此，该实施例能够最小化由于在具有小分隔距离的分隔区域中的迹线未被第一保护层或第二保护层覆盖而导致的可靠性问题。另外，实施例可以进一步提高半导体封装的电气可靠性和物理可靠性。

附图说明

[0052] 图1是图示了根据第一实施例的半导体封装的截面图。

[0053] 图2是图示了根据第二实施例的半导体封装的截面图。

[0054] 图3是图示了根据第三实施例的半导体封装的截面图。

[0055] 图4是根据实施例的半导体封装的第一保护层的平面图。

[0056] 图5是根据实施例的半导体封装的第二保护层的平面图。

[0057] 图6是图示了根据实施例的半导体封装的第一保护层和第二保护层的设置关系的平面图。

[0058] 图7是其中图6的部分区域被放大的放大视图。

[0059] 图8是图示了形成在图1的区域A中的电路层的平面图。

[0060] 图9是其中在图8的电路层上设置有第一保护层和第二保护层的状态的平面图。

[0061] 图10是图示了根据第一实施例的第一保护层的突起表面的截面图。

[0062] 图11a至图11d是图示了根据第二实施例的第一保护层的突起表面的截面图。

[0063] 图12a和图12b是图示了根据第三实施例的第一保护层的突起表面的截面图。

[0064] 图13是图示了根据第四实施例的第一保护层的内表面的在竖直方向上的台阶结构的截面图。

[0065] 图14至图27是按工艺顺序图示了根据示例性实施例的半导体封装的制造方法的截面图。

具体实施方式

[0066] 在下文中，将参考附图详细描述本公开的实施例。

[0067] 然而，本公开的精神和范围不限于所描述的实施例的一部分，而是可以以各种其它形式实现，并且，在本公开的精神和范围内，实施例的一个或多个元件可以被选择性地组

合和替换。

[0068] 此外,除非另有明确定义和描述,否则本公开的实施例中使用的术语(包括技术和科学术语)可以被解释为与本公开所属领域的普通技术人员普遍理解的相同含义,并且,诸如在常用词典中定义的那些术语可以被解释为具有与其在相关技术的上下文中的含义一致的含义。此外,本发明的实施例中使用的术语仅仅用于描述实施例,并非用于限制本公开。

[0069] 在本说明书中,单数形式也可以包括复数形式,除非在短语中特别说明,并且当描述为"A(和)、B和C中的至少一个(或更多个)"时,可以包括在A、B和C中可以组合的所有组合中的至少一个。此外,在描述本公开的实施例的元件时,可以使用诸如第一、第二、A、B、(a)和(b)的术语。

[0070] 这些术语仅用于将元件与其它元件区分开来,并且这些术语不限于元件的本质、顺序或次序。此外,当一个元件被描述为"连接"、"联接"或"接触"另一个元件时,它不仅可以包括当该元件直接"连接"、"联接"或"接触"到其它元件时,而且包括当该元件通过该元件与其它元件之间的另一个元件"连接"、"联接"或"接触"时。

[0071] 此外,当被描述为形成或设置在每个元件的"上面(上方)"或"下面(下方)"时,"上面(上方)"或"下面(下方)"不仅可以包括两个元件彼此直接连接的情况,而且包括一个或多个其它元件形成或设置在两个元件之间的情况。此外,当表述为"上面(上方)"或"下面(下方)"时,其不仅可以包括基于一个元件的上方向,而且还包括下方向。

[0072] -电子器件-

[0073] 在描述实施例之前,将简要描述应用了该实施例的半导体封装的电子器件。电子器件包括主板(未示出)。主板可以物理连接和/或电连接到各种组件。例如,主板可以连接到实施例的半导体封装。各种半导体器件可以安装在半导体封装上。

[0074] 半导体器件可以包括有源器件和/或无源器件。有源器件可以是集成电路(IC)形式的半导体器件,其中,数百至数百万个器件被集成到单个芯片中。半导体器件可以是逻辑芯片、存储器芯片等。逻辑芯片可以是中央处理器(CPU)、图形处理器(GPU)等。例如,逻辑芯片可以是应用处理器(AP)半导体器件,包括中央处理器(CPU)、图形处理器(GPU)、数字信号处理器、密码处理器、微处理器和微控制器中的至少一者,或模数转换器、专用IC(ASIC)等,或包括目前所列的特定组合的芯片组。

[0075] 存储器芯片可以是诸如HBM的堆栈存储器。此外,存储器芯片可以包括诸如易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)或闪存的存储器芯片。

[0076] 另一方面,应用该实施例的半导体封装的产品组包括CSP(芯片级封装)、FC-CSP(倒装芯片-芯片级封装)、FC-BGA(倒装芯片球栅阵列)、POP(封装体叠层)和SIP(系统级封装),但不限于此。

[0077] 在这种情况下,电子器件可以包括智能电话、个人数字助理、数码摄像机、数码相机、网络系统、计算机、监视器、平板电脑、膝上型电脑、上网本、电视、视频游戏机、智能手表、汽车等。然而,该实施例不限于此,而是可以是除了这些之外的任何其它处理数据的电子器件。

[0078] -半导体封装-

[0079] 在下文中,将描述根据示例性实施例的半导体封装。

[0080] 图1是图示了根据第一实施例的半导体封装的截面图。

[0081] 参考图1，半导体封装包括基板100。该基板100可以指封装基板。

[0082] 基板100可以提供其中安装至少一个半导体器件的空间。可替选地，基板100可以提供与至少一个外部基板联接的空间。因为上文已经描述了半导体器件的类型，所以将省略其详细描述。例如，基板100可以提供与第一外部基板联接的空间。第一外部基板可以指电子器件中包括的主板。此外，基板100可以提供与第二外部基板联接的空间。第二外部基板可以是中介层。例如，第二外部基板可以是电连接半导体器件和基板100的中介层。该中介层可以是同时执行半导体器件功能的有源中介层或仅执行电连接功能的无源中介层。

[0083] 基板100包括绝缘层110、电路层120以及贯通电极(through electrode)130。

[0084] 基板100的绝缘层110可以具有至少一层的层结构。优选地，基板100的绝缘层110可以具有其中多个层被层压的结构。由此，该实施例的基板100能够有效电连接电子器件的主板与半导体器件。在这种情况下，图1中的基板100的绝缘层110被图示为具有三层结构，但其不限于此。例如，基板100的绝缘层110可以具有两层或更少的层数，或者可以具有四层或更多的层数。

[0085] 当基板100的绝缘层110具有多层结构时，基板100的多个绝缘层可以包括相同的绝缘材料，但其不限于此。例如，基板100的所述多个绝缘层中的至少一个绝缘层可以包括与另一绝缘层的绝缘材料不同的绝缘材料。

[0086] 例如，绝缘层110可以是刚性的或柔性的。例如，绝缘层110可以包括玻璃或塑料。具体地，绝缘层110可以包括：化学钢化/半钢化玻璃，诸如钠钙玻璃、铝硅酸盐玻璃等；钢化或柔性塑料，诸如聚酰亚胺(PI)、聚对苯二甲酸乙二醇酯(PET)、丙二醇(PPG)、聚碳酸酯(PC)等；或蓝宝石。例如，绝缘层110可以包括光学各向同性膜。例如，基板100的绝缘层110可以包括环烯烃共聚物(COC)、环烯烃聚合物(COP)、光学各向同性PC、光学各向同性聚甲基丙烯酸甲酯(PMMA)等。例如，基板100的绝缘层110可以由包括无机填料和绝缘树脂的材料形成。例如，基板100的绝缘层110可以具有如下结构：在热固性树脂或热塑性树脂中设置有二氧化硅或氧化铝的无机填料。

[0087] 例如，基板100的绝缘层110可以由味之素堆积膜(ABF)、FR-4、双马来酰亚胺三嗪(BT)、光可成像介电树脂(PID)或BT形成。

[0088] 在这种情况下，第一实施例中的基板100的绝缘层110可以由ABF(味之素堆积膜)组成，其具有优异的可加工性和优异的刚性并且实现基板的薄型化和基板100的电路层120的精制化。ABF(味之素堆积膜)不包含玻璃纤维。因此，当基板100的绝缘层110由ABF(味之素堆积膜)制成时，基板100的翘曲性质可能退化。

[0089] 因此，该实施例可以提供基板100的绝缘层110作为ABF(味之素堆积膜)，并且基板100的多个绝缘层中的至少一个绝缘层可以包括能够改善翘曲性质的加强材料。

[0090] 例如，基板100的绝缘层110包括由包含树脂和填料的第一ABF组成的层。此外，基板100的绝缘层110包括由第二ABF组成的层，该第二ABF进一步包括第一ABF中的加强材料。在这种情况下，被包括在第二ABF中的加强材料可以是玻璃纤维，但其不限于此。

[0091] 基板100的绝缘层110中的每个层的厚度可以在从10μm至40μm的范围内。优选地，基板100的绝缘层110中的每个层可以满足15μm至35μm的厚度。更优选地，基板100的绝缘层110中的每个层可以满足18μm至32μm的厚度。

[0092] 基板100的绝缘层110中的每个层的厚度可以对应于在基板的竖直方向上设置在不同层上的电路层之间的距离。即，厚度可以指从基板100的上表面到下表面的方向上的长度或从下表面到上表面的方向上的长度，或者可以指基板的竖直方向上的长度。这里，上表面可以指每个组件沿着竖直方向的最高位置，并且下表面可以指每个组件沿着竖直方向的最低位置。并且，它们的位置可以被彼此相反地称呼。

[0093] 当基板100的绝缘层110中的每个层的厚度小于10μm时，基板100的翘曲性质可能退化。此外，当基板100的绝缘层110中的每个层的厚度小于10μm时，基板100的电路层120不能被稳定地保护，因此电气可靠性可能下降。此外，当基板100的绝缘层110中的每个层的厚度超过40μm时，基板100的整体厚度增加，因此，半导体封装的厚度可能增加。此外，当基板100的绝缘层110中的每个层的厚度超过40μm时，基板100的电路层120可能难以细化。

[0094] 同时，根据该实施例的半导体封装包括设置在基板100的上表面上的上保护层140，该上保护层140包括第一保护层141和第二保护层142。此外，半导体封装包括下保护层150，其设置在基板100的下表面下方。

[0095] 基板100的绝缘层110可以包括与包括第一保护层141和第二保护层142的上保护层140以及下保护层150相同的绝缘材料。然而，其不限于此。在这种情况下，绝缘层110的绝缘材料可以不同于上保护层140和下保护层150的绝缘材料。

[0096] 绝缘层110可以包括多个层。因此，下面描述的绝缘层110的上表面可以指多个绝缘层110中的设置在最上侧的绝缘层的上表面。此外，下面描述的绝缘层110的下表面可以指多个绝缘层110中的设置最下侧的绝缘层的下表面。

[0097] 基板100包括电路层120。电路层120可以设置在基板100的绝缘层110的表面上。例如，当基板100的绝缘层110具有三层结构时，电路层120可以设置在三个绝缘层的每个表面上。

[0098] 在这种情况下，基板100的任何一个电路层120可以具有ETS(嵌入式迹线基板)结构。例如，设置在基板100的绝缘层110的上表面上的电路层可以具有ETS结构。因此，设置在基板100的最上侧的电路层的至少一部分可以设置在形成在绝缘层110的上表面上的沟槽(未示出)中。因此，ETS结构也可以称为掩埋结构。与具有一般突起结构的电路层相比，ETS结构有利于小型化。因此，该实施例可以允许设置在基板100的绝缘层110的上表面上的电路层具有ETS结构，使得能够使电路层小型化。也就是说，设置在绝缘层110的上表面上的电路层包括连接到半导体器件或外部基板的电极。因此，该实施例能够形成对应于设置在半导体器件中的端子的尺寸和间距的电极。因此，该实施例能够提高电路集成密度。另外，该实施例能够最小化通过半导体器件传输的信号的传输距离，使得能够最小化信号传输损耗。

[0099] 基板100的电路层120可以由从金(Au)、银(Ag)、铂(Pt)、钛(Ti)、锡(Sn)、铜(Cu)和锌(Zn)中选择的至少一种金属材料形成。此外，基板100的电路层120可以由包括在结合强度方面优异的金(Au)、银(Ag)、铂(Pt)、钛(Ti)、锡(Sn)、铜(Cu)、以及锌(Zn)中的至少一种金属材料的糊剂或焊膏形成。优选地，基板100的电路层120可以由具有高导电性和相对低成本的铜(Cu)形成。

[0100] 基板100的电路层120可以具有范围从7μm至20μm的厚度。例如，基板100的电路层120可以具有范围从9μm至17μm的厚度。基板100的电路层120可以具有范围从10μm至13μm的

厚度。当基板100的电路层120的厚度小于7μm时，可能会增加电路层120的电阻并且减小可传输信号的允许电流。此外，当基板100的电路层120的厚度超过20μm时，可能难以使电路层120小型化。

[0101] 基板100的电路层120可以包括连接到基板100的贯通电极130的贯通焊盘和连接到外部基板或半导体器件的电极。此外，基板100的电路层120可以包括迹线，这些迹线是连接到贯通焊盘或电极的细且长的信号传输线。

[0102] 基板100的电路层120的贯通焊盘或电极可以具有范围从15μm至90μm的宽度。基板100的电路层120的贯通焊盘或电极可以具有范围从20μm至85μm的宽度。基板100的电路层120的贯通焊盘或电极可以具有范围从25μm至80μm的宽度。

[0103] 在这种情况下，基板100的电路层120的贯通焊盘或电极可以根据其功能而具有在上述范围内的不同宽度。此外，基板100的电路层120的电极可以具有对应于所连接的半导体器件的端子尺寸或外部基板的焊盘尺寸的不同宽度。

[0104] 例如，基板100的电路层120可以包括多个电极。例如，基板100的电路层120包括第一电极121、第二电极122、第三电极124以及第四电极123。

[0105] 第一电极121、第二电极122、第三电极124和第四电极123设置在基板100的同一平面上。但是，第一电极121、第二电极122、第三电极124以及第四电极123可以根据在基板100的绝缘层110的上表面上的布置位置而彼此区分开。

[0106] 第一电极121、第二电极122和第三电极124是指连接到半导体器件220的端子225的电极。在这种情况下，半导体器件220的端子225设置在半导体器件220的下表面上。半导体器件220的端子225可以包括第一端子至第三端子。半导体器件200的第二端子可以设置成在半导体器件200的下表面上与半导体器件200的侧表面相邻。半导体器件200的第三端子可以设置在半导体器件的下表面的中央处。此外，半导体器件200的第一端子可以设置在半导体器件的第二端子和第三端子之间。

[0107] 此外，基板100的电路层120的第一电极121连接到半导体器件220的第一端子。此外，基板100的电路层120的第二电极122连接到半导体器件220的第二端子。此外，基板100的电路层120的第三电极124连接到半导体器件220的第三端子。在这种情况下，第一电极121、第二电极122和第三电极124中的至少一者可以具有与至少另一者不同的宽度或形状。例如，半导体器件220的端子225可以取决于布置位置而具有不同的尺寸或间距。因此，第一电极121、第二电极122和第三电极124可以具有对应于半导体器件220的端子225的尺寸或间距的宽度或形状。这将在下面详细描述。

[0108] 此外，基板100的电路层120的第四电极123可以是连接到外部基板300的电极。外部基板300可以是其上设置有半导体器件420的基板或者连接到半导体器件420的中介层。因此，基板100的电路层120的第四电极123可以具有比第一电极121、第二电极122和第三电极124更大的宽度。

[0109] 基板100可以包括贯通电极130。基板100的贯通电极130可以穿透基板100的绝缘层110。基板100的贯通电极130可以连接设置在基板100的不同绝缘层上的电路层。

[0110] 可以通过用导电材料填充贯穿基板100的绝缘层110的通孔来形成基板100的贯通电极130。

[0111] 所述通孔可以通过机械、激光和化学加工中的任何一种来形成。当通过机械加工

形成过孔时，可以采用铣、钻、路线加工(routing)等方法形成。当通过激光加工形成所述通孔时，可以采用UV或CO2激光等方法形成。当通过化学处理形成所述通孔时，可以使用含有氨基硅烷、酮类等的化学药品来形成。

[0112] 当形成所述通孔时，可以通过用导电材料填充所述通孔的内部来形成基板100的贯通电极130。形成贯通电极的金属材料可以是从铜(Cu)、银(Ag)、锡(Sn)、金(Au)、镍(Ni)和钯(Pd)中选择的任何一种材料。此外，导电材料填充可以使用化学镀、电解镀、丝网印刷、溅射、蒸镀、喷墨和点胶中的任意一种或它们的组合。

[0113] 第一实施例的半导体封装包括设置在基板100上的上保护层140。此外，半导体封装包括设置在基板100下面的下保护层150。

[0114] 上保护层140和下保护层150可以起到保护基板100的作用。例如，上保护层140和下保护层150可以起到保护基板100的绝缘层110的表面或电路层120的表面的作用。因此，上保护层140和下保护层150也可以在功能上被称为保护层。

[0115] 上保护层140和下保护层150可以是抗蚀剂层。优选地，上保护层140和下保护层150可以是包含有机聚合物材料的阻焊层。例如，上保护层140和下保护层150可以包括基于环氧丙烯酸酯的树脂。详细地，上保护层140和下保护层150可以包括树脂、固化剂、光引发剂、颜料、溶剂、填料、添加剂、丙烯酸单体等。然而，该实施例不限于此，并且上保护层140和下保护层150可以是光阻焊层、覆盖层和聚合物材料中的任一种。

[0116] 上保护层140和下保护层150中的每一个都可以具有1μm至20μm的厚度。上保护层140和下保护层150中的每一个都可以具有1μm至15μm的厚度。例如，上保护层140和下保护层150中的每一个的厚度可以是5μm至20μm。当上保护层140和下保护层150中的每一个的厚度超过20μm时，可能增加半导体封装的厚度或对基板100施加应力。当上保护层140和下保护层150中每一个的厚度小于1μm时，基板100中包括的电路层120不能被稳定地保护，并且可能使电气可靠性或物理可靠性下降。

[0117] 上保护层140可以包括第一保护层141和第二保护层142。第一保护层141和第二保护层142可以根据基板100上的布置位置来区分。第一保护层141和第二保护层142可以是根据布置位置区分的一个层，或者可以指分离或彼此分离的层。这里，根据布置位置区分一个层可意味着第一保护层141和第二保护层142可以由相同的材料制成并且可以具有相同的厚度。

[0118] 第一保护层141可以包括多个开放区域。例如，第一保护层141包括上表面和与上表面相反的下表面。此外，第一保护层141可以包括在不同位置处贯穿第一保护层141的上表面和下表面的多个开放区域。第一保护层141的所述多个开放区域可以区分成通孔和开口。通孔和开口之间的划分可以通过暴露的电极的大小、形状和数量来进行。

[0119] 例如，第一保护层141可以包括通孔141T1(参见图4)。此外，第一保护层141可以包括与通孔141T1间隔开的第一开口141T2(见图4)和第二开口141T3(见图4)。

[0120] 第一保护层141的通孔141T1的平面形状可以不同于第一保护层141的第一开口141T2和第二开口141T3的平面形状。第一保护层141的通孔141T1的平面形状可以对应于半导体器件220的平面形状。例如，第一保护层141的通孔141T1的平面形状可以是方形，但其不限于此。此外，第一保护层141的第一开口141T2和第二开口141T3的平面形状可以与基板100的电路层120的第二电极122和第四电极123的平面形状对应。例如，第一保护层141的第

一开口141T2和第二开口141T3的平面形状可以是圆形，但其不限于此。

[0121] 第一保护层141的通孔141T1的尺寸可以大于第一保护层141的第一开口141T2和第二开口141T3中的每一个的尺寸。该尺寸可以指面积，并且可以指在第一水平方向和/或第二水平方向上的宽度。第一保护层141的通孔141T1的尺寸可以由半导体器件220的尺寸确定。而且，第一保护层141的第一开口141T2和第二开口141T3的尺寸可以由第二电极122和第四电极123的尺寸确定。

[0122] 此外，第一保护层141的通孔141T1可以在竖直方向上与基板100的电路层120的多个电极重叠。例如，基板100的电路层120包括多个第一电极、多个第二电极以及多个第三电极。第一保护层141的通孔141T1在竖直方向上与所述多个第一电极和所述多个第三电极重叠。也就是说，第一保护层141的通孔141T1指一个孔，因此，通孔141T1可以在竖直方向上与多个第一电极、多个第三电极、以及设置在所述多个第一电极和所述多个第三电极之间的迹线共同重叠。

[0123] 此外，第一保护层141的第一开口141T2可以在竖直方向上与基板100的电路层120的第二电极122重叠。例如，第一保护层141的第一开口141T2可以在竖直方向上与一个第二电极122的上表面部分重叠。此外，第一保护层141的第二开口141T3可以在竖直方向上与基板100的电路层120的第四电极123重叠。例如，第一保护层141的第二开口141T3可以在竖直方向上与一个第四电极123的上表面部分重叠。

[0124] 第一开口141T2和第二开口141T3中的每一个都可以设置成用于暴露一个焊盘，并且通孔141T1可以设置成用于暴露多个焊盘。这里，焊盘可以指电路层和半导体器件联接的区域，或者可以指设置在电路层上以联接半导体器件和电路层的金属。半导体器件和电路层的联接可以指引线结合、焊料结合、金属之间的直接结合等。引线结合可以指使用诸如金(Au)的导线将半导体器件的端子225与电路层电联接。此外，焊料结合可以指使用包括Sn、Ag和Cu中的至少一种的材料将半导体器件和电路层电联接。此外，金属之间的直接结合可以指通过在没有焊料、线材、导电粘合剂等的情况下对电路层和半导体元件的端子225施加热和压力而进行再结晶，从而在电路层和半导体元件的端子225之间的直接联接。这里，焊盘可以解释为其中半导体器件的端子225和电路层被联接的部分的含义。相应地，焊盘可以指电路层的上表面的部分区域，或者可以指设置在电路层的上表面上的金属层，该金属层作为联接到半导体器件的端子225的金属。

[0125] 此外，第二保护层142可以设置在第一保护层141的通孔141T1内。例如，第二保护层142可以在基板100的上表面上设置在与第一保护层141的通孔141T1竖直重叠的区域中。第二保护层142可以包括开口142T。第二保护层142的开口142T可以在竖直方向上与基板100的电路层120的第三电极124重叠。例如，第二保护层142的开口142T可以在竖直方向上与第三电极124的上表面部分重叠。

[0126] 第二保护层142的面积小于第一保护层141的通孔141T1的面积。因此，在第二保护层142设置在第一保护层141的通孔141T1内的状态下，分隔区域(SA，参见图6)可以设置在第一保护层141的通孔141T1的内表面与第二保护层142的外表面之间。此外，分隔区域SA指在竖直方向上与第一保护层141的通孔141T1重叠并且在竖直方向上不与第二保护层142重叠的区域。此外，基板100的电路层120的第一电极121的至少一部分可以在竖直方向上与分隔区域SA重叠。

[0127] 下面将更详细地描述上保护层140的第一保护层141和第二保护层142的具体结构。

[0128] 同时，下保护层150还可以包括开口。下保护层150的开口可以在竖向上与设置在基板100的绝缘层110的下表面上的第五电极重叠。下保护层150可以不包括设置在上保护层140中的通孔，而是可以仅包括开口。

[0129] 根据实施例的半导体封装包括第一连接部210。即，第一连接部210设置在基板100上。例如，第一连接部210设置在基板100的电路层120的第一电极121、第二电极121以及第三电极124上。

[0130] 具体地，第一连接部210可以设置在第一保护层141的第一开口141T2、第二保护层142的开口142T、以及第一保护层141和第二保护层142之间的分隔区域(SA)中。

[0131] 第一连接部210可以具有六面体形状。第一连接部210的截面可以具有矩形形状。第一连接部210的截面可以包括矩形或正方形。例如，第一连接部210可以具有球形形状。例如，第一连接部210的截面可以包括圆形或半圆形。例如，第一连接部210的截面可以包括部分圆形或整体圆形。第一连接部210的截面形状可以在一侧上为平坦表面而在另一侧上为弯曲表面。第一连接部210可以是焊球，但其不限于此。

[0132] 该实施例的半导体封装包括设置在第一连接部210上的部件。设置在第一连接部210上的部件可以是半导体器件，或者替选地，它可以是中介层。在下文中，设置在第一连接部210上的部件将被描述为半导体器件220。

[0133] 半导体器件220可以是逻辑芯片，但其不限于此。例如，半导体器件220可以是中央处理器(例如，CPU)、图形处理器(例如，GPU)、数字信号处理器、密码处理器、微处理器和微控制器中的任一者的应用处理器(AP)芯片。半导体器件220在下表面上包括端子225。此外，半导体器件220的端子225可以通过第一连接部210电连接到基板100的电路层120的第一电极121、第二电极122及第三电极124。

[0134] 此外，半导体封装可以包括底部填充物230。底部填充物230设置在基板100上。底部填充物230可以在覆盖半导体器件220的外围的同时设置在基板100上。底部填充物230可以设置在第一保护层141的上表面的一部分和第二保护层142的上表面的一部分上，并且可以设置在第一保护层141的开放区域的一部分和第二保护层142的开放区域的一部分上。底部填充物230可以覆盖半导体器件220的端子225、第一连接部210和电路层120的电极。可以形成底部填充物230以改善半导体器件220的端子225与电路层120的电极之间的结合可靠性。

[0135] 半导体封装可以包括第二连接部240。第二连接部240可以设置在基板100的电路层120的第四电极123上。例如，第二连接部240可以设置于在竖直方向上与第四电极123重叠的第一保护层141的第二开口141T3中。第二连接部240可以是凸块。例如，第二连接部240可以是焊料凸块，但其不限于此。例如，第二连接部240可以是柱状凸块。例如，第二连接部240可以包括铜柱和设置在铜柱上的焊料凸块。第二连接部240的上表面可以被定位得比半导体器件220的上表面高。由此，能够防止半导体器件220在设置于第二连接部240上的外部基板300的结合工艺期间被损坏。

[0136] 参考图2，半导体封装可以具有封装体叠层结构。即，半导体封装可以具有在竖直方向上设置并且电连接另一个半导体封装的结构。然而，本发明不限于此，并且有源中介层

420可以设置在半导体器件上并且电连接到第二连接部240。虽然附图中未示出，但有源中介层420可以具有直接连接到半导体器件220和第二连接部240的结构。因此，能够便于电力供应或电信号连接。

[0137] 半导体封装可以包括模制成型层250。模制成型层250可以设置在基板100和上保护层140上。模制成型层250可以将第二连接部240、底部填充物230和半导体器件220模制成型。

[0138] 模制成型层250可以是EMC(环氧树脂模塑化合物)，但其不限于此。模制成型层250可以具有低介电常数。例如，模制成型层250的介电常数(Dk)可以是0.2至10。例如，模制成型层250的介电常数(Dk)可以是0.5至8。例如，模制成型层250的介电常数(Dk)可以是0.8至5。因此，模制成型层250可以具有低介电常数，从而能够改善从半导体器件220产生的热量的散热性质。模制成型层250可以包括开口。例如，模制成型层250可以包括在竖直方向上与第二连接部240的上表面重叠的开口。

[0139] 半导体封装包括第三连接部260。

[0140] 第三连接部260可以设置在基板100的下表面下方。例如，第三连接部260可以设置在电路层120的第五电极的下表面下方，该电路层120的第五电极设置在基板100的下表面下方。例如，第三连接部260可以设置在下保护层150的开口中。第三连接部260可以是用于将实施例的半导体封装连接到单独的外部基板(例如，电子器件的主板)的焊料，但其不限于此。

[0141] 半导体封装包括外部基板300。外部基板300可以指联接到基板100的单独基板。例如，设置在基板100上的半导体器件220可以是逻辑芯片，诸如CPU或GPU，并且外部基板300可以是存储器基板，在其上设置有连接到逻辑芯片的存储器芯片。外部基板300可以是连接存储器基板和基板100的中介层，在该存储器基板上设置有对应于存储器芯片的半导体器件420。

[0142] 外部基板300可以包括绝缘层310、电路层320和贯通电极330。此外，半导体封装可以包括设置在外部基板300的上表面上的上绝缘层340和设置在外部基板300的下表面上的下绝缘层350。

[0143] 半导体封装可以包括第四连接部410。第四连接部410可以设置在外部基板300上。

[0144] 半导体封装可以包括半导体器件420。半导体器件420可以通过第四连接部410安装在外部基板300上。半导体器件420可以是存储器芯片，但其不限于此。

[0145] 图2是图示了根据第二实施例的半导体封装的截面图。

[0146] 参考图2，第二实施例的半导体封装与第一实施例的半导体封装的不同之处在于基板100的结构。因此，以下仅对基板100的结构进行描述。

[0147] 图1的第一实施例的半导体封装可以是无芯基板。此外，图2的第二实施例的半导体封装可以是有芯基板。

[0148] 参考图2，基板100包括绝缘层110。此外，绝缘层110可以具有多层结构。绝缘层110可以包括芯层111。芯层111可以包括预浸料。预浸料可以通过用环氧树脂浸渍呈织物片(诸如用玻璃纱编织的玻璃织物)形式的纤维层，并且然后执行热压缩来形成。芯层111可以包括树脂和设置在树脂中的增强纤维。该树脂可以是环氧树脂，但其不限于此。

[0149] 基板100的绝缘层110可以还包括设置在芯层111上的附加绝缘层112。附加绝缘层

112可以是ABF,其不包括包括在第一实施例的基板100中的加强材料。

[0150] 在这种情况下,根据第二实施例的基板100的电路层120的电极可以具有在基板100的绝缘层110的上表面上方突出的结构。

[0151] 图3是图示了根据第三实施例的半导体封装的截面图。

[0152] 参考图3,第三实施例的半导体封装与第一实施例的半导体封装的不同之处可以在于设置在基板100上的半导体器件的配置。因此,下面将仅描述设置在基板100上的半导体器件的配置。

[0153] 第三实施例的半导体封装可以包括设置在基板100的第一连接部210上的第一部件220。第一部件220可以是半导体器件,或者替选地,可以是中介层。此外,当第一部件220是中介层时,可以是有源中介层,并且可替选地,可以是无源中介层。

[0154] 此外,第三实施例的半导体封装可以包括设置在第一部件220上的第五连接部510。第五连接部510可以电连接到第一部件220。例如,当第一部件220是半导体器件时,第五连接部510可以设置在半导体器件的端子上。例如,当第一部件220是中介层时,第五连接部510可以设置在该中介层的电极上。

[0155] 此外,第三实施例的半导体封装可以包括设置在第五连接部510上的第二部件520。第二部件520可以是半导体器件。例如,第二部件520可以是CPU或GPU,但不限于此。第二部件520包括端子525。此外,第二部件520的端子525可以通过第五连接部510电连接到第一部件220。因此,第二部件520可以电连接到基板100。

[0156] 例如,多个半导体器件220和520可以在第三实施例的半导体封装中以堆叠结构设置在基板100上。此外,在第三实施例的半导体封装中,基板100和半导体器件520可以通过有源或无源中介层220电连接。

[0157] 虽然在图3的半导体封装中未示出,但是第三实施例的半导体封装可以包括图1所示的第二连接部240、模制成型层250、底部填充物230、外部基板300和半导体器件420。

[0158] 在下文中,将详细地描述该实施例的基板100的电路层120的电极结构以及设置在基板100上的第一保护层141和第二保护层142的开放区域的结构。

[0159] 图4是根据实施例的半导体封装的第一保护层的平面图,图5是根据实施例的半导体封装的第二保护层的平面图,图6是图示了根据实施例的半导体封装的第一保护层和第二保护层的设置关系的平面图,并且图7是其中图6的部分区域被放大的放大图。在这种情况下,图6可以是在图5的第二保护层142设置在图4的第一保护层141的通孔141T1中的状态下的平面图。

[0160] 参考图4,第一保护层141设置在基板100上。第一保护层141包括开放区域。第一保护层141包括贯穿上表面和下表面的多个通孔型开放区域。

[0161] 第一保护层141包括与设置在基板100上的半导体器件220竖直重叠的通孔141T1。第一保护层141的通孔141T1的形状和尺寸可以对应于半导体器件220的形状和尺寸。

[0162] 例如,当半导体器件220的平面形状是正方形时,第一保护层141的通孔141T1的平面形状可以具有正方形。

[0163] 此外,第一保护层141的通孔141T1的尺寸或面积可以对应于半导体器件220的下表面的尺寸或面积。例如,第一保护层141的通孔141T1的尺寸或面积可以是半导体器件220的下表面的尺寸或面积的60%或更多、70%或更多,或80%或更多。此外,第一保护层141的

通孔141T1的尺寸或面积可以小于半导体器件220的下表面的尺寸或面积。因此，第一保护层141的上表面的至少一部分可以在竖直方向上重叠半导体器件220。

[0164] 第一保护层141的上表面可以在设置有通孔141T1的区域中在水平方向上具有台阶。也就是说，第一保护层141的上表面可以包括内角部分141P和141C以限定通孔141T1。内角部分141P和141C可以在水平方向上具有台阶。例如，内角部分141P和141C可以被区分成在水平方向上具有台阶的突起表面141P和凹形表面141C。此外，突起表面141P和凹形表面141C可以设置在包括通孔141T1的第一保护层141的上表面的内角部分上，或者替选地，可以设置在第一保护层141的内表面的内角部分上。

[0165] 也就是说，图4示出了具有限定第一保护层141的通孔141T1的台阶结构的内角部分141P和141C。

[0166] 在这种情况下，内角部分141P和141C可以表示第一保护层141的限定通孔141T的上表面，并且可以在水平方向上具有台阶。在这种情况下，第一保护层141的限定通孔141的内表面可以不具有台阶。

[0167] 可替选地，内角部分141P和141C可以表示第一保护层141的限定通孔141T的内表面，并且可以具有沿着水平方向的台阶。在这种情况下，第一保护层141的限定通孔141的上表面可以不具有台阶。

[0168] 可替选地，内角部分141P和141C可以由第一保护层141的限定通孔141T的上表面和内表面的组合形成，并且可以在水平方向上具有台阶。换句话说，第一保护层141的限定通孔141的上表面和内表面中的每一者可以在水平方向上具有台阶。

[0169] 在下文中，假定内角部分141P和141C是第一保护层141的限定通孔141T的内表面。然而，该实施例不限于此，并且组成下面描述的内角部分141和141C的突起表面141P和凹形表面141C可以指第一保护层141的上表面而不是内表面。

[0170] 第一保护层141的通孔141T1的内表面可以在水平方向上具有台阶。例如，第一保护层141的通孔141T1的内表面可以包括在远离内表面的方向上突出的突起表面141P。例如，第一保护层141的通孔141T1的内表面可以包括向第一保护层141的内部凹入的凹形表面141C。

[0171] 例如，第一保护层141的通孔141T1的内表面可以包括突起表面141P，并且除了突起表面141P之外的内表面的一部分可以被称为凹形表面141C。可替选地，第一保护层141的通孔141T1的内表面可以包括凹形表面141C，并且内表面的除了凹形表面141C之外的一部分可以被称为突起表面141P。

[0172] 此外，第一保护层141的通孔141T1的内表面可以包括多个突起表面，所述多个突起表面在远离内表面的方向上具有不同的突起距离。因此，所述多个突起表面可以具有沿着内表面的周向方向的台阶。也就是说，第一保护层141的通孔141T1的内表面沿着内表面的周向方向具有台阶的事实可以指通过具有不同突起距离的多个突起表面而形成的台阶，或者可以指通过具有不同凹形距离的多个凹形表面而形成的台阶。

[0173] 在这种情况下，当通孔141T1的截面形状为正方形时，第一保护层141的通孔141T1的内表面可以具有分别对应于四个边的四个内表面。此外，突起表面141P和凹形表面141C可以形成在这四个内表面当中的至少一个内表面上。

[0174] 在这种情况下，第一保护层141的外表面不具有台阶。因此，第一保护层141的内表

面具有台阶的事实可能意味着彼此对应的第一保护层141的外表面和内表面之间的水平距离沿着第一保护层141的内表面的周缘是不同的。

[0175] 另一方面，描述了第一保护层141的通孔141T1的内表面包括沿着内表面的周向方向在水平方向上突出或凹入的突起表面141P和凹形表面141C，但其不限于此。例如，第一保护层141的内表面的突起表面141P和凹形表面141C可以具有竖直台阶的结构。这将在下面更详细地描述。

[0176] 同时，描述了该实施例的第一保护层141的通孔141T1的内表面包括突起表面141P和凹形表面141C，但其不限于此。

[0177] 例如，第一保护层141的内表面可以包括参考表面和在水平方向上从参考表面突出的至少一个突起表面。在这种情况下，参考表面也可以称为第一保护层141的内表面的凹形表面。

[0178] 例如，第一保护层141的内表面可以包括参考表面和从参考表面朝向第一保护层141的外表面向内凹入的至少一个凹形表面。在这种情况下，参考表面也可以称为第一保护层141的内表面的突起表面。

[0179] 例如，第一保护层141的内表面可以包括参考表面、从参考表面突出的突起表面以及从参考表面凹入的凹形表面。

[0180] 此外，第一保护层141的通孔141T1可以在竖直方向上重叠基板100的电路层120的多个电极。例如，基板100的电路层120包括多个第一电极、多个第二电极以及多个第三电极。第一保护层141的通孔141T1在竖直方向上重叠所述多个第二电极和所述多个第三电极。也就是说，第一保护层141的通孔141T1指一个孔，并且通孔141T1可以在竖直方向上与多个第一电极、多个第三电极以及设置在所述多个第一电极和所述多个第三电极之间的迹线共同重叠。

[0181] 第一保护层141可以包括多个开口。例如，第一保护层141可以包括多个第一开口141T2和多个第二开口141T3。第一开口141T2、第二开口141T3以及通孔141T1的基本相同之处在于它们贯穿第一保护层141，但是它们能够通过它们的位置、尺寸和形状中的至少一者来彼此区分。

[0182] 第一保护层141可以包括多个第一开口141T2。所述多个第一开口141T2可以在与通孔141T1相邻的区域中穿过第一保护层141。第一开口141T2没有连接到通孔141T1。例如，第一开口141T2可以在与通孔141T1间隔开的位置处穿过第一保护层141。然而，该实施例不限于此。例如，可以形成多个第一开口141T2，并且所述多个第一开口中的至少一个第一开口可以连接到通孔141T1。

[0183] 第一开口141T2可以被形成为与第一保护层141的通孔141T1的多个内表面相邻。例如，第一开口141T2可以被形成为与第一保护层141的第一至第四内表面中的每一个相邻。例如，第一保护层141可以具有一个通孔141T1，并因此具有相互连接的一个内表面。此外，第一保护层141的通孔141T1的一个内表面可以根据位置被划分成第一内表面至第四内表面。第一开口141T2的尺寸和/或形状可以对应于基板100的第二电极122的尺寸和/或形状。

[0184] 在这种情况下，第一开口141T2可以在竖直方向上与第二电极122的上表面部分重叠。例如，第二电极122的上表面的一部分在竖直方向上与第一保护层141的第一开口141T2

重叠，并且第二电极122的上表面的剩余部分可以被第一保护层141覆盖。例如，第一保护层141的第一开口141T2可以是焊接掩模限定(SMD)型开口，但其不限于此。例如，第一保护层141的第一开口141T2可以是非焊接掩模限定(NSMD)型开口。

[0185] 第一保护层141可以还包括第二开口141T3。第一保护层141的第二开口141T3可以在与通孔141T1和第一开口141T2间隔开的位置处穿过第一保护层141。

[0186] 优选地，第一保护层141的第二开口141T3可以在第一保护层141的上表面的外侧区域中贯穿第一保护层141的上表面和下表面。

[0187] 第一保护层141的第二开口141T3的宽度可以大于第一开口141T2的宽度。例如，基板100的电路层120的第二电极122的宽度可以小于第四电极123的宽度。相应地，第一保护层141的第一开口141T2的宽度可以小于第二开口141T3的宽度。

[0188] 同时，第一保护层141的通孔141T1可以称为设置有第二保护层142和第一连接部210的区域。此外，第一保护层141的第一开口141T2可以称为设置有第一连接部210的区域。此外，第一保护层141的第二开口141T3可以称为设置有第二连接部240的区域。

[0189] 同时，参考图5，第二保护层142可以包括多个开口142T。第二保护层142的所述多个开口142T可以在竖直方向上重叠第一保护层141的通孔141T1。第二保护层142的所述多个开口142T可以在竖直方向上重叠基板100的电路层120的第三电极124。基板100的电路层120的第三电极124可以设置为多个。因此，第二保护层142的开口142T可以包括与第三电极124相对应的彼此间隔开的多个开口。

[0190] 第二保护层142的开口142T可以在竖直方向上重叠电路层120的第三电极124。第二保护层142的开口142T可以在竖直方向上部分重叠第三电极124的上表面。例如，第三电极124的上表面的一部分可以在竖直方向上重叠第二保护层142的开口142T，而第三电极124的上表面的剩余部分可以被第二保护层142T覆盖。例如，第二保护层142的开口142T可以是SMD(焊接掩模限定)型开口，但其不限于此。例如，第二保护层142的开口142T可以是非焊接掩模限定(NSMD)型开口。

[0191] 同时，第一保护层141的上表面和第二保护层142的上表面可以定位在同一平面上。

[0192] 例如，第一保护层141的下表面和第二保护层142的下表面可以定位在同一平面上。

[0193] 换句话说，第一保护层141和第二保护层142可以设置在基板100的上部区域的不同位置处以具有相同的厚度，但该实施例不限于此。

[0194] 例如，第一保护层141和第二保护层142可以具有不同的厚度。例如，第二保护层142的厚度可以小于第一保护层141的厚度。例如，第二保护层142的上表面可以定位成低于电路层120的上表面。例如，第二保护层142的上表面可以定位成低于电路层120的第三电极124的上表面。

[0195] 也就是说，第二保护层142可以仅设置在基板100的绝缘层110上的多个第三电极124之间的区域中。例如，第二保护层142可以不在竖直方向上重叠被设置在基板100的绝缘层110的上表面上的多个电极。

[0196] 第二保护层142的外表面可以包括突起表面142P和凹形表面142C中的至少一者。例如，当第二保护层142的外表面包括突起表面142P时，除了突起表面142P之外的剩余外表

面也可以称为凹形表面。例如，当第二保护层142的外表面包括凹形表面时，除了凹形表面142C之外的剩余外表面可以称为突起表面。

[0197] 第二保护层142的外表面可以在水平方向上面对第一保护层141的内表面。

[0198] 在这种情况下，第一保护层141的内表面的突起表面141P的一部分可以在水平方向上重叠第二保护层142的外表面的突起表面142P的一部分，并且第一保护层141的内表面的突起表面141P的剩余部分可以在水平方向上重叠第二保护层142的外表面的凹形表面142C的一部分。

[0199] 此外，第一保护层141的内表面的凹形表面141C的一部分可以在水平方向上重叠第二保护层142的外表面的突起表面142P的一部分，并且第一保护层141的内表面的凹形表面141C的剩余部分可以在水平方向上重叠第二保护层142的外表面的凹形表面142C的一部分。

[0200] 同时，参考图6，第一保护层141包括通孔141T1。此外，第二保护层142设置在第一保护层141的通孔141T1内。

[0201] 在这种情况下，第一保护层141的通孔141T1的平面面积大于第二保护层142的通孔的平面面积。此外，第一保护层141不接触第二保护层142。

[0202] 因此，在第二保护层142设置在第一保护层141的通孔141T1内的状态下，在第一保护层141的通孔141T1的内表面与第二保护层142的外表面之间设置有分隔区域(SA)。

[0203] 分隔区域SA可以指在第一保护层141的通孔141T1的区域面积中在竖直方向上不与第二保护层142重叠的区域。因此，分隔区域SA可以具有在第一保护层141的内表面与第二保护层142的外表面之间的闭环形状。因此，能够防止与被定位在与分隔区域(SA)相邻的区域中的电路层的电短路，并且用作布置半导体器件的对准键，从而改善工艺良品率。此外，该实施例能够控制第一保护层141和第二保护层142对基板施加的应力，使得能够提高半导体器件封装的机械可靠性。

[0204] 此外，第一保护层141和第二保护层142在水平方向上的分隔距离可以包括沿着第二保护层142的外表面彼此不同的第一分隔距离和第二分隔距离。该分隔距离可以指沿着第二保护层142的外表面的周缘在第二保护层142的外表面与第一保护层141的内表面之间的在第一水平方向上的分隔距离。分隔距离可以指沿着第二保护层142的外表面的周缘在第二保护层142的外表面与第一保护层142的内表面之间的在垂直于第一水平方向的第二水平方向上的分隔距离。第一水平方向可以指水平方向、x轴方向和宽度方向中的任一个。并且，第二水平方向可以指垂直于第一水平方向的竖直方向、y轴方向和长度方向中的任一个。

[0205] 即，第一保护层141的通孔141T1的内表面与第二保护层142的外表面之间在水平方向上的距离可以包括沿着通孔141T1的内表面的不同距离。

[0206] 在这种情况下，分隔距离和距离可以具有相同的含义，并且这能够通过替换间距、间隔、宽度、间距宽度等来表达。

[0207] 例如，分隔距离可以包括第一分隔距离HL1和第二分隔距离HL2。另外，分隔距离可以还包括第三分隔距离HL3。

[0208] 具体地，第一保护层141的通孔141T1的内表面包括突起表面141P和凹形表面141C。此外，第二保护层142的外表面可以包括突起表面142P与凹形表面142C。

[0209] 此外，第一分隔距离HL1、第二分隔距离HL2和第三分隔距离HL3可以彼此不同。

[0210] 例如，第一分隔距离HL1可以大于第二分隔距离HL2，并且第二分隔距离HL2可以大于第三分隔距离HL3。例如，在第一分隔距离HL1、第二分隔距离HL2和第三分隔距离HL3中，第一分隔距离HL1可以是最大距离，而第三分隔距离HL3可以是最小距离。

[0211] 第一分隔距离HL1指第一保护层141的内表面的凹形表面141C与第二保护层142的外表面的凹形表面142C在分隔区域SA中彼此水平面对的区域的在水平方向上的距离。

[0212] 第二分隔距离HL2指第一保护层141的内表面的突起表面141P与第二保护层142的外表面的凹形表面142C在分隔区域SA中彼此水平面对的区域的在水平方向上的距离。

[0213] 第三分隔距离HL3指第一保护层141的内表面的凹形表面141C与第二保护层142的外表面的突起表面142P在分隔区域SA中彼此水平面对的区域的在水平方向上的距离。

[0214] 在这种情况下，分隔区域SA的第一分隔距离HL1、第二分隔距离HL2和第三分隔距离HL3之间的差异可以是由于设置在分隔区域SA中的第一电极121的布置结构所导致的。

[0215] 例如，第一电极121设置在分隔区域SA的第一分隔区域(例如，对应于第一分隔距离HL1的区域)中的数量多于设置在其它分隔区域中的数量，或者，替选地，连接到第一电极121的迹线可以集中设置在第一分隔区域中。

[0216] 此外，第一电极121和/或迹线设置在分隔区域SA的第二分隔区域(例如，对应于第二分隔距离HL2的区域)中的集成密度可以低于设置在第一分隔区域中的集成密度。

[0217] 这里，集成密度可以指电路层120的电极或迹线在某个区域中所占据的面积的比率。例如，如果电极或迹线在绝缘层110的某个单位面积中所占据的面积比例相对高，则可能意味着集成密度高。

[0218] 此外，第一电极121和/或迹线设置在分隔区域SA的第三分隔区域(例如，对应于第三分隔距离HL3的区域)中的集成密度可以低于设置在第一分隔区域和第二分隔区域中的集成密度。

[0219] 换句话说，设置在第一分隔区域中的第一电极和/或迹线之间的分隔距离可以小于设置在第二分隔区域和第三分隔区域中的第一电极和/或迹线之间的分隔距离。

[0220] 也就是说，第一电极或迹线(其必须在相互之间没有信号干扰或相互信号传输距离小)集中设置在第一分隔区域中。此外，该实施例在第二或第三分隔区域中布置由于信号相互干扰而需要一定分隔距离的第一电极和/或迹线。因此，该实施例能够改善半导体封装的电气可靠性，从而改善电信号特性。

[0221] 在这种情况下，第一电极121和迹线可以以相同集成密度设置在第一至第三分隔区域中，但是在这种结构中，要彼此连接的第一电极之间的距离可能增加，因此信号传输损耗可能增加。另外，当第一电极121和迹线以相同集成密度设置在第一至第三分隔区域中时，在发生相互信号干扰的情况下，第一电极必须间隔开很远，从而增加了分隔区域SA的总面积。此外，当分隔区域SA的总面积增加时，可能会增加未被第一保护层141和第二保护层142保护的电极或迹线的数量，因此，可能出现物理可靠性和电气可靠性问题。

[0222] 此外，如果具有不同集成密度的第一电极121和迹线可以设置在第一和第二分隔区域中并且分隔区域SA的分隔距离可以沿着第一保护层141的内表面的周缘是相同的，则其增加未被第一保护层141或第二保护层142覆盖的电极和迹线的面积，因此，可能导致电极或迹线由于热应力等而分层的问题。

[0223] 因此，分隔区域SA沿着第一保护层141的内表面和第二保护层142的外表面的周缘具有彼此不同的第一分隔距离和第二分隔距离。因此，通过在分隔区域SA中具有不同的电路集成密度并且最小化由于信号传输距离的减小导致的信号传输损耗，该实施例能够改善信号传输特性。此外，该实施例允许分隔区域中具有相对低电路集成密度的区域的分隔距离小于具有具有高电路集成密度的区域的分隔距离。因此，该实施例能够最小化在具有小分隔距离的分隔区域中由于迹线未被第一保护层141或第二保护层142覆盖而导致的可靠性问题。另外，该实施例可以进一步提高半导体封装的电气可靠性和物理可靠性。

[0224] 同时，虽然在上面的描述中示出了上保护层140被划分成第一保护层141和第二保护层142，但其不限于此。例如，上保护层140可以指一种构造：其包括与分隔区域SA相对应的第一开口、与第一保护层141的第一开口141T2相对应的第二开口、与第一保护层141的第二开口141T3相对应的第三开口、以及与第二保护层142的开口141T2相对应的第四开口。

[0225] 下文中，将描述基板100的电路层120的电极和迹线的布置结构以及第一保护层141和第二保护层142的开放区域的对应结构。

[0226] 图8是图示了形成在图1的区域A中的电路层的平面图，并且图9是在图8的电路层上设置有第一保护层和第二保护层的状态的平面图。

[0227] 参考图8，基板100的电路层120包括第一电极121、第二电极122以及第三电极124。此外，基板100的电路层120包括连接到第一电极121、第二电极122和第三电极124中的至少一者的迹线。

[0228] 第一电极121、第二电极122和第三电极124分别是指焊盘，该焊盘连接到安装在基板100上的半导体器件220的端子225。

[0229] 在这种情况下，半导体器件220的端子225设置在半导体器件220的下表面上。半导体器件220的下表面可以被划分成多个区域。例如，半导体器件220的下表面可以被划分成内侧区域、外侧区域、以及在该内侧区域和该外侧区域之间的中间区域。此外，半导体器件220的端子225分别设置在内侧区域、外侧区域及中间区域中。此外，基板100的电路层120的第一电极121连接到设置在半导体器件220的中间区域中的端子。此外，基板100的电路层120的第二电极122连接到设置在半导体器件220的外侧区域中的端子。此外，基板100的电路层120的第三电极124连接到设置在半导体器件220的内侧区域中的端子。在这种情况下，第一电极121、第二电极122和第三电极124中的至少一者可以具有与至少另一者不同的宽度或形状。例如，半导体器件220的端子225可以取决于布置位置而具有不同的尺寸或间距。因此，第一电极121、第二电极122和第三电极124可以具有对应于半导体器件220的端子225的尺寸或间距的宽度或形状。

[0230] 例如，第一电极121可以具有不同于第二电极122和第三电极124的形状。第一电极121连接到半导体器件220的端子225当中的具有相对较小间距和尺寸的端子。因此，第一电极121的平面面积可以小于第二电极122和第三电极124中的每一个的平面面积。

[0231] 在这种情况下，第一电极121可以包括在其上表面的周缘具有特定曲率半径的弯曲部和连接到该弯曲部的直线部。例如，第一电极121的上表面可以包括彼此面对的多个弯曲部和连接所述多个弯曲部的多个直线部。例如，第一电极121的平面可以具有椭圆形状，但其不限于此。

[0232] 在这种情况下，第一电极121在第一水平方向上的宽度W1可以小于第二电极122在

第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3。

[0233] 例如，第一电极121在第一水平方向上的宽度W1可以满足第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3的30％至95％的范围。例如，第一电极121在第一水平方向上的宽度W1可以满足第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3的32％至93％的范围。例如，第一电极121在第一水平方向上的宽度W1可以满足第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3的35％至90％的范围。

[0234] 此外，第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3可以彼此相同或可以不同。例如，第二电极122在第一水平方向上的宽度W2可以小于第三电极124在第一水平方向上的宽度W3，但其不限于此。第二电极122和第三电极124具有不同于第一电极121的形状。例如，第二电极122和第三电极124可以具有圆形形状。

[0235] 第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3可以满足20μm至80μm的范围。例如，第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3可以满足25μm至75μm的范围。例如，第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3可以满足30μm至70μm的范围。当第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3小于20μm时，可能无法与半导体器件220的端子形成稳定的电连接。此外，当第二电极122在第一水平方向上的宽度W2和第三电极124在第一水平方向上的宽度W3超过80μm时，可能难以将连接到半导体器件220的端子的第二电极122和第三电极124两者放置在有限空间内。

[0236] 因此，第一电极121在第一水平方向上的宽度W1可以满足7μm至76μm的范围。例如，第一电极121在第一水平方向上的宽度W1可以在10μm至70μm的范围内。例如，第一电极121在第一水平方向上的宽度W1可以满足15μm至58μm的范围。当第一电极121的第一水平方向的宽度W1小于7μm时，可能难以将第一连接部210稳定地放置在第一电极121上，从而可能由于第一连接部210的向下流动而发生电短路问题。当第一电极121在第一水平方向上的宽度W1超过76μm时，可能无法在分隔区域SA中的多个第一电极之间确保用于布置多条迹线的空间。此外，当没有确保用于布置所述多条迹线的空间时，在形成迹线的工艺中可能会出现图案缺陷。例如，当没有确保用于布置所述多个迹线的空间时，这会导致诸如迹线变形或者由于在形成迹线的工艺中迹线连接到不应被电连接的电极或迹线所引起的电短路问题的缺陷。

[0237] 同时，第一电极121、第二电极122和第三电极124在垂直于第一水平方向的第二水平方向上的宽度可以彼此相等。

[0238] 在这种情况下，第一电极121可以具有在第一水平方向和第二水平方向上具有相同宽度的圆形形状，但在这种情况下，可能在安装半导体器件220的工艺中由于第一连接部210的溢出而出现电短路问题。也就是说，当在设置有第一连接部210的状态下安装半导体器件220的工艺进行时，压力被施加到第一连接部210，因此，第一连接部210沿着水平方向扩展。在这种情况下，当第一电极121在第二水平方向上的宽度等于在第一水平方向上的宽度W1时，这可能由于第一连接部210的扩展而导致与邻近的迹线或电极接触的问题。

[0239] 因此，该实施例允许第一电极121具有在第一水平方向和第二水平方向上具有不同宽度的椭圆形状。结果，该实施例允许第一电极121具有在具有相对大间距的方向上延伸

的形状。因此，该实施例允许第一连接部210在电路的电短路风险相对较低的方向上扩展，因此，它能够显著解决电短路问题。

[0240] 此外，设置在分隔区域SA中的第一电极121的第一水平方向的宽度W1小于通过第一保护层141或者第二保护层142的曝光和显影工艺(或根据工艺能力)能够形成的开口的尺寸。因此，当第一保护层141或第二保护层142设置在分隔区域SA中并且在竖直方向上重叠第一电极中的每一个的开口形成在第一保护层141或第二保护层142中时，由于开口的形成工艺能力和工艺偏差，至少一个第一电极的上表面在竖直方向上可能不与开口重叠，结果，可能导致不能电连接到半导体器件220的电气可靠性问题。

[0241] 因此，该实施例允许第一保护层141的通孔141T1的内表面在水平方向上具有台阶，或第二保护层142的外表面在水平方向上具有台阶，以便于最小化分隔区域的面积，同时防止第一保护层141和第二保护层142设置在分隔区域SA中。因此，该实施例可以提高半导体封装的电气可靠性和物理可靠性。

[0242] 参考图9，该实施例的基板100的电路层120包括第一电极121和第一迹线，它们设置在第一保护层141与第二保护层142之间的分隔区域SA中。

[0243] 此外，基板100的电路层120包括第二电极122，该第二电极122设置成与分隔区域SA相邻并且设置在第一区域R1中，该第一区域R1竖直重叠第一保护层141的第一开口141T2。

[0244] 此外，基板100的电路层120包括第三电极124，该第三电极124设置在第二区域R2中，该第二区域R2在竖直方向上重叠第二保护层142的开口142T。

[0245] 同时，该实施例的第一保护层141的内表面的突起表面141P的内表面可以不具有台阶，或者替选地，可以形成有台阶。

[0246] 图10是图示了根据第一实施例的第一保护层的突起表面的截面图，图11a至图11d是图示了根据第二实施例的第一保护层的突起表面的截面图，图12a和图12b是图示了根据第三实施例的第一保护层的突起表面的截面图，并且图13是图示了根据第四实施例的第一保护层的内表面的在竖直方向上的台阶结构的截面图。

[0247] 参考图10，该实施例的第一保护层的通孔141T1的内表面在竖直方向上可以不具有台阶。

[0248] 例如，组成第一保护层141的通孔141T1的内表面包括突起表面141P，如图10(a)所示。此外，第一保护层141的通孔141T1的内表面包括参考表面141B，如图10(b)所示。突起表面141P基于参考表面141B在水平方向上突出了预定宽度W4。例如，突起表面141P基于参考表面141B在水平方向上朝向第二保护层142的外表面突出了宽度W4。在这种情况下，第一保护层141的通孔141T1的内表面可以在竖直方向上不具有台阶。例如，第一保护层141的通孔141T1的突起表面141P和参考表面141B中的每一者可以和与第一保护层141的上表面相邻的部分的宽度以及与第一保护层141的下表面相邻的部分的宽度相同。例如，第一保护层141的通孔141T1的突起表面141P和参考表面141B的每个内表面可以具有在从第一保护层141的上表面到下表面的方向上不具有宽度变化的倾斜度。

[0249] 同时，第一保护层141的通孔141T1的突起表面141P和参考表面141B的每个内表面可以在竖直方向上具有台阶。在下文中，以第一保护层141的通孔141T1的突起表面141P为参考进行描述。对应地，第一保护层141的通孔141T1的参考表面或凹形表面也可以在竖直

方向上具有台阶。

[0250] 在第二实施例中，突起表面141P的内表面可以具有其中随着它接近基板100的下表面而宽度在竖直方向上增加的倾斜度。在这种情况下，突起表面141P可以设置在第一保护层141的内表面的内角部分上。

[0251] 作为示例，参考图11a，第一保护层141的通孔141T1的突起表面141P的内表面可以具有其中随着其接近基板100的上表面而宽度逐渐增加的倾斜度。

[0252] 作为另一实施例，参考图11b，第一保护层141的通孔141T1的突起表面141P的内表面可以具有其中随着其接近基板100的上表面而宽度增加的一定倾斜曲率。

[0253] 作为另一实施例，参考图11c，第一保护层141的通孔141T1的突起表面141P的内表面可以具有阶梯状台阶，其中宽度不改变且然后随着其接近基板100的下表面而增加。此外，阶梯状台阶的数量可以是一个，或者两个或者更多个。

[0254] 作为另一实施例，参考图11d，第一保护层141的通孔141T1的突起表面141P的内表面可以包括：第一内表面，该第一内表面与基板100的上表面相邻并且具有其宽度朝向基板100的下表面增加的第一曲率；和第二内表面，该第二内表面具有第二曲率，该第二内表面与基板100的下表面相邻并且宽度朝向基板100的上表面减小。在这种情况下，第一曲率和第二曲率可以彼此相同或不同。此外，虽然图11d中的突起表面141P的内表面被图示为包括两个曲率，但不限于此。例如，突起表面141P的内表面可以包括三个或更多个曲率。

[0255] 此外，另一实施例中的突起表面141P的内表面可以具有其中图11c的内表面的斜度和图11d的内表面的斜度被合并的形状。第三实施例中的突起表面141P的内表面可以具有随着其接近基板100的下表面而在竖直方向上宽度减小的倾斜度。在这种情况下，突起表面141P可以设置在第一保护层141的上表面的内角部分上。

[0256] 作为示例，参考图12a，组成第一保护层141的通孔141T1的突起表面141P的内表面可以包括与基板100的下表面相邻的凹入部分141R。凹入部分141R可以设置成与突起表面141P的内表面上的第一保护层141的下表面相邻。因此，突起表面141P的内表面可以包括第一内表面和第二内表面，其中该第一内表面与第一保护层141的上表面相邻且具有宽度不变化的第一斜度，该第二内表面与第一保护层141的下表面相邻且具有宽度不变化的第二斜度并且与第一内表面具有台阶差。例如，突起表面141P的内表面可以在与第一保护层141的上表面相邻的部分处具有大宽度的阶梯状台阶。

[0257] 作为另一实施例，参考图12b，与图12a相比，突起表面141P的内表面的第二斜度可以具有其宽度朝向第一保护层141的下表面减小的斜度。在这种情况下，第二斜度可以具有其宽度朝向第一保护层141的下表面逐渐减小的直线形状，或者可以具有如附图中所示的具有一定曲率的弯曲形状。

[0258] 作为另一实施例，参考图13，与图12b相比，突起表面141P的内表面的第一斜度可以具有其中宽度朝向第一保护层141的下表面减小的斜度。在这种情况下，第一斜度可以具有如图所示的宽度朝向第一保护层141的下表面逐渐减小的直线形状，或者可以具有带有一定曲率的弯曲形状。同时，示出在竖直方向上的台阶是图12a、图12b和图13中的一个，但不限于此。例如，在竖直方向上的两个或更多个台阶可以通过图12a、图12b和图13中所示的至少三个斜度的组合来设置。

[0259] 图14至图27是按工艺顺序来图示根据示例性实施例的半导体封装的制造方法的

截面图。

[0260] 在下文中，将参考图14至图27按工艺顺序来描述制造图1的半导体封装的方法。同时，第二和第三实施例的半导体封装可以基于下述制造工艺来制造。

[0261] 参考图14，该实施例制备作为用于制造基板100的基础的材料。例如，该实施例制备用于制造ETS结构的基板100的载板。载板包括载体绝缘层CB1以及设置在载体绝缘层CB1的至少一表面上的载体金属层CB2。图14示出了载体金属层CB2仅设置在载体绝缘层CB1的下表面上，但其不限于此。例如，载体金属层CB2也可以设置在载体绝缘层CB1的上表面上。因此，该实施例可以继续进行使用分别设置在载体绝缘层CB1两侧上的载体金属CB2同时制造多个基板100的工艺。

[0262] 接下来，参考图15，该实施例可以继续进行使用设置在载体绝缘层CB1的至少一个表面上的载体金属层CB2作为种子层，从而在载体金属层CB2的下表面上形成基板100的电路层120的一部分的工艺。例如，该实施例可以继续进行在载体金属层CB2的下表面上形成电极120a的工艺，该电极120a是设置在基板100的最上侧上的电路层。

[0263] 接下来，参考图16，当形成电极120a时，该实施例可以继续进行至少一次层压绝缘层110的工艺、形成通孔的工艺、形成贯通电极的工艺以及形成电路层的工艺，并因此可以制造基板100。

[0264] 接下来，参考图17，该实施例可以继续进行移除载板的工艺。例如，该实施例可以继续进行分离载体绝缘层CB1和载体金属层CB2的工艺。接下来，该实施例可以继续进行通过蚀刻来移除设置在基板100上的载体金属层CB2的工艺。

[0265] 接下来，参考图18，该实施例可以继续进行在基板100上形成上保护层140的第一保护层141的工艺。为此，该实施例可以继续进行涂敷完全地覆盖基板100的上部的绝缘材料的工艺、通过曝光和显影移除所涂覆的绝缘材料的工艺、以及形成第一保护层141的通孔141T1、第一开口141T2和第二开口141T3的工艺。

[0266] 对应地，该实施例可以继续进行在基板100的下部分下方形成下保护层150的工艺。

[0267] 接下来，参考图19，该实施例可以继续进行在基板100上的第一保护层141的通孔141T1内形成第二保护层142的工艺。在这种情况下，能够在形成第二保护层142的工艺中形成第二保护层142和第一保护层141之间的分隔区域SA、以及第二保护层142的开口142T。

[0268] 同时，在上面的描述中，形成上保护层140的第一保护层141和第二保护层142的工艺是分阶段执行的，但其不限于此。

[0269] 例如，该实施例可以继续进行完全形成绝缘材料140R的工艺，用于在基板100上形成第一保护层141和第二保护层142，如图20所示。

[0270] 接下来，该实施例可以继续进行通过曝光和显影来移除绝缘材料140R的工艺以及形成分隔区域SA、第一保护层141的第一开口141T2、第一保护层141的第二开口141T3、以及第二保护层142的开口142T的工艺，如图21中所示。

[0271] 接下来，该实施例可以继续进行将第一连接部210设置在基板100上的工艺，如图22中所示。例如，该实施例可以继续进行将第一连接部210布置于在竖直方向上重叠分隔区域SA的第一电极121上、布置于竖直重叠第一保护层141的第一开口141T2的第二电极122上、布置于在竖直方向上重叠第二保护层142的开口142T的第三电极124上的工艺。

[0272] 接下来，该实施例可以继续进行将半导体器件220安装在第一连接部210上的工艺，如图23中所示。因此，半导体器件220的端子225可以通过第一连接部210分别电连接到第一电极121、第二电极122和第三电极124。在这种情况下，半导体器件220具有设置在第二保护层142上的结构。另外，半导体器件220的至少一部分可以具有设置在第一保护层141上的结构。

[0273] 接下来，该实施例可以继续进行形成底部填充物230的工艺，该底部填充物230覆盖安装在基板100上的半导体器件220的外围，如图24中所示。

[0274] 此外，该实施例可以继续进行在设置于基板100的下表面上的下保护层150的开口中形成第三连接部260的工艺。

[0275] 接下来，该实施例可以继续进行在竖直方向上与第一保护层141的第二开口141T3重叠的第四电极123上形成第二连接部240的工艺，如图25中所示。第二连接部240可以是以一定高度突出的柱状凸块。

[0276] 接下来，该实施例可以继续进行形成用于将第一保护层141的上部、第二保护层142的上部、第二连接部240、半导体器件220、以及底部填充物230模制成型的模制成型层250的工艺，如图26中所示。

[0277] 另一方面，该实施例可以选择性地继续进行在形成了模制成型层250之后抛光模制成型层250的上表面的工艺。此外，通过模制成型层250的抛光工艺，模制成型层250可以具有在竖直方向上与第二连接部240重叠的开口。

[0278] 接下来，该实施例可以继续进行将在其上安装有半导体器件420的外部基板300附接在第二连接部240上的工艺，如图27中所示。

[0279] 该实施例的半导体封装包括基板。此外，半导体封装包括第一保护层，该第一保护层设置在基板上并且具有通孔。此外，半导体封装包括第二保护层，该第二保护层设置在基板上并且设置在第一保护层的通孔内。

[0280] 在这种情况下，第一保护层的内表面包括朝向第二保护层突出的突起表面。优选地，第二保护层的外表面包括朝向第一保护层突出的突起表面。

[0281] 因此，第一保护层的通孔的内表面和第二保护层的外表面之间在水平方向上的分隔距离可以包括沿着通孔的内表面的不同分隔距离。

[0282] 例如，分隔距离可以包括第一分隔距离和第二分隔距离。此外，第一分隔距离和第二分隔距离可以彼此不同。例如，第一分隔距离可以大于第二分隔距离。

[0283] 在这种情况下，基板的电路层的第一电极和迹线可以集中设置在与第一分隔距离相对应的第一分隔区域中，而不是在与第二分隔距离相对应的第二分隔区域中。例如，设置在第一分隔区域中的第一电极和/或迹线之间的距离可以小于设置在第二分隔区域中的第一电极和/或迹线之间的距离。

[0284] 这意味着第一分隔区域中的电路层的集成密度高于第二分隔区域中的电路层的集成密度。

[0285] 在这种情况下，第一电极和迹线可以以相同的集成密度设置在第一分隔区域和第二分隔区域中。然而，这可能增加要彼此连接的第一电极之间的距离，从而增加信号传输损耗。另外，当第一电极和迹线以相同的集成密度设置在第一和第二分隔区域中时，分隔区域的总面积可能会增加，这是因为发生相互信号干扰的第一电极应该离得更远。此外，当分隔

区域的整体增加时，未被第一保护层和第二保护层保护的电极或迹线的数量增加，因此，可能导致物理可靠性和电气可靠性问题。

[0286] 此外，具有不同集成密度的第一电极和迹线可以设置在第一分隔区域和第二分隔区域中，并且分隔区域的分隔距离可以沿着第一保护层的内表面的周缘是相同的。但是，这增加了未被第一保护层或第二保护层覆盖的电极和迹线的面积，因此，可能导致电极或迹线由于热应力等而被分层的问题。

[0287] 因此，分隔区域沿着第一保护层的内表面和第二保护层的外表面的周缘具有彼此不同的第一分隔距离和第二分隔距离。因此，该实施例能够通过在分隔区域中具有不同的电路集成密度并且最小化由于信号传输距离的减小而导致的信号传输损失来改善信号传输特性。此外，该实施例允许分隔区域中的具有相对低电路集成密度的区域的分隔距离小于具有高电路集成密度的区域的分隔距离。因此，该实施例能够最小化由于在具有小分隔距离的分隔区域中的迹线未被第一保护层或第二保护层覆盖而导致的可靠性问题。另外，实施例可以进一步提高半导体封装的电气可靠性和物理可靠性。

[0288] 另一方面，当具有本发明的上述特征的电路板在诸如智能手机、服务器计算机、TV等的IT设备或家用电器中使用时，能够稳定地执行诸如信号传输或电力供应的功能。例如，当具有本发明的特征的电路板执行半导体封装功能时，它能够起到安全保护半导体芯片免受外部湿气或污染物的作用，或者替选地，能够解决漏电流、端子之间的电短路、以及供应给半导体芯片的端子的电子开口的问题。此外，当信号传输功能负责时，能够解决噪声问题。通过此，具有本发明的上述特性的电路板能够维持IT设备或家电的稳定功能，使得应用本发明的整个产品和电路板能够彼此实现功能的统一性或技术联锁。

[0289] 当具有上述本发明的特性的电路板在诸如车辆的运输设备中使用时，能够解决传输到运输设备的信号失真的问题，或者替选地，能够通过从外部安全地保护控制运输设备的半导体芯片并且解决端子之间的漏电流或电短路或供应给半导体芯片的端子的电子开口的问题来进一步改善传输设备的安全性。因此，应用本发明的交通设备和电路板能够彼此实现功能整合或技术联锁。另外，当具有本发明的上述特性的电路板在诸如车辆的交通设备中使用时，能够高速传输车辆所需的大电流信号，从而改善交通设备的安全性。另外，电路板和包括电路板的半导体封装即使在交通设备的各种驾驶环境中发生的意外情形下也能正常操作，从而安全地保护驾驶员。

[0290] 在上述实施例中描述的特征、结构、效果等被包括在至少一个实施例中，并且不一定仅限于一个实施例。另外，在每个实施例中所图示的特征、结构、效果等能够通过该实施所属的技术领域的普通技术人员对其它实施例进行组合或修改。因此，与这样的组合和变化有关的内容应被解释为包括在实施例的范围内。

[0291] 在上文中，已经主要描述了实施例，但这仅仅是示例并且不限制实施例，并且该实施例所属领域的普通技术人员将理解，以上未图示的各种修改和应用在没有脱离本实施例的本质特性的情况下是可能的。例如，能够通过修改来实现实施例中具体示出的各个部件。并且与这些修改和应用有关的差异应被解释为包括在所附权利要求书中阐述的实施例的范围内。

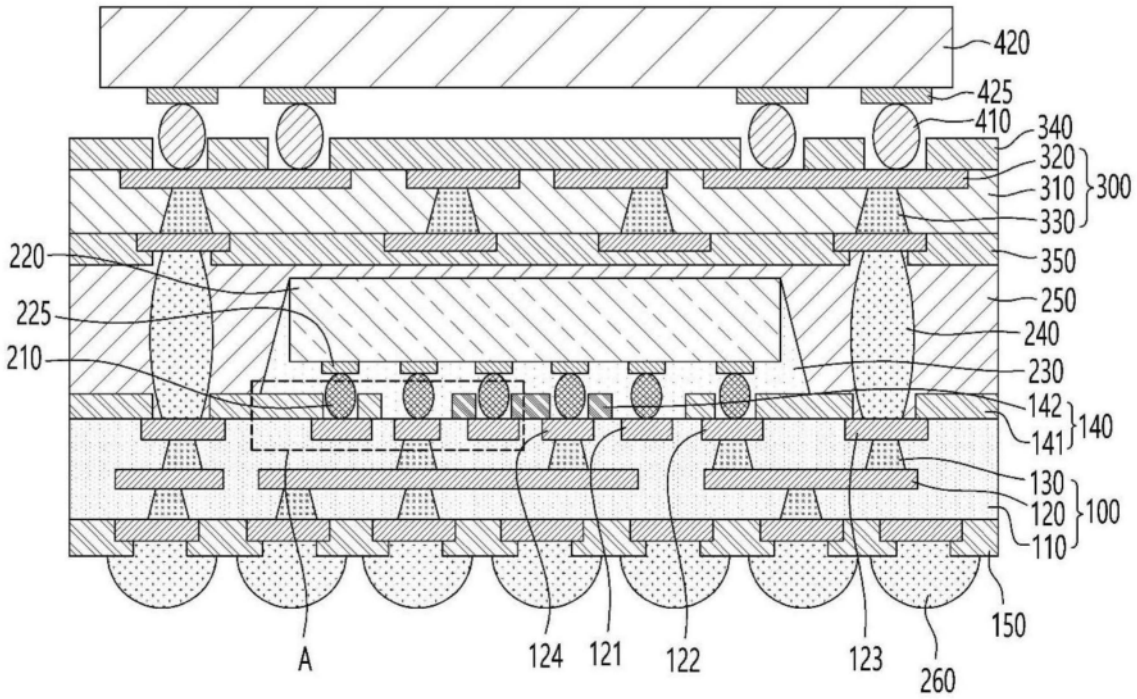

420
425
410
340
320
310
300
330
220
350
225
250
240
210
230
142
141
140
130
120
100
110
150
A
124
121
122
123
260

图1

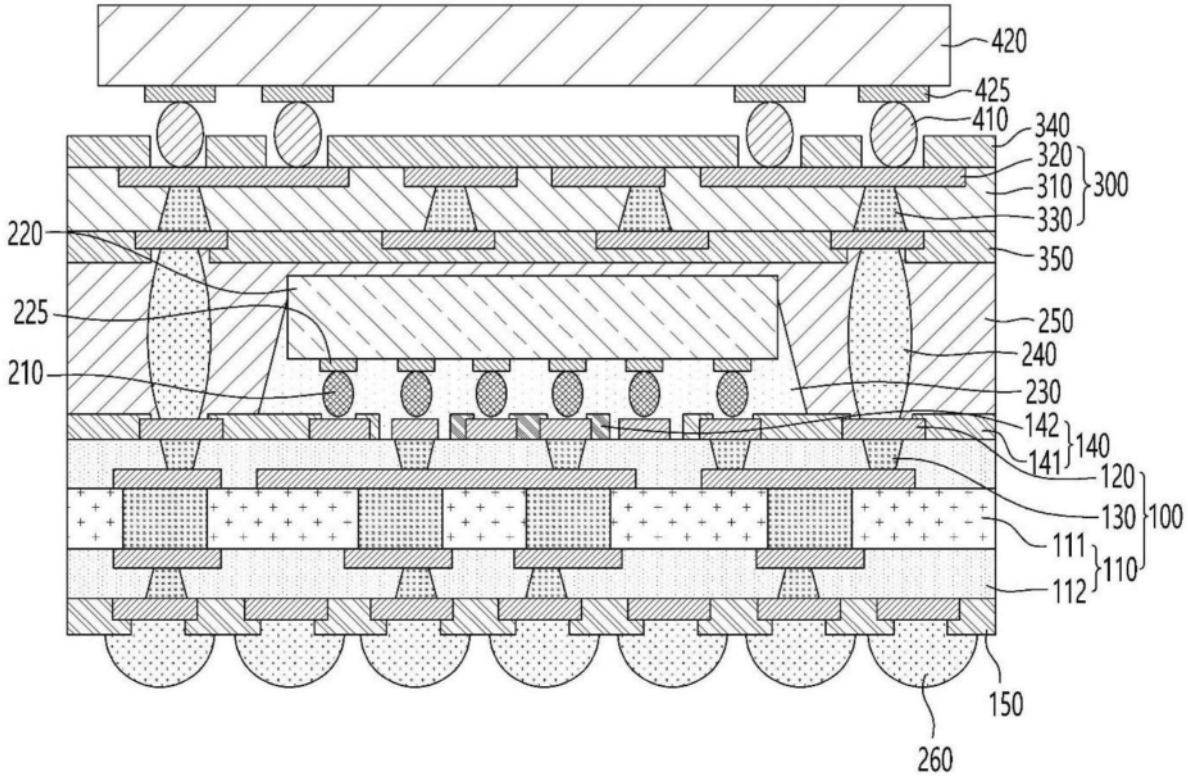

420
425
410
340
320
310
300
330
220
350
225
250
240
210
230
142
141
140
120
130
100
111
110
112
150
260

图2

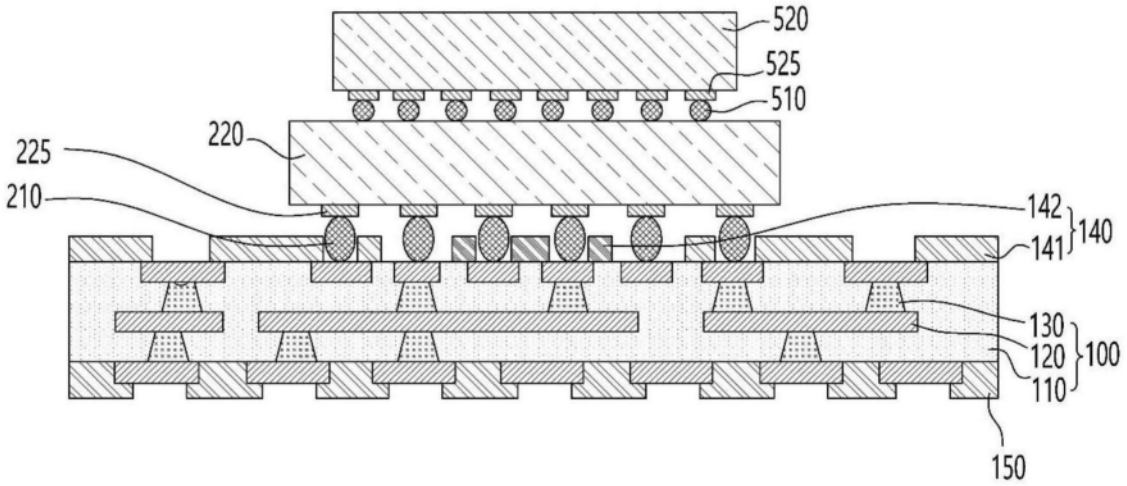

520
525
510
220
225
210
142
140
141
130
120
100
110
150

图3

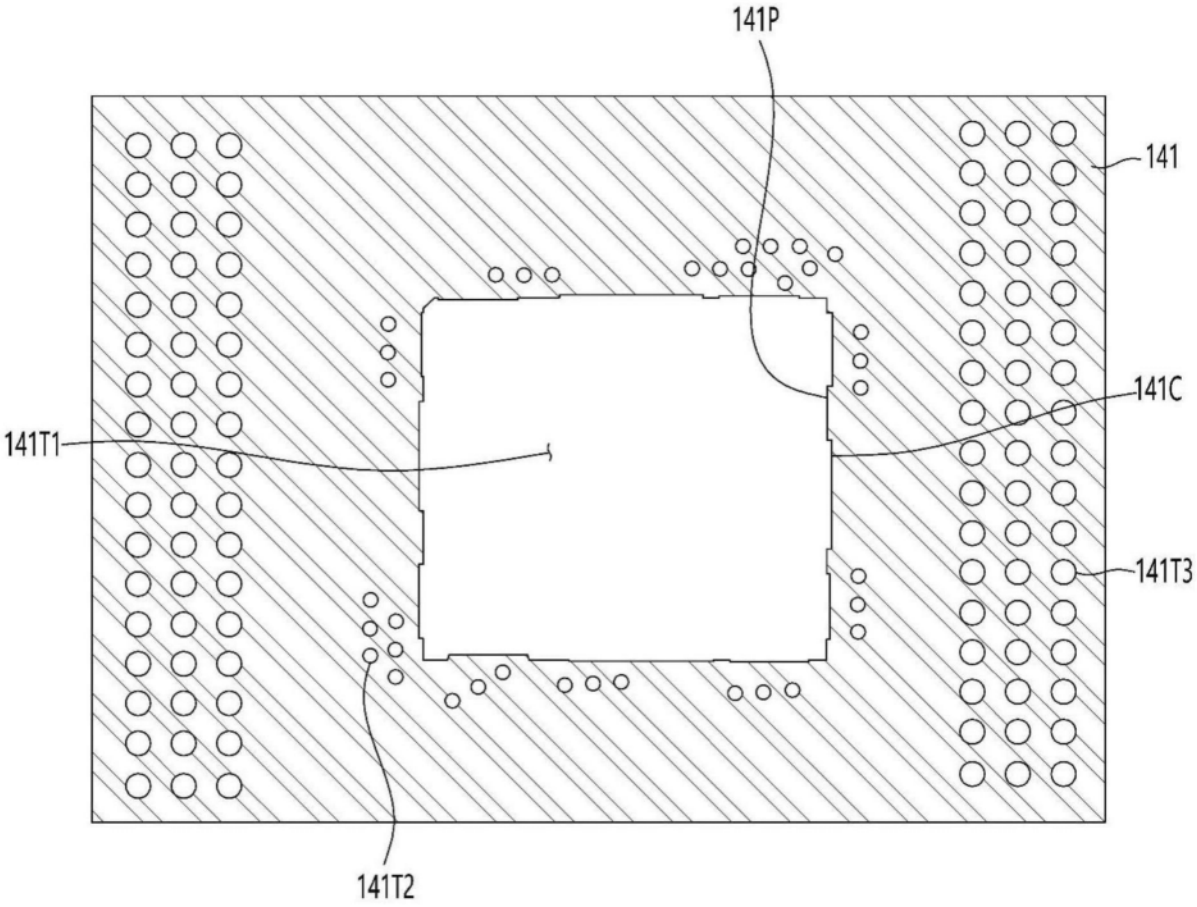

141P
141
141C
141T1
141T3
141T2

图4

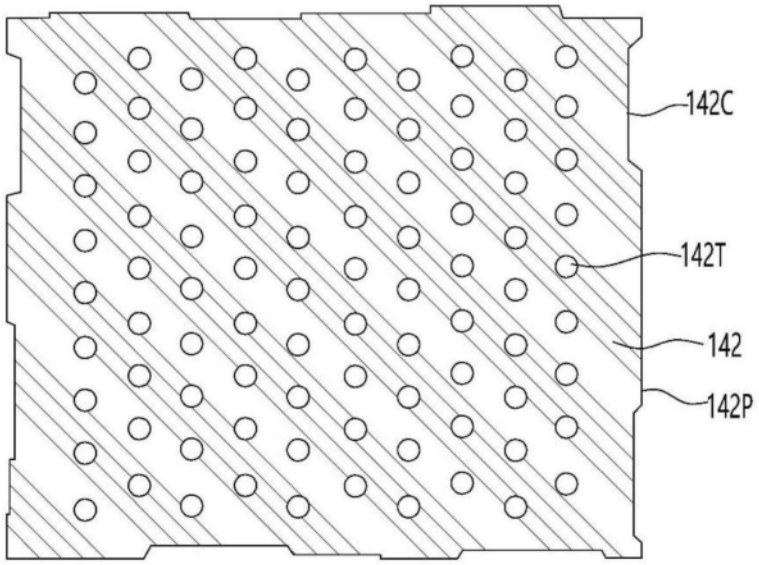

142C
142T
142
142P

图5

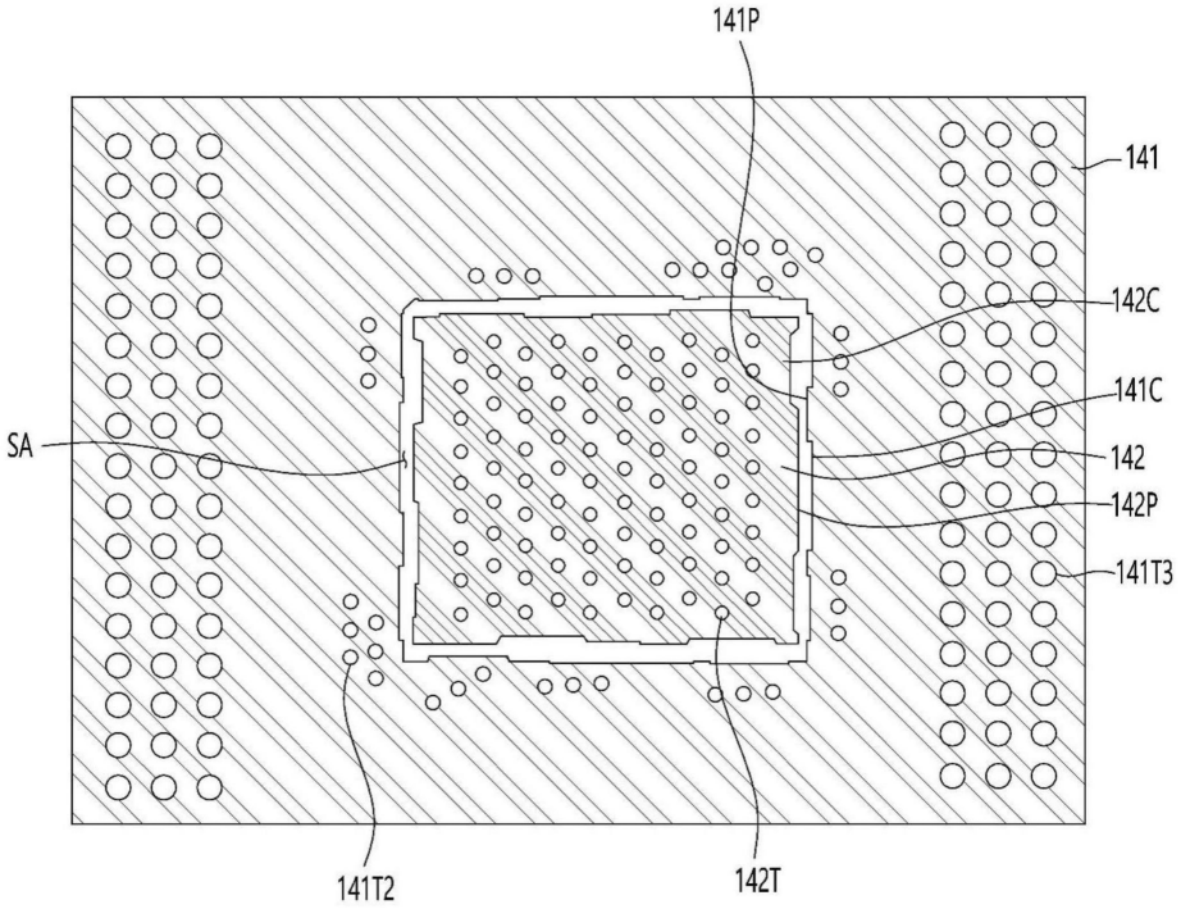

141P
141
142C
141C
SA
142
142P
141T3
141T2
142T

图6

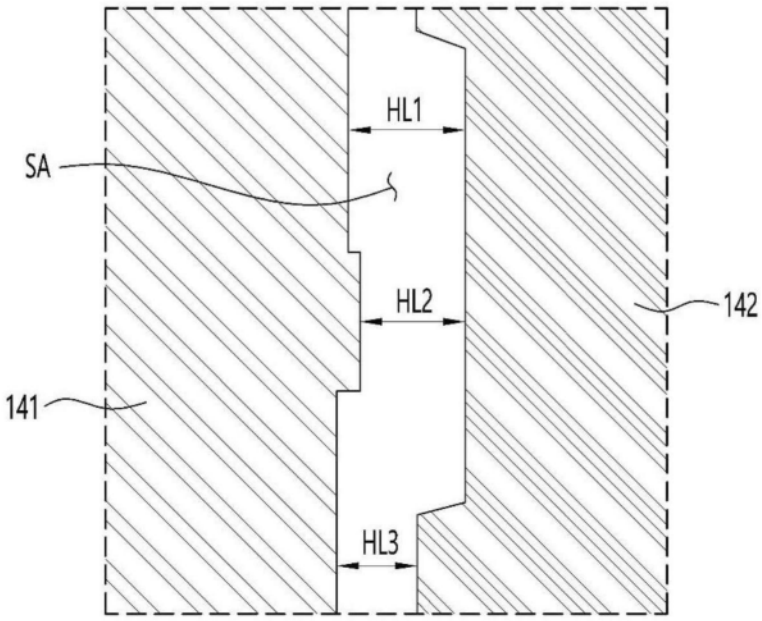


图7

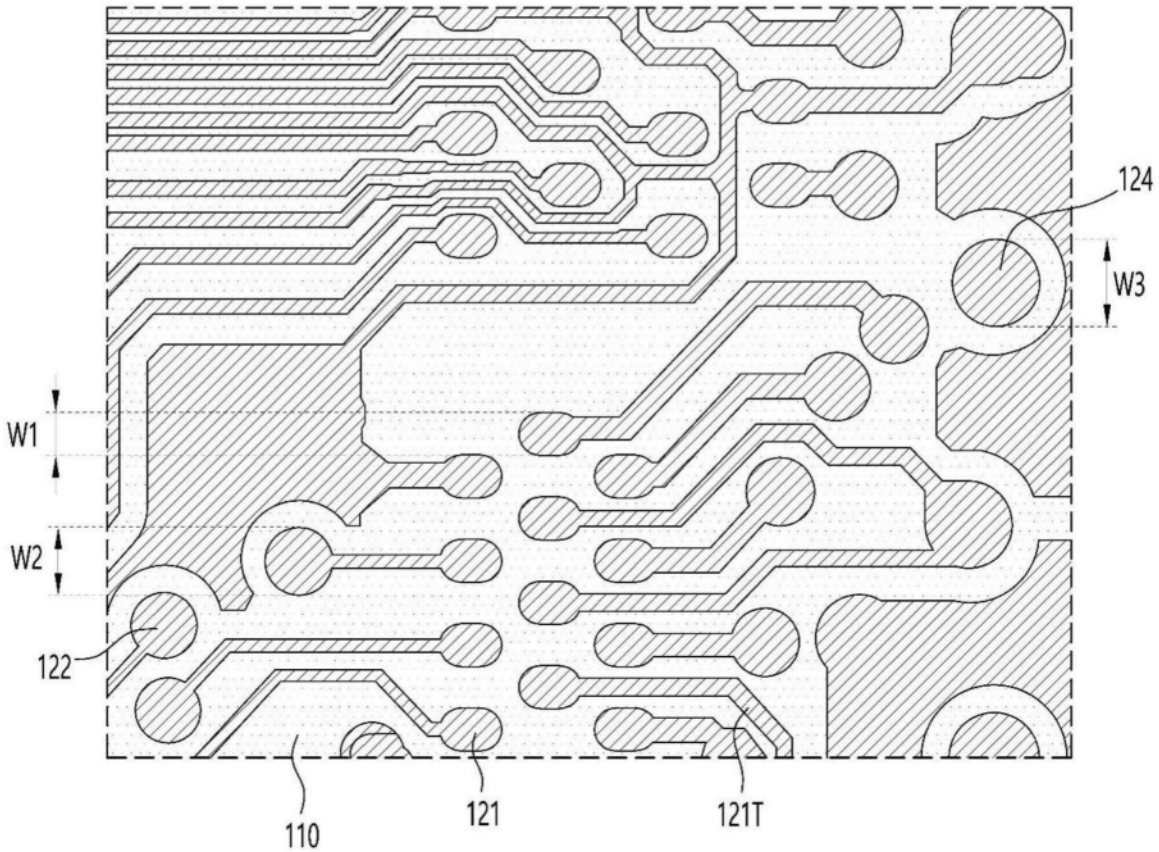


图8

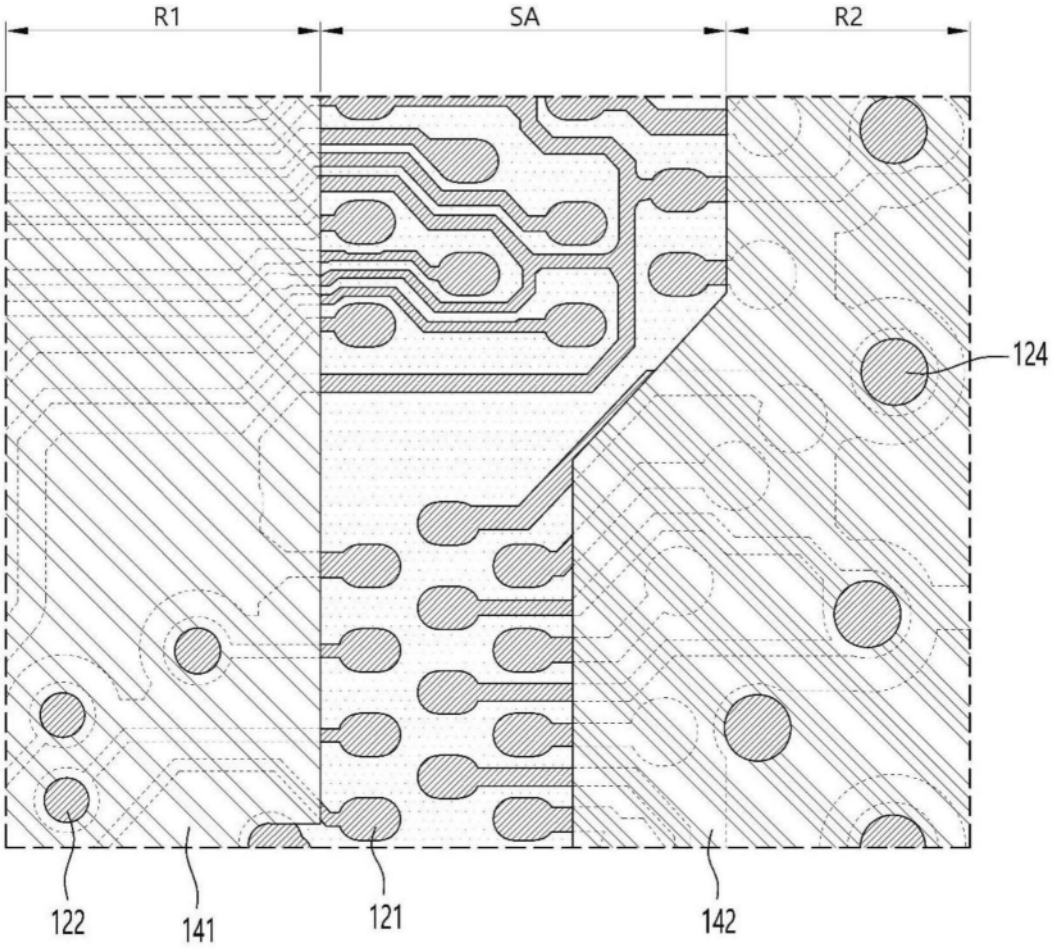


图9

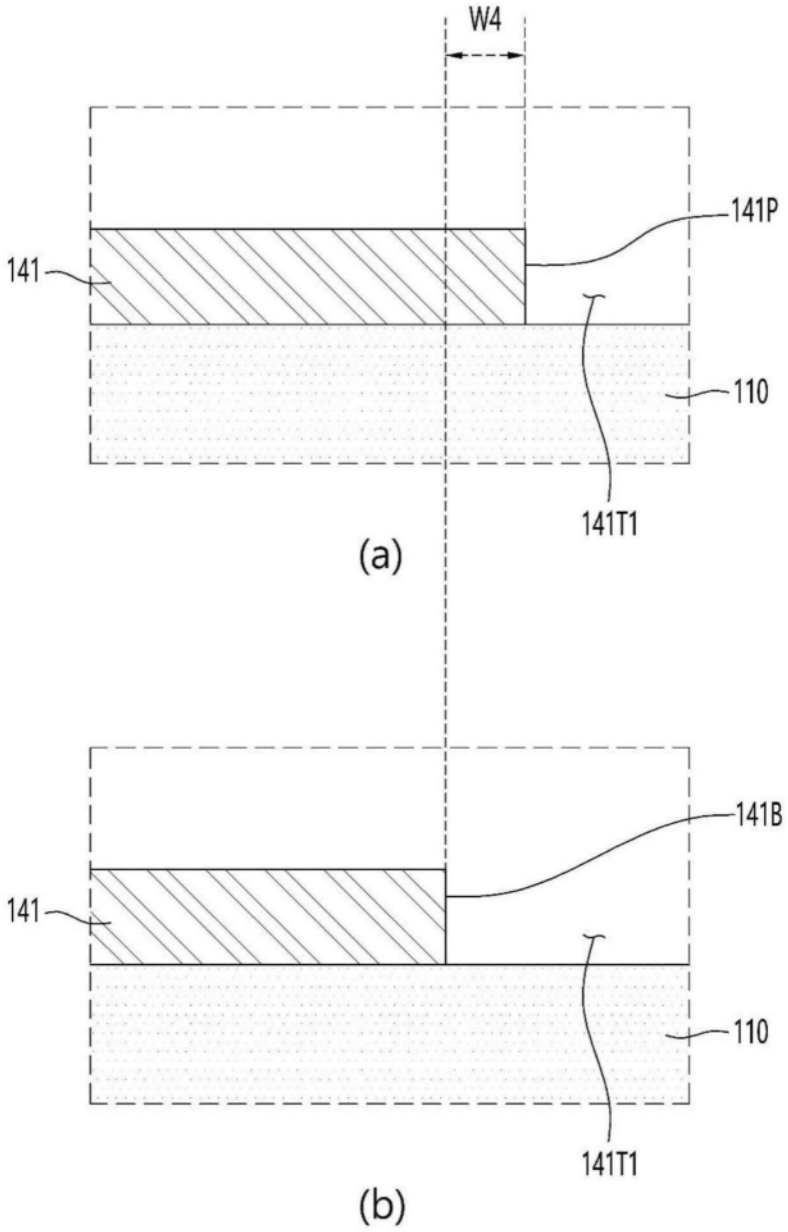


图10

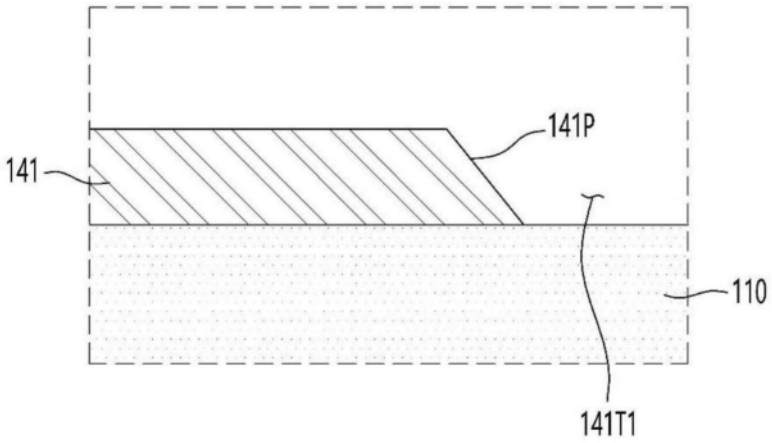


图11a

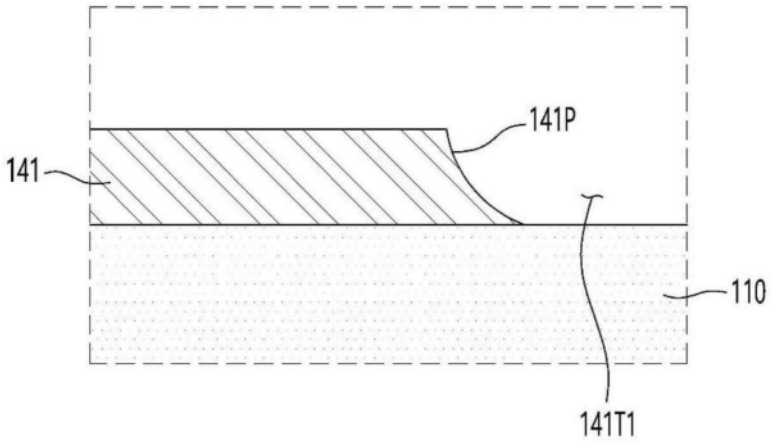


图11b

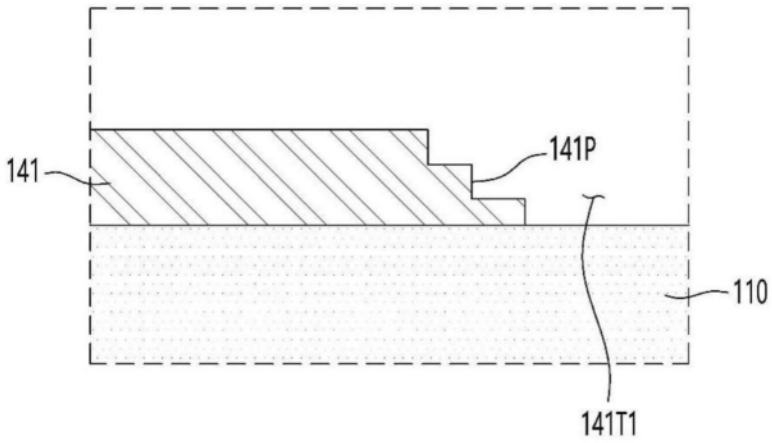


图11c

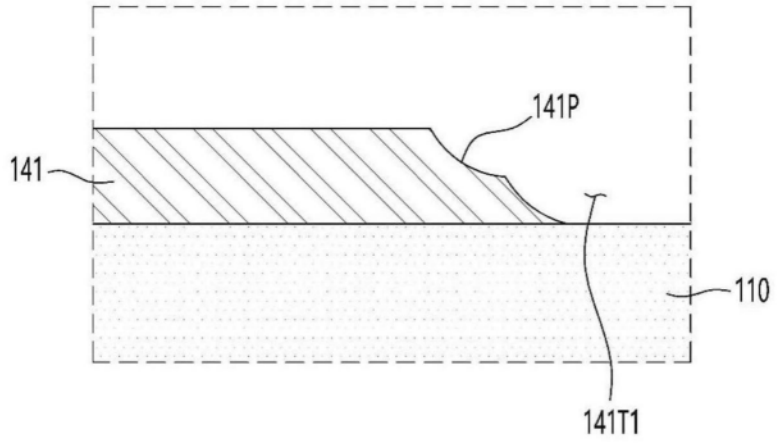


图11d

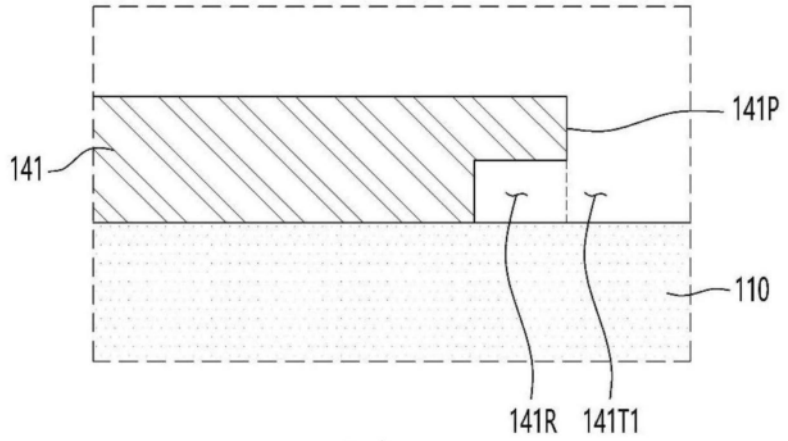


图12a

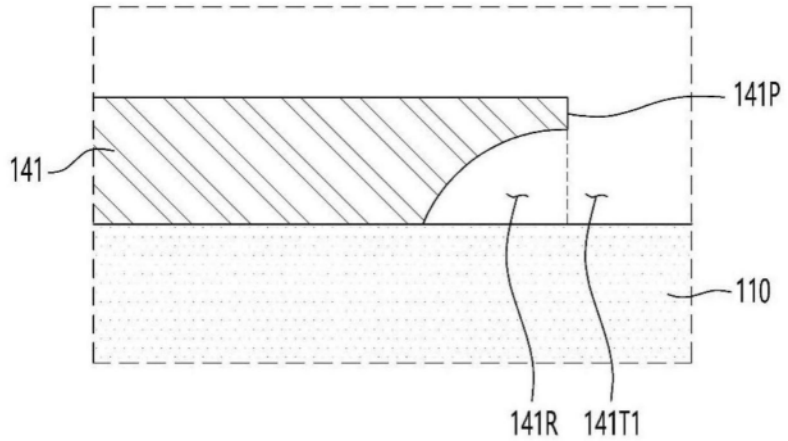


图12b

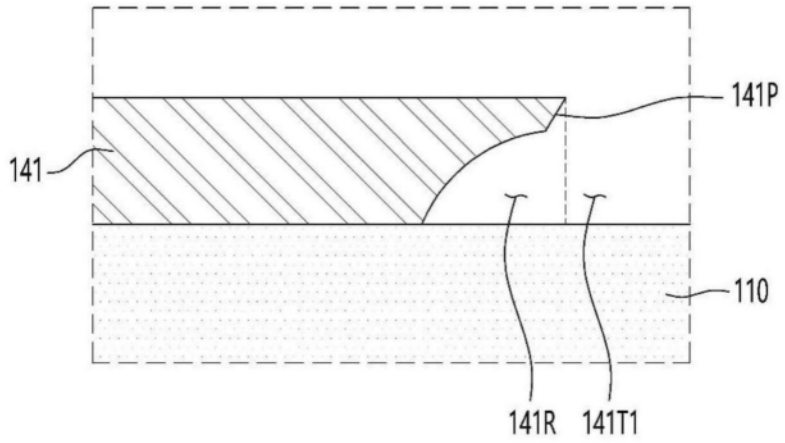


图13

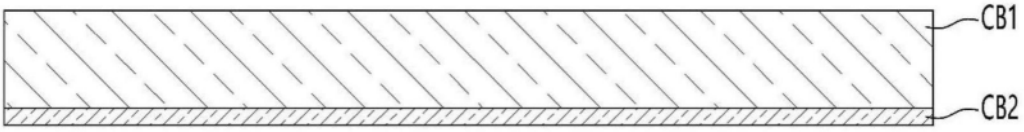


图14

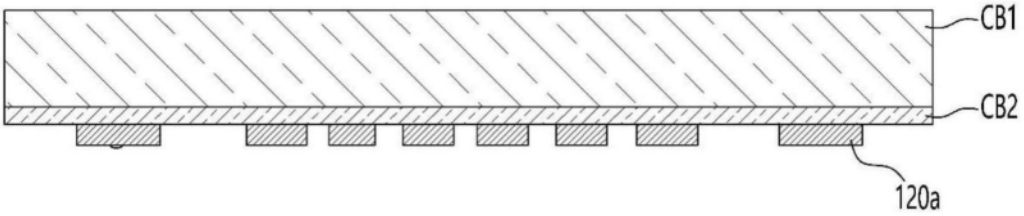


图15

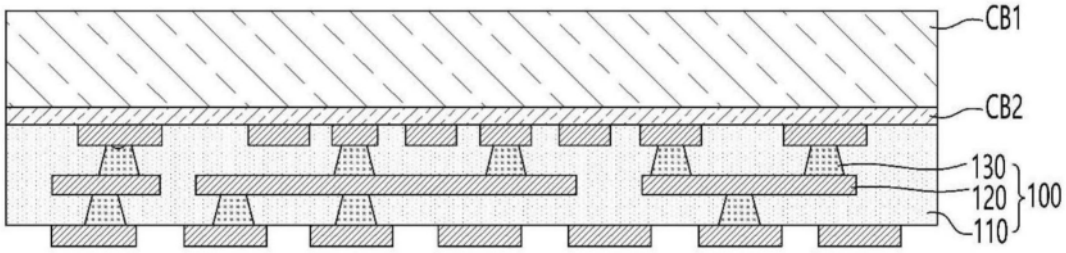


图16

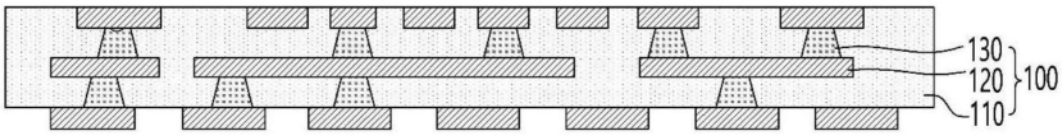


图17

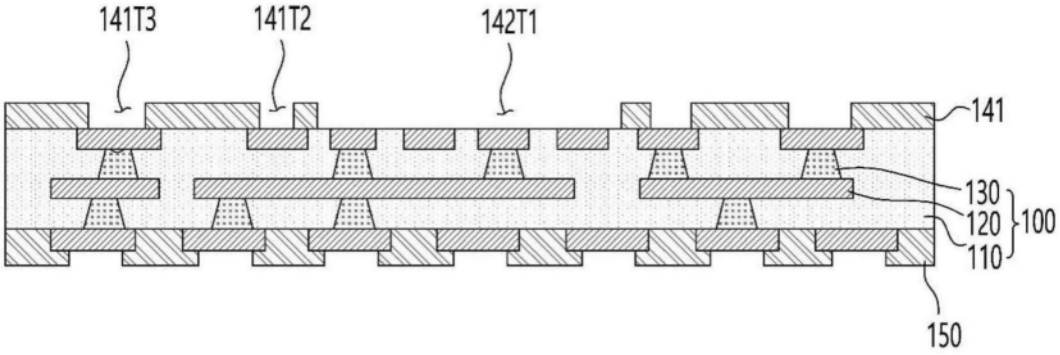


图18

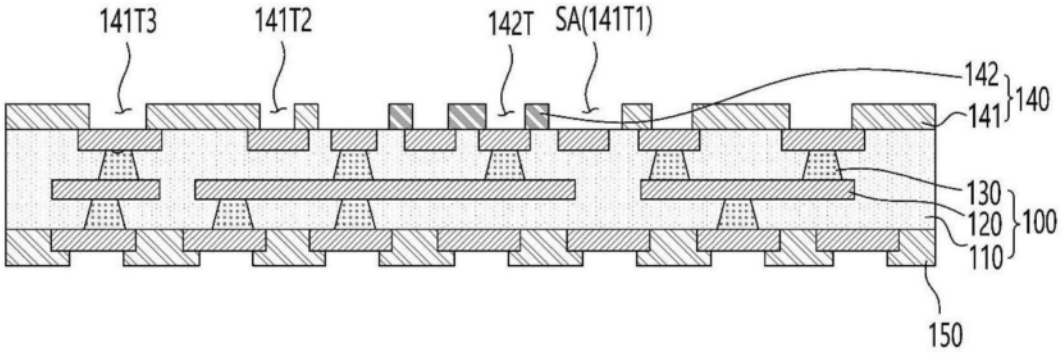


图19

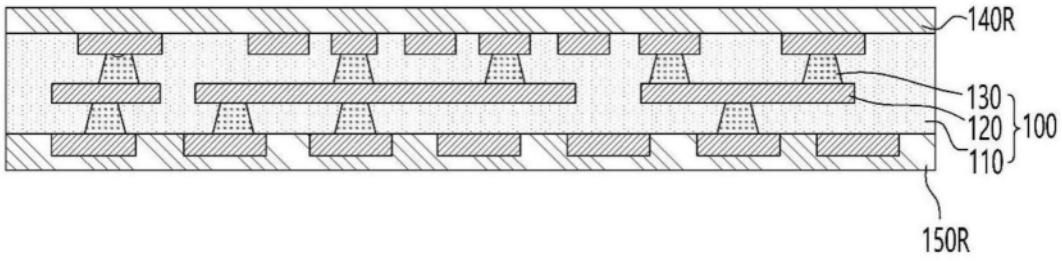


图20

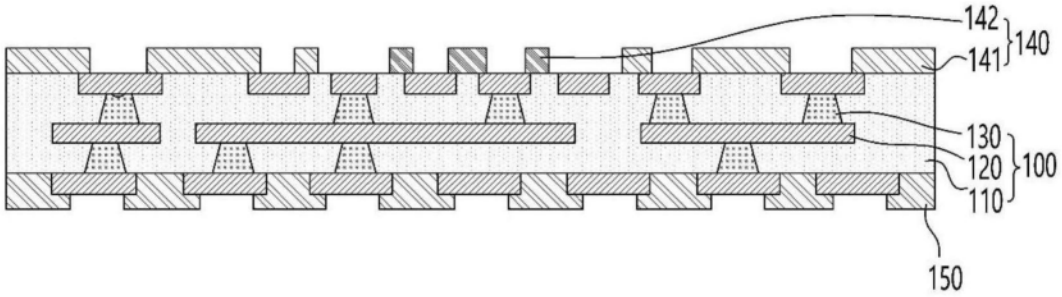

142
141
140
130
120
110
100
150

图21

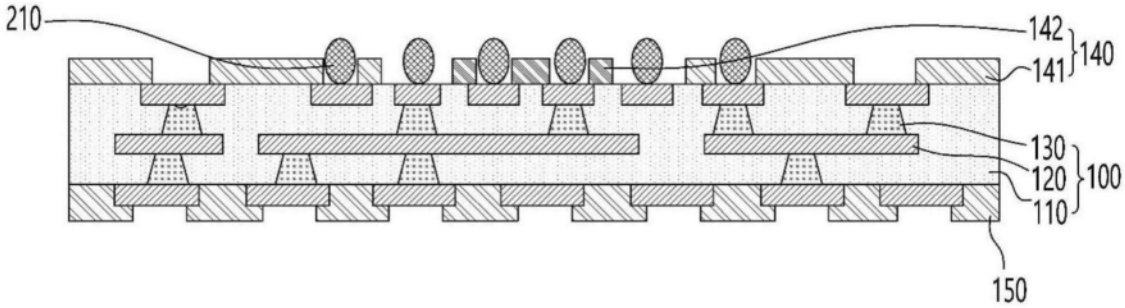

210
142
141
140
130
120
110
100
150

图22

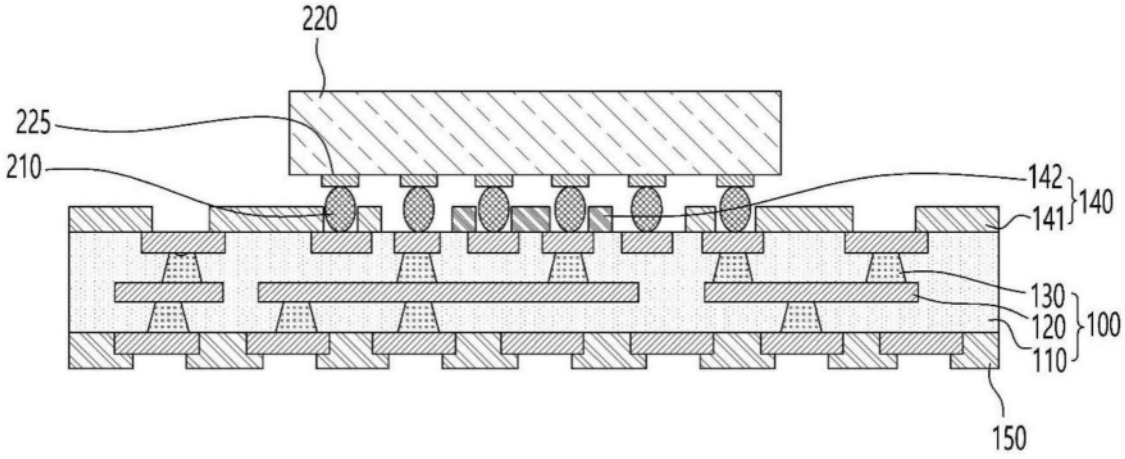

220
225
210
142
141
140
130
120
110
100
150

图23

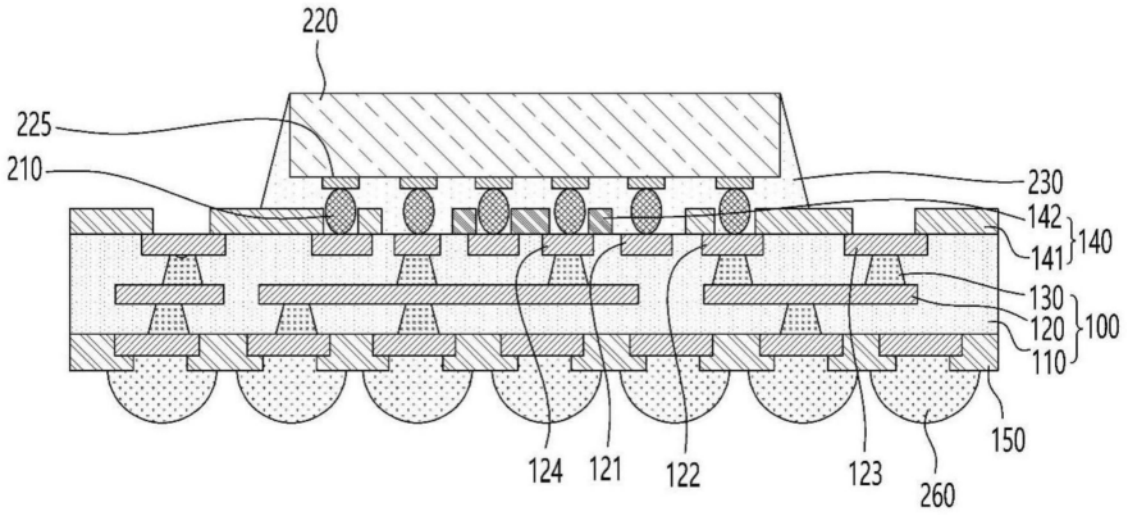

220
225
210
230
142
141
140
130
120
110
100
150
124
121
122
123
260

图24

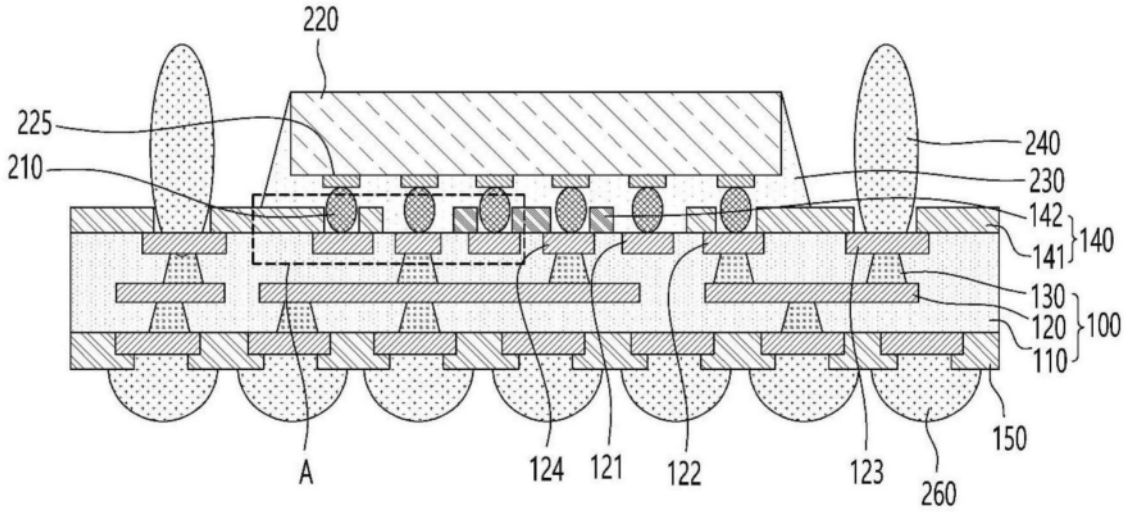

220
225
210
240
230
142
141
140
130
120
110
100
150
A
124
121
122
123
260

图25

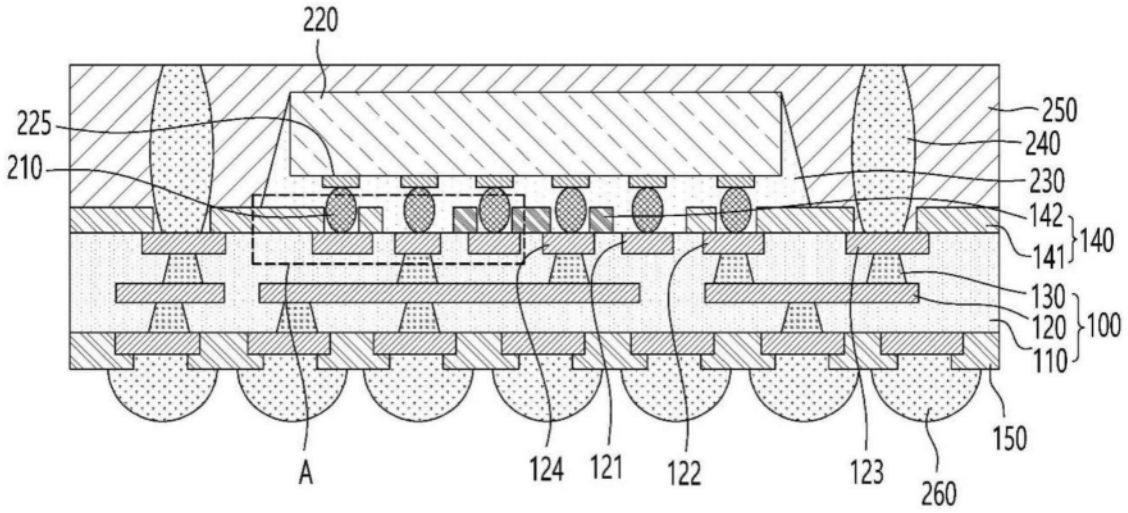

220
225
210
250
240
230
142
141
140
130
120
110
100
150
A
124
121
122
123
260

图26

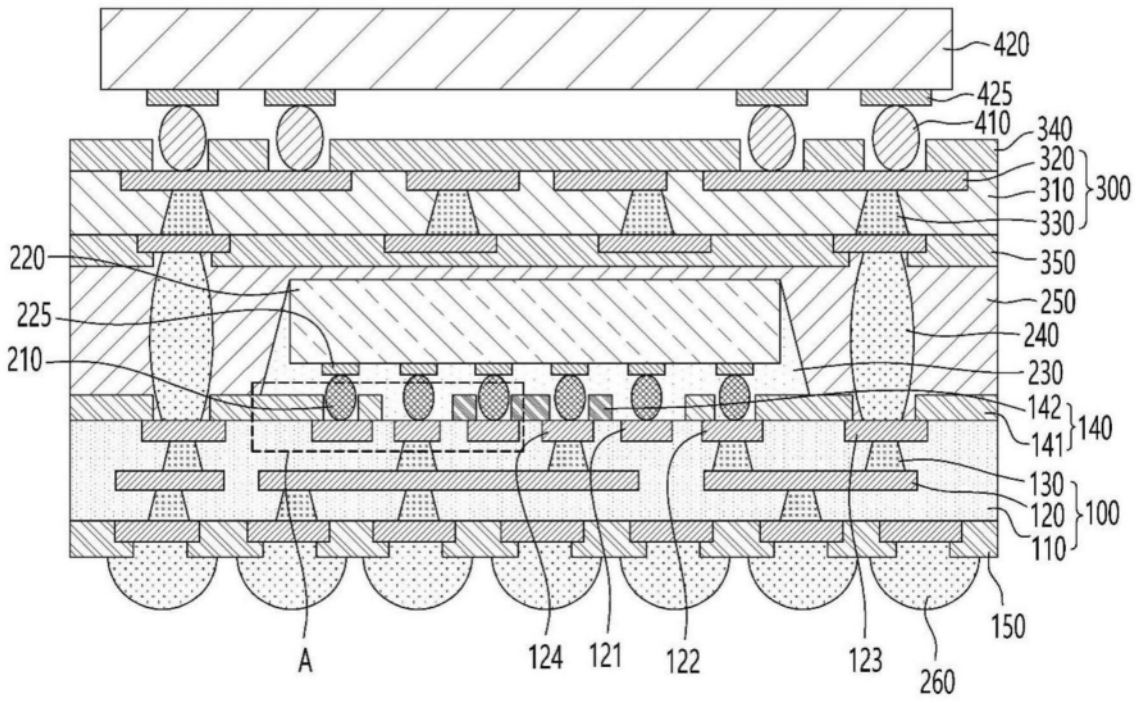

420
425
410
340
320
310
300
330
350
250
240
230
142
141
140
130
120
110
100
150
220
225
210
A
124
121
122
123
260

图27