

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 10 月 19 日 (2006.10.19)

【公開番号】特開 2002-198496 (P2002-198496A)

【公開日】平成 14 年 7 月 12 日 (2002.7.12)

【出願番号】特願 2000-394958 (P2000-394958)

【国際特許分類】

H 0 1 L 27/105 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 21/316 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

【F I】

H 0 1 L 27/10 4 4 4 C

H 0 1 L 21/316 B

H 0 1 L 27/10 4 4 4 A

H 0 1 L 27/10 4 4 4 B

H 0 1 L 27/10 4 4 4 Z

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 18 年 9 月 4 日 (2006.9.4)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 第 1 電極、強誘電体膜および第 2 電極が積層された強誘電体キャパシタの製造方法であって、

少なくとも前記強誘電体膜の材料が堆積される領域に、あらかじめ機能性薄膜が形成される工程を含み、

前記機能性薄膜の形成工程は、前記領域に、化学吸着により物質を自己集積的に堆積する成膜工程を有する、強誘電体キャパシタの製造方法。

【請求項 2】 請求項 1 において、

前記機能性薄膜は、前記強誘電体膜の成膜においてシード層として機能する、強誘電体キャパシタの製造方法。

【請求項 3】 請求項 1 または 2 において、

前記機能性薄膜は、その表面が前記強誘電体膜の材料に対して親和性を有する、強誘電体キャパシタの製造方法。

【請求項 4】 請求項 1 において、

前記機能性薄膜はシード層の下地層として機能し、該機能性薄膜を形成した後、該機能性薄膜を化学的に活性化してシード層の材料を反応させる工程を有する、強誘電体キャパシタの製造方法。

【請求項 5】 請求項 1 ~ 4 のいずれかにおいて、

前記機能性薄膜は、無機物質からなる、強誘電体キャパシタの製造方法。

【請求項 6】 請求項 5 において、

前記機能性薄膜は、有機物質からなる薄膜を自己集積によって形成した後、これを焼成

することにより形成された無機物質からなる、強誘電体キャパシタの製造方法。

【請求項 7】 請求項 1 ~ 4 のいずれかにおいて、

前記機能性薄膜は、有機物質からなる、強誘電体キャパシタの製造方法。

【請求項 8】 請求項 7 において、

前記強誘電体膜は、有機物質からなる、強誘電体キャパシタの製造方法。

【請求項 9】 第 1 電極、機能性薄膜、強誘電体膜および第 2 電極を含み、

前記機能性薄膜は、少なくとも前記強誘電体膜が形成される領域に配置され、かつ、化学吸着により物質を自己集積的に堆積して形成された自己組織化膜である、強誘電体キャパシタ。

【請求項 10】 請求項 9 において、

前記機能性薄膜は、前記強誘電体膜の成膜においてシード層として機能する、強誘電体キャパシタ。

【請求項 11】 請求項 9 において、

前記機能性薄膜はシード層の下地層として機能し、該機能性薄膜上にシード層が配置された、強誘電体キャパシタ。

【請求項 12】 請求項 9 ~ 11 のいずれかにおいて、

前記機能性薄膜は、無機物質からなる、強誘電体キャパシタ。

【請求項 13】 請求項 12 において、

前記機能性薄膜は、有機物質からなる薄膜を自己集積によって形成した後、これを焼成することにより形成された無機物質からなる、強誘電体キャパシタ。

【請求項 14】 請求項 9 ~ 11 のいずれかにおいて、

前記機能性薄膜は、有機物質からなる、強誘電体キャパシタ。

【請求項 15】 請求項 14 において、

前記強誘電体膜は、有機物質からなる、強誘電体キャパシタ。

【請求項 16】 請求項 9 ~ 請求項 15 のいずれかに記載の強誘電体キャパシタを含む、強誘電体メモリ装置。

【請求項 17】 請求項 16 において、

トランジスタ形成領域を構成する基体を含み、該基体上に所定パターンで配置された前記強誘電体キャパシタを有する、蓄積容量型の強誘電体メモリ装置。

【請求項 18】 請求項 16 において、

半導体基板上に形成されたゲート絶縁層に前記キャパシタ構造が接続された、M I S トランジスタ型の強誘電体メモリ装置。

【請求項 19】 請求項 16 において、

前記強誘電体キャパシタからなるメモリセルがマトリクス状に配列され、

前記強誘電体キャパシタは、第 1 信号電極と、該第 1 信号電極と交差する方向に配列された第 2 信号電極と、少なくとも前記第 1 信号電極と前記第 2 信号電極との交差領域に配置された強誘電体膜と、を含む、強誘電体メモリ装置。