



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월27일
 (11) 등록번호 10-1355684
 (24) 등록일자 2014년01월20일

(51) 국제특허분류(Int. Cl.)
G05F 3/16 (2006.01) *G05F 3/26* (2006.01)
 (21) 출원번호 10-2010-0048558
 (22) 출원일자 2010년05월25일
 심사청구일자 2012년12월04일
 (65) 공개번호 10-2011-0010548
 (43) 공개일자 2011년02월01일
 (30) 우선권주장
 JP-P-2009-173384 2009년07월24일 일본(JP)
 (56) 선행기술조사문헌
 JP2006338434 A
 JP2009064152 A
 KR1020070096947 A
 KR1020090017981 A

(73) 특허권자
세이코 인스트루 가부시키키가이샤
 일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
 (72) 발명자
이무라 다카시
 일본 지바켄 지바시 미하마구 나카세 1쵸메 8 세이코 인스트루 가부시키키가이샤 나이
 (74) 대리인
특허법인코리아나

전체 청구항 수 : 총 7 항

심사관 : 김재호

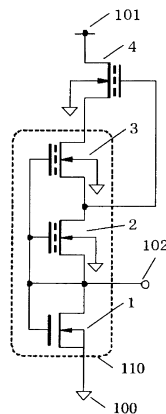
(54) 발명의 명칭 기준 전압 회로 및 전자 기기

(57) 요약

(과제) 전원 전압 변동 제거비를 악화시키지 않고, 저전압 동작을 유지한 채로 소비 전류가 낮은 기준 전압 회로를 실현하는 것.

(해결 수단) ED 형 기준 전압 회로의 디프레션 트랜지스터를 직렬로 접속시킨 복수의 디프레션 트랜지스터로 구성하고, 캐스코드용 디프레션 트랜지스터의 게이트 단자를 ED 형 기준 전압 회로의 디프레션 트랜지스터의 접속점에 접속시키는 구성으로 하였다.

대표도 - 도1



특허청구의 범위

청구항 1

게이트를 서로 접속시킨 N 채널 디프레션형 MOS 트랜지스터와 N 채널 인헨스먼트형 MOS 트랜지스터를 갖는 ED 형 기준 전압 회로와, 전원 단자와 상기 ED 형 기준 전압 회로 사이에 형성된 캐스코드 회로를 구비한 기준 전압 회로로서,

상기 N 채널 디프레션형 MOS 트랜지스터는, 직렬로 접속된 복수의 N 채널 디프레션형 MOS 트랜지스터로 이루어지고,

상기 캐스코드 회로는, 게이트를 상기 직렬로 접속된 복수의 N 채널 디프레션형 MOS 트랜지스터의 접속점 중 어느 것과 접속시킨 N 채널 디프레션형 MOS 트랜지스터로 이루어지는 것을 특징으로 하는 기준 전압 회로.

청구항 2

제 1 항에 있어서,

상기 ED 형 기준 전압 회로는,

드레인 및 게이트를 출력 단자에 접속시키고, 소스를 GND 단자에 접속시킨 상기 N 채널 인헨스먼트형 MOS 트랜지스터와,

소스 및 게이트를 상기 출력 단자에 접속시킨 제 1 N 채널 디프레션형 MOS 트랜지스터와,

게이트를 상기 출력 단자에 접속시키고, 소스를 상기 제 1 N 채널 디프레션형 MOS 트랜지스터의 드레인에 접속시킨 제 2 N 채널 디프레션형 MOS 트랜지스터를 갖고,

상기 캐스코드 회로는,

드레인을 상기 전원 단자에 접속시키고, 게이트를 상기 제 1 N 채널 디프레션형 MOS 트랜지스터의 드레인과 상기 제 2 N 채널 디프레션형 MOS 트랜지스터의 소스와 접속시킨 제 3 N 채널 디프레션형 MOS 트랜지스터를 가진 것을 특징으로 하는 기준 전압 회로.

청구항 3

제 2 항에 있어서,

상기 제 1 N 채널 디프레션형 MOS 트랜지스터와 상기 제 2 N 채널 디프레션형 MOS 트랜지스터 중 어느 것 또는 양방이, 복수의 N 채널 디프레션형 MOS 트랜지스터로 구성되어 있는, 기준 전압 회로.

청구항 4

게이트를 서로 접속시킨 N 채널 디프레션형 MOS 트랜지스터와 N 채널 인헨스먼트형 MOS 트랜지스터를 갖는 ED 형 기준 전압 회로와, 전원 단자와 상기 ED 형 기준 전압 회로 사이에 형성된 캐스코드 회로를 n 개 (n 은 2 이상의 정수) 구비한 기준 전압 회로로서,

상기 N 채널 디프레션형 MOS 트랜지스터는, 직렬로 접속된 복수의 N 채널 디프레션형 MOS 트랜지스터로 이루어지고,

상기 캐스코드 회로는, N 채널 디프레션형 MOS 트랜지스터로 이루어지고,

제 m (m 은 $0 < m < n$ 의 정수) 번째의 캐스코드 회로의 N 채널 디프레션형 MOS 트랜지스터는, 게이트를 제 m+1 번째의 ED 형 기준 전압 회로의 상기 직렬로 접속된 복수의 N 채널 디프레션형 MOS 트랜지스터의 접속점 중 어느 것과 접속시키고,

제 n 번째의 캐스코드 회로의 N 채널 디프레션형 MOS 트랜지스터는, 게이트를 제 1 번째의 ED 형 기준 전압 회로의 상기 직렬로 접속된 복수의 N 채널 디프레션형 MOS 트랜지스터의 접속점 중 어느 것과 접속시킨 것을 특징으로 하는 기준 전압 회로.

청구항 5

제 4 항에 있어서,

상기 ED 형 기준 전압 회로는,

드레인 및 게이트를 출력 단자에 접속시키고, 소스를 GND 단자에 접속시킨 상기 N 채널 인헨스먼트형 MOS 트랜지스터와,

소스 및 게이트를 상기 출력 단자에 접속시킨 제 1 N 채널 디프레션형 MOS 트랜지스터와,

게이트를 상기 출력 단자에 접속시키고, 소스를 상기 제 1 N 채널 디프레션형 MOS 트랜지스터의 드레인에 접속시킨 제 2 N 채널 디프레션형 MOS 트랜지스터를 갖고,

상기 캐스코드 회로는,

드레인을 상기 전원 단자에 접속시키고, 게이트를 상기 제 1 N 채널 디프레션형 MOS 트랜지스터의 드레인과 상기 제 2 N 채널 디프레션형 MOS 트랜지스터의 소스와 접속시킨 제 3 N 채널 디프레션형 MOS 트랜지스터를 가진 것을 특징으로 하는 기준 전압 회로.

청구항 6

제 5 항에 있어서,

상기 제 1 N 채널 디프레션형 MOS 트랜지스터와 상기 제 2 N 채널 디프레션형 MOS 트랜지스터 중 어느 것 또는 양방이, 복수의 N 채널 디프레션형 MOS 트랜지스터로 구성되어 있는, 기준 전압 회로.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 기재된 기준 전압 회로를 갖는 것을 특징으로 하는 전자 기기.

명세서

기술분야

[0001] 본 발명은 반도체 장치에 관한 것으로서, 보다 상세하게는 전원 전압의 변동에 대해 출력 전압의 변동이 작아 저전압 동작화, 저소비 전류화가 가능한 기준 전압 회로에 관한 것이다.

배경기술

[0002] 아날로그 회로의 전원 전압 변동 제거를 개선할 목적에서, 캐스코드 회로를 추가하는 수법은 종래부터 널리 이용되어 오고 있다. 또한, 전원 전압 변동 제거를 개선하면서 저전압 동작 가능한 기준 전압 회로가 사용되고 있다 (예를 들어, 특허문헌 1 참조). 도 4 에 종래의 기준 전압 회로의 회로도 를 나타낸다.

[0003] N 채널 디프레션형 MOS 트랜지스터 (301) 그리고 N 채널 인헨스먼트형 MOS 트랜지스터 (302) 는 ED 형 기준 전압 회로 (310) 를 구성하고 있고, ED 형 기준 전압 회로 (310) 에 대해 직렬로 캐스코드 회로로서 동작하는 N 채널 디프레션형 MOS 트랜지스터 (303) 가 접속되어 있다. N 채널 인헨스먼트형 MOS 트랜지스터 (302) 에 병렬로 제어 전류원인 N 채널 인헨스먼트형 MOS 트랜지스터 (304) 가 접속되고, 게이트 단자와 소스 단자가 접속된 N 채널 디프레션형 MOS 트랜지스터 (305) 가 N 채널 인헨스먼트형 MOS 트랜지스터 (304) 에 직렬로 접속되어 있다. 또한, N 채널 디프레션형 MOS 트랜지스터 (305) 의 소스 단자가 N 채널 디프레션형 MOS 트랜지스터 (303) 의 게이트 단자에 접속된다. N 채널 인헨스먼트형 MOS 트랜지스터 (304) 및 N 채널 디프레션형 MOS 트랜지스터 (305) 는, 캐스코드 회로로서 동작하는 N 채널 디프레션형 MOS 트랜지스터 (303) 에 대해 일정한 바이어스 전압을 공급하는 바이어스 회로 (311) 로 되어 있다.

[0004] 상기 서술한 회로에 있어서, N 채널 인헨스먼트형 MOS 트랜지스터 (302 와 304) 및 N 채널 디프레션형 MOS 트랜지스터 (303 과 305) 의 특성 및 트랜스컨덕턴스 계수도 동등하다고 한다. 이 경우에는, 각각의 디프레션형 MOS 트랜지스터의 소스·백 게이트간 전압-드레인 전류 특성이 동등해지고, 또한 드레인 전류가 동등해지기 때문에, 각각의 디프레션형 MOS 트랜지스터의 소스 전위는 동등해진다.

[0005] 여기서, N 채널 디프레션형 MOS 트랜지스터 (305) 의 소스 전위는 이하의 방법으로 N 채널 디프레션형 MOS 트랜

지스터 (303) 의 소스 전위보다 낮출 수 있게 된다.

- [0006] 1) N 채널 인헨스먼트형 MOS 트랜지스터 (302) 의 트랜스컨덕턴스 계수에 대해, L 길이를 고정시키고 W 길이를 크게 하거나 하여 N 채널 인헨스먼트형 MOS 트랜지스터 (304) 의 트랜지스터의 트랜스컨덕턴스 계수를 크게 한다. 2) N 채널 디프레션형 MOS 트랜지스터 (303) 의 트랜스컨덕턴스 계수에 대해 N 채널 디프레션형 MOS 트랜지스터 (305) 의 트랜지스터의 트랜스컨덕턴스 계수를 작게 한다. 3) 1 및 2 의 양방을 실시한다.
- [0007] 이와 같이 함으로써, 도 4 의 기준 전압 회로는 저전압 동작이 가능해진다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본공개특허공보 2007-266715 호

발명의 내용

해결하려는 과제

- [0009] 그러나, 상기 서술한 기준 전압 회로는, N 채널 디프레션형 MOS 트랜지스터 (305) 로부터 N 채널 인헨스먼트형 MOS 트랜지스터 (304) 의 경로와, N 채널 디프레션형 MOS 트랜지스터 (303) 로부터 ED 형 기준 전압 회로 (310) 의 경로의 2 가지 경로로 전류가 흐르기 때문에, 소비 전류가 많아지는 것이 결점이었다.
- [0010] 본 발명은, 이상과 같은 과제를 해결하기 위해 고안된 것으로서, 저전압 동작이나 전원 전압 변동 제거비를 악화시키지 않고, 보다 낮은 소비 전류로 동작하는 기준 전압 회로를 실현하는 것이다.

과제의 해결 수단

- [0011] 종래의 과제를 해결하기 위해, 본 발명의 기준 전압 회로는, 캐스코드용 디프레션 트랜지스터를 형성하고, 기준 전압을 결정하는 디프레션 트랜지스터를 복수의 디프레션 트랜지스터로 구성하고, 제 1 디프레션 트랜지스터의 드레인과 제 2 디프레션 트랜지스터의 소스의 접속점을 캐스코드용 디프레션 트랜지스터의 게이트 단자에 접속시키는 구성으로 하였다.

발명의 효과

- [0012] 본 발명의 기준 전압 회로는, 종래의 회로와 비교하여, 저전압 동작이나 전원 전압 변동 제거비를 악화시키지 않고, 보다 낮은 소비 전류로 동작하는 기준 전압 회로를 제공할 수 있다.

도면의 간단한 설명

- [0013] 도 1 은 본 발명의 기준 전압 회로의 제 1 실시형태를 나타내는 회로도.
 도 2 는 본 발명의 기준 전압 회로의 제 2 실시형태를 나타내는 회로도.
 도 3 은 본 발명의 기준 전압 회로의 제 3 실시형태를 나타내는 회로도.
 도 4 는 종래의 기준 전압 회로의 회로도.

발명을 실시하기 위한 구체적인 내용

- [0014] 도 1 은 본 발명의 기준 전압 회로의 제 1 실시형태를 나타내는 회로도이다.
- [0015] 본 실시형태의 기준 전압 회로는, 전원 단자 (101) 와 GND 단자 (100) 와 N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와 N 채널 디프레션형 MOS 트랜지스터 (2) 와 N 채널 디프레션형 MOS 트랜지스터 (3) 와 N 채널 디프레션형 MOS 트랜지스터 (4) 와 출력 단자 (102) 를 구비하고 있다.
- [0016] N 채널 디프레션형 MOS 트랜지스터 (2) 와 N 채널 디프레션형 MOS 트랜지스터 (3) 는, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 또한, N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 즉, N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와 N 채널 디프레션형 MOS 트랜

지스터 (2) 및 N 채널 디프레션형 MOS 트랜지스터 (3) 는, ED 형 기준 전압 회로 (110) 를 구성하고 있다.

- [0017] N 채널 디프레션형 MOS 트랜지스터 (4) 는, 게이트가 N 채널 디프레션형 MOS 트랜지스터 (2) 의 드레인 및 N 채널 디프레션형 MOS 트랜지스터 (3) 의 소스에 접속되고, 소스가 N 채널 디프레션형 MOS 트랜지스터 (3) 의 드레인에 접속되고, 드레인이 전원 단자 (101) 에 접속되고, 백 게이트는 GND 단자 (100) 에 접속된다. 즉, N 채널 디프레션형 MOS 트랜지스터 (4) 는, ED 형 기준 전압 회로 (110) 에 대해 캐스코드 회로로서 기능하고 있다.
- [0018] ED 형 기준 전압 회로 (110) 는, N 채널 디프레션형 MOS 트랜지스터 (2) 의 소스와 N 채널 인헨스먼트형 MOS 트랜지스터 (1) 의 드레인의 접속점을 출력 단자로 하고 있다. 또한, N 채널 디프레션형 MOS 트랜지스터 (2) 와 N 채널 디프레션형 MOS 트랜지스터 (3) 는 1 개 이상의 트랜지스터로 구성되어 있다.
- [0019] 상기 서술한 회로에 있어서, N 채널 디프레션형 MOS 트랜지스터 (4) 의 게이트는 N 채널 디프레션형 MOS 트랜지스터 (3) 의 소스와 N 채널 디프레션형 MOS 트랜지스터 (2) 의 드레인에 접속되기 때문에, N 채널 디프레션형 MOS 트랜지스터 (4) 의 게이트의 전위는 N 채널 디프레션형 MOS 트랜지스터 (3) 의 드레인-소스간 전압만큼 소스의 전위보다 낮게 할 수 있게 된다.
- [0020] 여기서, N 채널 디프레션형 MOS 트랜지스터 (4) 의 게이트 전위는 소스 전위보다 낮기 때문에 $V_{gs4} < 0$ 이 되고, 종래의 구성과 동일하게 최저 동작 전압 VDD (min) 를 임계값이 낮은 N 채널 디프레션형 MOS 트랜지스터를 별도로 준비하지 않고 낮출 수 있게 된다. 그리고, N 채널 인헨스먼트형 MOS 트랜지스터 (1), N 채널 디프레션형 MOS 트랜지스터 (2), N 채널 디프레션형 MOS 트랜지스터 (3), N 채널 디프레션형 MOS 트랜지스터 (4) 의 경로만으로 전류가 흐르기 때문에, 바이어스 회로를 사용한 종래의 회로에 비해 소비 전류를 낮출 수 있게 된다.
- [0021] 또한, N 채널 디프레션형 MOS 트랜지스터 (2) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (2) 의 소스에 접속되어도 된다. N 채널 디프레션형 MOS 트랜지스터 (3) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (3) 의 소스 혹은 N 채널 디프레션형 MOS 트랜지스터 (2) 의 소스에 접속되어도 된다.
- [0022] 도 2 에, 제 2 실시형태의 기준 전압 회로의 회로도 를 나타낸다. 제 2 실시형태는, 제 1 실시형태의 기준 전압 회로를 2 개 구비하고, 동등한 기준 전압을 2 개소의 출력 단자로부터 출력하도록 구성한 기준 전압 회로이다.
- [0023] 제 2 실시형태의 기준 전압 회로는, 전원 단자 (101) 와 GND 단자 (100) 와 N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와 N 채널 인헨스먼트형 MOS 트랜지스터 (5) 와 N 채널 디프레션형 MOS 트랜지스터 (2) 와 N 채널 디프레션형 MOS 트랜지스터 (3) 와 N 채널 디프레션형 MOS 트랜지스터 (4) 와 N 채널 디프레션형 MOS 트랜지스터 (6) 와 N 채널 디프레션형 MOS 트랜지스터 (7) 와 N 채널 디프레션형 MOS 트랜지스터 (8) 와 출력 단자 (102) 와 출력 단자 (103) 를 구비하고 있다.
- [0024] N 채널 디프레션형 MOS 트랜지스터 (2) 와 N 채널 디프레션형 MOS 트랜지스터 (3) 는, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 또한, N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 즉, N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와 N 채널 디프레션형 MOS 트랜지스터 (2) 및 N 채널 디프레션형 MOS 트랜지스터 (3) 는, ED 형 기준 전압 회로 (110) 를 구성하고 있다.
- [0025] 동일하게, N 채널 디프레션형 MOS 트랜지스터 (6) 와 N 채널 디프레션형 MOS 트랜지스터 (7) 는, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 또한, N 채널 인헨스먼트형 MOS 트랜지스터 (5) 와, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 즉, N 채널 인헨스먼트형 MOS 트랜지스터 (5) 와 N 채널 디프레션형 MOS 트랜지스터 (6) 및 N 채널 디프레션형 MOS 트랜지스터 (7) 는, ED 형 기준 전압 회로 (111) 를 구성하고 있다.
- [0026] N 채널 디프레션형 MOS 트랜지스터 (4) 는, 게이트가 N 채널 디프레션형 MOS 트랜지스터 (6) 의 드레인 및 N 채널 디프레션형 MOS 트랜지스터 (7) 의 소스에 접속되고, 소스가 N 채널 디프레션형 MOS 트랜지스터 (3) 의 드레인에 접속되고, 드레인이 전원 단자 (101) 에 접속되고, 백 게이트는 GND 단자 (100) 에 접속된다. 즉, N 채널 디프레션형 MOS 트랜지스터 (4) 는, ED 형 기준 전압 회로 (110) 에 대해 캐스코드 회로로서 기능하고 있다.
- [0027] N 채널 디프레션형 MOS 트랜지스터 (8) 는, 게이트가 N 채널 디프레션형 MOS 트랜지스터 (2) 의 드레인 및 N 채널 디프레션형 MOS 트랜지스터 (3) 의 소스에 접속되고, 소스가 N 채널 디프레션형 MOS 트랜지스터 (7) 의 드레

인에 접속되고, 드레인이 전원 단자 (101) 에 접속되고, 백 게이트는 GND 단자 (100) 에 접속된다. 즉, N 채널 디프레션형 MOS 트랜지스터 (8) 는, ED 형 기준 전압 회로 (111) 에 대해 캐스코드 회로로서 기능하고 있다.

- [0028] ED 형 기준 전압 회로 (110) 는, N 채널 디프레션형 MOS 트랜지스터 (2) 의 소스와 N 채널 인헨스먼트형 MOS 트랜지스터 (1) 의 드레인의 접속점을 출력 단자로 하고 있다. 또한, N 채널 디프레션형 MOS 트랜지스터 (2) 와 N 채널 디프레션형 MOS 트랜지스터 (3) 는 1 개 이상의 트랜지스터로 구성되어 있다.
- [0029] ED 형 기준 전압 회로 (111) 는, N 채널 디프레션형 MOS 트랜지스터 (6) 의 소스와 N 채널 인헨스먼트형 MOS 트랜지스터 (5) 의 드레인의 접속점을 출력 단자로 하고 있다. 또한, N 채널 디프레션형 MOS 트랜지스터 (6) 와 N 채널 디프레션형 MOS 트랜지스터 (7) 는 1 개 이상의 트랜지스터로 구성되어 있다.
- [0030] 상기 서술한 회로에 있어서도, N 채널 디프레션형 MOS 트랜지스터 (4) 의 게이트는 N 채널 디프레션형 MOS 트랜지스터 (7) 의 소스 및 N 채널 디프레션형 MOS 트랜지스터 (6) 의 드레인에 접속되기 때문에, N 채널 디프레션형 MOS 트랜지스터 (4) 의 게이트의 전위는 N 채널 디프레션형 MOS 트랜지스터 (7) 의 드레인-소스간 전압만큼 소스의 전위보다 낮게 할 수 있게 된다. 또한, N 채널 디프레션형 MOS 트랜지스터 (8) 의 게이트는 N 채널 디프레션형 MOS 트랜지스터 (3) 의 소스 및 N 채널 디프레션형 MOS 트랜지스터 (2) 의 드레인에 접속되기 때문에, N 채널 디프레션형 MOS 트랜지스터 (8) 의 게이트의 전위는 N 채널 디프레션형 MOS 트랜지스터 (3) 의 드레인-소스간 전압만큼 소스의 전위보다 낮게 할 수 있게 된다.
- [0031] 여기서, N 채널 디프레션형 MOS 트랜지스터 (4) 의 게이트 전위는 소스 전위보다 낮기 때문에 $V_{gs4} < 0$ 이 되어 최저 동작 전압 $V_{DD}(\min)$ 를 낮출 수 있게 된다. 또한, N 채널 디프레션형 MOS 트랜지스터 (8) 에 관해서도 동일하게 게이트 전위는 소스 전위보다 낮기 때문에 $V_{gs8} < 0$ 이 되어 최저 동작 전압 $V_{DD}(\min)$ 를 낮출 수 있게 된다. 그리고, 출력은 출력 단자 (102) 와 출력 단자 (103) 의 2 개소로부터 동일한 기준 전압을 얻을 수 있다. 또한, 2 개소의 기준 전압의 출력에 대해, 바이어스 전압을 공급하는 회로를 필요로 하지 않고, 2 경로만으로 전류가 흐르기 때문에, 종래의 구성에 비해 소비 전류를 낮출 수 있게 된다.
- [0032] 또한, N 채널 디프레션형 MOS 트랜지스터 (2) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (2) 의 소스에 접속되어도 된다. N 채널 디프레션형 MOS 트랜지스터 (3) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (3) 의 소스 혹은 N 채널 디프레션형 MOS 트랜지스터 (2) 의 소스에 접속되어도 된다.
- [0033] 또한, N 채널 디프레션형 MOS 트랜지스터 (6) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (6) 의 소스에 접속되어도 된다. N 채널 디프레션형 MOS 트랜지스터 (7) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (7) 의 소스 혹은 N 채널 디프레션형 MOS 트랜지스터 (6) 의 소스에 접속되어도 된다.
- [0034] 도 3 에, 제 3 실시형태의 기준 전압 회로의 회로도 를 나타낸다. 여기서, M 은 0 또는 정 (正) 의 정수로 4 의 배수, N 과 P 는 0 또는 정의 정수이다. 제 3 실시형태는, 제 1 실시형태의 기준 전압 회로를 복수 구비하고, 동등한 기준 전압을 복수 개소의 출력 단자로부터 출력하도록 구성한 기준 전압 회로이다.
- [0035] N 채널 디프레션형 MOS 트랜지스터 (2) 와 N 채널 디프레션형 MOS 트랜지스터 (3) 는, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 또한, N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 즉, N 채널 인헨스먼트형 MOS 트랜지스터 (1) 와 N 채널 디프레션형 MOS 트랜지스터 (2) 및 N 채널 디프레션형 MOS 트랜지스터 (3) 는, ED 형 기준 전압 회로 (110) 를 구성하고 있다.
- [0036] 동일하게, N 채널 디프레션형 MOS 트랜지스터 (6) 와 N 채널 디프레션형 MOS 트랜지스터 (7) 는, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 또한, N 채널 인헨스먼트형 MOS 트랜지스터 (5) 와, 게이트가 공통으로 접속되고, 직렬로 접속되어 있다. 즉, N 채널 인헨스먼트형 MOS 트랜지스터 (5) 와 N 채널 디프레션형 MOS 트랜지스터 (6) 및 N 채널 디프레션형 MOS 트랜지스터 (7) 는, ED 형 기준 전압 회로 (111) 를 구성하고 있다.
- [0037] 또한, 동일한 구성을 한 기준 전압 회로를 복수 구비하고 있다.
- [0038] N 채널 디프레션형 MOS 트랜지스터 (4) 는, 게이트가 N 채널 디프레션형 MOS 트랜지스터 (6) 의 드레인 및 N 채널 디프레션형 MOS 트랜지스터 (7) 의 소스에 접속되고, 소스가 N 채널 디프레션형 MOS 트랜지스터 (3) 의 드레인에 접속되고, 드레인이 전원 단자 (101) 에 접속되고, 백 게이트는 GND 단자 (100) 에 접속된다. 즉, N 채널 디프레션형 MOS 트랜지스터 (4) 는, ED 형 기준 전압 회로 (110) 에 대해 캐스코드 회로로서 기능하고 있다.

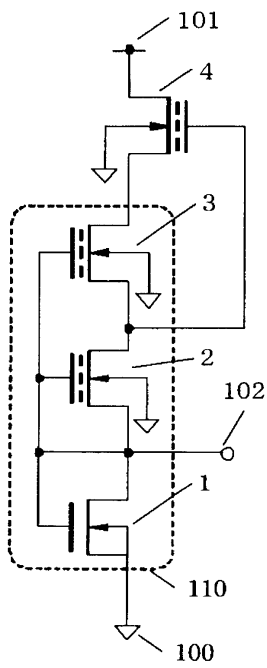
- [0039] N 채널 디프레션형 MOS 트랜지스터 (8) 는, 소스가 N 채널 디프레션형 MOS 트랜지스터 (7) 의 드레인에 접속되고, 드레인이 전원 단자 (101) 에 접속되고, 백 게이트는 GND 단자 (100) 에 접속된다. 즉, N 채널 디프레션형 MOS 트랜지스터 (8) 는, ED 형 기준 전압 회로 (111) 에 대해 캐스코드 회로로서 기능하고 있다. 그리고, N 채널 디프레션형 MOS 트랜지스터 (8) 의 게이트는, 도시되지 않은 다음의 기준 전압 회로의 N 채널 디프레션형 MOS 트랜지스터 (11) 의 드레인 및 N 채널 디프레션형 MOS 트랜지스터 (10) 의 소스에 접속된다.
- [0040] 동일한 구성을 한 최후의 기준 전압 회로는, 캐스코드 회로로서 기능하고 있는 N 채널 디프레션형 MOS 트랜지스터 (M+4) 의 게이트가, 최초의 기준 전압 회로의 N 채널 디프레션형 MOS 트랜지스터 (2) 의 드레인 및 N 채널 디프레션형 MOS 트랜지스터 (3) 의 소스에 접속된다.
- [0041] ED 형 기준 전압 회로 (P+110) 는, N 채널 디프레션형 MOS 트랜지스터 (M+2) 의 소스와 N 채널 인헨스먼트형 MOS 트랜지스터 (M+1) 의 드레인의 접속점을 출력 단자로 하고 있다. 또한, N 채널 디프레션형 MOS 트랜지스터 (M+2) 와 N 채널 디프레션형 MOS 트랜지스터 (M+3) 는 1 개 이상의 트랜지스터로 구성되어 있다.
- [0042] 상기 서술한 회로에 있어서도, 모든 기준 전압 회로의 캐스코드 트랜지스터의 게이트 전위는 소스 전위보다 낮기 때문에 $V_{gs4} < 0$ 이 되어, 최저 동작 전압 VDD (min) 를 낮출 수 있게 된다. 그리고, 복수 개소의 출력 단자 (N+102) (N 은 정의 정수) 로부터 동일한 기준 전압을 얻을 수 있다. 또한, 복수 개소의 기준 전압의 출력에 대해, 바이어스 전압을 공급하는 회로를 필요로 하지 않기 때문에, 종래의 구성에 비해 소비 전류를 낮출 수 있게 된다.
- [0043] 또한, N 채널 디프레션형 MOS 트랜지스터 (M+2) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (M+2) 의 소스에 접속되어도 된다. N 채널 디프레션형 MOS 트랜지스터 (M+3) 의 백 게이트는 N 채널 디프레션형 MOS 트랜지스터 (M+3) 의 소스 혹은 N 채널 디프레션형 MOS 트랜지스터 (M+2) 의 소스에 접속되어도 된다.
- [0044] 이상에 설명한 바와 같이, 본 발명의 기준 전압 회로에 의하면, 종래의 회로와 비교하여, 저전압 동작이나 전원 전압 변동 제거비를 악화시키지 않고, 보다 낮은 소비 전류로 동작하는 기준 전압 회로를 제공할 수 있다.

부호의 설명

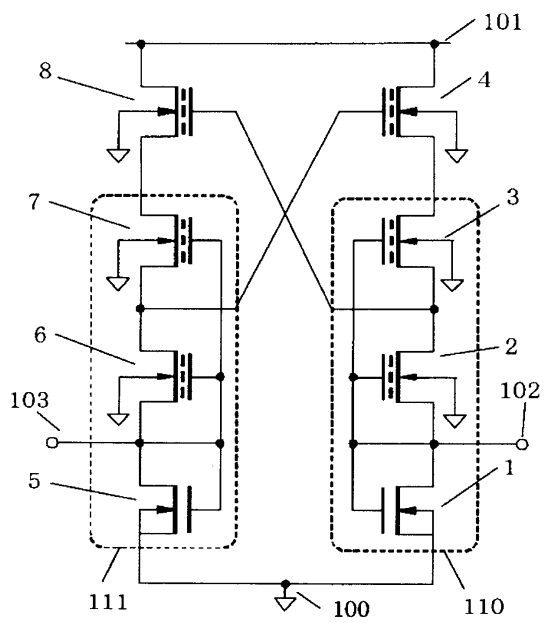
- [0045] 101: 전원 단자
- 100: GND 단자
- 102, 103, N+102: 기준 전압 출력 단자
- 110, 111, P+110, 310: ED 형 기준 전압 회로
- 311: 바이어스 회로

도면

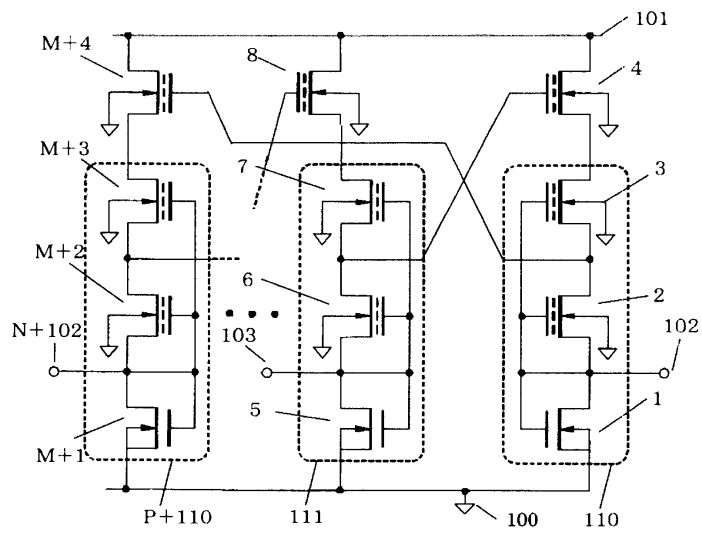
도면1



도면2



도면3



도면4

