

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3799943号
(P3799943)

(45) 発行日 平成18年7月19日(2006.7.19)

(24) 登録日 平成18年5月12日(2006.5.12)

(51) Int.C1.

F 1

G09F	9/30	(2006.01)	G09F	9/30	338
G02F	1/1368	(2006.01)	G02F	1/1368	
H01L	29/786	(2006.01)	H01L	29/78	612C
			H01L	29/78	619B

請求項の数 16 (全 21 頁)

(21) 出願番号

特願2000-77177(P2000-77177)

(22) 出願日

平成12年3月17日(2000.3.17)

(65) 公開番号

特開2001-265253(P2001-265253A)

(43) 公開日

平成13年9月28日(2001.9.28)

審査請求日

平成16年1月16日(2004.1.16)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅善

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 村出 正夫
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 伊藤 昌哉

最終頁に続く

(54) 【発明の名称】電気光学装置およびプロジェクタ

(57) 【特許請求の範囲】

【請求項1】

基板上に、薄膜トランジスタと、画素電極と、
該画素電極と前記薄膜トランジスタを構成する半導体層とを中継接続する中間導電層と
、
前記薄膜トランジスタに接続された走査線と、
該走査線と交差すると共に前記薄膜トランジスタに接続されたデータ線と、
前記半導体層と同層からなる第1容量電極に絶縁薄膜を介して対向配置された第2容量電極と、
前記中間導電層と同一膜からなり、前記第2容量電極と接続された第1容量線と、
前記第1容量線と前記第2容量電極との間に形成された第1層間絶縁膜と、を備え、
前記第1層間絶縁膜の膜厚は、500nm以下であり、平面的に見て少なくとも前記半導体層のチャネル領域及びその隣接領域に、前記第1容量線が重ねられていないことを特徴とする電気光学装置。

【請求項2】

基板上に、薄膜トランジスタと、画素電極と、
該画素電極と前記薄膜トランジスタを構成する半導体層とを中継接続する中間導電層と
、
前記薄膜トランジスタに接続された走査線と、
該走査線と交差すると共に前記薄膜トランジスタに接続されたデータ線と、

10

20

前記半導体層と同層からなる第1容量電極に絶縁薄膜を介して対向配置された第2容量電極と、第2容量電極を含む第2容量線と、

前記中間導電層と同一膜からなり、前記第2容量電極と接続された第1容量線と、

前記第1容量線と前記第2容量電極との間に形成された第1層間絶縁膜と、

前記中間導電層及び前記第1容量線と同一膜からなり前記第1層間絶縁膜を介して前記第2容量電極と対向配置された第3容量電極を更に備えたことを特徴とする電気光学装置。

【請求項3】

基板上に、薄膜トランジスタと、画素電極と、

該画素電極と前記薄膜トランジスタを構成する半導体層とを中継接続する中間導電層と

10

、前記薄膜トランジスタに接続された走査線と、

該走査線と交差すると共に前記薄膜トランジスタに接続されたデータ線と、

前記半導体層と同層からなる第1容量電極に絶縁薄膜を介して対向配置された第2容量電極と、

前記中間導電層と同一膜からなり、前記第2容量電極と接続され、前記走査線に部分的に重なって形成された第1容量線と、

前記第1容量線と前記第2容量電極との間に形成された第1層間絶縁膜と、
を備え、

前記中間導電層は、前記第2容量電極と前記第1層間絶縁膜を介して対向していることを特徴とする電気光学装置。

20

【請求項4】

前記第2容量電極と前記走査線とは、同一導電膜からなることを特徴とする請求項1乃至3のいずれか一項に記載の電気光学装置。

【請求項5】

前記第1容量線と前記第2容量電極との間には、第1層間絶縁膜が形成されており、

前記第1容量線と前記第2容量電極とは、前記画素電極毎に前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されていることを特徴とする請求項1乃至4のいずれか一項に記載の電気光学装置。

【請求項6】

30

前記第1容量線と前記第2容量電極との間には、第1層間絶縁膜が形成されており、

前記第1容量線と前記第2容量電極とは、複数の画素電極毎に前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されていることを特徴とする請求項1乃至4のいずれか一項に記載の電気光学装置。

【請求項7】

前記中間導電層及び前記第1容量線は、前記第1層間絶縁膜を介して前記走査線の上方且つ第2層間絶縁膜を介して前記データ線の下方の積層位置に形成されていることを特徴とする請求項1乃至6のいずれか一項に記載の電気光学装置。

【請求項8】

40

前記第1容量線は、平面的に見て少なくとも部分的に前記走査線に重ねられており、前記走査線に沿って前記画素電極が配置された画像表示領域からその周囲に延設されていることを特徴とする請求項1乃至7のいずれか一項に記載の電気光学装置。

【請求項9】

前記第1容量線は、平面的に見て少なくとも部分的に前記第2容量電極に重ねられており、前記走査線方向に沿って前記画像表示領域からその周囲に延設されていることを特徴とする請求項1乃至8のいずれか一項に記載の電気光学装置。

【請求項10】

前記中間導電層及び前記第1容量線は、遮光性の導電膜からなり、

前記第1容量線は、平面的に見て前記半導体層の少なくともチャネル領域を覆うことを特徴とする請求項1乃至9のいずれか一項に記載の電気光学装置。

50

【請求項 1 1】

前記中間導電層は、多層膜からなることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の電気光学装置。

【請求項 1 2】

前記第 1 層間絶縁膜の膜厚は、500 nm 以上であることを特徴とする請求項 2 又は 3 のいずれか一項に記載の電気光学装置。

【請求項 1 3】

前記第 2 容量電極は、前記走査線に沿って前記画像表示領域からその周囲に延設される第 2 容量線からなり、前記第 2 容量線は前記第 1 容量線と接続されてなることを特徴とする請求項 1 乃至 12 のいずれか一項に記載の電気光学装置。 10

【請求項 1 4】

前記基板上に、少なくとも前記半導体層のチャネル領域を前記基板側から見て覆う遮光膜を更に備えたことを特徴とする請求項 1 乃至 13 のいずれか一項に記載の電気光学装置。

【請求項 1 5】

前記遮光膜は、前記画素電極毎に前記第 1 容量線と接続され、前記画像表示領域からその周囲に延設されて定電位源に接続されてなることを特徴とする請求項 1 乃至 14 のいずれか一項に記載の電気光学装置。

【請求項 1 6】

請求項 1 乃至 15 のいずれか一項に記載の電気光学装置を内臓したことを特徴とするプロジェクト。 20

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素電極に対し蓄積容量を付加するための容量線を備えると共に画素電極と画素スイッチング用の薄膜トランジスタ (Thin Film Transistor:以下適宜、TFTと称す)との間で、電気導通を良好にとるための中間導電層を基板上の積層構造中に備えた形式の電気光学装置の技術分野に属する。

【0002】

30

【背景技術】

従来、TFT 駆動によるアクティブマトリクス駆動方式の電気光学装置において、TFT のゲート電極に走査線を介して走査信号が供給されると、TFT はオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該 TFT を介して画素電極に供給される。このような画像信号の供給は、画素電極毎に極めて短時間しか行われないので、画像信号の電圧をオン状態とされた時間よりも遙かに長時間に亘って保持するために、各画素電極には蓄積容量が付加されるのが一般的である。

【0003】

他方、この種の電気光学装置では、画素電極を構成するITO (Indium Tin Oxide) 膜等の導電膜と画素スイッチング用の TFT を構成する半導体層との間には、走査線、データ線等を構成する各種導電膜及びこれらの導電膜を相互から電気的に絶縁するためのゲート絶縁膜や層間絶縁膜が複数積層されており、これらの画素電極と半導体層との間の距離は例えば 1000 nm 程度に長い。従って、これらの画素電極と半導体層とを一つのコンタクトホールによって電気的に接続するのは技術的に困難である。そこで、層間絶縁膜間に画素電極と半導体層とを電気的に接続する中間導電層を形成する技術が開発されている。また、このような中間導電層を用いれば、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つとされている。

【0004】**【発明が解決しようとする課題】**

この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、この 50

ためには、画素ピッチを微細化しつつ、画素開口率を高める（即ち、各画素において、表示光が透過する開口領域を広げる）と同時に、データ線、走査線、容量線等の各種配線の配線抵抗を低くすることが重要となる。

【0005】

しかしながら、微細ピッチな画素の高開口率化により、データ線や走査線の線幅自体も狭められることになるが、(i)走査線や容量線を形成後に高温の熱処理工程が必要なこと、(ii)走査線は、薄膜トランジスタのゲート電極としても使用されることなどを理由に、走査線や容量線は導電性のポリシリコン膜から一般に形成されている。従って、このように微細ピッチな画素の高開口率化に伴い走査線幅や容量線幅が狭められたり、高精細化に伴い駆動周波数が高められたりすると、容量線における時定数の大きさが問題となってくる。即ち、容量線の配線抵抗により走査線に沿った方向である横方向のクロストークやゴーストの発生、コントラスト比の低下等の表示画像の画質劣化が、画素の高開口率化に伴って顕在化してくるという問題点がある。10

【0006】

本発明は上述の問題点に鑑みなされたものであり、画素開口率を高めると同時に容量線の低抵抗化を図ることができ、クロストークやゴーストが低減された高品位の画像表示が可能な電気光学装置を提供することを課題とする。

【0007】

【課題を解決するための手段】

本発明の電気光学装置は上記課題を解決するために、基板上に、薄膜トランジスタと、画素電極と、該画素電極と前記薄膜トランジスタを構成する半導体層とを中継接続する中間導電層と、前記薄膜トランジスタに接続された走査線と、該走査線と交差すると共に前記薄膜トランジスタに接続されたデータ線と、前記半導体層と同層なる第1容量電極に絶縁薄膜を介して対向配置された第2容量電極と、前記中間導電層と同一膜からなり、前記第2容量電極と接続された前記第1容量線とを備える。20

【0008】

本発明の電気光学装置によれば、その動作時に、データ線及び走査線を介して画像信号及び走査信号が薄膜トランジスタに夫々供給されて、各画素電極が駆動される。この際、第1容量電極と第2容量電極とが絶縁薄膜を介して対向配置されることにより構築された蓄積容量により、画素電極における画像信号の電圧保持特性が格段に向上するので、当該電気光学装置によるコントラスト比を高めることができる。30

【0009】

本発明では、半導体層と画素電極とは、中間導電層により中継接続されているので、両者間にある走査線、データ線、層間絶縁膜等の合計膜厚が大きくて、両者間を比較的小径の2つのコンタクトホールによって良好に接続することが可能となり、画素開口率の向上にも繋がる。しかも、このような中間導電層を用いれば、中間導電層と画素電極を接続するためのコンタクトホール開孔時におけるエッティングの突き抜け防止にも役立つ。ここで、中間導電層と同一膜で第2容量電極に接続された第1容量線が設けられているので、容量線の低抵抗化を図ることができる。これにより、走査線と同一膜で容量線を形成する必要がなく、別層で第1容量線を形成するので、画素ピッチが微細化しても画素開口率を向上することができる。また、配線幅も太く形成できるので、容量線の低抵抗化が図れ、クロストークやゴーストを効果的に低減することができる。これにより、画素ピッチを微細化しつつ表示品位を向上できる。しかも、上述の如き中継機能等を持つ中間導電層と同一膜から、このような第1容量線を構成できるので、製造プロセスにおいて容量線を形成するための追加工程が不要であり、大変有利である。40

【0010】

本発明の電気光学装置の一の態様では、前記第2容量電極と前記走査線とは、同一導電膜からなる。

【0011】

この態様によれば、第2容量電極と走査線とは、例えばポリシリコン膜等の同一導電膜か50

らなり、この上に層間絶縁膜を介して中間導電層や第1容量線を構成する例えは高融点金属膜等の導電膜が積層された積層構造が得られる。このように、比較的単純な積層構造中に、走査線及び第2容量電極を作り込むことができる。

【0012】

本発明の電気光学装置の他の態様では、前記第1容量線と前記第2容量電極との間には、第1層間絶縁膜が形成されており、前記第1容量線と前記第2容量電極とは、前記画素電極毎に前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されている。

【0013】

この態様によれば、第1層間絶縁膜を介して積層された第1容量線と第2容量電極とが画素電極毎にコンタクトホールを介して電気的に接続されている。従って、前述の如く第1層間絶縁膜の膜厚を、第1容量線の電位が薄膜トランジスタの動作に悪影響を与えない程度の大きさに設定しつつ、容量線の抵抗を効率良く下げることが可能となる。10

【0014】

或いは本発明の電気光学装置の他の態様では、第1層間絶縁膜を介して積層された第1容量線と第2容量電極とが複数の画素電極毎にコンタクトホールを介して接続されている。

【0015】

従って、前述の如く第1層間絶縁膜の膜厚を、第1容量線の電位が薄膜トランジスタの動作に悪影響を与えない程度の厚さに設定しつつ、容量線の抵抗を下げることが可能となる。。

【0016】

本発明の電気光学装置の他の態様では、前記中間導電層及び前記第1容量線は、前記第1層間絶縁膜を介して前記走査線の上方且つ第2層間絶縁膜を介して前記データ線の下方の積層位置に形成されている。20

【0017】

この態様によれば、基板上には、走査線が形成され、この上に第1層間絶縁膜を介して中間導電層及び第1容量線が形成され、更にこの上に第2層間絶縁膜を介してデータ線が形成された積層構造が得られる。このように、走査線とデータ線の積層間に導電層を設けることにより、対向基板側から入射した光に対して、薄膜トランジスタの直近に形成された導電層が光を遮光する役目をするので、大変有利である。

【0018】

この態様では、前記第1容量線と前記第2容量電極とは、前記第1層間絶縁膜に開孔されたコンタクトホールを介して接続されており、前記コンタクトホールは、平面的に見て前記データ線の形成された領域内に位置するように構成してもよい。30

【0019】

このように構成すれば、第1容量線と第2容量電極を接続するコンタクトホールは、データ線下に配置されているので、データ線に沿った遮光領域を利用して、コンタクトホールの存在により各画素の開口率を低めないようにしながら第1容量線と第2容量電極とを電気的に接続できる。

【0020】

本発明の電気光学装置の他の態様では、前記第1容量線は、平面的に見て少なくとも部分的に前記走査線に重ねられており、前記走査線に沿って前記画素電極が配置された画像表示領域からその周囲に延設されている。40

【0021】

この態様によれば、平面的に見て走査線が形成された各画素の遮光領域を利用して第1容量線を配線することにより、各画素の開口率を低めないようにしながら、画像表示領域内から画像表示領域の周囲まで至る第1容量線を設けることが可能となる。この際、第1容量線を第1層間絶縁膜を介して走査線上に設けることができるため、第1容量線の配線幅を太く形成することができ、更に容量線の低抵抗化が実現できる。

【0022】

本発明の電気光学装置の他の態様では、前記第1容量線は、平面的に見て少なくとも部分50

的に前記第2容量電極に重ねられており、前記走査線方向に沿って前記画像表示領域からその周囲に延設されている。

【0023】

この態様によれば、平面的に見て第2容量電極が形成された各画素の遮光領域を利用して第1容量線を配線することにより、各画素の開口率を低めないようにしながら、画像表示領域内から画像表示領域の周囲まで至る第1容量線を設けることが可能となる。この際、第1容量線を第1層間絶縁膜を介して第2容量電極上に設けることができるため、第1容量線の配線幅を太く形成することができ、更に容量線の低抵抗化が実現できる。尚、このような第1容量線は、平面的に見て走査線及び第2容量電極の両方に重ねられていてよい。

10

【0024】

本発明の電気光学装置の他の態様では、前記中間導電層及び前記第1容量線は、遮光性の導電膜からなり、前記第1容量線は、平面的に見て前記半導体層の少なくともチャネル領域を覆う。

【0025】

このような中間導電層及び第1容量線は、例えば、Ti(チタン)、Cr(クロム)、W(タンゲステン)、Ta(タンタル)、Mo(モリブデン)、Nb(鈸)等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等からなる。このように例えば第2容量電極を走査線と同一のポリシリコン膜から形成した場合にも、この材質と関係なく第1容量線を低抵抗な金属膜から形成することにより、容量線の低抵抗化を図ることが可能となる。更に、遮光性の第1容量線により、半導体層の少なくともチャネル領域を覆うので、チャネル領域に対向基板からの光が入射することで生じるリーク電流を防ぐことができる。これにより、薄膜トランジスタのオフ状態でのトランジスタ特性が変化する等の不具合を防止できる。更に、各画素の開口領域の輪郭を少なくとも部分的に規定することも可能となる。加えて、このようにデータ線と比べて薄膜トランジスタに近い積層位置にある第1容量線により遮光を行うことにより、データ線で遮光するよりも、より確実な遮光を行うことが可能となる。

20

【0026】

本発明の電気光学装置の他の態様では、前記中間導電層は、多層膜からなる。

【0027】

30

この態様によれば、例えば、下層にポリシリコン膜、上層に高融点金属或いはその合金からなる導電膜といった多層膜から中間導電層や第1容量線を構成することにより、中間導電層や第1容量線として要求される抵抗値や遮光性を満足させるために用いる材料や構造についての自由度が増す。この結果、装置信頼性の向上や製造工程の容易化を図ることができ、更にコスト削減にも繋がる。

【0028】

本発明の電気光学装置の他の態様では、前記第1層間絶縁膜の膜厚は、500nm以上である。

【0029】

40

この態様によれば、第1容量線と第2容量電極との間には、膜厚500nm以上の第1層間絶縁膜が形成されているので、第2容量電極が形成されておらず且つ半導体層が形成されている平面領域に第1容量線の一部が形成されても、第1容量線の電位が薄膜トランジスタの動作に悪影響を及ぼすことは殆ど又は全くない。逆に、第1容量線で半導体層を覆うことにより、薄膜トランジスタに対する遮光を効果的に施すことが可能となる。

【0030】

本発明の電気光学装置の他の態様では、前記第1層間絶縁膜の膜厚は、500nm以下であり、平面的に見て少なくとも前記半導体層のチャネル領域及びその隣接領域には、前記第1容量線は重ねられていない。

【0031】

この態様によれば、第1容量線と第2容量電極との間には、膜厚500nm以下の第1層

50

間絶縁膜が形成されているので、仮に第2容量電極が形成されておらず且つ半導体層が形成されている平面領域に第1容量線の一部が形成されていたとすれば、第1容量線の電位が薄膜トランジスタの動作に悪影響を及ぼしかねない。しかるに本発明では、少なくとも半導体層のチャネル領域及びその隣接領域には、第1容量線は重ねられていないので、このように第1層間絶縁膜の膜厚が比較的薄くても、第1容量線の電位が薄膜トランジスタの動作に悪影響を及ぼすことは殆ど又は全くない。

【0032】

本発明の電気光学装置の他の態様では、前記中間導電層及び前記第1容量線と同一膜からなり前記第1層間絶縁膜を介して前記容量線と対向配置された第3容量電極を更に備える。

10

【0033】

この態様によれば、中間導電層及び第1容量線と同一膜からなる第3容量電極と第2容量電極とが、第1層間絶縁膜を介して対向配置されているので、これら両者間にも蓄積容量を構築可能となる。即ち、第1及び第2容量電極を用いて構築された蓄積容量に加えて他の蓄積容量を立体的に構築し、全体として画素電極に付与される蓄積容量を増大することが可能となる。即ち、この場合には、第1層間絶縁膜の一部が蓄積容量の誘電体膜としても機能するので、蓄積容量を増加させる観点からは、第1層間絶縁膜の膜厚を薄膜トランジスタの動作に影響を与えないレベルで、できるだけ薄く形成した方が良い。このように本発明によれば、中間導電層、第1容量線及び第3容量電極を構成する導電膜を用いて、蓄積容量の増大と容量線の低抵抗化とを同時に図ることができるので、高精細で高開口率の電気光学装置を実現する上で大変有利である。

20

【0034】

本発明の電気光学装置の他の態様では、前記第2容量電極は、前記走査線に沿って前記画像表示領域からその周囲に延設されてなる第2容量線からなり、前記第2容量線は前記第1容量線と接続されてなる。

【0035】

この態様によれば、第2容量電極を走査線に沿って延設して第2容量線を形成する。これにより、第1容量線と第2容量線といった別層での多層配線が可能になり、冗長構造になるばかりか、容量線の配線抵抗を更に低減することができる。

30

【0036】

本発明の電気光学装置の他の態様では、前記基板上に、少なくとも前記半導体層のチャネル領域を前記基板側から見て覆う遮光膜を更に備える。

【0037】

この態様によれば、半導体層の下側に配置された遮光膜により、当該電気光学装置における裏面反射や、特にカラー表示用プロジェクタのライトバルブとして複数の電気光学装置を組み合わせて用いる場合、合成光学系を突き抜けてくる光や反射光に対してチャネル領域を遮光できる。この結果、入射光のみならず反射光によっても薄膜トランジスタの特性が変化する事態を効果的に阻止可能となる。

【0038】

本発明の電気光学装置の他の態様では、前記遮光膜は、前記画素電極毎に前記第1容量線と接続され、前記画像表示領域からその周囲に延設されて定電位源に接続されてなる。

40

【0039】

この態様によれば、薄膜トランジスタを遮光するための遮光膜を画像表示領域の周囲まで延設して周辺回路等の定電位源に接続し、更に画素電極毎に第1容量線と遮光膜を接続することにより、容量線の冗長構造を実現する。即ち、遮光膜の配線を第3容量線として機能させることにより、更に容量線を低抵抗化することができる。

【0040】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0041】

【発明の実施の形態】

50

以下、本発明の実施形態を図面に基づいて説明する。以下の各実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0042】

(第1実施形態)

本発明の第1実施形態における液晶装置の構成について、図1から図3を参照して説明する。図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

10

【0043】

図1において、本実施形態における液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと当該画素電極9aを制御するためのTFT30が形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aに走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例として液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリー ホワイトモードであれば、印加された電圧に応じて入射光が通過不可能とされ、ノーマリー ブラックモードであれば、印加された電圧に応じて入射光が通過可能とされ、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリーケするのを防ぐために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。蓄積容量70は、画素電極9aと電気的に接続された容量電極と、定電位を供給する容量線300と電気的に接続された容量電極との間に誘電体膜を介して形成されている。

20

【0044】

図2において、電気光学装置のTFTアレイ基板上には、マトリクス状に複数の透明な画素電極9a(点線部9a'により輪郭が示されている)が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3aが設けられている。データ線6aは、コンタクトホール5を介して例えばポリシリコン膜からなる半導体層1aのうち後述のソース領域に電気的に接続されている。画素電極9aは、中間導電層の一例として図中右上がりの斜線領域で示した島状のバリア層80を中継することにより、コンタクトホール83及び84を介して半導体層1aのうち後述のドレイン領域に電気的に接続されている。また、半導体層1aのうち図中右下がりの斜線領域で示したチャネル領域1a'に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。このように、走査線3aとデータ線6aとの交差する個所には夫々、チャネル領域1a'に走査線3aがゲート電極として対向配置された画素スイッチング用TFT30が設けられている。

30

【0045】

本実施形態では特に、第1容量線82が、図中右上がりの斜線領域で示した領域にバリア層80と同一膜から形成されている。第1容量線82には、島状のバリア層80を避けるように設けられており、第1容量線82はバリア層80から分離されている。ストライプ状の第1容量線82は、TFT30に対向する位置からコンタクトホール5の手前まで図

40

50

中下方に幅広に形成されており、チャネル領域 1 a' に加えて、その隣接領域の入射光に対する遮光を確実に行う。また、走査線 3 a と同一膜で第 2 容量線 3 b を形成する。第 2 容量線 3 b は半導体層 1 a から延設された第 1 容量電極 1 f と絶縁薄膜（後述する）を介して重なっている部分（第 2 容量電極）において図 1 の蓄積容量 7 0 を形成する。ここでは、第 1 容量線 8 2 と第 2 容量線 3 b を各画素電極 9 a 每にコンタクトホール 8 5 にて電気的に接続することにより、図 1 で示した容量線 3 0 0 を低抵抗化することができる。あるいは、走査線 3 a に沿って配置される複数の画素電極 9 a 每にコンタクトホール 8 5 にて電気的に接続しても良い。第 1 容量線 8 2 は、画素電極 9 a が配置された画像表示領域からその周囲に延設されて、定電位源と電気的に接続される。定電位源としては、TFT 3 0 を駆動するための走査信号を走査線 3 a に供給するための走査線駆動回路（後述する）や画像信号をデータ線 6 a に供給するサンプリング回路を制御するデータ線駆動回路（後述する）に供給される正電源や負電源の定電位源でも良いし、対向基板に供給される定電位源でも構わない。第 2 容量線 3 b も同様に画像表示領域からその周囲に延設して定電位源に電気的に接続することで、第 1 容量線 8 2 と第 2 容量線 3 b とで冗長構造の容量線 3 0 0 を形成することができ、配線抵抗を更に低減することができる。また、第 1 容量線 8 2 と第 2 容量線 3 b を接続するコンタクトホール 8 5 は、データ線 6 a 下に配置するようになると良い。これにより、データ線 6 a に沿った遮光領域を利用することで、画素開口率を低めないようにすることができる。

【0046】

更に、本実施形態では第 2 容量線 3 b の一部である第 2 容量電極を各画素電極 9 a 每に島状に独立に形成しても良い。この場合は、容量線 3 0 0 の配線として機能しないが、定電位を供給する配線として第 1 容量線 8 2 と第 2 容量電極を各画素電極 9 a 每にコンタクトホール 8 5 にて電気的に接続すれば良い。これにより、走査線 3 a と同一層で容量線 3 0 0 を形成する必要がないため、画素開口率を向上させることができ、有利である。

【0047】

また図 2 において、太線で囲んだ走査線 3 b に沿った各領域には、TFT 3 0 を TFT アレイ基板側から覆う部分を含む第 1 遮光膜 1 1 a が走査線 3 a 及び第 2 容量線 3 b に沿ってストライプ状に形成されている。第 1 遮光膜 1 1 a は、TFT 3 0 に対向する位置からコンタクトホール 5 を覆う位置まで図中下方に突出している。第 1 遮光膜 1 1 a は、TFT アレイ基板の裏面や投射光学系からの戻り光を遮光し、この光に基づく光励起により TFT 3 0 のオフ時のリーク電流が原因で TFT 3 0 の特性が変化するのを有効に防止する。このような第 1 遮光層 1 1 a は、例えば、Ti、Cr、W、Ta、Mo、Nb 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等やポリシリコン膜となる。特に、複板式のカラー表示用のプロジェクタ等で複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合には、他の電気光学装置からプリズム等を突き抜けてくる戻り光の影響を受けるため、TFT 3 0 の下側に第 1 遮光膜 1 1 a を設けることは大変有効である。第 1 遮光膜 1 1 a は、走査線 3 a に沿った方向やデータ線 6 a に沿った方向にストライプ状あるいはマトリクス状に配線を形成し、画素電極 9 a が配置された画像表示領域からその周囲に延設されて、定電位源と電気的に接続される。定電位源としては、第 1 容量線 8 2 に供給される定電位と同じでも構わないし、異なっていても良い。ここで、画素電極 9 a 每に第 1 容量線 8 2 と第 1 遮光膜 1 1 a をコンタクトホールを介して電気的に接続することにより、第 1 遮光膜 1 1 a を第 3 遮光膜として機能させることもできる。このような構成を採れば、容量線 3 0 0 を冗長構造で構築できるばかりでなく、更に配線抵抗を低減することが可能になる。第 1 容量線 8 2 と第 1 遮光膜 1 1 a を接続するためのコンタクトホールは、データ線 6 a の下方に容易に設けることができる。

【0048】

次に図 3 の断面図に示すように、電気光学装置は、透明な TFT アレイ基板 1 0 と、これに対向配置される透明な対向基板 2 0 とを備えている。TFT アレイ基板 1 0 は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板 2 0 は、例えばガラス基板や石

英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9aは例えば、ITO膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0049】

他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0050】

TFTアレイ基板10には、各画素電極9aに隣接する位置に、各画素電極9aをスイッチング制御する画素スイッチング用TFT30が設けられている。

【0051】

対向基板20には、更に図3に示すように、第2遮光膜23を設けるようにしても良い。このような構成を探ることで、対向基板20側から入射光が画素スイッチング用TFT30の半導体層1aのチャネル領域1a'や低濃度ソース領域1b及び低濃度ドレイン領域1cに侵入することはない。更に、第2遮光膜23は、入射光が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。

【0052】

尚、本実施形態では、A1膜等からなる遮光性のデータ線6aで、各画素の遮光領域のうちデータ線6aに沿った部分を遮光してもよいし、第1容量線82を遮光性の膜で形成することにより、コンタクトホール5の形成領域を除いたデータ線6a下方において遮光することができる。

【0053】

このように構成され、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーブ等のギャップ材が混入されている。

【0054】

更に、第1遮光膜11aと画素スイッチング用TFT30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、TFTアレイ基板10の全面に形成されることにより、第1遮光膜11aによるTFT30の汚染を防止し、TFTアレイ基板10表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TFT30の特性の変化を防止する機能を有する。

【0055】

本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1容量電極1fとし、これに対向する第2容量線3bの一部を第2容量電極とし、ゲート絶縁膜を含んだ絶縁薄膜2を誘電体膜とすることにより、蓄積容量70が構成されている。図2及び図3に示すように、データ線6aの下にも、第2容量線3bを延設して蓄積容量70が形成されており、非開口領域の有効利用が図られている。

【0056】

図3において、画素スイッチング用TFT30は、LDD(Lightly Doped Drain)構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備え

10

20

30

40

50

ている。高濃度ドレイン領域 1 e には、複数の画素電極 9 a のうちの対応する一つが、コンタクトホール 8 3 及び 8 4 を介してバリア層 8 0 により中継接続されている。また、走査線 3 a 及び第 2 容量線 3 b の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及び高濃度ドレイン領域 1 e へ通じるコンタクトホール 8 3 が各々形成された第 1 層間絶縁膜 8 1 が形成されている。

【 0 0 5 7 】

第 1 層間絶縁膜 8 1 上には、TFT 3 0 と画素電極 9 a とをコンタクトホール 8 3 及び 8 4 を介して中継接続するバリア層 8 0 及びこれと同一膜からなる第 1 容量線 8 2 が形成されている。このように、高濃度ドレイン領域 1 e と画素電極 9 a とをコンタクトホール 8 3 及び 8 4 を介してバリア層 8 0 を経由して電気的に接続するので、画素電極 9 a からドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホール 8 3 及びコンタクトホール 8 4 の径を夫々小さくできる。更に、バリア層 8 0 及び第 1 容量線 8 2 は、例えば、Ti、Cr、W、Ta、Mo、Pb 等の高融点金属等を少なくとも一つ含む、金属単体、合金、金属シリサイド等から形成することができ、遮光領域を規定するための遮光膜として代用できる。また、ポリシリコン膜等の導電膜で形成しても良いことは言うまでもない。これにより、コンタクトホール 8 4 を介してバリア層 8 0 及び画素電極 9 a 間で良好に電気的な接続がとれる。

【 0 0 5 8 】

バリア層 8 0 及び第 1 容量線 8 2 上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及びバリア層 8 0 へ通じるコンタクトホール 8 4 が各々形成された第 2 層間絶縁膜 4 が形成されている。

【 0 0 5 9 】

第 2 層間絶縁膜 4 上には、データ線 6 a が形成されており、これらの上には更に、バリア層 8 0 へのコンタクトホール 8 4 が形成された第 3 層間絶縁膜 7 が形成されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

【 0 0 6 0 】

本実施形態では特に、第 1 容量線 8 2 が低抵抗な高融点金属を含んだ膜で構成できるため、図 1 における容量線 3 0 0 の低抵抗化を図ることができる。よって、本実施形態の電気光学装置の動作時に、走査線 3 a に沿った方向のクロストークやゴーストを効果的に低減でき、コントラスト比を向上できる。しかも、上述の如き中継機能等を持つバリア層 8 0 と同一膜から、第 1 容量線 8 2 を構成しているので、後述する製造プロセスにおいて第 1 容量線 8 2 を形成するための追加工程が不要であり、コスト面で非常に有利である。

【 0 0 6 1 】

本実施形態で、第 1 容量線 8 2 と第 2 容量線 3 bとの間にある第 1 層間絶縁膜 8 1 の膜厚を 500 nm 以上で形成すれば、走査線 3 a や TFT 3 0 の上方に第 1 容量線 8 2 が形成されても、第 1 容量線 8 2 の電位が TFT 3 0 の動作に悪影響を及ぼすことは殆ど又は全くない。これにより、走査線 3 a とデータ線 6 a の積層間に第 1 層間絶縁膜 8 1 及び第 2 層間絶縁膜 4 を介して第 1 容量線 8 2 を形成できるので、この第 1 容量線 8 2 を遮光膜として代用し、TFT 3 0 の少なくともチャネル領域 1 a' や走査線 3 a, 第 2 容量線 3 b と平面的にみて部分的に重ねることで、対向基板 2 0 側からの入射光に対して確実に遮光できる。したがって、TFT アレイ基板 1 0 側の第 1 遮光膜 1 1 a 及び第 1 容量線 8 2 による遮光で、チャネル領域 1 a' 及びその隣接領域に光が入射することにより TFT 3 0 のトランジスタ特性が変化するのを防止できる。このように、第 1 容量線 8 2 で、遮光領域の大部分を規定することができるため、対向基板 2 0 上の第 2 遮光膜 2 3 を取り除くことができる。これにより、TFT アレイ基板 1 0 と対向基板 2 0 の貼り合わせズレによる透過率ばらつきを大幅に低減することができる。更に、第 1 容量線 8 2 は、A 1 膜と比べて、反射率が低い高融点金属膜から形成することができるので、斜めの入射光や、データ線 6 a の裏面からの多重反射光が TFT 3 0 に至る事態を効率的に未然防止できる。尚、このような 500 nm 以上である第 1 層間絶縁膜 8 1 の膜厚の具体的な値としては、TFT 3 0 に要求されるトランジスタ特性や画像品位或いは装置仕様に応じて、経験的又は

10

20

30

40

50

実験的に若しくは理論計算やシミュレーション等により個別具体的に設定すればよい。

【0062】

以上説明した実施形態では、TFTアレイ基板10、下地絶縁膜12、第1層間絶縁膜81、第2層間絶縁膜4に溝を掘って、データ線6a等の配線やTFT30等を埋め込むことにより平坦化処理を行ってもよいし、第3層間絶縁膜7や第2層間絶縁膜4の上面の段差をCMP(Chemical Mechanical Polishing)処理等で研磨することにより、或いは有機SOG膜を用いて平坦化処理を行ってもよい。

【0063】

更に以上説明した実施形態では、画素スイッチング用TFT30は、好ましくは図3に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用TFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

【0064】

(第1実施形態の製造プロセス) 20

次に、以上のような構成を持つ第1実施形態の電気光学装置の製造プロセスについて、図4及び図5を参照して説明する。ここに、図4及び図5は各工程におけるTFTアレイ基板側の各層を、図3と同様に図2のA-A'断面に対応させて順を追って示す工程図である。

【0065】

先ず図4の工程(1)に示すように、石英基板、ガラス基板、シリコン基板等のTFTアレイ基板10を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約900~1300の高温で熱処理し、後に実施される高温プロセスにおけるTFTアレイ基板10に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で処理される温度に合わせて、事前にTFTアレイ基板10を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理されたTFTアレイ基板10の全面に、Ti、Cr、W、Ta、Mo及びNb等の金属や金属シリサイド等の金属合金膜を、スパッタリングにより、100~500nm程度の膜厚、好ましくは約200nmの膜厚の第1遮光膜11aを形成する。尚、第1遮光膜11a上には、好ましくは表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

【0066】

次に図4の工程(2)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CV法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・オスレート)ガス等を用いて、NSG(ノンドープト・シリケート・ガラス)、PSG(リン・シリケート・ガラス)、BSG(ボロン・シリケート・ガラス)、BPSG(ボロンリン・シリケート・ガラス)などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500nm~2000nmとする。

【0067】

次に図4の工程(3)に示すように、下地絶縁膜12の上に、約450~550、好ましくは約500の比較的低温環境中で、流量約400~600cc/minのモノシリガス、ジシランガス等を用いた減圧CV(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成して、フォトリソグラフィ工程、エッチング工程等により、半導体層1aを形成する。その後、窒素雰囲気中で、約600~700にて

10

20

30

40

50

約1～10時間、好ましくは、4～6時間の熱処理を施すことにより、ポリシリコン膜を約50～200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA (Rapid Thermal Anneal)を使った熱処理でも良いし、エキシマレーザー等を用いても良い。

【0068】

この際、画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物を僅かにイオン注入等によりドープしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物を僅かにイオン注入等によりドープしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後、熱処理等により再結晶化させてポリシリコン膜を形成しても良い。

【0069】

次に図4の工程(4)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300の温度、好ましくは約1000の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜を形成し、更に、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的薄い厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ絶縁薄膜2を形成する。この結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に10cm以上の大型基板を使用する場合に熱によるそりを防止することができる。但し、半導体層1aを熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

【0070】

次に図4の工程(5)に示すように、フォトリソグラフィ工程、エッティング工程等によりレジスト層500を第1容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドープして、第1容量電極1fを低抵抗化しても良い。

【0071】

次に図4の工程(6)に示すように、先ずレジストマスクを用いたフォトリソグラフィ工程、エッティング工程等により、走査線3a及び第2容量電極を含んだ第2容量線3bを形成する。更に、画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aをマスクとして、PなどのV族元素の不純物を低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドープする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。

【0072】

次に図5の工程(7)に示すように、画素スイッチング用TFT30を構成する高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト層600を走査線3a上に形成した後、同じくPなどのV族元素の不純物を高濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にて)ドープする。また、画素スイッチング用TFT30をpチャネル型とする場合、半導体層1aに、低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、BなどのIII族元素の不純物を用いてドープする。

【0073】

次に図5の工程(8)に示すように、レジスト層600を除去した後、走査線3a及び第2容量線3b上に、減圧CVD法、プラズマCVD法等により高温酸化シリコン膜(HT

10

20

30

40

50

O膜)や窒化シリコン膜を約500nm以上の比較的厚い膜厚に堆積することにより、第1層間絶縁膜81を形成する。但し、このように絶縁膜を堆積する前に、石英基板等からなるTFTアレイ基板10上における高温プロセスを利用して、高耐圧であり比較的薄くて欠陥の少ない酸化膜を形成して、係る酸化膜を含めて吹く複数層構造を有する第1層間絶縁膜81を形成してもよい。

【0074】

次に図5の工程(10)に示すように、バリア層80と高濃度ドレイン領域1eとを電気的に接続するためのコンタクトホール83を、反応性イオンエッティング、反応性イオンビームエッティング等のドライエッティングにより第1層間絶縁膜81を開孔する。これと同時に第1容量線82と第2容量線3bとを接続するためのコンタクトホール85を開孔することができる。このようなドライエッティングは、指向性が高いため、小さな径のコンタクトホール83や85を開孔可能である。或いは、ウエットエッティングを併用してもよい。このウエットエッティングは、コンタクトホール83に対し、より良好に電気的な接続をとるためのテーパを付与する観点からも有効である。

10

【0075】

次に図5の工程(10)に示すように、第1層間絶縁膜81及びコンタクトホール83や85を介して覗く高濃度ドレイン領域1eの全面に、第1遮光膜11aと同じく、Ti、Cr、W、Ta、Mo及びNb等の金属や金属シリサイド等の金属合金膜あるいはポリシリコン膜をスパッタリングやCVD法により堆積した後、フォトリソグラフィ及びエッティング処理により、バリア層80を形成する。これと同時に第1層間絶縁膜81及びコンタクトホール85を介して覗く第2容量線3bの少なくとも第2容量電極上に、第1容量線82を形成する。尚、これらのバリア層80及び第1容量線82上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。あるいは、下層にポリシリコン膜、上層に高融点金属膜というようにバリア層80及び第1容量線82を多層膜から形成しても良い。このように、下層にポリシリコン膜を形成すれば、半導体層1aと更に良好に電気的な接続をとることができる。

20

【0076】

次に図5の工程(11)に示すように、第1容量線82、第1層間絶縁膜81及び下地絶縁膜12からなる積層体における段差のある上面を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。尚、この熱焼成と並行して或いは相前後して、半導体層1aを活性化するために約1000の熱処理を行ってもよい。

30

【0077】

次に図5の工程(13)に示すように、第2層間絶縁膜4の上に、スパッタリング等により、Al膜等の低抵抗金属膜や金属シリサイド膜を約100~500nmの厚さに堆積した後、フォトリソグラフィ工程及びエッティング工程等により、データ線6aを形成する。次に、データ線6aに対するコンタクトホール5を第2層間絶縁膜4、第1層間絶縁膜81及び絶縁薄膜2を開孔し、その上にデータ線6aをスパッタリング等により約100~500nmの厚さのAl膜等の低抵抗金属膜や金属シリサイド膜から形成し、その上に第3層間絶縁膜7を前述した第2層間絶縁膜4と同様にCVD法等により形成する。

40

【0078】

続いて、第3層間絶縁膜7及び第2層間絶縁膜4に第2コンタクトホール84をエッティングにより開孔し、最後にITO膜からなる画素電極9aを第2コンタクトホール84を介してバリア層80と電気的な接続がとれるように形成する。特にこの工程(12)においては、コンタクトホール5の開孔時に、走査線3aや第2容量線3bを基板周辺領域において図示しない配線と接続するためのコンタクトホールも、第3層間絶縁膜7や第2層間絶縁膜4に同時に開孔するとよい。また、データ線6aは、約100~500nm、好ましくは約300nm程度に堆積し、第3層間絶縁膜7は、約500~1500nm程度に堆積するとよい。また、コンタクトホール8bは、反応性イオンエッティング、反応性イオ

50

ンピームエッティング等のドライエッティングにより形成すればよいが、テープー状にするためにウェットエッティングを用いても良い。更に、画素電極 9 a は、約 50 ~ 200 nm 程度の厚さに堆積するとよい。尚、当該電気光学装置を反射型で用いる場合には、A1 膜等の反射率の高い不透明な材料から画素電極 9 a を形成してもよい。

【0079】

以上説明したように本実施形態の製造プロセスによれば、上述した本実施形態の電気光学装置を比較的容易に製造できる。加えて、画素スイッチング用 TFT30 は半導体層 1 a をポリシリコン膜で形成することができるので、画素スイッチング用 TFT30 の形成時にはほぼ同一工程で、周辺回路を形成することも可能である。

【0080】

尚、以上説明した製造プロセスでは、データ線 6 a が形成される第 2 層間絶縁膜 4 あるいは画素電極 9 a が形成される第 3 層間絶縁膜 7 の表面を平坦化するための CMP 处理等を行ってもよい。或いは TFT アレイ基板 10 の所定領域にエッティングを予め施して凹状の窪みを形成して、その後の工程を同様に行うことにより結果的に第 3 層間絶縁膜 7 の表面が平坦化されるようにしてもよいし、第 2 層間絶縁膜 4 又は下地絶縁膜 12 を凹状に窪めて形成してもよい。

【0081】

以上のように本実施形態の製造方法によれば、図 1 における容量線 300 を低抵抗化する機能及び遮光膜としての機能を有する第 1 容量線 82 と、TFT30 及び画素電極 9 a 間を中継接続する機能を有するバリア層 80 とは、同一膜からなるので、両者を同一工程により同時に形成できる。

【0082】

(第 2 実施形態)

次に、図 6 及び図 7 を参照して本発明の電気光学装置の第 2 実施形態について説明する。ここに、図 6 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図であり、図 7 は、図 6 の A - A' 断面図である。尚、図 7においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、図 6 及び図 7 において、図 2 及び図 3 と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

【0083】

図 6 及び図 7 に示すように、第 2 実施形態では、第 1 実施形態と比べて、島状のバリア層 180 は、比較的大きく形成されており、第 2 容量線 3 b と対向配置された第 3 容量電極として機能する部分を含む。そして、第 1 容量電極 1 f と第 2 容量線 3 b と当該第 3 容量電極とから、立体的な蓄積容量 70 が構築されている。また、バリア層 180 と同一の高融点金属膜等からなる第 1 容量線 182 は、バリア層 180 が大きくなつたのに対応して小さく形成されている。更に蓄積容量 70 を増大するには、第 1 層間絶縁膜 81 の膜厚を 500 nm 以下となるように設定しても良い。このように容量電極を積層させることで、小さい領域で効率的に蓄積容量 70 を増大させることができ、画素の高開口率化が可能となる。更に、第 1 容量線 82 により容量線が低抵抗化できるため、蓄積容量 70 が大きくなつてもクロストーク等の発生が無く、高いコントラスト比を示す電気光学装置が実現できる。尚、第 1 層間絶縁膜 81 を薄膜化した場合に、第 1 容量線 180 がチャネル領域 1 a' 付近に形成されると、TFT30 の動作に影響を与えるため、チャネル領域 1 a' 付近に平面的に見て重ならないように配線すればよい。その他の構成については、第 1 実施形態の場合と同様である。

【0084】

以上説明した各実施形態では、第 1 容量線 82 (あるいは 182) は、走査線 3 a 方向に伸長しているが、データ線 6 a 方向にも突出させて、データ線 6 a 下方において、第 1 容量線 82 (あるいは 182) との間に蓄積容量 70 を形成しても良い。

【0085】

以上説明した各実施形態では、第 1 容量線 180 又は 182 を、第 2 容量線 3 b に代えて

10

20

30

40

50

又は加えて走査線 3 a の冗長配線として構成することも可能である。

【0086】

(電気光学装置の全体構成)

以上のように構成された各実施形態における電気光学装置の全体構成を図 8 及び図 9 を参考して説明する。尚、図 8 は、TFT アレイ基板 10 をその上に形成された各構成要素と共に対向基板 20 の側から見た平面図であり、図 9 は、図 8 の H - H' 断面図である。

【0087】

図 8において、TFT アレイ基板 10 の上には、シール材 52 がその縁に沿って設けられており、その内側に並行して、例えば第 2 遮光膜 23 と同じ或いは異なる材料から成る画像表示領域 10a の周辺を規定する額縁としての第 3 遮光膜 53 が設けられている。シール材 52 の外側の領域には、データ線 6a に画像信号を所定タイミングで供給することによりデータ線 6a を駆動するデータ線駆動回路 101 及び外部回路接続端子 102 が TFT アレイ基板 10 の一辺に沿って設けられており、走査線 3a に走査信号を所定タイミングで供給することにより走査線 3a を駆動する走査線駆動回路 104 が、この一辺に隣接する 2 辺に沿って設けられている。走査線 3a に供給される走査信号遅延が問題にならないのならば、走査線駆動回路 104 は片側だけでも良いことは言うまでもない。また、データ線駆動回路 101 を画像表示領域 10a の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域 10a の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線 6a を櫛歯状に駆動するようにすれば、データ線駆動回路 101 の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更に TFT アレイ基板 10 の残る一辺には、画像表示領域 10a の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1 箇所においては、TFT アレイ基板 10 と対向基板 20との間で電気的に導通をとるための導通材 106 が設けられている。そして、図 9 に示すように、図 8 に示したシール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により TFT アレイ基板 10 に固着されている。

【0088】

尚、TFT アレイ基板 10 上には、これらのデータ線駆動回路 101、走査線駆動回路 104 等に加えて、複数のデータ線 6a に画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線 6a に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

【0089】

以上図 1 から図 9 を参照して説明した各実施形態では、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (Tape Automated bonding) 基板上に実装された駆動用 LS1 に、TFT アレイ基板 10 の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板 20 の投射光が入射する側及び TFT アレイ基板 10 の出射光が出射する側には各々、例えば、TN モード、VA (Vertically Aligned) モード、PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリー・ホワイトモード / ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

【0090】

以上説明した各実施形態における電気光学装置は、プロジェクタに適用されるため、3 枚の電気光学装置が RGB 用のライトバルブとして各々用いられ、各ライトバルブには各々 RGB 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板 20 に、カラーフィルタは設けられていない。しかしながら、第 2 遮光膜 23 の形成されていない画素電極 9a に対向

する所定領域に R G B のカラーフィルタをその保護膜と共に、対向基板 20 上に形成してもよい。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光学装置を適用できる。また、対向基板 20 上に 1 画素 1 個対応するようにマイクロレンズを形成してもよい。あるいは、TFT アレイ基板 10 上の R G B に対向する画素電極 9a 下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板 20 上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、R G B 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

10

【0091】

本発明は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学装置もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図 2】第 1 実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

【図 3】図 2 の A - A' 断面図である。

20

【図 4】第 1 実施形態の電気光学装置の製造プロセスを順を追って示す工程図（その 1）である。

【図 5】第 1 実施形態の電気光学装置の製造プロセスを順を追って示す工程図（その 2）である。

【図 6】本発明の第 2 実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の相隣接する複数の画素群の平面図である。

【図 7】図 6 の A - A' 断面図である。

【図 8】各実施形態の電気光学装置における TFT アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 9】図 8 の H - H' 断面図である。

30

【符号の説明】

1a ... 半導体層

1a' ... チャネル領域

1b ... 低濃度ソース領域

1c ... 低濃度ドレイン領域

1d ... 高濃度ソース領域

1e ... 高濃度ドレイン領域

1f ... 第 1 容量電極

2 ... 絶縁薄膜

3a ... 走査線

40

3b ... 第 2 容量線

4 ... 第 2 層間絶縁膜

5 ... コンタクトホール

6a ... データ線

7 ... 第 3 層間絶縁膜

8 ... コンタクトホール

9a ... 画素電極

10 ... TFT アレイ基板

12 ... 下地絶縁膜

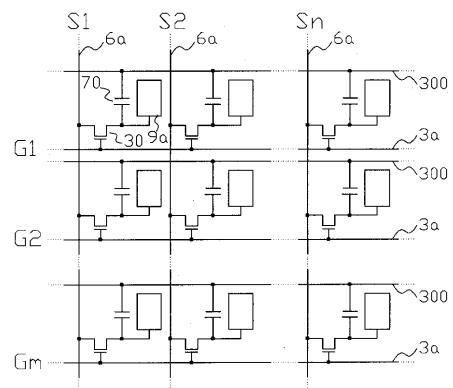
16 ... 配向膜

50

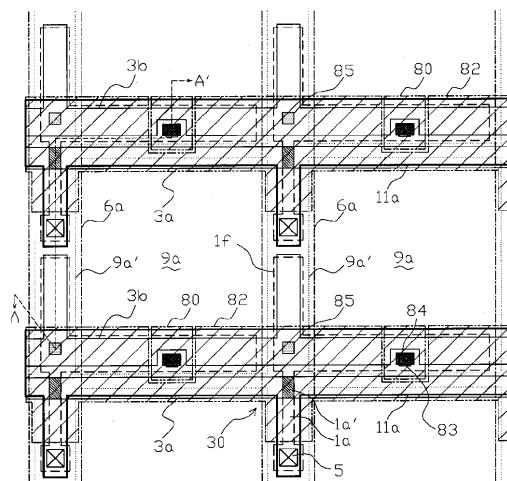
2 0 ... 対向基板
 2 1 ... 対向電極
 2 2 ... 配向膜
 2 3 ... 第2遮光膜
 3 0 ... TFT
 5 0 ... 液晶層
 7 0 ... 蓄積容量
 8 0、180 ... バリア層
 8 1 ... 第1層間絶縁膜
 8 2、182 ... 第1容量線
 8 3、84、85 ... コンタクトホール
 3 0 0 ... 容量線

10

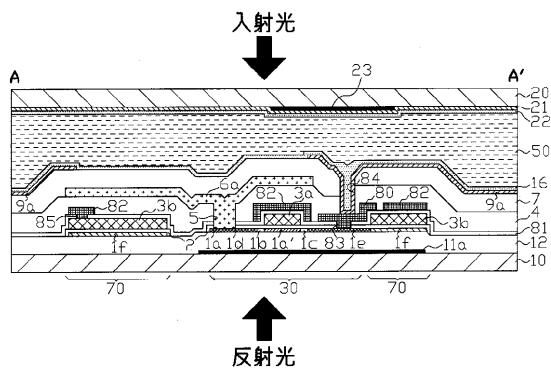
【図1】



【図2】



【図3】



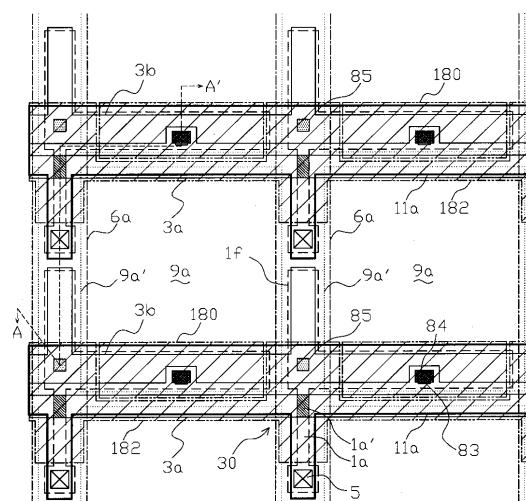
【 図 4 】

-

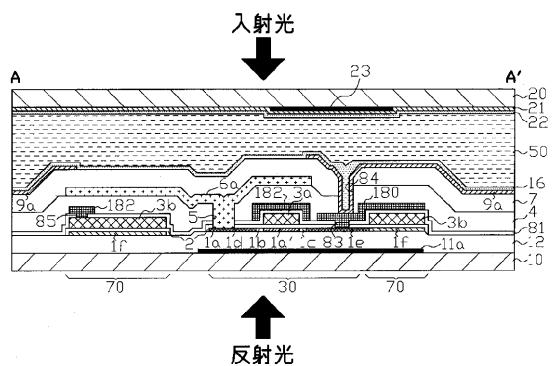
【図5】

-

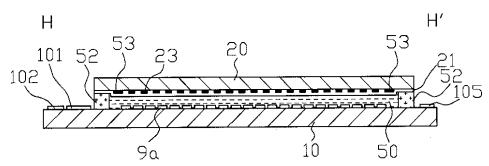
【 図 6 】



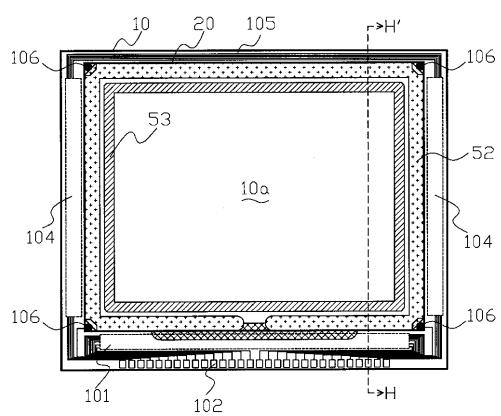
【図7】



【図9】



【図8】



フロントページの続き

(56)参考文献 特開平05-257164(JP,A)
特開平11-326945(JP,A)
特開2000-010121(JP,A)
特開平10-031235(JP,A)
特開平03-288824(JP,A)
国際公開第00/031714(WO,A1)
特開2000-267596(JP,A)
特開2000-352725(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30-9/46
G02F 1/1343-1/1345、1/135-1/136