

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 2 月 29 日 (29.02.2024)



(10) 国际公布号
WO 2024/040744 A1

- (51) 国际专利分类号:
H10B 12/00 (2023.01) **H01L 21/768** (2006.01)
- (21) 国际申请号: PCT/CN2022/129024
- (22) 国际申请日: 2022 年 11 月 1 日 (01.11.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211020699.9 2022年8月24日 (24.08.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

- (72) 发明人: 曾以志 (ZENG, Yizhi); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) Title: SEMICONDUCTOR DEVICE AND FORMING METHOD THEREFOR

(54) 发明名称: 一种半导体器件及其形成方法

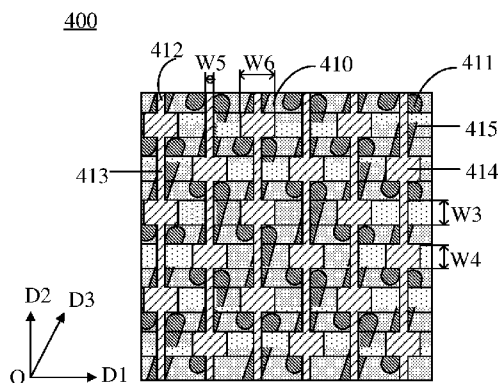


图 4

(57) Abstract: Provided is a forming method for a semiconductor device. The forming method comprises: providing a substrate, wherein the substrate comprises a plurality of active regions (411) and a plurality of word line structures (415) extending in a first direction (D1); and forming on the substrate a plurality of bit line structures (412) extending in a second direction (D2), wherein each bit line structure (412) comprises first substructures (413) and second substructures (414) alternating with each other in the second direction, the size (W5) of each first substructure (413) in the first direction being less than the size (W6) of each second substructure (414) in the first direction, the projection of each second substructure (414) on the substrate being located within the projection of each word line structure (415) on the substrate, and the second direction and the first direction being perpendicular.

(57) 摘要: 提供一种半导体器件的形成方法, 该形成方法包括: 提供基底, 基底包括多个有源区 (411) 以及多个沿第一方向 (D1) 延伸的字线结构 (415); 在基底上形成多个沿第二方向 (D2) 延伸的位线结构 (412), 每一位线结构 (412) 包括在第二方向上彼此交替的第一子结构 (413) 和第二子结构 (414), 其中, 第一子结构 (413) 在第一方向的尺寸 (W5) 小于第二子结构 (414) 在第一方向上的尺寸 (W6); 第二子结构 (414) 在基底上的投影位于字线结构 (415) 在基底上的投影内; 第二方向与第一方向相互垂直。



SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

一种半导体器件及其形成方法

相关申请的交叉引用

本公开基于申请号为 202211020699.9、申请日为 2022 年 08 月 24 日、发明名称为“一种半导体器件及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种半导体器件及其形成方法。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体器件，由若干个存储单元所组成。随着半导体制造技术的飞速发展，半导体器件朝着更高的元件密度，以及更高的集成度的方向发展。然而随着半导体器件的密度提高，尺寸缩小，半导体器件的制造工艺难度提高，而所形成的半导体器件的性能变差。

发明内容

有鉴于此，本公开的主要目的在于提供一种半导体器件及其形成方法。
为达到上述目的，本公开的技术方案是这样实现的：
本公开实施例提供了一种半导体器件的形成方法，所述形成方法包括：
提供基底，所述基底包括多个有源区以及多个沿第一方向延伸的字线结构；
在所述基底上形成多个沿第二方向延伸的位线结构，每一所述位线结构包括在所述第二方向上彼此交替的第一子结构和第二子结构，其中，所述第一子结构在所述第一方向的尺寸小于所述第二子结构在所述第一方向上的尺寸；所述第二子结构在所述基底上的投影位于所述字线结构在所述基底上的投影内；所述第二方向与所述第一方向相互垂直。

上述方案中，所述在所述基底上形成多个沿第二方向延伸的位线结构，包括：
在所述基底上依次形成第一牺牲主体层、底部掩膜层和图案化的顶部掩膜层；
利用所述图案化的顶部掩膜层在所述底部掩膜层上形成图案化的底部掩膜结构；
利用所述图案化的底部掩膜结构形成具有第一图案的第一牺牲主体层；
在所述具有第一图案的第一牺牲主体层上形成图案化的第一掩膜层，利用所述图案化的第一掩膜层形成具有第二图案的第二牺牲主体层；
利用所述具有第二图案的第二牺牲主体层，形成位线结构。

上述方案中，所述利用所述图案化的底部掩膜结构形成具有第一图案的第一牺牲主体层，包括：

利用所述图案化的底部掩膜结构刻蚀部分所述第一牺牲主体层，形成多条沿第二方向延伸的第一牺牲主体部；

向所述第一牺牲主体部之间填充第一固定层，所述第一牺牲主体部与所述第一固定层共同形成具有第一图案的第一牺牲主体层。

上述方案中，所述利用所述图案化的第一掩膜层形成具有第二图案的第二牺牲主体层，包括：

所述图案化的第一掩膜层具有多个沿所述第二方向延伸的开口，每个所述开口具有不同宽度的第一子开口和第二子开口；

5 利用所述图案化的第一掩膜层刻蚀部分所述第一固定层，形成第二固定层；

去除所述具有第一图案的第一牺牲主体层中的第一牺牲主体部，形成具有第三图案的第二固定层；

形成填充所述第三图案间隙的第二牺牲主体层；

10 去除所述第二固定层，形成所述具有第二图案的第二牺牲主体层；所述第二图案与所述第三图案互补。

上述方案中，所述开口的第一子开口对应所述位线结构的第一子结构，所述开口的第二子开口对应所述位线结构的第二子结构。

上述方案中，所述利用所述具有第二图案的第二牺牲主体层，形成位线结构，包括：在所述第二牺牲主体层的侧壁形成固定结构层；

15 去除所述具有第二图案的第二牺牲主体层，以形成具有第四图案的固定结构层；

在所述第四图案的间隙中填充位线材料，形成位线结构。

上述方案中，所述形成方法还包括：

在所述第二牺牲主体层的表面依次形成第一衬层、第一绝缘层和第二衬层以形成固定结构层，并通过第二绝缘层填充相邻所述固定结构层之间。

20 上述方案中，所述第四图案的间隙包括在所述第二方向上彼此交替的第一子间隙和第二子间隙，所述第一子间隙在所述第一方向上的尺寸小于所述第二子间隙在所述第一方向上的尺寸；

所述在所述第四图案的间隙中填充位线材料，形成位线结构，包括：

25 在所述第四图案的第一子间隙和第二子间隙中依次填充位线材料，以在所述第一子间隙中形成所述位线结构的第一子结构，在所述第二子间隙中形成第二子结构。

上述方案中，所述第一牺牲主体层和所述第二牺牲主体层的材料为多晶硅。

上述方案中，所述第一子结构和所述第二子结构在所述第一方向上彼此交替。

上述方案中，所述第二子结构在所述第二方向上的尺寸小于或等于所述字线结构在所述第二方向上的尺寸。

30 本公开实施例还提供了一种半导体器件，包括：

基底，所述基底包括多个有源区以及多个沿第一方向延伸的字线结构；

多个位线结构，所述位线结构位于所述基底上且沿第二方向延伸，每一所述位线结构包括在所述第二方向上彼此交替的第一子结构和第二子结构，其中，所述第一子结构在所述第一方向上的尺寸小于所述第二子结构在所述第一方向上的尺寸；所述第二子结构在所述基底上的投影位于所述字线结构在所述基底上的投影内；所述第二方向与所述第一方向相互垂直。

上述方案中，所述第一子结构和所述第二子结构在所述第一方向上彼此交替。

上述方案中，在所述第二方向上，同一所述位线结构的相邻所述第二子结构间隔所述字线结构设置。

40 上述方案中，所述第二子结构在所述第二方向上的尺寸小于或等于所述字线结构在所述第二方向上的尺寸。

本公开实施例所提供的技术方案中，提供了一种半导体器件的形成方法，该形成方法制备的半导体器件的位线结构包括在其延伸方向上彼此交替的第一子结构和第二子结构，第一子结构在第一方向的尺寸小于第二子结构在第一方向上的尺寸，具有该种形

状的位线结构的整体面积增大，从而降低了位线结构的电阻，实现了对半导体器件读写性能的优化，有效改善了半导体器件的可靠性。此外，第二子结构在基底上的投影位于字线结构在基底上的投影内，因此位线结构电阻降低的同时不会占用额外的面积，为半导体器件实现更高的集成度提供了可能。

5 附图说明

图 1A 为本公开实施例提供的一种基底的平面示意图；
图 1B 为图 1A 中所示沿切线 AA' 方向的剖面示意图；
图 1C 至图 1I 为本公开实施例提供的一种位线制备过程示意图；
图 1J 为图 1I 中虚线框区域的放大示意图；
图 1K 为图 1I 对应的半导体器件的平面示意图；
图 2 为本公开实施例提供的半导体器件的形成方法的具体实现流程示意图；
图 3A 至图 3P 为本公开实施例提供的另一种半导体器件的制备过程示意图；
图 4 为本公开实施例提供的一种半导体器件的示意图。

具体实施方式

下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

应当明白，空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

需要说明的是，本公开实施例所记载的技术方案之间，在不冲突的情况下，可以任意组合。

图 1A 为本公开实施例提供的一种基底的平面示意图，如图 1A 所示，基底 100 包括多个阵列排布的有源区 111 以及多个沿第一方向 D1 延伸的字线结构 120，多个有源区 111 之间通过隔离结构 110 进行隔离。示例性地，隔离结构 110 的材料可为氧化硅、氮氧化硅或其他合适的绝缘材料，所述隔离结构 110 可以为浅沟槽隔离（shallow trench

isolation, STI) 结构。

在一些实施方式中, 多个有源区 111 沿第三方向 D3 交替间隔排列, 第三方向 D3 与第一方向 D1 的夹角大于 30 度。多个字线结构 120 沿第二方向 D2 间隔排列, 其中, 第二方向 D2 与第一方向 D1 相互垂直。

需要说明的是, 图 1A 中的字线结构为透视后的效果, 便于观察字线结构和有源区之间的位置关系。

图 1B 为图 1A 中所示沿切线 AA' 方向的剖面示意图, 如图 1B 所示, 基底 100 包括衬底 101、字线结构 120 和隔离结构 110, 隔离结构 110 包括第一隔离结构 1101 和第二隔离结构 1102。字线结构 120 包括栅氧化层 121、金属导电层 122、栅极导电层 123 以及第一隔离层 124。

具体地, 上述衬底可为单质半导体材料衬底 (例如为硅衬底、锗衬底等)、复合半导体材料衬底 (例如为锗硅衬底等), 或绝缘体上硅衬底 (Silicon on Insulator, SOI)、绝缘体上锗 (GeOI) 衬底等。

图 1C 至图 1I 为本公开实施例提供的一种位线制备过程示意图。如图 1C 所示, 在图 1B 所示的基底 100 上依次形成目标层 130、第二掩膜层 141、停止层 142 和第三掩膜层 150, 目标层 130 包括氧化硅层 131、氮化硅层 132、氮化钛层 133、钨层 134 以及第二隔离层 135。第三掩膜层 150 包括子掩膜层 151 和子停止层 152。

如图 1D 所示, 利用图案化的光刻胶层 (未示出) 对第三掩膜层 150 进行刻蚀以形成图案化的第三掩膜层 153。

图 1E 至图 1G 为自对准双重图案化 (Self-Aligned Double Patterning, SADP) 工艺的过程示意图。如图 1E 所示, 形成第一介质层 154, 第一介质层 154 覆盖图案化的第三掩膜层 153。

如图 1F 所示, 刻蚀去除图案化的第三掩膜层 153 顶部的第一介质层 154。在刻蚀去除图案化的第三掩膜层 153 顶部的第一介质层 154 的同时, 也会去除停止层 142 上的第一介质层 154, 然后去除图案化的第三掩膜层 153, 保留了图案化的第三掩膜层 153 中图形侧壁的第一介质层 154, 形成了侧墙结构 155 (spacer)。

如图 1F 和 1G 所示, 以侧墙结构 155 为掩膜对停止层 142 和第二掩膜层 141 进行刻蚀, 去除停止层 142, 形成图案化的第二掩膜层 156。

如图 1G 和 1H 所示, 以图案化的第二掩膜层 156 为掩膜对目标层 130 进行刻蚀, 形成图案化的目标层 157。

如图 1I 和图 1J 所示, 在图案化的目标层 157 上依次沉积形成第一氮化层 159、氧化层 160、第二氮化层 161, 以形成位线结构 158, 并在位线结构 158 之间填充绝缘材料 162。需要说明的是, 图 1J 为图 1I 中虚线框区域的放大示意图。

图 1K 为图 1I 对应的半导体器件的平面示意图, 图 1I 为图 1K 中所示沿切线 AA' 方向的剖面示意图。如图 1K 所示, 半导体器件包括多个有源区 111 以及多个沿第一方向 D1 延伸的字线结构 120, 多个有源区 111 之间通过隔离结构 110 进行隔离。利用上述方法形成的多个位线结构 158 沿第二方向 D2 延伸, 且由于采用一步制备工艺, 位线结构 158 的尺寸均一。

但随着动态随机存取存储器的尺寸不断缩小、集成度不断提高, 动态随机存储器的特征尺寸和单元面积都会减小, 数据传输线的尺寸同样需要减小, 数据线 (例如位线) 尺寸的减小使得数据线的电阻随之增大, 当位线的电阻太高时, 所施加的电压的大部分被位线消耗, 且以热量的形式消散掉。因此, 具有较高位线电阻的半导体器件将需要更高的电压来操作。更高的电压意味着更大的功耗和更多的热量产生, 这将阻碍半导体器件密度的进一步提高。因此, 在制造高密度的半导体器件方面, 保持较低的位线电阻是

十分重要的。

图 1K 中所示的位线结构 158 的面积会随着半导体器件密度的提高而相应减小,使得位线结构 158 与相应位线接触结构之间的接触电阻变大,导致流经位线结构 158 的电流过小,从而降低了动态随机存取存储器的读写性能,严重地更会对半导体器件的可靠性造成影响。因此,如何改善半导体器件的性能成为了亟需解决的问题。

为此,本公开实施例提供了一种半导体器件及其形成方法。图 2 为本公开实施例提供的一种半导体器件的形成方法的具体实现流程示意图。如图 2 所示,该半导体器件的形成方法的具体步骤包括:

步骤 S210: 提供基底,所述基底包括多个有源区以及多个沿第一方向延伸的字线结构;

步骤 S220: 在所述基底上形成多个沿第二方向延伸的位线结构,每一所述位线结构包括在所述第二方向上彼此交替的第一子结构和第二子结构,其中,所述第一子结构在所述第一方向的尺寸小于所述第二子结构在所述第一方向上的尺寸;所述第二子结构在所述基底上的投影位于所述字线结构在所述基底上的投影内;所述第二方向与所述第一方向相互垂直。

图 3A 至图 3P 为本公开一实施例的半导体器件的形成过程的剖面结构示意图,图 3A 至图 3P 中所示的基底 100 的具体结构可参考图 1A 和图 1B。下面结合图 2 和图 3A 至图 3P 描述本实施例的半导体器件的形成方法。

如图 3A 所示,在基底 100 上依次形成第一牺牲主体层 310、底部掩膜层 320 和顶部掩膜层 330。第一牺牲主体层 310 的材料包括但不限于多晶硅(poly)。底部掩膜层 320 包括底部子掩膜层 321 和底部停止层 322,底部子掩膜层 321 的材料包括但不限于无定形碳(Amorphous Carbon Layer, ACL)、氮氧化硅(SiON)或氧化物(Oxide)等。底部停止层 322 的材料包括但不限于氮氧化硅、氧化硅、氮化硅。顶部掩膜层 330 包括顶部子掩膜层 331 和顶部停止层 332,其中,顶部子掩膜层 331 的材料包括但不限于旋涂硬掩膜(Spin On Hardmask, SOH),可通过旋转涂布工艺形成。顶部停止层 332 的材料包括但不限于氮氧化硅、氧化硅、氮化硅和多晶硅。在一些实施例中,顶部停止层 332 和底部停止层 322 的材料相同。

如图 3B 所示,利用图案化的光刻胶层(图中未示出)对顶部掩膜层 330 进行刻蚀,以形成图案化的顶部掩膜层 340。在一些实施例中,所述图案化的顶部掩膜层 340 的形成过程包括:先在顶部掩膜层 330 上形成光刻胶层(未示出),然后对光刻胶层进行曝光和显影以形成图案化的光刻胶层,图案化的光刻胶层具有多个光刻开口,最后以图案化的光刻胶层为掩膜,刻蚀光刻开口暴露的顶部掩膜层 330,从而在顶部掩膜层 330 上形成多个开口。在一具体实施方式中,可以利用图案化的光刻胶层对顶部掩膜层 330 进行干法蚀刻(例如,反应离子刻蚀(Reactive Ion Etching, RIE)),以形成图案化的顶部掩膜层 340。

图 3C 至图 3E 示出了利用图案化的顶部掩膜层通过自对准工艺形成图案化的底部掩膜结构的工艺过程。自对准工艺包括自对准双重图案化(Self-Aligned Double Patterning, SADP)工艺、自对准反向图案化(Self-Aligned Reverse Patterning, SARP)工艺、自对准四重图案化(Self-Aligned Quadruple Patterning, SAQP)工艺中的一种或多种。需要说明的是,本公开实施例以 SADP 工艺为例进行说明。

如图 3C 所示,沉积形成第一介质层 350,第一介质层 350 覆盖图案化的顶部掩膜层 340。第一介质层 350 的材料包括但不限于氧化物。可以使用例如化学气相沉积(Chemical Vapor Deposition, CVD)、物理气相沉积(Physical Vapor Deposition, PVD)、原子层沉积(Atomic Layer Deposition, ALD)、任何其他适当的工艺或者其组合的一种

或多种薄膜沉积工艺，来沉积形成第一介质层 350。

如图 3D 所示，刻蚀去除图案化的顶部掩膜层 340 顶部的第一介质层 350。研磨第一介质层 350 至露出顶部掩膜层 340，然后采用湿法刻蚀工艺去除图案化的顶部掩膜层 340，保留了图案化的顶部掩膜层 340 侧壁的第一介质层 350，形成了侧墙结构 351 (spacer)。

如图 3E 所示，以侧墙结构 351 为掩膜对底部掩膜层 320 进行刻蚀，去除底部停止层 322，形成图案化的底部掩膜结构 352。示例性地，可以利用侧墙结构 351 对底部掩膜层 320 进行干法蚀刻（例如，反应离子刻蚀（Reactive Ion Etching, RIE）），以形成图案化的底部掩膜结构 352。

图 3F 至图 3G 示出了利用所述图案化的底部掩膜结构形成具有第一图案的第一牺牲主体层的工艺过程。

如图 3F 所示，利用所述图案化的底部掩膜结构 352 刻蚀部分第一牺牲主体层 310，形成多条沿第二方向延伸的第一牺牲主体部 360，多条第一牺牲主体部 360 之间具有多个间隙 361。在一些实施例中，多条第一牺牲主体部 360 之间具有多个等间距的间隙 361。

在一些实施例中，由于第一牺牲主体层 310 为单层结构，因此刻蚀工艺简单，在形成多条沿第二方向延伸的第一牺牲主体部 360 时，可以更好地控制刻蚀轮廓，增加了工艺窗口，经过对第一牺牲主体层 310 进行湿法蚀刻和/或干法蚀刻形成的多条沿第二方向延伸的第一牺牲主体部 360 的侧壁较为平整。

如图 3G 所示，向所述第一牺牲主体部 360 之间填充第一固定层 362，所述第一牺牲主体部 360 与第一固定层 362 共同形成具有第一图案的第一牺牲主体层。第一固定层 362 使得具有第一图案的第一牺牲主体层具有较大的牢固性，以避免第一牺牲主体部 360 发生坍塌或倾斜等问题。第一固定层 362 的材料包括但不限于氧化物。可以使用例如 CVD、PVD、ALD、任何其他适当的工艺或者其组合的一种或多种薄膜沉积工艺，来沉积形成第一固定层 362。

图 3H 至图 3L 示出了利用图案化的第一掩膜层形成具有第二图案的第二牺牲主体层的工艺过程。

如图 3H 所示，在所述具有第一图案的第一牺牲主体层上形成图案化的第一掩膜层 364。具体地，沉积形成第一停止层 363，第一停止层 363 覆盖第一固定层 362，第一停止层 363 和底部停止层 322 的材料相同。可以使用例如 CVD、PVD、ALD、任何其他适当的工艺或者其组合的一种或多种薄膜沉积工艺，来沉积形成第一停止层 363。在第一停止层 363 上形成图案化的第一掩膜层 364，如图 3H 所示，图案化的第一掩膜层 364 具有暴露出第一停止层 363 的多个沿所述第二方向延伸的开口 365，每个开口 365 具有不同宽度的第一子开口和第二子开口。

在一些实施例中，所述开口 365 的第一子开口对应所述位线结构的第一子结构，所述开口 365 的第二子开口对应所述位线结构的第二子结构。

如图 3I 所示，利用所述图案化的第一掩膜层 364 刻蚀部分第一固定层 362，形成第二固定层 366。在一具体实施方式中，刻蚀所述第一固定层 362 可以采用各向异性的等离子体刻蚀工艺。

如图 3J 所示，去除所述具有第一图案的第一牺牲主体层中的第一牺牲主体部 360，形成具有第三图案的第二固定层 367。在一些实施例中，在去除具有第一图案的第一牺牲主体层 360 的工艺中，使用具有高选择性的湿法刻蚀工艺代替等离子体辅助的干法刻蚀工艺，这进一步减少对第二固定层 366 和基底 100 的损伤。具体地，可采用包括四甲基氢氧化铵（Tetramethylammonium Hydroxide, TMAH）的刻蚀溶剂去除所述具有第一图案的第一牺牲主体层中的第一牺牲主体部 360。

在一些实施例中，具有第三图案的第二固定层 367 中的多条沿所述第二方向延伸的第二固定层之间具有在所述第一方向上彼此交替的第一间隙 368 和第二间隙 369，所述第一间隙 368 在所述第一方向上的尺寸小于所述第二间隙 369 在所述第一方向上的尺寸。

5 如图 3K 所示，形成填充所述第三图案间隙的第二牺牲主体层 370。在一些实施例中，第二牺牲主体层 370 和第一牺牲主体层 310 的材料相同，可以使用例如 CVD、PVD、ALD、任何其他适当的工艺或者其组合的一种或多种薄膜沉积工艺，来沉积形成第二牺牲主体层 370。

10 如图 3L 所示，去除所述第二固定层 367，形成所述具有第二图案的第二牺牲主体层 371，所述第二图案与所述第三图案互补，所述具有第二图案的第二牺牲主体层 371 具有多个间隙 372。

图 3M 至图 3P，示出了利用所述具有第二图案的第二牺牲主体层，形成位线结构的工艺过程。

15 如图 3M 所示，在所述第二牺牲主体层的侧壁形成固定结构层 373。固定结构层 373 使得具有第二图案的第二牺牲主体层 371 具有较大的牢固性，以避免发生坍塌或倾斜等问题。具体地，在所述第二牺牲主体层的表面依次形成第一衬层 374、第一绝缘层 375 和第二衬层 376，以形成固定结构层 373，并通过第二绝缘层 377 填充相邻所述固定结构层 373 之间。在一些实施例中，第一衬层 374 的材料包括氧化硅、氮氧化硅、高介电常数(高 k)电介质或其任意组合，第二衬层 376 的材料包括氧化硅、氮氧化硅、高介电常数(高 k)电介质或其任意组合，第一绝缘层 375 和第二绝缘层 377 的材料包括氮化硅、氮氧化硅或其任意组合。第一衬层 374 和第二衬层 375 的材料可以相同也可以不同。可以使用例如 CVD、PVD、ALD、任何其他适当的工艺或者其组合的一种或多种薄膜沉积工艺，来沉积形成第一衬层 374、第一绝缘层 375 和第二衬层 376。

25 如图 3N 所示，通过化学机械研磨 (Chemical Mechanical Polishing, CMP) 工艺对固定结构层 373 进行平坦化处理，以使得固定结构层 373 的表面与具有第二图案的第二牺牲主体层 371 的表面齐平。

30 如图 3O 所示，去除所述具有第二图案的第二牺牲主体层 371，以形成具有第四图案的固定结构层 380。在一些实施例中，在去除具有第二图案的第二牺牲主体层 371 的工艺中，使用具有高选择性的湿法刻蚀工艺代替等离子体辅助的干法刻蚀工艺，这进一步减少对固定结构层 373 和基底 100 的损伤。具体地，可采用包括四甲基氢氧化铵的刻蚀溶剂去除所述具有第二图案的第二牺牲主体层 371。

在一些实施例中，所述第四图案的间隙包括在所述第二方向上彼此交替的第一子间隙 381 和第二子间隙 382，所述第一子间隙 381 在所述第一方向上的尺寸小于所述第二子间隙 382 在所述第一方向上的尺寸。

35 如图 3P 所示，在所述第四图案的间隙中填充位线材料，形成位线结构。在一具体实施方式中，在所述第四图案的第一子间隙 381 和第二子间隙 382 中依次填充位线材料，以在所述第一子间隙 381 中形成所述位线结构的第一子结构 383，在所述第二子间隙 382 中形成第二子结构 384。位线材料包括依次填充的第一导电层 385、第一连接层 386、第二导电层 387 和第三隔离层 388。在一些实施例中，第一导电层 385 的材料包括但不限于多晶硅，第一连接层 386 的材料包括但不限于氮化钛，第二导电层 387 的材料包括但不限于钨、钽和钛，第三隔离层 388 的材料包括氮化硅、氮氧化硅、碳氮化硅或其他合适的材料。

在本公开实施例中，所述第一子结构和所述第二子结构在所述第一方向上彼此交替。

在本公开实施例中，所述第二子结构在所述第二方向上的尺寸小于或等于所述字线结构在所述第二方向上的尺寸，即第二子结构和字线结构在第二方向上具有相同的宽度，如此，第二子结构的形成不会占用额外的面积，为半导体器件实现更高的集成度提供了可能。

5 在本公开实施例中，所述第二子结构在所述第一方向上的尺寸与所述第一子结构在所述第一方向上的尺寸的比值范围为 1.5 至 3。具体可参阅图 3P，W1 为第一子结构 383 在第一方向上的宽度，W2 为第二子结构 384 在第一方向上的宽度，W2 与 W1 的比值范围为 1.5 至 3。由于第二子结构 384 在第一方向上具有大于第一子结构 383 在第一方向上的宽度，使得位线结构的整体面积增大，从而降低了位线结构的电阻。

10 本公开实施例还提供了一种半导体器件，该半导体器件 400 包括：基底，所述基底包括多个有源区 411 以及多个沿第一方向 D1 延伸的字线结构 415；

多个位线结构 412，所述位线结构 412 位于所述基底上且沿第二方向 D2 延伸，每一所述位线结构 412 包括在所述第二方向 D2 上彼此交替的第一子结构 413 和第二子结构 414，其中，所述第一子结构 413 在所述第一方向上的尺寸小于所述第二子结构 414 在所述第一方向 D1 上的尺寸；所述第二子结构 414 在所述基底上的投影位于所述字线结构 415 在所述基底上的投影内；所述第二方向 D2 与所述第一方向 D1 相互垂直。

15 在一些实施例中，多个有源区 411 沿第三方向 D3 交替间隔排列，多个有源区 411 之间通过隔离结构 410 进行隔离。所述第三方向 D3 与所述第一方向 D1 的夹角大于 30 度。多个字线结构 415 沿第二方向 D2 间隔排列。

20 在本公开实施例中，所述第一子结构和所述第二子结构在所述第一方向上彼此交替。

在本公开实施例中，所述第二子结构在所述第二方向上的尺寸小于或等于所述字线结构在所述第二方向上的尺寸。具体可参阅图 4，W3 为字线结构 415 在第二方向 D2 上的宽度，W4 为第二子结构 414 在第二方向 D2 上的宽度，W4 小于或等于 W3，如此，第二子结构的形成不会占用额外的面积。

25 在一些实施例中，在所述第二方向 D2 上，同一所述位线结构 412 的相邻所述第二子结构 414 间隔所述字线结构 415 设置。如此，可避免第二子结构过于密集，从而减少了第二子结构在后续工艺中与电容接触插塞发生短接的现象。

30 在本公开实施例中，所述第二子结构在所述第一方向上的尺寸与所述第一子结构在所述第一方向上的尺寸的比值范围为 1.5 至 3。具体可参阅图 4，W5 为第一子结构 413 在第一方向 D1 上的宽度，W6 为第二子结构 414 在第一方向 D1 上的宽度，W6 与 W5 的比值范围为 1.5 至 3。由于第二子结构 414 在第一方向 D1 上具有大于第一子结构 413 在第一方向 D1 上的宽度，使得位线结构 412 的整体面积增大，从而降低了位线结构的电阻。

35 在一些实施例中，字线结构两侧的有源区内形成有源极区和漏极区，字线结构连接的或本身作为栅极与源极区和漏极区共同构成存储单元的晶体管（Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET）。进一步地，源极区与位线结构连接，在漏极区上方形成存储电容器，存储电容器的下极板与漏极区电连接，则可以形成半导体存储器，例如可形成 DRAM，当然，也可以形成其他类型的存储器。

40 本公开实施例所提供的技术方案中，提供了一种半导体器件的形成方法，该形成方法制备的半导体器件的位线结构包括在其延伸方向上彼此交替的第一子结构和第二子结构，第一子结构在第一方向的尺寸小于第二子结构在第一方向上的尺寸，具有该种形状的位线结构的整体面积增大，从而降低了位线结构的电阻，实现了对半导体器件读写性能的优化，有效改善了半导体器件的可靠性。此外，第二子结构在基底上的投影位于

字线结构在基底上的投影内，因此位线结构电阻降低的同时不会占用额外的面积，为半导体器件实现更高的集成度提供了可能。

应理解，说明书通篇中提到的“一实施例”或“一些实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一实施例中”或“在一些实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。

工业实用性

本公开实施例所提供的技术方案中，提供了一种半导体器件的形成方法，该形成方法制备的半导体器件的位线结构包括在其延伸方向上彼此交替的第一子结构和第二子结构，第一子结构在第一方向的尺寸小于第二子结构在第一方向上的尺寸，具有该种形状的位线结构的整体面积增大，从而降低了位线结构的电阻，实现了对半导体器件读写性能的优化，有效改善了半导体器件的可靠性。此外，第二子结构在基底上的投影位于字线结构在基底上的投影内，因此位线结构电阻降低的同时不会占用额外的面积，为半导体器件实现更高的集成度提供了可能。

权利要求书

1、一种半导体器件的形成方法，所述形成方法包括：

提供基底，所述基底包括多个有源区以及多个沿第一方向延伸的字线结构；

5 在所述基底上形成多个沿第二方向延伸的位线结构，每一所述位线结构包括在所述第二方向上彼此交替的第一子结构和第二子结构，其中，所述第一子结构在所述第一方向的尺寸小于所述第二子结构在所述第一方向上的尺寸；所述第二子结构在所述基底上的投影位于所述字线结构在所述基底上的投影内；所述第二方向与所述第一方向相互垂直。

10 2、根据权利要求 1 所述的形成方法，其中，所述在所述基底上形成多个沿第二方向延伸的位线结构，包括：

在所述基底上依次形成第一牺牲主体层、底部掩膜层和图案化的顶部掩膜层；

利用所述图案化的顶部掩膜层在所述底部掩膜层上形成图案化的底部掩膜结构；

利用所述图案化的底部掩膜结构形成具有第一图案的第一牺牲主体层；

15 在所述具有第一图案的第一牺牲主体层上形成图案化的第一掩膜层，利用所述图案化的第一掩膜层形成具有第二图案的第二牺牲主体层；

利用所述具有第二图案的第二牺牲主体层，形成位线结构。

3、根据权利要求 2 所述的形成方法，其中，所述利用所述图案化的底部掩膜结构形成具有第一图案的第一牺牲主体层，包括：

20 利用所述图案化的底部掩膜结构刻蚀部分所述第一牺牲主体层，形成多条沿第二方向延伸的第一牺牲主体部；

向所述第一牺牲主体部之间填充第一固定层，所述第一牺牲主体部与所述第一固定层共同形成具有第一图案的第一牺牲主体层。

4、根据权利要求 3 所述的形成方法，其中，所述利用所述图案化的第一掩膜层形成具有第二图案的第二牺牲主体层，包括：

25 所述图案化的第一掩膜层具有多个沿所述第二方向延伸的开口，每个所述开口具有不同宽度的第一子开口和第二子开口；

利用所述图案化的第一掩膜层刻蚀部分所述第一固定层，形成第二固定层；

去除所述具有第一图案的第一牺牲主体层中的第一牺牲主体部，形成具有第三图案的第二固定层；

30 形成填充所述第三图案间隙的第二牺牲主体层；

去除所述第二固定层，形成所述具有第二图案的第二牺牲主体层；所述第二图案与所述第三图案互补。

5、根据权利要求 4 所述的形成方法，其中，所述开口的第一子开口对应所述位线结构的第一子结构，所述开口的第二子开口对应所述位线结构的第二子结构。

35 6、根据权利要求 4 所述的形成方法，其中，所述利用所述具有第二图案的第二牺牲主体层，形成位线结构，包括：

在所述第二牺牲主体层的侧壁形成固定结构层；

去除所述具有第二图案的第二牺牲主体层，以形成具有第四图案的固定结构层；

在所述第四图案的间隙中填充位线材料，形成位线结构。

40 7、根据权利要求 6 所述的形成方法，其中，所述形成方法还包括：

在所述第二牺牲主体层的表面依次形成第一衬层、第一绝缘层和第二衬层以形成固定结构层，并通过第二绝缘层填充相邻所述固定结构层之间。

8、根据权利要求 6 所述的形成方法，其中，所述第四图案的间隙包括在所述第二方向上彼此交替的第一子间隙和第二子间隙，所述第一子间隙在所述第一方向上的尺寸小于所述第二子间隙在所述第一方向上的尺寸；

所述在所述第四图案的间隙中填充位线材料，形成位线结构，包括：

5 在所述第四图案的第一子间隙和第二子间隙中依次填充位线材料，以在所述第一子间隙中形成所述位线结构的第一子结构，在所述第二子间隙中形成第二子结构。

9、根据权利要求 2 所述的形成方法，其中，所述第一牺牲主体层和所述第二牺牲主体层的材料为多晶硅。

10 10、根据权利要求 1 所述的形成方法，其中，所述第一子结构和所述第二子结构在所述第一方向上彼此交替。

11、根据权利要求 1 所述的形成方法，其中，所述第二子结构在所述第二方向上的尺寸小于或等于所述字线结构在所述第二方向上的尺寸。

12、一种半导体器件，包括：

基底，所述基底包括多个有源区以及多个沿第一方向延伸的字线结构；

15 多个位线结构，所述位线结构位于所述基底上且沿第二方向延伸，每一所述位线结构包括在所述第二方向上彼此交替的第一子结构和第二子结构，其中，所述第一子结构在所述第一方向上的尺寸小于所述第二子结构在所述第一方向上的尺寸；所述第二子结构在所述基底上的投影位于所述字线结构在所述基底上的投影内；所述第二方向与所述第一方向相互垂直。

20 13、根据权利要求 12 所述的半导体器件，其中，所述第一子结构和所述第二子结构在所述第一方向上彼此交替。

14、根据权利要求 12 所述的半导体器件，其中，在所述第二方向上，同一所述位线结构的相邻所述第二子结构间隔所述字线结构设置。

25 15、根据权利要求 12 所述的半导体器件，其中，所述第二子结构在所述第二方向上的尺寸小于或等于与所述字线结构在所述第二方向上的尺寸。

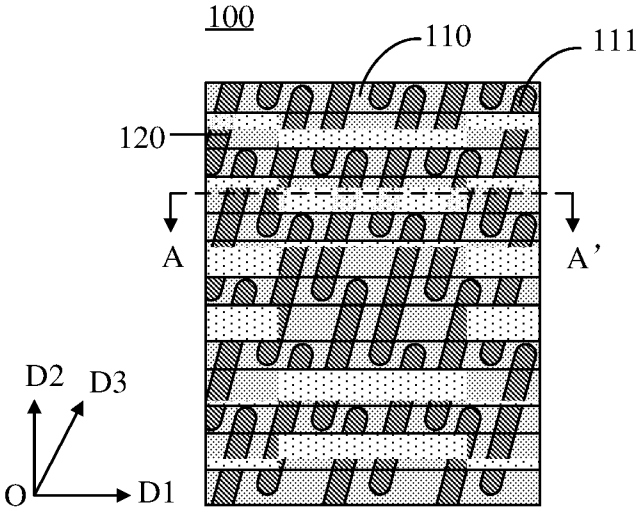


图 1A

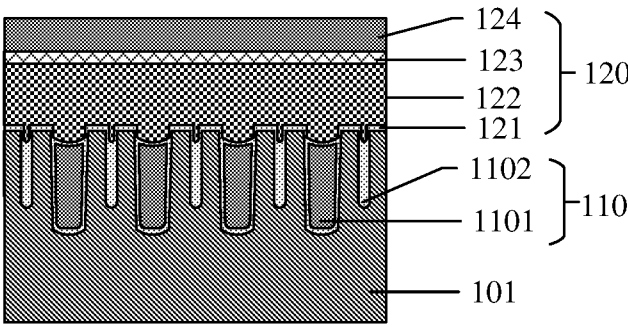


图 1B

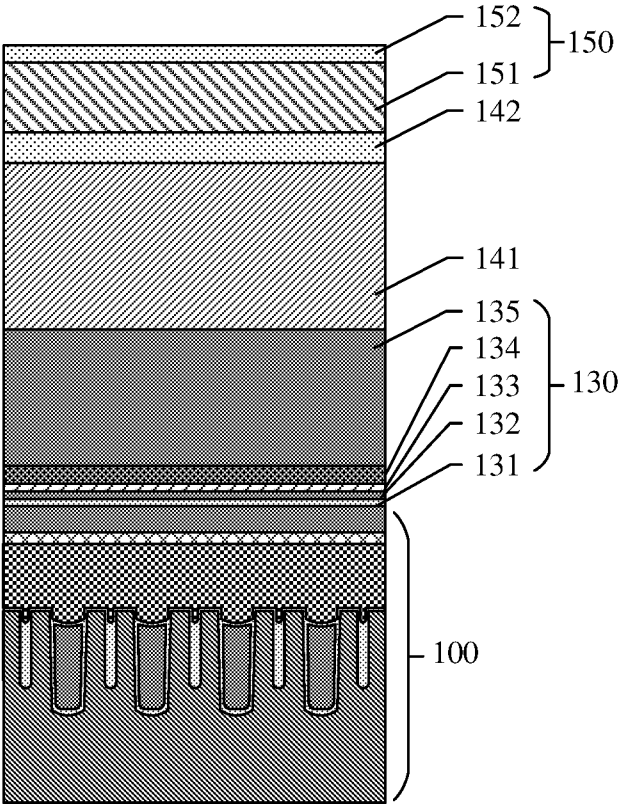


图 1C

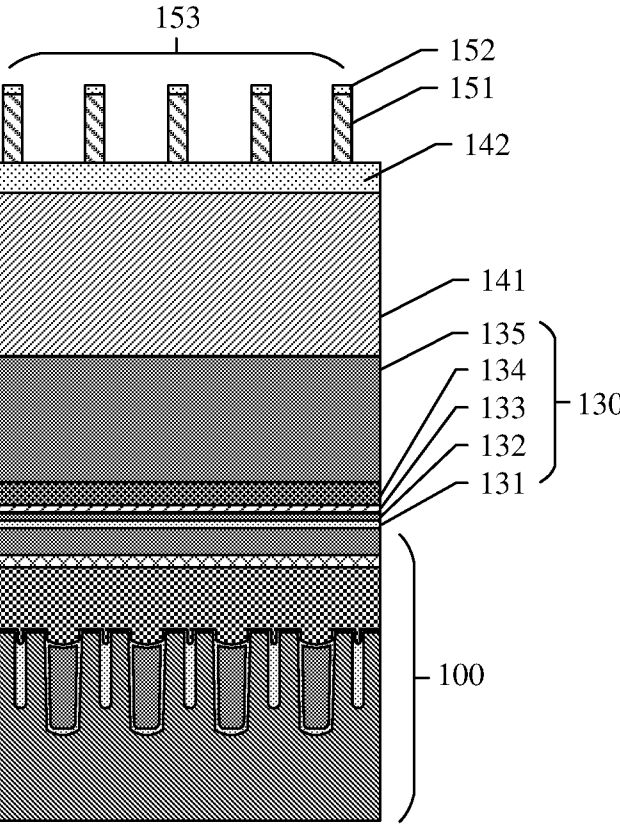


图 1D

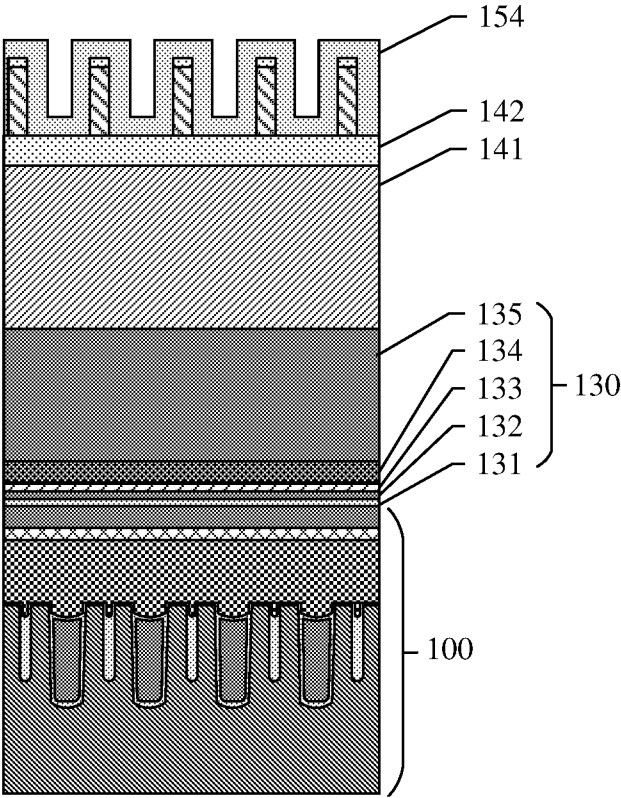


图 1E

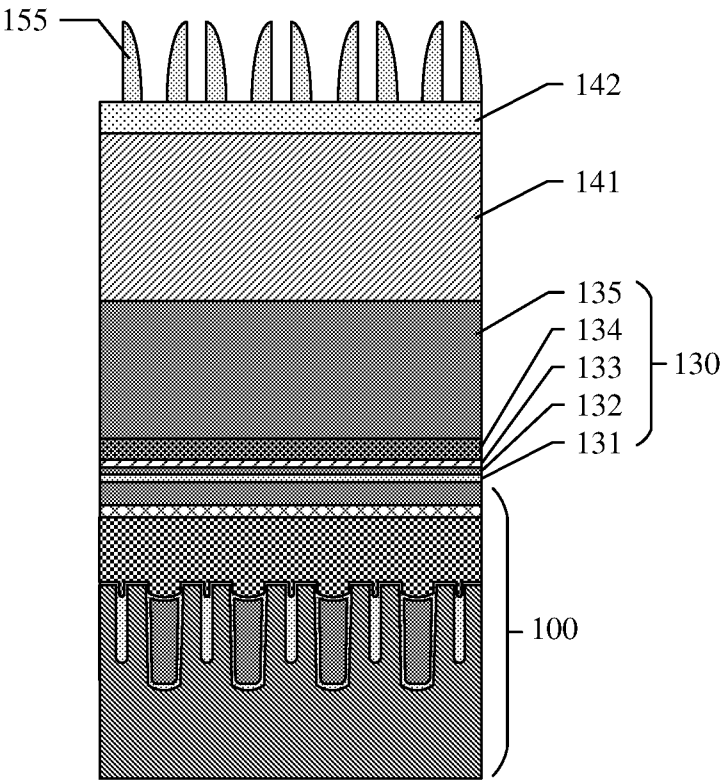


图 1F

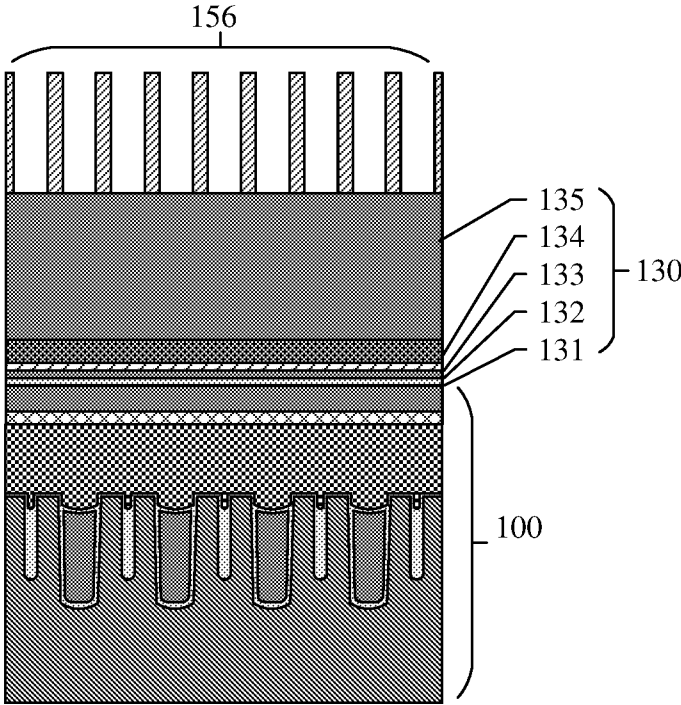


图 1G

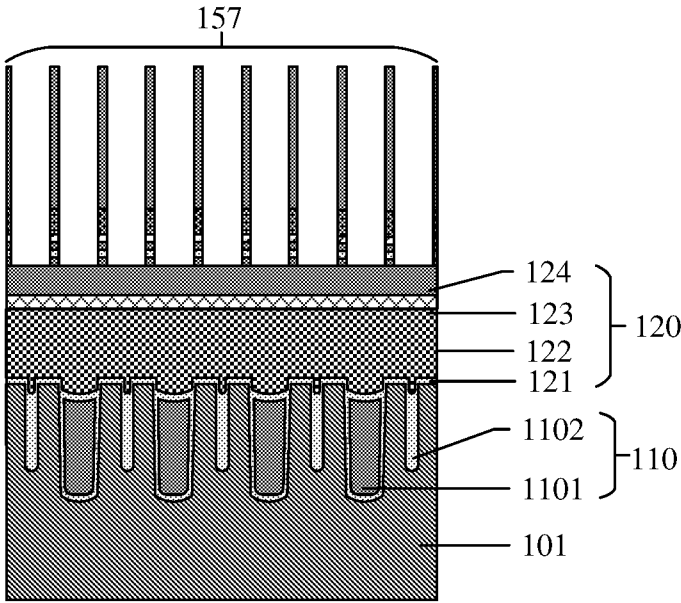


图 1H

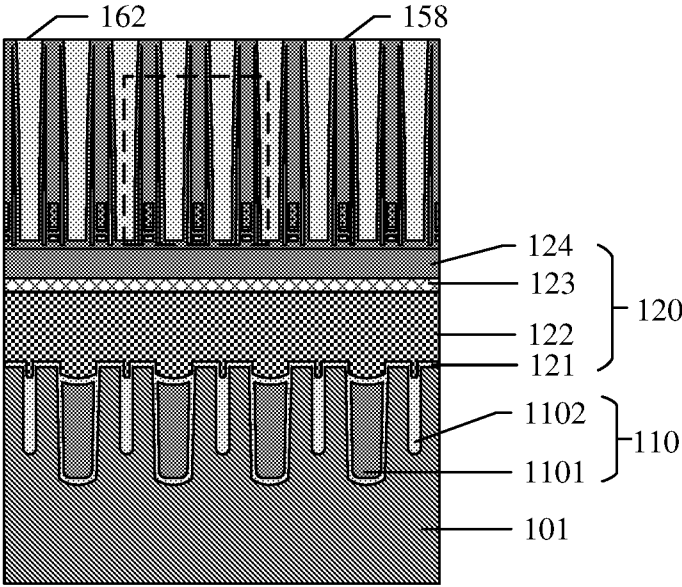


图 1I

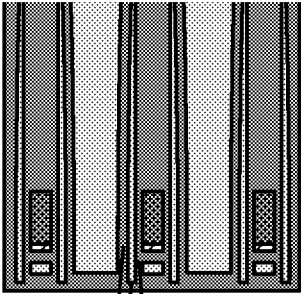


图 1J

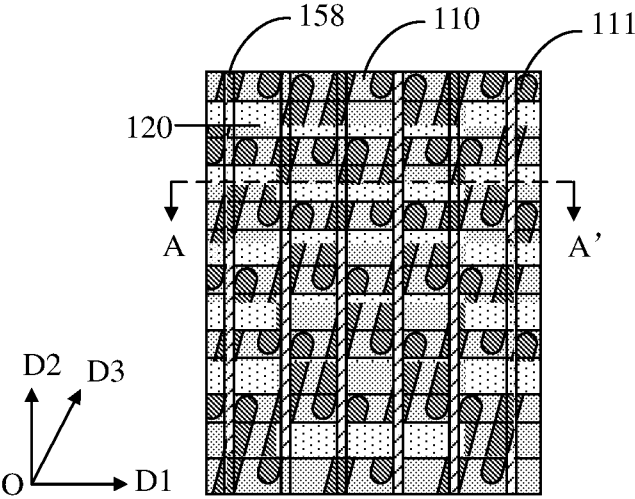


图 1K

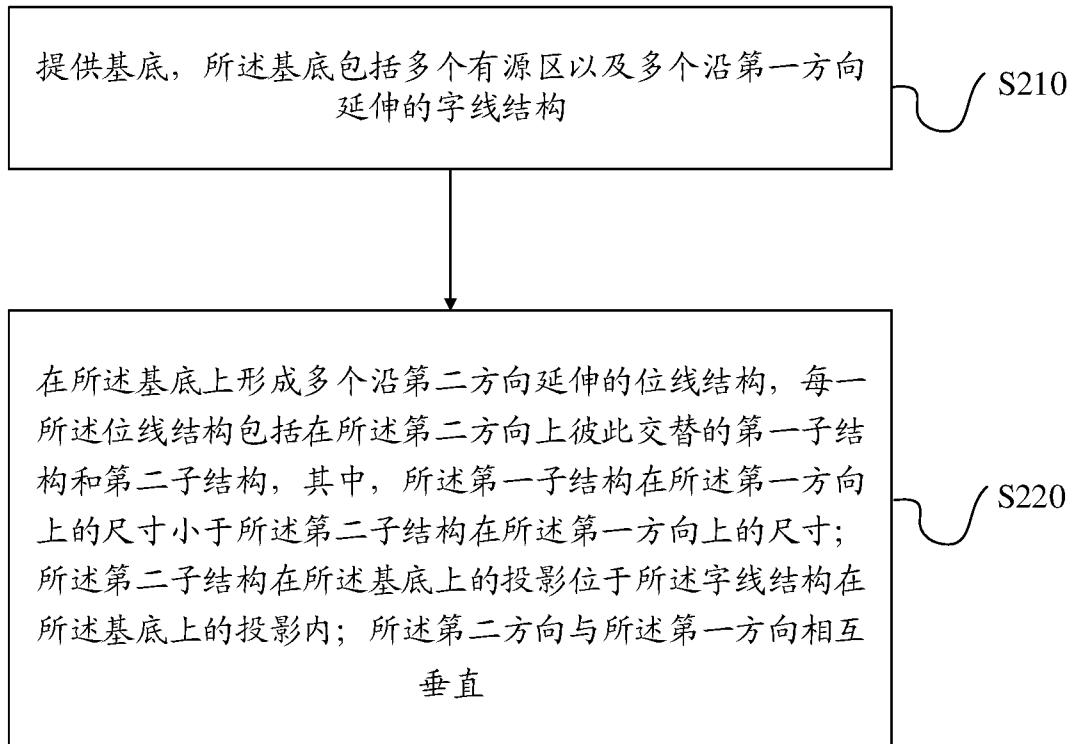


图 2

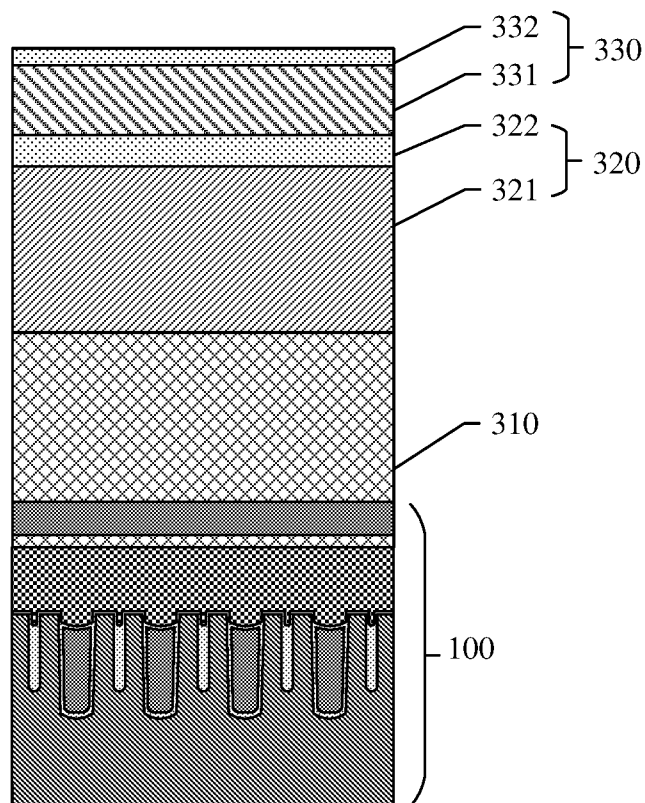


图 3A

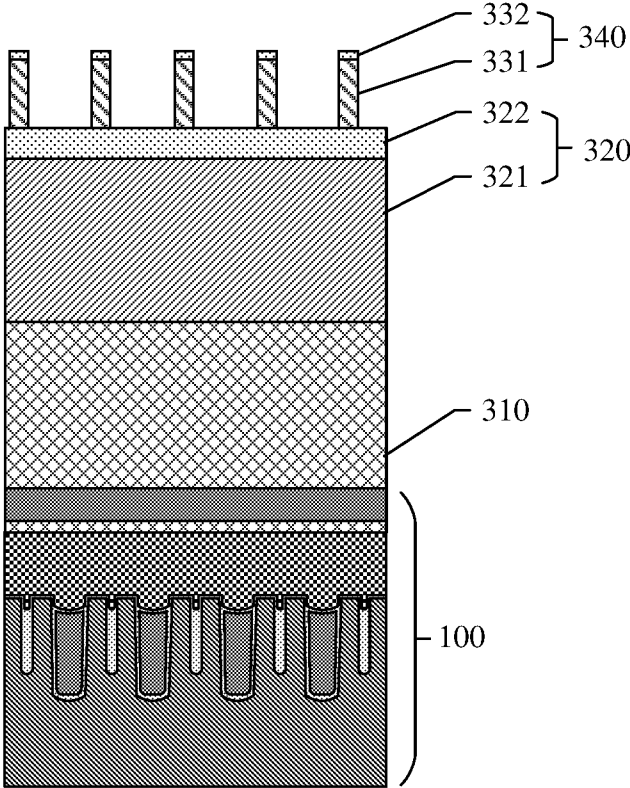


图 3B

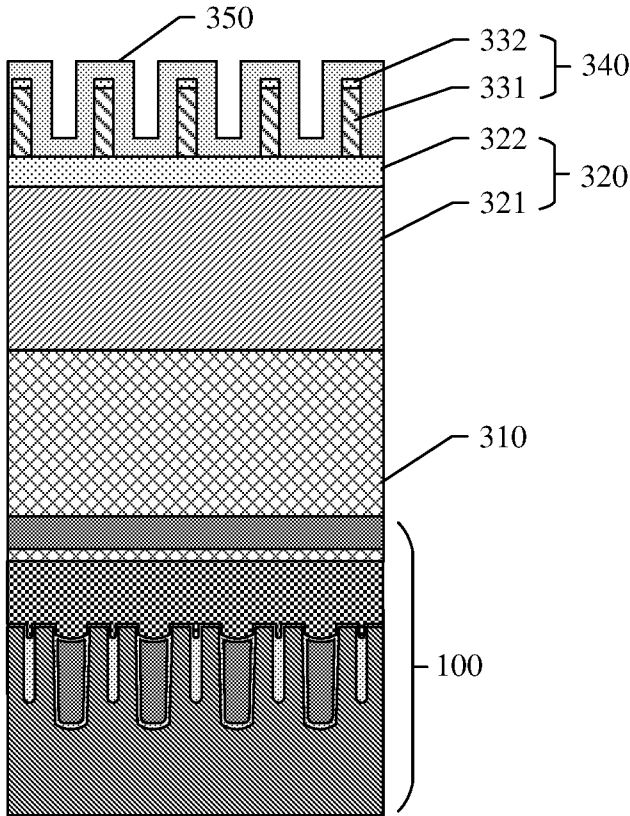


图 3C

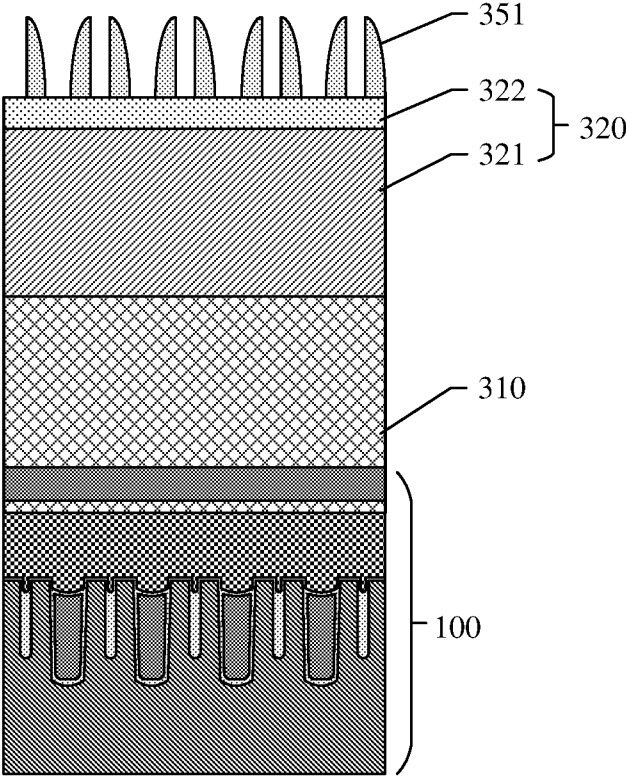


图 3D

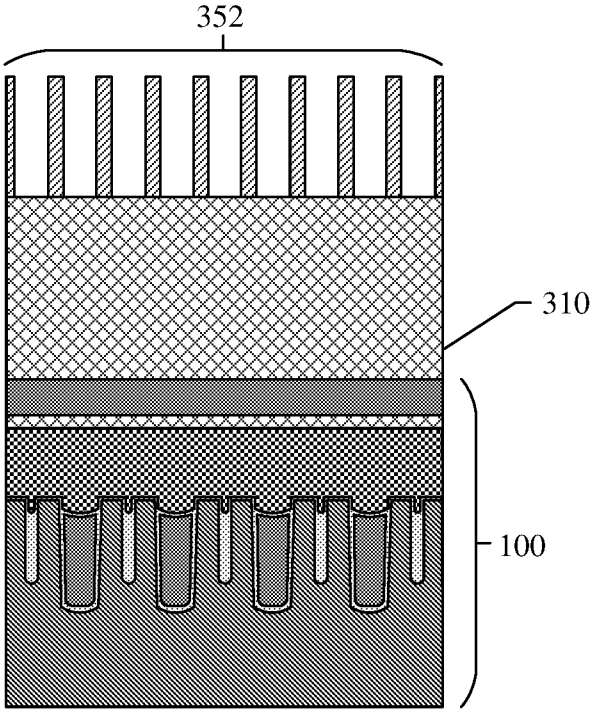


图 3E

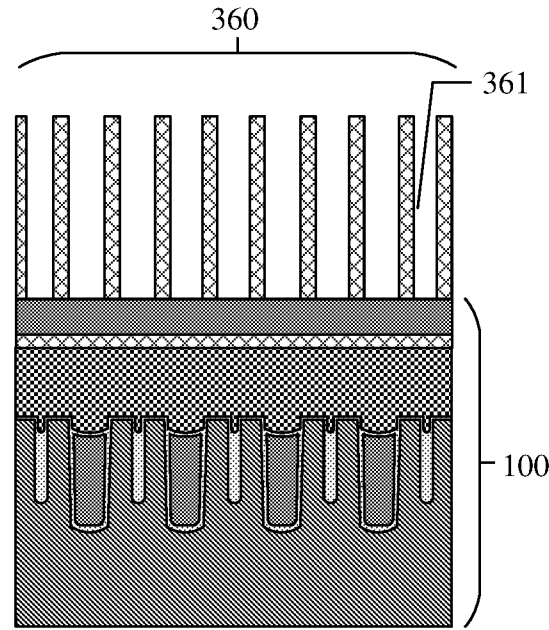


图 3F

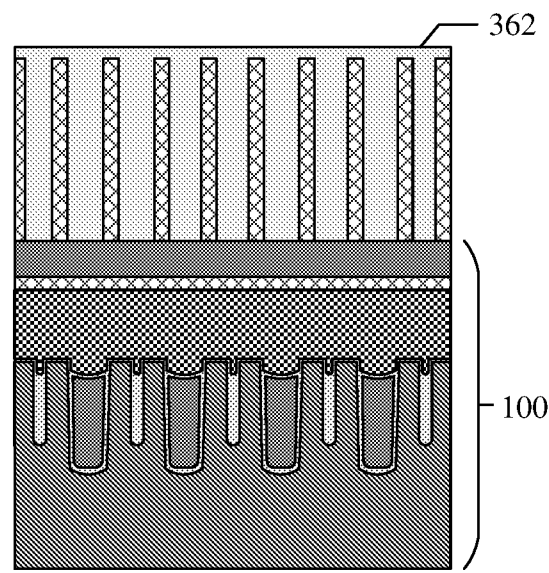


图 3G

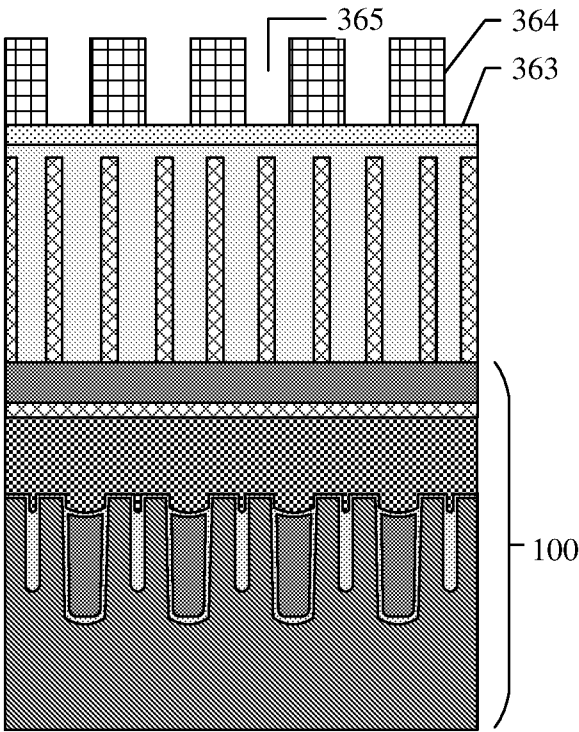


图 3H

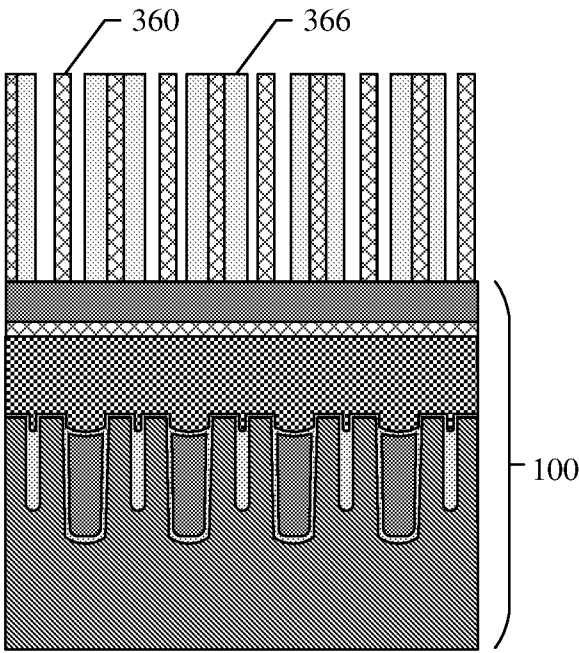


图 3I

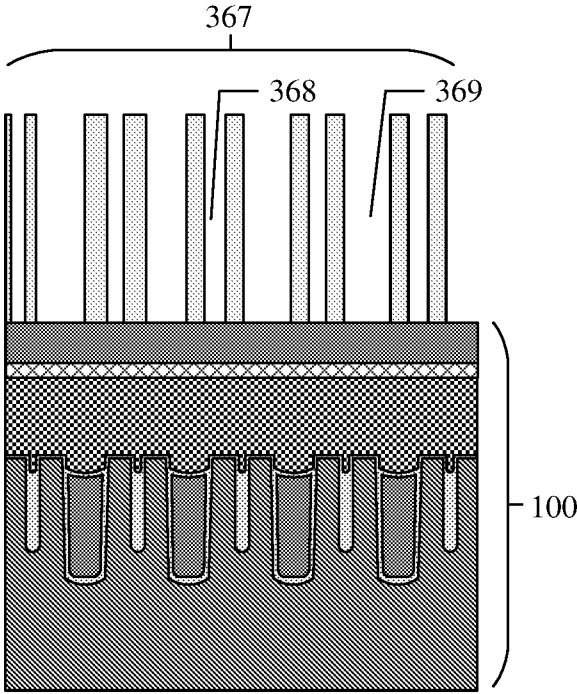


图 3J

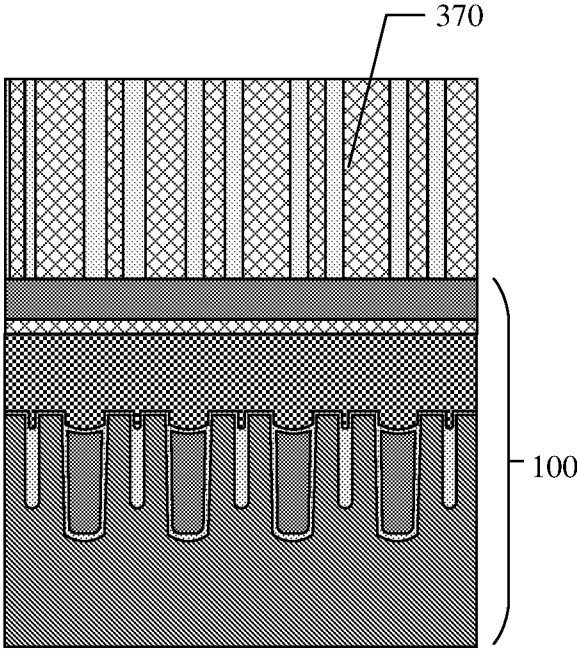


图 3K

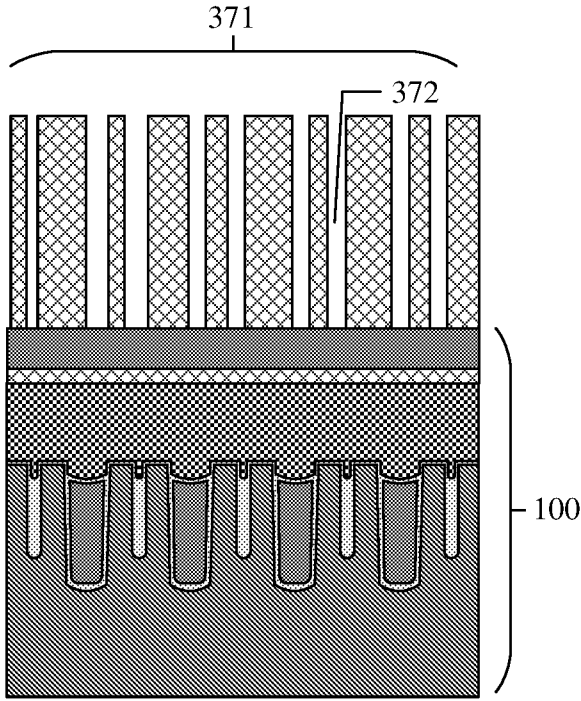


图 3L

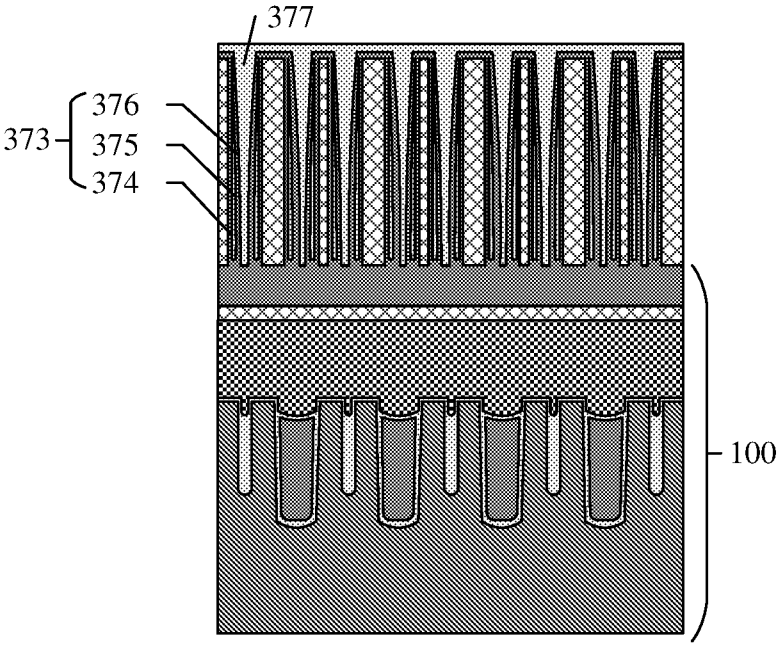


图 3M

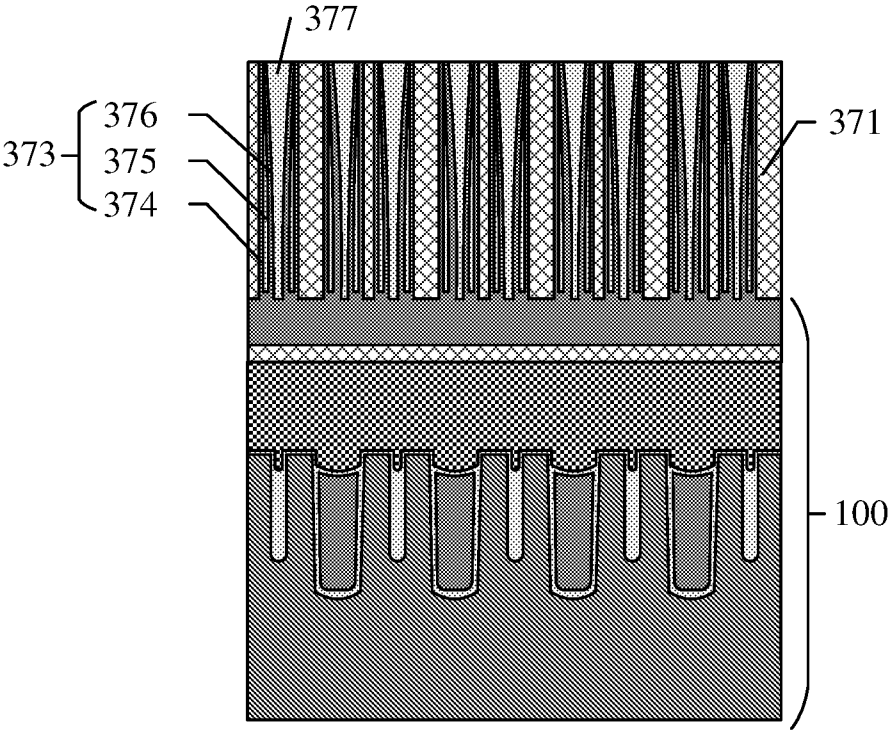


图 3N

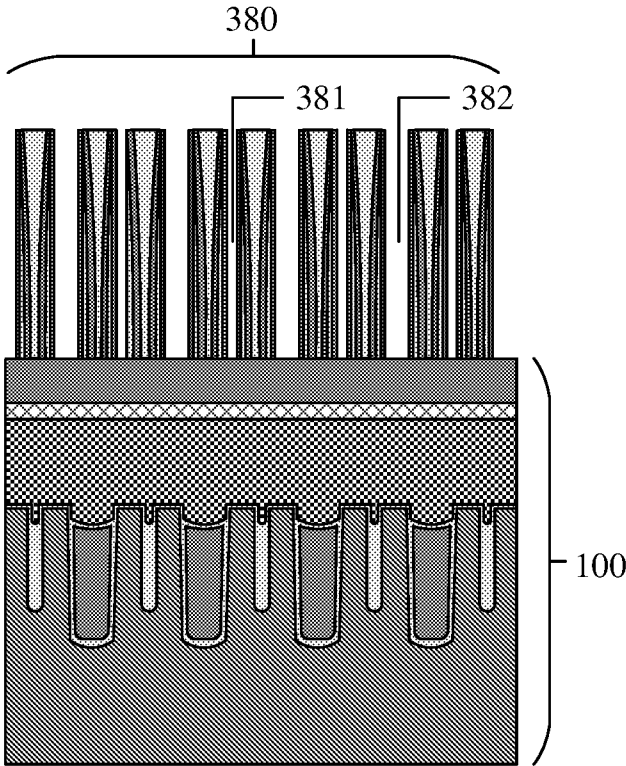


图 3O

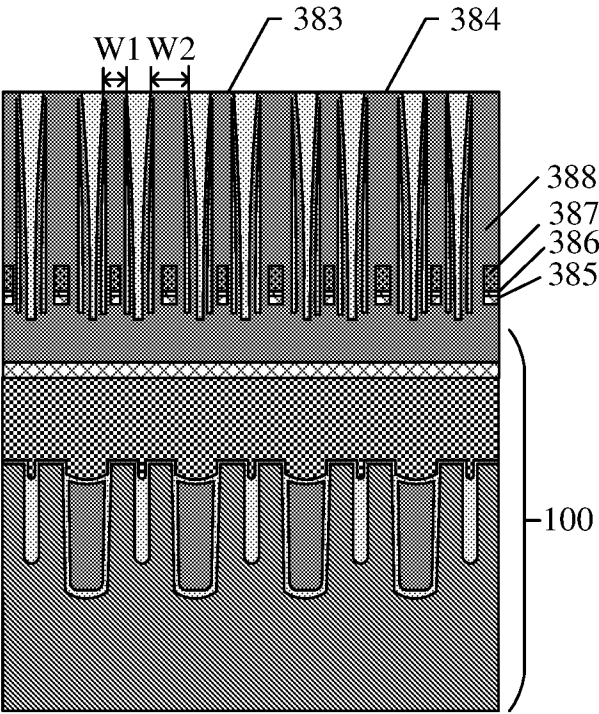


图 3P

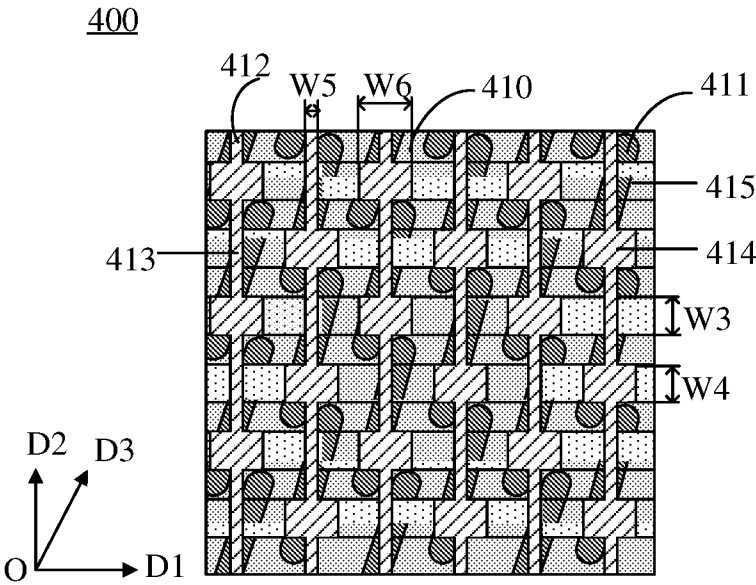


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/129024

A. CLASSIFICATION OF SUBJECT MATTER

H10B12/00(2023.01)i;H01L21/768(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/-, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, DWPI, SIPOABS, IEEE, CNKI: 动态随机存储, 位线, 电阻, 减小, 降低, 宽, 窄, 大, 小, 尺寸, 形状, 面积, 字线, 重, 叠, 牺牲层, 掩模, 布线, 迹线, DRAM, bit line, reduce, decrease, resistance, resistor, size, width, wider, narrow, big, small, shape, area, word line, overlap, mask, sacrificial, trace, wire

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010164114 A1 (HYNIX SEMICONDUCTOR INC.) 01 July 2010 (2010-07-01) description, paragraphs [0005]-[0013], and figures 1-2	1-15
A	CN 102054819 A (HYNIX SEMICONDUCTOR INC.) 11 May 2011 (2011-05-11) entire document	1-15
A	US 2015340284 A1 (SAMSUNG ELECTRONICS CO., LTD.) 26 November 2015 (2015-11-26) entire document	1-15
A	CN 111640743 A (FUJIAN JINHUA INTEGRATED CIRCUIT CO., LTD.) 08 September 2020 (2020-09-08) entire document	1-15
A	CN 114420642 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 29 April 2022 (2022-04-29) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 April 2023

Date of mailing of the international search report

04 May 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/129024

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP H08212772 A (OKI MICRO DESIGN MIYAZAKI K. K. et al.) 20 August 1996 (1996-08-20) entire document	1-15
<hr/>		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/129024

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2010164114	A1	01 July 2010	US	7972956	B2	05 July 2011
				KR	20100076704	A	06 July 2010
				KR	101076881	B1	25 October 2011
CN	102054819	A	11 May 2011	US	2011101450	A1	05 May 2011
				US	8487369	B2	16 July 2013
				KR	20110047843	A	09 May 2011
				CN	102054819	B	12 November 2014
US	2015340284	A1	26 November 2015	US	9287300	B2	15 March 2016
				KR	20150135711	A	03 December 2015
				KR	102248436	B1	07 May 2021
CN	111640743	A	08 September 2020	CN	111640743	B	08 February 2022
CN	114420642	A	29 April 2022	US	2022130836	A1	28 April 2022
				WO	2022088758	A1	05 May 2022
JP	H08212772	A	20 August 1996	None			

国际检索报告

国际申请号

PCT/CN2022/129024

A. 主题的分类 H10B12/00(2023.01)i;H01L21/768(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H10B12/-, H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT, DWPI, SIPOABS, IEEE, CNKI: 动态随机存储, 位线, 电阻, 减小, 降低, 宽, 窄, 大, 小, 尺寸, 形状, 面积, 字线, 重, 叠, 牺牲层, 掩模, 布线, 迹线, DRAM, bit line, reduce, decrease, resistance, resistor, size, width, wider, narrow, big, small, shape, area, word line, overlap, mask, sacrificial, trace, wire		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2010164114 A1 (HYNIX SEMICONDUCTOR INC) 2010年7月1日 (2010 - 07 - 01) 说明书第[0005]-[0013]段, 附图1-2	1-15
A	CN 102054819 A (海力士半导体有限公司) 2011年5月11日 (2011 - 05 - 11) 全文	1-15
A	US 2015340284 A1 (SAMSUNG ELECTRONICS CO LTD) 2015年11月26日 (2015 - 11 - 26) 全文	1-15
A	CN 111640743 A (福建省晋华集成电路有限公司) 2020年9月8日 (2020 - 09 - 08) 全文	1-15
A	CN 114420642 A (长鑫存储技术有限公司) 2022年4月29日 (2022 - 04 - 29) 全文	1-15
A	JP H08212772 A (OKI MICRO DESIGN MIYAZAKI KK 等) 1996年8月20日 (1996 - 08 - 20) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>		
国际检索实际完成的日期 2023年4月22日		国际检索报告邮寄日期 2023年5月4日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 车晓璐 电话号码 (+86) 62089965

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/129024

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2010164114	A1	2010年7月1日	US	7972956	B2	2011年7月5日
				KR	20100076704	A	2010年7月6日
				KR	101076881	B1	2011年10月25日
CN	102054819	A	2011年5月11日	US	2011101450	A1	2011年5月5日
				US	8487369	B2	2013年7月16日
				KR	20110047843	A	2011年5月9日
				CN	102054819	B	2014年11月12日
US	2015340284	A1	2015年11月26日	US	9287300	B2	2016年3月15日
				KR	20150135711	A	2015年12月3日
				KR	102248436	B1	2021年5月7日
CN	111640743	A	2020年9月8日	CN	111640743	B	2022年2月8日
CN	114420642	A	2022年4月29日	US	2022130836	A1	2022年4月28日
				WO	2022088758	A1	2022年5月5日
JP	H08212772	A	1996年8月20日	无			