

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3913534号**  
**(P3913534)**

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.	F I	
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	
<b>G02F 1/133 (2006.01)</b>	G02F 1/133	550
<b>G09G 3/20 (2006.01)</b>	G09G 3/20	611A
<b>G11C 11/41 (2006.01)</b>	G09G 3/20	612U
<b>G11C 11/401 (2006.01)</b>	G09G 3/20	623F
請求項の数 18 (全 43 頁) 最終頁に続く		

(21) 出願番号 特願2001-366774 (P2001-366774)  
 (22) 出願日 平成13年11月30日(2001.11.30)  
 (65) 公開番号 特開2003-167558 (P2003-167558A)  
 (43) 公開日 平成15年6月13日(2003.6.13)  
 審査請求日 平成16年11月24日(2004.11.24)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 黒川 義元  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 池田 隆之  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 樋口 信宏

最終頁に続く

(54) 【発明の名称】 表示装置及びこれを用いた表示システム

(57) 【特許請求の範囲】

【請求項1】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データから映像信号を形成することを特徴とする表示装置。

10

【請求項2】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データから映像信号を形成し、前記第1の記憶回路は、1フレーム分の前記第1の画像データを格納する手段を有し、前記第2の記憶回路は、1フレーム分の前記第

20

2の画像データを格納する手段を有することを特徴とする表示装置。

【請求項3】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データからD/A変換により映像信号を形成することを特徴とする表示装置

10

【請求項4】

第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データからD/A変換により映像信号を形成し、前記第1の記憶回路は、1

20

【請求項5】

請求項1乃至4のいずれか一項に記載の表示装置において、前記第1の画像データまたは前記第2の画像データの少なくとも一方は1ビットの画像データであることを特徴とする表示装置。

【請求項6】

請求項1乃至5のいずれか一項に記載の表示装置において、前記第1の画像データまたは前記第2の画像データの少なくとも一方は2ビット以上の画像データであることを特徴とする表示装置。

30

【請求項7】

請求項1乃至6のいずれか一項に記載の表示装置において、前記映像信号に従って、画素の階調を変化させる手段を有することを特徴とする表示装置。

【請求項8】

請求項1乃至7のいずれか一項に記載の表示装置において、前記記憶回路をビット毎に順次駆動する手段を有することを特徴とする表示装置。

【請求項9】

請求項1乃至8のいずれか一項に記載の表示装置において、前記記憶回路に前記画像データをビット毎に順次入力する手段を有することを特徴とする表示装置。

【請求項10】

請求項1乃至9のいずれか一項に記載の表示装置において、前記記憶回路はスタティック型メモリ(SRAM)から構成されることを特徴とする表示装置。

40

【請求項11】

請求項1乃至請求項9のいずれか一項に記載の表示装置において、前記記憶回路はダイナミック型メモリ(DRAM)から構成されることを特徴とする表示装置。

【請求項12】

請求項1乃至11のいずれか一項に記載の表示装置において、前記記憶回路と、前記演算処理回路と、前記表示処理回路とは、単結晶半導体基板、石英基板、ガラス基板、プラスチック基板、ステンレス基板、SOI基板のいずれか一つの基板上に形成した半導体薄膜を活性層とする薄膜トランジスタにより構成されていることを特徴とする表示装置。

50

## 【請求項 13】

請求項 1 乃至 12 のいずれか一項に記載の表示装置において、前記記憶回路をビット毎に順次駆動する機能を有した回路が、前記画素部と同一基板上に形成されていることを特徴とする表示装置。

## 【請求項 14】

請求項 1 乃至 13 のいずれか一項に記載の表示装置において、前記記憶回路に前記画像データをビット毎に順次入力する機能を有した回路が、前記画素部と同一基板上に形成されていることを特徴とする表示装置。

## 【請求項 15】

請求項 1 乃至 14 のいずれか一項に記載の表示装置において、前記半導体薄膜は、連続発振のレーザを用いた結晶化の方法により作製されることを特徴とする表示装置。

10

## 【請求項 16】

請求項 1 乃至 15 のいずれか一項に記載の表示装置を用いていることを特徴とする電子機器。

## 【請求項 17】

請求項 1 乃至 15 のいずれか一項に記載の表示装置と、画像処理専用の演算処理装置とから構成される表示システム。

## 【請求項 18】

請求項 17 に記載の表示システムを用いていることを特徴とする電子機器。

## 【発明の詳細な説明】

20

## 【0001】

## 【発明の属する技術分野】

本発明は、表示装置及びこれを用いた表示システムに係わり、特に高精細及び多階調の画像表示を低消費電力で実現できる表示装置及びこれを用いた表示システムに関する。

## 【0002】

## 【従来の技術】

近年、ガラス基板やプラスチック基板などの絶縁表面を有する基板上に多結晶シリコン薄膜を作製する技術が急激に進歩している。この多結晶シリコン薄膜を活性層として TFT (薄膜トランジスタ) を形成し、スイッチング素子として画素部に設けた表示装置や、画素部の周縁部に画素を駆動する回路を形成した、アクティブマトリクス型表示装置の研究開発が盛んに行なわれている。

30

## 【0003】

上記のような表示装置の最大の利点は一般に薄型・軽量・低消費電力という点である。これらの利点を生かし、ノート型パソコンの様な携帯型情報処理装置の表示部や、携帯型小型ゲーム機の表示部として用いられている。

## 【0004】

パソコンや小型ゲーム機などにおいて、表示システムは、表示装置の他に、画像処理装置を実装していることが多い。ここで、表示システムとは、中央処理装置(以下 CPU、Central Processing Unit)において行なわれた演算処理結果を受取り、表示部に映像を表示するまでの処理を行なう機能を有するシステムのことである。また、画像処理装置とは、表示システムにおいて、CPUにおいて行なわれた演算結果を受け取り、表示装置に送る画像データを形成する装置のことである。さらに、表示装置とは、画像処理装置において形成された画像データを表示部に映像として表示する装置である。表示部とは、複数の画素から構成され映像が表示される領域のことである。

40

## 【0005】

画像処理装置は、大量の画像データを高速に表示するために、画像処理専用の演算処理装置(以下 GPU、Graphic Processing Unit)や、画像データを保存するための記憶装置である VRAM (Video Random Access Memory)、表示処理装置などから構成されていることが多い。

## 【0006】

50

ここで、GPUとは、画像データを形成するための演算処理を行なう機能に特化した専用の回路、もしくは画像データを形成するための演算処理を行なう機能を有した回路の一部に含んだ回路とする。したがって、画像データを形成するための演算処理の一部または全てをCPUにおいて行っている構成の場合には、CPUはGPUに含む。また画像データとは、表示画像の色相及び階調の情報であり、記憶装置に格納できる形式の電気信号である。VRAMには、一画面分の画像データを格納する。さらに、表示処理装置とは、画像データから表示装置に送る映像信号を形成する機能を有した回路から構成される。映像信号とは、表示装置において、表示部の階調を変化させる電気信号のことである。例えば液晶表示装置の場合には、画素電極に印加する電圧信号である。

**【0007】****【発明が解決しようとする課題】**

図2(A)に第一の従来例のブロック構成図を、図2(B)に、第二の従来例のブロック構成図を、各々示す。図2(A)において、表示システム200は画像処理装置202と、表示装置203と、表示コントローラ204とからなり、CPU201とデータ及び制御信号のやり取りをする。画像処理装置202は、GPU205と、VRAM206と、表示処理回路207とから構成される。一方、図2(B)において、表示システム210は画像処理装置212と、表示装置213と、表示コントローラ214とからなり、CPU211とデータ及び制御信号のやり取りをする。画像処理装置212は、GPU215と、GPU216と、VRAM217と、VRAM218と、表示処理回路219とから構成される。VRAM206、217及び218には、一方から書き込みを行ないながら他方からの読み出しが可能であるデュアルポートRAMが用いられることが多い。

**【0008】**

以下、図3に示すようなキャラクタ301と背景302とが映像を構成する要素(以下、映像構成要素)である映像で、キャラクタ301が動き回る映像の表示を行なう場合について表示システムの動作について説明する。

**【0009】**

最初に図2(A)に示した第一の従来例について説明する。まず、CPU201は、キャラクタ301の位置や向き、背景302の位置などのデータ演算を行なう。演算結果は表示システム200に送られ、GPU205が受け取る。GPU205は、CPU201の演算結果を、画像データに変換するための演算処理を行なう。一例として、例えばキャラクタ301の画像データの形成と背景302の画像データの形成、及びそれらの重ね合わせなどの演算処理を行ない、表示画像の色相及び階調を2進数で表すデータ形式へ変換する。画像データはVRAM206に格納され、表示のタイミングに従って、定期的に読み出される。読み出された画像データは表示処理回路207において映像信号に変換された後、表示装置203に送られる。ここで、表示処理回路207は、例えば液晶表示装置の場合には、DAC(DAコンバーター)にのように電圧信号に変換する回路に相当し、映像信号は表示部における画素の階調に応じたアナログデータである。表示装置203の表示タイミング制御は表示コントローラ204により行われる。

**【0010】**

次に図2(B)に示した第二の従来例について説明する。まず、CPU211は、キャラクタ301の位置や向き、背景302の位置などのデータ演算を行なう。演算結果は表示システム210に送られ、GPU215及び216が各々演算を行なうのに必要な結果を受け取る。本従来例ではGPU215は、CPUにおける演算結果のうち、キャラクタ301の位置や向きの演算結果を受け取るものとする。また、GPU216は、CPUにおける演算結果のうち、背景302の位置などの演算結果を受け取るものとする。続いて、GPU215はキャラクタ301の画像データを形成する。形成されたキャラクタの画像データはVRAM217に格納される。また、GPU216は、背景302の画像データを形成する。形成された背景の画像データはVRAM218に格納される。その後、GPU215とGPU216とで同期をとり、VRAM217に格納されたキャラクタの画像データとVRAM218に格納された背景の画像データとを読み出し、GPU216にお

10

20

30

40

50

いて画像データの合成を行なう。合成された全体の画像データは表示のタイミングに従って、表示処理回路219において映像信号に変換後、表示装置213に送られる。表示装置213の表示タイミング制御は表示コントローラ214により行われる。

【0011】

図2(A)に示した第一の従来例では、GPU205ではキャラクタ及び背景の画像データを形成するため、キャラクタ及び背景の画像データが頻繁に更新される場合に、演算量は膨大となる。一方、VRAM206には1画面分の画像データを保存するだけの記憶容量が要求される。また、表示装置において一フレーム毎の表示映像の再描画(以下映像リフレッシュと呼ぶ)が行なわれる度にVRAM206から1画面分の画像データを読み出す必要がある。このため、表示される映像が全く更新されていない場合にも読み出しが行なわれ、VRAM206における消費電力が大きくなる。したがって、高精細及び多階調の映像表示を行なうと、GPU205の演算量は益々増大し、VRAM206の記憶容量は益々膨大になり、映像リフレッシュ時における消費電力が益々増大する。

10

【0012】

一方、図2(B)に示した第二の従来例では、GPU215及びGPU216においてキャラクタ及び背景の画像データ形成を各々分担する構成になっている。従って、キャラクタ及び背景の画像データが頻繁に更新される場合でも、個々のGPUにおける演算処理量は、第一の従来例におけるGPU205より少ない。しかし、VRAMを2つ必要とし、多大な記憶容量を必要とする事には変りはない。また、表示装置において映像リフレッシュが行なわれる度に、キャラクタの画像データと背景の画像データとの重ね合わせ処理を行なう。従って、VRAM217及びVRAM218から、やはり定期的に画像データを読み出す必要がある。つまり、キャラクタの画像データまたは背景の画像データが全く更新されていない場合においても読み出しが行なわれ、消費電力が大きくなる。したがって、高精細及び多階調の映像表示を行なうと、VRAM217及びVRAM218における消費電力も増大する。

20

【0013】

このように、従来の表示システムの構成では、表示装置において更なる高精細及び多階調、高速描画速度の映像表示を行なう際には、以下の様な問題点がある。すなわち、(1)GPUに多大な演算能力が要求され、GPUチップサイズが増大する。(2)VRAMに膨大な記憶容量が要求され、VRAMチップサイズが増大する。これらは、画像処理装置の実装面積もしくは実装体積の増大を意味する。さらに(3)映像リフレッシュ時において、VRAMから大量の画像データを読み出す必要があり、消費電力が増大する。

30

【0014】

本発明は、上記問題を鑑みなされたもので、(1)GPUの演算処理量の低減が可能で、(2)表示装置の外に1画面分の画像データを保存するための記憶装置を必要とせず、(3)映像リフレッシュ時においてVRAMからの定期的な読み出しを行わずに表示が可能である表示装置及びこれを用いた表示システム提供することを課題とする。

【0015】

【課題を解決するための手段】

本発明では、記憶回路、演算処理回路及び表示処理回路を各々内蔵した画素と、任意の記憶回路に画像データを格納する機能を有した回路とから表示装置を構成する。このような構成の表示装置と、GPUを含む画像処理装置と、から表示システムを構成する。この表示システムにおいて、GPUでの演算処理により、映像を構成する複数の構成要素毎に画像データを形成する。形成された画像データは各々対応する画素毎の記憶回路に格納する。格納された映像構成要素毎の画像データは、画素毎の演算処理回路において既定の画像データと一致するか否かにより、出力される画像データを選択され、その後、表示処理回路において映像信号に変換される。

40

【0016】

上記のような表示装置を用いた表示システムを用いることで、従来GPUで行なわれていた演算処理の一部を画素内部で分担して行なえる。そのため、本発明における表示システ

50

ムにおいてGPUの演算処理量を低減できる。また、本発明における表示システムには、VRAMを実装する必要がないため、表示システムを構成する部品点数が削減でき、小型化及び軽量化が計れる。さらに、VRAMからの定期的に一画面分の画像データの読み出しを行わずに映像リフレッシュが可能で、静止画を表示する場合や、画像データが一部のみ変更された場合には、消費電力を大幅に削減できる。

**【0017】**

本明細書で開示する発明の構成は、第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データから映像信号を形成することを特徴とする。

10

**【0018】**

また、他の発明の構成は、第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データから映像信号を形成し、前記第一の記憶回路は、1フレーム分の前記第一の画像データを格納する手段を有し、前記第二の記憶回路は、1フレーム分の前記第二の画像データを格納する手段を有することを特徴。

20

**【0019】**

また、他の発明の構成は、第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データからD/A変換により映像信号を形成することを特徴とする。

30

**【0020】**

また、他の発明の構成は、第1の記憶回路と、第2の記憶回路と、演算処理回路と、表示処理回路と、を有する画素を複数有する表示装置であって、前記第1の記憶回路は、第1の画像データを記憶し前記演算処理回路へ出力し、前記第2の記憶回路は、第2の画像データを記憶し前記演算処理回路へ出力し、前記演算処理回路は、前記第2の画像データが既定の画像データと一致する場合は前記第1の画像データを前記表示処理回路へ出力し、前記第2の画像データが前記既定の画像データと一致しない場合は前記第2の画像データを前記表示処理回路へ出力し、前記表示処理回路は、前記演算処理回路から出力された前記第1の画像データ又は前記第2の画像データからD/A変換により映像信号を形成し、前記第一の記憶回路は、1フレーム分の前記第一の画像データを格納する手段を有し、前記第二の記憶回路は、1フレーム分の前記第二の画像データを格納する手段を有することを特徴とする。

40

**【0021】**

上記構成において、前記第一の画像データまたは前記第二の画像データの少なくとも一方

50

は1ビットの画像データであっても良い。

【0022】

また、上記構成において、前記第一の画像データまたは前記第二の画像データの少なくとも一方は2ビット以上の画像データであっても良い。

【0023】

また、上記構成において、前記映像信号に従って、画素の階調を変化させる手段を有することが望ましい。

【0024】

また、上記構成において、前記記憶回路をビット毎に順次駆動する手段を有することが望ましい。

【0025】

また、上記構成において、前記記憶回路に前記画像データをビット毎に順次入力する手段を有することが望ましい。

【0026】

また、上記構成において、前記記憶回路はスタティック型メモリ(SRAM)から構成されていても良い。

【0027】

また、上記構成において、前記記憶回路はダイナミック型メモリ(DRAM)から構成されていても良い。

【0028】

また、上記構成において、前記記憶回路と、前記演算処理回路と、前記表示処理回路とは、単結晶半導体基板、石英基板、ガラス基板、プラスチック基板、ステンレス基板、SOI基板のいずれか一つの基板上に形成した半導体薄膜を活性層とする薄膜トランジスタにより構成されていることが望ましい。

【0029】

また、上記構成において、前記記憶回路をビット毎に順次駆動する機能を有した回路が、前記画素部と同一基板上に形成されていることが望ましい。

【0030】

また、上記構成において、前記記憶回路に前記画像データをビット毎に順次入力する機能を有した回路が、前記画素部と同一基板上に形成されていることが望ましい。

【0031】

また、上記構成において、前記半導体薄膜は、連続発振のレーザを用いた結晶化の方法により作製されることが望ましい。

【0032】

また、上記構成からなる表示装置を電子機器に組み込むことが有効である。

【0033】

また、上記構成からなる表示装置と、画像処理専用の演算処理装置とから表示システムを構成しても良い。

【0034】

また、上記構成からなる表示システムを電子機器に組み込むことが有効である。

【0035】

【発明の実施の形態】

本実施の形態では、本発明における表示装置の代表的な構成及び本発明における表示装置を用いた表示システムについて説明する。

【0036】

以下、図1に示したブロック図について表示装置及びこれを用いた表示システムを説明する。図1(A)は本発明の実施の形態に係わる表示装置及びこれを用いた表示システムのブロック構成で、表示システム100は画像処理装置102、表示装置103からなり、CPU101とデータ及び制御信号のやり取りをする。画像処理装置102はGPU104から構成される。また、表示装置103には画素部105、行デコーダ106、列デコ

10

20

30

40

50

ーダ107が含まれる。画素部105は複数の画素108から構成される。また図1(B)は画素108の詳細ブロック図で、画素記憶回路109及び110と、画素演算処理回路115と、画素表示処理回路116とが含まれる。画素記憶回路109(110)は、記憶素子111及び112(113及び114)を含む。なお、画素に3個以上の画素記憶回路が含まれていても良い。

#### 【0037】

また、従来の表示システムとは異なり、一画面分の画像データを保存しておくための記憶装置は必要としない。また、表示コントローラは必ずしも必要としない。

#### 【0038】

画素部105には、画素108がマトリクス状に配置されている。行デコーダ106及び列デコーダ107で特定の画素記憶回路が選択できる。選択された画素記憶回路109、110への画像データの書き込みを行なう手段を有した電気回路が、列デコーダ107もしくは行デコーダ108に含まれている。画素記憶回路109、110は、1ビットもしくは2ビット以上の記憶素子111~114から構成する。画素記憶回路109、110を多ビットの記憶素子から構成することで、例えば多階調の表示に対応できる。この場合、行デコーダ106及び列デコーダ107で特定画素の特定ビットの記憶素子111~114を選択し、画像データの書き込みを行なう手段を有した電気回路が、列デコーダ107に含まれていても良い。画素演算処理回路115は、各画素記憶回路に保存されている画像データの合成を行なうためのロジック回路などで構成されている。画素表示処理回路116は、画像データを映像信号に変換する機能を有している。

#### 【0039】

次に、本発明における表示装置の具体的な駆動方法を説明するため、図3に示したキャラクタ301と背景302とから構成される映像で、キャラクタ301が動き回る映像の表示方法について説明する。

#### 【0040】

まず、CPU101は、キャラクタ301の中心位置、向きなどのデータ演算や、背景302のスクロールなどの演算を行なう。CPU101における演算結果は、GPU102における演算処理により、画像データに変換される。例えば、キャラクタ301の向きのデータから、キャラクタ301の画像データを形成し、画素毎に色相及び階調を2進数で表すデータ形式への変換を行なう。本実施例ではキャラクタ301の画像データは画素記憶回路109に、背景302の画像データは画素記憶回路110に各々格納する。

#### 【0041】

次に画素演算処理回路115において、画素記憶回路108及び109に各々格納されているキャラクタ301の画像データと背景302の画像データとの重ね合せを行なう。ここで、重ね合わせとは、キャラクタ301の画像データが既定の画像データと一致する場合は背景302の画像データを出力し、既定の画像データと一致しない場合はキャラクタ301の画像データを出力することである。出力された画像データは、その後、各画素における画素表示処理回路116により、映像信号に変換される。例えば液晶表示装置の場合には、液晶素子の電極に印加する電圧値に変換される。画素表示処理回路116は、例えば液晶表示装置の場合には、DACのようにアナログ階調の映像信号に変換する電気回路である。

#### 【0042】

本実施の形態では、従来GPUにおいて行なわれていた演算処理のうち一部の機能を有した回路、また1画面分の表示に必要な画像データを格納する記憶回路を画素に有する表示装置を用いて表示システムを構成することが特徴である。このような表示装置を用いることで、GPUにおける演算処理量を低減できる。また、画像処理装置に必要な部品点数が削減でき、表示システムの小型化及び軽量化が計れる。さらに、静止画を表示する場合や、表示画像の一部のみが変更された場合には、消費電力を大幅に削減できる。従って、高精細及び大画面の画像表示に適した表示装置が提供される。

#### 【0043】

10

20

30

40

50

表示装置には同時に複数の画素を選択し、選択された画素内の画素記憶回路に画像データを格納するための手段を有している回路が含まれていても良い。例えば、各行毎に8画素同時に選択できるデコーダ回路及び8画素内の画素記憶装置へのデータ書き込み回路が含まれていても良い。また、カラー表示を行なう場合、R(赤)G(緑)B(青)の内の1個乃至3個の画素を選択する手段を有する回路が含まれていても良い。このような構成にすることで、画素記憶装置への書き込み時間が短縮でき、更なる高精細及び大画面の映像表示にも対応できる。

#### 【0044】

本実施の形態で示した表示装置において、画像処理装置は表示装置と同一の基板上に搭載されていても、別の基板上に搭載されていても良い。同一基板上に搭載する場合には、TFTを用いてGPUを構成すれば良い。このような形態にすることで、配線を簡略化でき、更なる低消費電力化が計れる。

10

#### 【0045】

本実施の形態は、液晶表示装置、自発光素子を用いた表示装置及びそれらの駆動方法に用いることができる。

#### 【0046】

##### 【実施例】

##### (実施例1)

本実施例では、実施の形態に示した構成の表示装置の一例として、表示装置を、各画素に各々2ビットの記憶素子からなる画素記憶回路2個と、画素演算処理回路と、DACからなる画素表示処理回路と、から構成される液晶表示装置とした例をとりあげる。以下、本実施例における液晶表示装置の画素の回路構成及び画素毎の表示方法について説明する。なお、本実施例では、単色表示の画素について説明するが、カラー表示を行なう場合にはRGB各々について本実施例と同様の構成とすれば良い。

20

#### 【0047】

図4は本実施例における液晶表示装置の画素の回路図である。図4において、画素401、画素記憶回路402及び403、画素演算処理回路404、画素表示処理回路405である。液晶素子406は画素電極407と、共通電位線409と、に挟まれている。液晶容量素子408は、液晶素子406の容量成分及び電荷保持のために設ける保持容量をまとめて容量CLの容量素子として示したものである。

30

#### 【0048】

ソース線410は、ゲート線411~414と互いに交差し、各々の交点に選択トランジスタ415~418が配置されている。選択トランジスタ415~418のゲート電極はゲート線411~414と、ソース電極またはドレイン電極の一方はソース線410と、もう片方は記憶素子419~422の一方の電極とそれぞれ電氣的に接続されている。記憶素子419~422のもう片方の電極は各々画素演算処理回路404の入力のいずれかと電氣的に接続されている。本実施例ではインバータ回路2個をループ状に配置した回路で記憶素子419~422を構成している。選択トランジスタ417、418及び記憶素子421、422で画素記憶回路402が、選択トランジスタ415、416及び記憶素子419、420で画素記憶回路402が各々構成される。

40

#### 【0049】

本実施例では画素演算処理回路404を1個のNOR回路と、2個のAND-NOR回路と、2個のインバータ回路とで構成した例を示した。

#### 【0050】

画素表示処理回路405は、高電位選択トランジスタ423及び424と、低電位選択トランジスタ425及び426と、容量素子427及び428と、高電位線429及び430と、低電位線431及び432と、リセットトランジスタ433と、リセット信号線434と、液晶容量素子408と、共通電位線409と、から構成される容量分割方式によるDACである。

#### 【0051】

50

ここで、画素表示処理回路405において、容量素子427の容量をC1、容量素子428の容量をC2、高電位線429及び430の電位をVH、低電位線431及び432の電位をVL、共通電位線409の電位をCOM、とする。また、高電位選択トランジスタ423または低電位選択トランジスタ425のいずれか一方を導通させることで選択される電位(VHまたはVL)をV1、高電位選択トランジスタ424または低電位選択トランジスタ426のいずれか一方を導通させることで選択される電位(VHまたはVL)をV2、とする。この時、画素電極407に印加される電位 $V_P = (C1 \cdot V1 + C2 \cdot V2 + C_L \cdot COM) / (C1 + C2 + C_L)$ となる。本実施例ではC1 : C2 : CL = 2 : 1 : 1、COM = 0Vを用いることにする。したがって、以下 $V_P = (2V1 + V2) / 4$ とする。

10

#### 【0052】

次に、本実施例における表示装置での映像の表示方法を説明する。図3に示したキャラクタ301と背景302とから構成される映像で、キャラクタ301が動き回る映像の表示について説明する。以下、“H”は5V、“L”は0Vの電位で各々与えられるものとする。また、液晶素子423に印加する電位を0Vとした場合の光透過率が最大となる、いわゆるノーマリホワイトとし、印加する電圧の絶対値を大きくするにつれて光透過率が低下するものとする。また、キャラクタ301の画像データの上位ビット及び下位ビットを各々記憶素子422及び421に、背景302の画像データの上位ビット及び下位ビットを各々記憶素子420及び419に格納する。

#### 【0053】

まず、リセット信号線434を“H”とし、リセットトランジスタ433を導通させる。これにより、画素電極407の電位が共通電位線409と等電位(0V)となり、以下に示す画像データの書き換え後の表示が容易に行なえる。

20

#### 【0054】

次に、GPUにおける演算処理により形成された画像データを、キャラクタ301及び背景画像302各々について2ビット(4階調)のデータとして画素記憶回路402及び403の該当する記憶素子419~422に格納する。ここで、例えば、キャラクタ301の画像データの上位ビットが“1”の場合、ソース線410に“H”の電気信号を与え、ゲート線414に8Vの電位を印加すると、記憶素子422に“1”が格納されることにする。また、ソース線410に“L”の電気信号を与え、ゲート線411に8Vの電位を印加することで、記憶素子419に“0”が格納されることにする。

30

#### 【0055】

なお、ゲート線411~414の選択方法は、例えばGPUにおいて画像データを格納すべき画素の行を指定する信号(行アドレス信号)を形成し、デコーダ回路において行アドレス信号からゲート線411~414のいずれかを選択する信号を形成すれば良い。

#### 【0056】

記憶素子419~422に格納された画像データにしたがって、画素演算処理回路404では高電位選択トランジスタ423または低電位選択トランジスタ425のいずれか一方と、高電位選択トランジスタ424または低電位選択トランジスタ426のいずれか一方と、を選択する信号を形成する。本実施例では、キャラクタ301の画像データと背景302の画像データとの合成を行なう。ここでは、既定の画像データを“11”とする。つまり、キャラクタ301の画像データが“11”の場合は背景302の画像データを選択し、それ以外はキャラクタ301の画像を選択することにする。合成後の画像データは表1に示すようになる。ここで、選択信号の上位ビットが“1”(“0”)の場合は高電位選択トランジスタ423(低電位選択トランジスタ425)が、また選択信号の下位ビットが“1”(“0”)の場合は高電位選択トランジスタ424(低電位選択トランジスタ426)が、各々導通する。

40

#### 【0057】

次に、リセット信号線434を“L”とし、リセットトランジスタ433を非導通とする。また、高電位線429及び430に電位VH(例えば3V)、低電位線431および4

50

32に電位LH(例えば1V)を各々与える。

【0058】

画素演算処理回路404により形成された選択信号にしたがって、高電位線429または低電位線431のいずれか一方の電位と、高電位線430または低電位線432のいずれか一方の電位と、が各々容量素子427と、428に印加される。これにより、画素表示処理回路405における容量DACにより、表1に示すように、画素電極407に印加される電圧が決定する。同時に液晶素子406の光透過率を段階的に変化させることができる。

【0059】

【表1】

10

キャラクタ		背景		合成画像		
上位ビット	下位ビット	上位ビット	下位ビット	上位ビット	下位ビット	画素電極電圧[V]
0	0	0	0	0	0	0.75
		0	1			
		1	0			
		1	1			
0	1	0	0	0	1	1.25
		0	1			
		1	0			
		1	1			
1	0	0	0	1	0	1.75
		0	1			
		1	0			
		1	1			
1	1	0	0	0	0	0.75
		0	1	0	1	1.25
		1	0	1	0	1.75
		1	1	1	1	2.25

20

【0060】

GPUにおける演算処理の結果、画像データを変更する場合は再びリセット信号線434を”H”とし、リセットトランジスタ433を導通させ、上記と同様の方法を繰り返す。

30

【0061】

また、長時間液晶素子に同電位を印加し続けると焼き付けが生じるので、定期的にVH及びVLの電位を変えると良い。例えば、一表示期間毎にVH(VL)を+3V(+1V)から-3V(-1V)へ、また-3V(-1V)から+3V(+1V)へ変化させる。この際、一旦リセット信号線434を”H”とし、リセットトランジスタ433を導通させた後、再びリセット信号線434を”L”とし、リセットトランジスタ433を非導通としてからVH及びVLの電位を変える。

【0062】

なお、本実施例に示した動作電圧は一例であり、これらの値に限らない。

40

【0063】

本実施例では、本発明に係わる表示装置として、画素内の2個の画素記憶回路を各々2ビットのSRAMで構成した場合を示したが、3ビット以上のSRAMで構成しても良い。多ビットのSRAMで構成することにより、映像の色数を増大でき、高精細の画像表示が実現できる。また、3個以上の画素記憶回路を画素内に内蔵しても良い。多くの画素記憶回路を内蔵することで、より複雑な映像を表示する場合にも対応できる。さらに、各画素記憶回路のビット数は異なっても良い。

【0064】

また、本実施例では、本発明に係わる表示装置として、画素記憶回路をSRAMで構成する場合を示したが、DRAMなど他の公知の記憶素子で構成しても良い。例えばDRAM

50

を用いると、記憶素子の面積が縮小でき、多ビットの構成とすることが容易になる。したがって、表示画像の色数を増大でき、高精細の映像表示が実現できる。この場合、容量素子に蓄積した電荷量に従った記憶情報となるが、蓄積された電荷は時間と共に失われていくため、記憶素子の記憶情報を定期的書き直す必要がある。

【0065】

さらに、本実施例では容量分割によるDACを画素表示処理回路に用いたが、抵抗分割によるDACなど他の公知の方法を用いたDACから画素表示処理回路を構成しても良い。また、本実施例では画素表示処理回路をDACから構成したが、面積階調などデジタルデータから映像信号に変換する他の公知の方法を用いても良い。どのような構成が最適化は個々の場合に様々なので、実施者が適宜選択すれば良い。

10

【0066】

なお、本実施例に示した構成は、液晶表示装置のみならず、自発光素子を用いた表示装置、例えばOLED表示装置にも適用できる。

【0067】

このように、本実施例に示した構成の表示装置を用いた表示システムにおいて、従来GPUにおいて行なわれていた演算処理のうち一部の処理を表示装置で行なうことができ、GPUにおける演算処理量を低減できる。また、画像処理装置に必要な部品点数が削減でき、表示システムの小型化及び軽量化が計れる。さらに、静止画を表示する場合や、表示画像の一部のみが変更された場合には、必要最低限の画像データの書き換えだけで済み、消費電力を大幅に削減できる。従って、高精細及び大画面の画像表示に適した表示装置及びこれをを用いた表示システムが実現できる。

20

【0068】

(実施例2)

本実施例では、実施例1とは異なる例として、画素演算処理回路と、画素表示処理回路との回路構成が異なる液晶表示装置の例をとりあげる。以下、本実施例における液晶表示装置の画素の回路構成及び画素毎の表示方法について説明する。なお、本実施例では、単色表示の画素について説明するが、カラー表示を行なう場合にはRGB各々について本実施例と同様の構成とすれば良い。

【0069】

図5は本実施例における液晶表示装置の画素の回路図である。図5において画素501、液晶素子502は画素電極503と、共通電位線504と、に挟まれている。液晶容量素子505は、液晶素子502の容量成分及び電荷保持のために設ける保持容量をまとめて容量CLの容量素子として示したものである。

30

【0070】

ソース線506は、ゲート線507～510と互いに交差し、各々の交点に選択トランジスタ511～514が配置されている。選択トランジスタ511～514のゲート電極はゲート線507～510と、ソース電極またはドレイン電極のうちいずれか一方はソース線506と、もう一方は記憶素子515～518と各々電気的に接続している。本実施例ではインバータ回路2個をループ状に配置した回路で記憶素子515～518を構成している。選択トランジスタ511及び512と、記憶素子515及び516と、から第一の画素記憶回路(図示せず)が、選択トランジスタ513及び514と、記憶素子517及び518と、から第二の画素記憶回路(図示せず)が、各々構成される。

40

【0071】

本実施例では画素演算処理回路519を4個のアナログスイッチで構成している。

【0072】

画素表示処理回路(図示せず)は、高電位選択トランジスタ520～523と、低電位選択トランジスタ524～527と、容量素子528～531(容量C1～C4)と、高電位線532～535と、低電位線536～539と、リセットトランジスタ540と、リセット信号線541と、液晶容量素子505と、共通電位線504と、から構成される。なお、本実施例ではC1:C2:C3:C4:CL=2:1:2:1:1とし、COM=

50

0 Vを用いることにする。

【0073】

次に、本実施例における表示装置の表示方法を説明する。図3に示したキャラクタ301と背景302とから構成される映像で、キャラクタ301が動き回る映像の表示について説明する。以下、“H”は5 V、“L”は0 Vの電位で各々与えられるものとする。また、液晶素子502に印加する電位を0 Vとした場合の光透過率が最大となる、いわゆるノーマリホワイトとし、印加する電圧の絶対値を大きくするにつれて光透過率が低下するものとする。また、キャラクタ301の画像データの上位ビット及び下位ビットを各々記憶素子517及び518、背景画像302の画像データの上位ビット及び下位ビットを各々記憶素子515及び516に格納する。

10

【0074】

まず、リセット信号線541を“H”とし、リセットトランジスタ540を導通させる。これにより、画素電極503の電位が共通電位線504と等電位(0 V)となり、以下に示す画像データの書き換え後の表示が容易に行なえる。

【0075】

次に、GPUにおける演算処理により画像データに変換されたデータは、キャラクタ301及び背景302各々について2ビット(4階調)のデータとして該当する記憶素子515~518に格納する。ここで、例えば、キャラクタ201の画像データの上位ビットが“1”の場合、ソース線506に“H”の電気信号を与え、ゲート線509に8 Vの電位を印加すると、記憶素子517に“1”が格納されることにする。また、ソース線506

20

【0076】

なお、ゲート線507~510の選択方法は、例えばGPUにおいて画像データを格納すべき画素の行を指定する信号(行アドレス信号)を形成し、デコーダ回路において行アドレス信号からゲート線507~510の選択信号を形成すれば良い。

【0077】

次に、リセット信号線541を“L”とし、リセットトランジスタ540を非導通とする。また、高電位線532~535に電位VH(例えば3 V)、低電位線536~539に電位LH(例えば1 V)を各々与える。

30

【0078】

本実施例では、既定画像データを“11”とする。キャラクタ301の画像データが“11”の場合は背景302の画像データを選択し、それ以外はキャラクタ301の画像データを選択することにする。合成後の画像データは表1に示すようになる。

【0079】

記憶素子517及び518に格納されたデータがともに“1”の場合は画素演算処理回路519により、容量素子528及び529と、液晶容量素子505と、高電位選択トランジスタ520及び521と、低電位選択トランジスタ524及び525と、高電位線532及び533と、低電位線536及び537と、から容量分割によるDACが構成される。

40

【0080】

また、記憶素子517及び518に格納されたデータの少なくとも一方が“0”の場合は画素演算処理回路519により、容量素子530及び531と、液晶容量素子505と、高電位選択トランジスタ522及び523と、低電位選択トランジスタ526及び527と、高電位線534及び535と、低電位線538及び539と、から容量分割によるDACが構成される。

【0081】

DACによる映像信号の形成方法は、実施例1に示した方法と同様であるので省略する。本実施例においても、表1に示すように、画素電極503に印加される電位が決定する。同時に液晶素子502の光透過率を段階的に変化させることができる。

50

## 【0082】

GPUにおける演算処理の結果、画像データを変更する場合は再びリセット信号線541を”H”とし、リセットトランジスタ540を導通させ、上記と同様の方法を繰り返す。

## 【0083】

また、長時間液晶素子に同電位を印加し続けると焼き付けが生じるので、定期的にVH及びVLの電位を変えると良い。例えば、一表示期間毎にVH(VL)を+3V(+1V)から-3V(-1V)へ、また-3V(-1V)から+3V(+1V)へ変化させる。この際、一旦リセット信号線541を”H”とし、リセットトランジスタ540を導通させた後、リセット信号線541を再び”L”とし、リセットトランジスタ540を非導通としてから、VH及びVLの電位を変える。

10

## 【0084】

なお、本実施例に示した動作電圧は一例であり、これらの値に限らない。

## 【0085】

本実施例では、本発明に係わる表示装置として、画素内の2個の画素記憶回路を各々2ビットのSRAMで構成した場合を示したが、3ビット以上のSRAMで構成しても良い。多ビットのSRAMで構成することにより、映像の色数を増大でき、高精細の画像表示が実現できる。また、3個以上の画素記憶回路を画素内に内蔵しても良い。多くの画素記憶回路を内蔵することで、より複雑な映像を表示する場合にも対応できる。さらに、各画素記憶回路のビット数は異なっても良い。

## 【0086】

また、本実施例では、本発明に係わる表示装置として、画素記憶回路をSRAMで構成する場合を示したが、DRAMなど他の公知の記憶素子で構成しても良い。例えばDRAMを用いると、記憶素子の面積が縮小でき、多ビットの構成とすることが容易になる。したがって、表示画像の色数を増大でき、高精細の映像表示が実現できる。この場合、容量素子に蓄積した電荷量に従った記憶情報となるが、蓄積された電荷は時間と共に失われていくため、記憶素子の記憶情報を定期的書き直す必要がある。

20

## 【0087】

さらに、本実施例では容量分割によるDACを画素表示処理回路に用いたが、抵抗分割によるDACなど他の公知の方法を用いたDACから画素表示処理回路を構成しても良い。また、本実施例では画素表示処理回路をDACから構成したが、面積階調などデジタルデータから映像信号に変換する他の公知の方法を用いても良い。どのような構成が最適化は個々の場合に様々なので、実施者が適宜選択すれば良い。

30

## 【0088】

なお、本実施例に示した構成は、液晶表示装置のみならず、自発光素子を用いた表示装置、例えばOLED表示装置にも適用できる。

## 【0089】

このように、本実施例に示した構成の表示装置を用いた表示システムにおいて、従来GPUにおいて行なわれていた演算処理のうち一部の処理を表示装置で行なうことができ、GPUにおける演算処理量を低減できる。また、画像処理装置に必要な部品点数が削減でき、表示システムの小型化及び軽量化が計れる。さらに、静止画を表示する場合や、画像データの一部分のみが変更された場合には、必要最低限の画像データ書き換えだけで済み、消費電力を大幅に削減できる。従って、高精細及び大画面の画像表示に適した表示装置及びこれを用いた表示装置が実現できる。

40

## 【0090】

(実施例3)

本実施例では、本発明における表示装置の画素部とその周辺に設けられる駆動回路(行デコーダ回路、列デコーダ回路)のTF Tを同時に作成する方法について説明する。なお、本明細書では、CMOS回路で構成される駆動回路と、スイッチング用TF T及び駆動用TF Tを有する画素部とが同一基板上に形成された基板を便宜上アクティブマトリクス基板と呼ぶ。本実施例では、前記アクティブマトリクス基板の作製工程について、図6及び

50

図7を用いて説明する。なお、本実施例ではTFTはトップゲート構造とするが、ボトムゲート構造、デュアルゲート構造においても実現が可能である。

【0091】

基板5000は、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものをを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板5000を用いた。

【0092】

次いで、基板5000上に酸化珪素膜、窒化珪素膜又は酸化窒化珪素膜などの絶縁膜から成る下地膜5001を形成する。本実施例の下地膜5001は2層構造で形成したが、前記絶縁膜の単層構造又は前記絶縁膜を2層以上積層させた構造であっても良い。

10

【0093】

本実施例では、下地膜5001の1層目として、プラズマCVD法を用いて、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される窒化酸化珪素膜5001aを10~200[nm]（好ましくは50~100[nm]）の厚さに形成する。本実施例では、窒化酸化珪素膜5001aを50[nm]の厚さに形成した。次いで下地膜5001の2層目として、プラズマCVD法を用いて、 $\text{SiH}_4$ 及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜5001bを50~200[nm]（好ましくは100~150[nm]）の厚さに形成する。本実施例では、酸化窒化珪素膜5001bを100[nm]の厚さに形成した。

20

【0094】

続いて、下地膜5001上に半導体層5002~5006を形成する。半導体層5002~5005は公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）により25~80[nm]（好ましくは30~60[nm]）の厚さで半導体膜を成膜する。次いで前記半導体膜を公知の結晶化法（レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等）を用いて結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層5002~5006を形成する。なお前記半導体膜としては、非晶質半導体膜、微結晶半導体膜、結晶質半導体膜、又は非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜などを用いても良い。

30

【0095】

本実施例では、プラズマCVD法を用いて、膜厚55[nm]の非晶質珪素膜を成膜した。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化（500[ ]、1時間）を行った後、熱結晶化（550[ ]、4時間）を行って結晶質珪素膜を形成した。その後、フォトリソグラフィ法を用いたパターニング処理によって半導体層5002~5005を形成した。

【0096】

なおレーザ結晶化法で結晶質半導体膜を作製する場合のレーザは、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ、 $\text{YVO}_4$ レーザ、YLFレーザ、 $\text{YAlO}_3$ レーザ、ガラスレーザ、ルビーレーザ、Ti:サファイアレーザ等を用いることができる。また後者の固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、 $\text{YVO}_4$ 、YLF、 $\text{YAlO}_3$ などの結晶を使ったレーザを用いることができる。当該レーザの基本波はドーピングする材料によって異なり、1[ $\mu\text{m}$ ]前後の基本波を有するレーザ光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。なお非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波~第4高調波を適用するのが好ましい。代表的には、Nd:YVO<sub>4</sub>レーザー（基本波1064[nm]）の第2高調波（532[nm]）や第3高調波（355[nm]）を適用する。

40

【0097】

50

また出力10[W]の連続発振のYVO<sub>4</sub>レーザから射出されたレーザ光は、非線形光学素子により高調波に変換する。さらに、共振器の中にYVO<sub>4</sub>結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100[MW/cm<sup>2</sup>]程度(好ましくは0.1~10[MW/cm<sup>2</sup>])が必要である。そして、10~2000[cm/s]程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射する。

#### 【0098】

また上記のレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光して、半導体膜に照射すると良い。結晶化の条件は適宜設定されるが、エキシマレーザを用いる場合はパルス発振周波数300[Hz]とし、レーザーエネルギー密度を100~700[mJ/cm<sup>2</sup>](代表的には200~300[mJ/cm<sup>2</sup>])とすると良い。またYAGレーザを用いる場合には、その第2高調波を用いてパルス発振周波数1~300[Hz]とし、レーザーエネルギー密度を300~1000[mJ/cm<sup>2</sup>](代表的には350~500[mJ/cm<sup>2</sup>])とすると良い。そして幅100~1000[μm](好ましくは幅400[μm])で線状に集光したレーザ光を基板全面に渡って照射し、このときの線状ビームの重ね合わせ率(オーバーラップ率)を50~98[%]として行っても良い。

#### 【0099】

しかしながら本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に50~100[nm]の非晶質珪素膜を形成し、加熱処理(RTA法やファーネスアニール炉を用いた熱アニール等)を行って、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。その結果、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

#### 【0100】

なお半導体層5002~5005を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

#### 【0101】

次いで、半導体層5002~5005を覆うゲート絶縁膜5006を形成する。ゲート絶縁膜5006はプラズマCVD法やスパッタ法を用いて、膜厚を40~150[nm]として珪素を含む絶縁膜で形成する。本実施例では、ゲート絶縁膜5006としてプラズマCVD法により酸化窒化珪素膜を115[nm]の厚さに形成した。勿論、ゲート絶縁膜5006は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

#### 【0102】

なおゲート絶縁膜5006として酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Ortho Silicate)とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300~400[ ]とし、高周波(13.56[MHz])電力密度0.5~0.8[W/cm<sup>2</sup>]で放電させて形成しても良い。上記の工程により作製される酸化珪素膜は、その後400~500[ ]の熱アニールによって、ゲート絶縁膜5006として良好な特性を得ることができる。

#### 【0103】

次いで、ゲート絶縁膜5006上に膜厚20~100[nm]の第1の導電膜5007と、膜厚100~400[nm]の第2の導電膜5008とを積層形成する。本実施例では、膜厚30[nm]のTa<sub>2</sub>N膜からなる第1の導電膜5007と、膜厚370[nm]のW膜からなる第2の導電膜5008を積層形成した。

#### 【0104】

本実施例では、第1の導電膜5007であるTa<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用いて、窒素を含む雰囲気内でスパッタ法で形成した。また第2の導電膜500

10

20

30

40

50

8であるW膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[ $\mu$ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999[%])のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[ $\mu$ cm]を実現することができた。

#### 【0105】

なお本実施例では、第1の導電膜5007をTa<sub>2</sub>N膜、第2の導電膜5008をW膜としたが、第1の導電膜5007及び第2の導電膜5008を構成する材料は特に限定されない。第1の導電膜5007及び第2の導電膜5008は、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選択された元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜やAgPdCu合金で形成してもよい。

#### 【0106】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク5009を形成し、電極及び配線を形成するための第1のエッチング処理を行なう。第1のエッチング処理では第1及び第2のエッチング条件で行なう。(図6(B))

#### 【0107】

本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25:25:10[sccm]とし、1.0[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加した。そしてこの第1のエッチング条件によりW膜をエッチングして第1の導電層5007の端部をテーパ形状とした。

#### 【0108】

続いて、レジストからなるマスク5009を除去せずに第2のエッチング条件に変更し、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30:30[sccm]とし、1.0[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して15秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加した。第2のエッチング条件では第1の導電層5007及び第2の導電層5008とも同程度にエッチングを行った。なお、ゲート絶縁膜5006上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。

#### 【0109】

上記の第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層5007及び第2の導電層5008の端部がテーパ形状となる。こうして、第1のエッチング処理により第1の導電層5007と第2の導電層5008から成る第1の形状の導電層5010~5014を形成した。ゲート絶縁膜5006においては、第1の形状の導電層5010~5014で覆われない領域が20~50nm程度エッチングされたため、膜厚が薄くなった領域が形成された。

#### 【0110】

次いで、レジストからなるマスク5009を除去せずに第2のエッチング処理を行なう。(図6(C))第2のエッチング処理では、エッチングガスにSF<sub>6</sub>とCl<sub>2</sub>とO<sub>2</sub>を用い、それぞれのガス流量比を24:12:24(sccm)とし、1.3Paの圧力でコイ

10

20

30

40

50

ル側の電力に700WのRF(13.56MHz)電力を投入してプラズマを生成して25秒程度のエッチングを行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。こうして、W膜を選択的にエッチングして、第2の形状の導電層5015~5019を形成した。このとき、第1の導電層5015a~5018aは、ほとんどエッチングされない。

#### 【0111】

そして、レジストからなるマスク5009を除去せずに第1のドーピング処理を行ない、半導体層5002~5005にN型を付与する不純物元素を低濃度に添加する。第1のドーピング処理はイオンドープ法又はイオン注入法で行なえば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$  [atoms/cm<sup>2</sup>]とし、加速電圧を40~80 [keV]として行なう。本実施例ではドーズ量を $5.0 \times 10^{14}$  [atoms/cm<sup>2</sup>]とし、加速電圧を50 [keV]として行った。N型を付与する不純物元素としては、15族に属する元素を用いれば良く、代表的にはリン(P)又は砒素(As)を用いられるが、本実施例ではリン(P)を用いた。この場合、第2の形状の導電層5015~5019がN型を付与する不純物元素に対するマスクとなって、自己整合的に第1の不純物領域(N-領域)5020~5023を形成した。そして第1の不純物領域5020~5023には $1 \times 10^{18} \sim 1 \times 10^{20}$  [atoms/cm<sup>3</sup>]の濃度範囲でN型を付与する不純物元素が添加された。

10

#### 【0112】

続いてレジストからなるマスク5009を除去した後、新たにレジストからなるマスク5024を形成して、第1のドーピング処理よりも高い加速電圧で第2のドーピング処理を行なう。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 3 \times 10^{15}$  [atoms/cm<sup>2</sup>]とし、加速電圧を60~120 [keV]として行なう。本実施例では、ドーズ量を $3.0 \times 10^{15}$  [atoms/cm<sup>2</sup>]とし、加速電圧を65 [keV]として行った。第2のドーピング処理は第2の導電層5015b~5018bを不純物元素に対するマスクとして用い、第1の導電層5015a~5018aのテーパ部の下方の半導体層に不純物元素が添加されるようにドーピングを行なう。

20

#### 【0113】

上記の第2のドーピング処理を行った結果、第1の導電層と重なる第2の不純物領域(N-領域、Lov領域)5026には $1 \times 10^{18} \sim 5 \times 10^{19}$  [atoms/cm<sup>3</sup>]の濃度範囲でN型を付与する不純物元素を添加された。また第3の不純物領域(N+領域)5025、5028には $1 \times 10^{19} \sim 5 \times 10^{21}$  [atoms/cm<sup>3</sup>]の濃度範囲でN型を付与する不純物元素を添加された。また、第1、第2のドーピング処理を行った後、半導体層5002~5005において、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域が形成された。本実施例では、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域をチャンネル領域5027、5030とよぶ。また前記第1のドーピング処理により形成された第1の不純物領域(N-領域)5020~5023のうち、第2のドーピング処理においてレジスト5024で覆われていた領域が存在するが、本実施例では、引き続き第1の不純物領域(N-領域、LDD領域)5029とよぶ。

30

40

#### 【0114】

なお本実施例では、第2のドーピング処理のみにより、第2の不純物領域(N-領域)5026及び第3の不純物領域(N+領域)5025、5028を形成したが、これに限定されない。ドーピング処理を行なう条件を適宜変えて、複数回のドーピング処理で形成しても良い。

#### 【0115】

次いで図7(A)に示すように、レジストからなるマスク5024を除去した後、新たにレジストからなるマスク5031を形成する。その後、第3のドーピング処理を行なう。第3のドーピング処理により、Pチャンネル型TFTの活性層となる半導体層に、前記第1の導電型とは逆の導電型を付与する不純物元素が添加された第4の不純物領域(P+領域

50

) 5032、5034及び第5の不純物領域(P-領域)5033、5035を形成する。

【0116】

第3のドーピング処理では、第2の導電層5016b、5018bを不純物元素に対するマスクとして用いる。こうして、P型を付与する不純物元素を添加し、自己整合的に第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成する。

【0117】

本実施例では、第4の不純物領域5032、5034及び第5の不純物領域5033、5035はジボラン( $B_2H_6$ )を用いたイオンドープ法で形成する。イオンドープ法の条件としては、ドーズ量を $1 \times 10^{16}$  [atoms/cm<sup>2</sup>]とし、加速電圧を80 [keV]とした。

10

【0118】

なお、第3のドーピング処理の際には、Nチャネル型TFETを形成する半導体層はレジストからなるマスク5031によって覆われている。

【0119】

ここで、第1及び2のドーピング処理によって、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035にはそれぞれ異なる濃度でリンが添加されている。しかし、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035のいずれの領域においても、第3のドーピング処理によって、P型を付与する不純物元素の濃度が $1 \times 10^{19} \sim 5 \times 10^{21}$  [atoms/cm<sup>3</sup>]となるようにドーピング処理される。こうして、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035は、Pチャネル型TFETのソース領域およびドレイン領域として問題なく機能する。

20

【0120】

なお本実施例では、第3のドーピング処理のみにより、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成したが、これに限定されない。ドーピング処理を行なう条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【0121】

次いで図7(B)に示すように、レジストからなるマスク5031を除去して第1の層間絶縁膜5036を形成する。この第1の層間絶縁膜5036としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200 [nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚100 [nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5036は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

30

【0122】

次いで、図7(C)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行なう。この加熱処理はファーネスアニール炉を用いる熱アニール法で行なう。熱アニール法としては、酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400~700 [ ]で行なえばよく、本実施例では410 [ ]、1時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

40

【0123】

また、第1の層間絶縁膜5036を形成する前に加熱処理を行っても良い。ただし、第1の導電層5015a~5019a及び、第2の導電層5015b~5019bを構成する材料が熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜5036(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行なうことが好ましい。

50

## 【0124】

上記の様に、第1の層間絶縁膜5036（珪素を主成分とする絶縁膜、例えば窒化珪素膜）を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行なうことができる。水素化の工程では、第1の層間絶縁膜5036に含まれる水素により半導体層のダングリングボンドが終端される。

## 【0125】

なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

## 【0126】

ここで、第1の層間絶縁膜5036の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段（プラズマ水素化）や、3～100[%]の水素を含む雰囲気中において、300～450[ ]で1～12時間の加熱処理を行なう手段でも良い。

10

## 【0127】

次いで、第1の層間絶縁膜5036上に、第2の層間絶縁膜5037を形成する。第2の層間絶縁膜5037としては、無機絶縁膜を用いることができる。例えば、CVD法によって形成された酸化珪素膜や、SOG（Spin On Glass）法によって塗布された酸化珪素膜等を用いることができる。また、第2の層間絶縁膜5037として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB（ベンゾシクロブテン）、アクリル等の膜を用いることができる。また、アクリル膜と酸化窒化珪素膜の積層構造を用いても良い。

20

## 【0128】

本実施例では、膜厚1.6[ $\mu\text{m}$ ]のアクリル膜を形成した。第2の層間絶縁膜5037によって、基板上5000に形成されたTFEによる凹凸を緩和し、平坦化することができる。特に、第2の層間絶縁膜5037は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

## 【0129】

次いで、ドライエッチングまたはウエットエッチングを用い、第2の層間絶縁膜5037、第1の層間絶縁膜5036、およびゲート絶縁膜5006をエッチングし、第3の不純物領域5025、5028、第4の不純物領域5032、5034に達するコンタクトホールを形成する。

30

## 【0130】

続いて、各不純物領域とそれぞれ電氣的に接続する配線5038～5041および画素電極5042を形成する。なお、これらの配線は、膜厚50[nm]のTi膜と、膜厚500[nm]の合金膜（AlとTiの合金膜）との積層膜をパターニングして形成する。もちろん、二層構造に限らず、単層構造でも良いし、三層以上の積層構造にしても良い。また、配線材料としては、AlとTiに限らない。例えば、TaN膜上にAl膜やCu膜を形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成しても良いが、反射性に優れた材料を用いることが望ましい。

## 【0131】

続いて、画素電極5042を少なくとも含む部分上に配向膜5043を形成しラビング処理を行なう。なお、本実施例では配向膜867を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターニングすることによって基板間隔を保持するための柱状のスペーサ5045を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

40

## 【0132】

次いで、対向基板5046を用意する。対向基板5046上に着色層（カラーフィルタ）5047～5049、平坦化膜5050を形成する。このとき、第1の着色層5047と第2の着色層5048とを重ねて、遮光部を形成する。また、第1の着色層5047と第3の着色層5049とを一部重ねて、遮光部を形成してもよいし、第2の着色層5048と第3の着色層5049とを一部重ねて、遮光部を形成しても良い。

50

## 【0133】

このように、新たに遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

## 【0134】

次いで、平坦化膜5050上に透明導電膜からなる対向電極5051を少なくとも画素部に形成し、対向基板の全面に配向膜5052を形成し、ラビング処理を施した。

## 【0135】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材5044で貼り合わせる。シール材5044にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料5053を注入し、封止剤(図示せず)によって完全に封止する。液晶材料5053には公知の液晶材料を用いれば良い。このようにして図14(D)に示す液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、偏光板およびFPC(図示せず)を貼りつけた。

10

## 【0136】

以上のようにして作製される液晶表示装置は、大粒径の結晶粒が形成された半導体膜を用いて作製されたTFTを有しており、前記液晶表示装置の動作特性や信頼性を十分なものとなり得る。そして、このような液晶表示装置は各種電子機器の表示部として用いることができる。

20

## 【0137】

なお、本実施例は、実施例1または実施例2において説明した画素を有する表示装置の作製工程に用いることができる。

## 【0138】

## (実施例4)

本実施例では、実施例3に示した構成とは異なる構成のアクティブマトリクス基板の作製工程について、図8を用いて説明する。

## 【0139】

なお、図8(B)までの工程は、実施例3において、図6(A)~(D)、図7(A)~(B)に示した工程と同様である。

30

## 【0140】

図6及び図7と同じ部分は同じ符号を用いて示し、説明は省略する。

## 【0141】

第1の層間絶縁膜5036上に、第2の層間絶縁膜5037を形成する。第2の層間絶縁膜5037としては、無機絶縁膜を用いることができる。例えば、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第2の層間絶縁膜5037として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と酸化珪素膜の積層構造を用いても良い。また、アクリル膜と、スパッタ法で形成した窒化珪素膜または窒化酸化珪素膜との積層構造を用いても良い。

40

## 【0142】

本実施例では、膜厚1.6 $\mu$ mのアクリル膜を形成した。第2の層間絶縁膜5037によって、基板上5000に形成されたTFTによる凹凸を緩和し、平坦化することができる。特に、第2の層間絶縁膜5037は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

## 【0143】

次いで、ドライエッチングまたはウエットエッチングを用い、第2の層間絶縁膜5037、第1の層間絶縁膜5036及びゲート絶縁膜5006をエッチングし、第3の不純物領域5025、5028、第4の不純物領域5032、5034に達するコンタクトホール

50

を形成する。

【0144】

次いで、透明導電膜からなる画素電極5054を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物（ITO）、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。画素電極が自発光素子の陽極に相当する。

【0145】

本実施例では、ITOを110nm厚さで成膜し、パターンニングし、画素電極5054を形成した。

【0146】

次いで、各不純物領域とそれぞれ電氣的に接続される配線5055～5061を形成する。なお本実施例では、配線5055～5061は、膜厚100nmのTi膜と、膜厚350nmのAl膜と、膜厚100nmのTi膜との積層膜をスパッタ法で連続形成し、所望の形状にパターンニングして形成する。

【0147】

もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、AlとTiに限らず、他の導電膜を用いても良い。例えば、TaN膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターンニングして配線を形成してもよい。

【0148】

こうして、画素部のNチャンネル型TFETのソース領域またはドレイン領域の一方は、配線5058によってソース配線（5019aと5019bの積層）と電氣的に接続され、もう一方は、配線5059によって画素部のPチャンネル型TFETのゲート電極と電氣的に接続される。また、画素部のPチャンネル型TFETのソース領域またはドレイン領域の一方は、配線5060によって画素電極5063と電氣的に接続されている。ここで、画素電極5063上の一部と、配線5060の一部を重ねて形成することによって、配線5060と画素電極5063の電氣的接続をとっている。

【0149】

以上の工程により図8（D）に示すように、Nチャンネル型TFETとPチャンネル型TFETからなるCMOS回路を有する駆動回路部と、スイッチング用TFET、駆動用TFETとを有する画素部を同一基板上に形成することができる。

【0150】

駆動回路部のNチャンネル型TFETは、ゲート電極の一部を構成する第1の導電層5015aと重なる低濃度不純物領域5026（Lov領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域5025とを有している。このNチャンネル型TFET501と配線5056で接続されCMOS回路を形成するPチャンネル型TFETは、ゲート電極の一部を構成する第1の導電層5016aと重なる低濃度不純物領域5033（Lov領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域5032とを有している。

【0151】

画素部において、Nチャンネル型のスイッチング用TFETは、ゲート電極の外側に形成される低濃度不純物領域5029（Loff領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域5028とを有している。また画素部において、Pチャンネル型の駆動用TFETは、ゲート電極の一部を構成する第1の導電層5018aと重なる低濃度不純物領域5035（Lov領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域5034とを有している。

【0152】

次いで、第3の層間絶縁膜5062を形成する。第3の層間絶縁膜としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、CVD法によって形成された酸化珪素膜や、SOG（Spin On Glass）法によって塗布された酸化珪素膜、

10

20

30

40

50

スパッタ法によって形成された窒化珪素膜または窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【0153】

第2の層間絶縁膜5037と第3の層間絶縁膜5062の組み合わせの例を以下に挙げる。

【0154】

第2の層間絶縁膜5037として、アクリルと、スパッタ法によって形成された窒化珪素膜または窒化酸化珪素膜の積層膜を用い、第3の層間絶縁膜5062として、スパッタ法によって形成された窒化珪素膜または窒化酸化珪素膜を用いる組み合わせがある。第2の層間絶縁膜5037として、プラズマCVD法によって形成した酸化珪素膜を用い、第3の層間絶縁膜5062としてもプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5037として、SOG法によって形成した酸化珪素膜を用い、第3の層間絶縁膜5062としてもSOG法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5037として、SOG法によって形成した酸化珪素膜とプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、第3の層間絶縁膜5062としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5037として、アクリルを用い、第3の層間絶縁膜5062としてもアクリルを用いる組み合わせがある。また、第2の層間絶縁膜5037として、アクリルとプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、第3の層間絶縁膜5062としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第2の層間絶縁膜5037として、プラズマCVD法によって形成した酸化珪素膜を用い、第3の層間絶縁膜5062としてアクリルを用いる組み合わせがある。

【0155】

第3の層間絶縁膜5062の画素電極5063に対応する位置に開口部を形成する。第3の層間絶縁膜は、バンクとして機能する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分にならなかつた場合と段差に起因する自発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0156】

第3の層間絶縁膜中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12} \text{ m}$  (好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10} \text{ m}$ ) となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【0157】

次いで、第3の層間絶縁膜5062の開口部において露出している画素電極5054上に、自発光層5063を形成する。

【0158】

自発光層5063としては、公知の有機発光材料や無機発光材料を用いることができる。

【0159】

有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10  $\mu\text{m}$ 以下の有機発光材料を示すものとする。

【0160】

自発光層5063は通常、積層構造である。代表的には、コダック・イーストマン・カンパニーのTangら提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

10

20

30

40

50

## 【0161】

本実施例では蒸着法により低分子系有機発光材料を用いて自発光層5063を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(Alq<sub>3</sub>)膜を設けた積層構造としている。Alq<sub>3</sub>にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

## 【0162】

なお、図8(D)では一画素しか図示していないが、複数の色、例えば、R(赤)、G(緑)、B(青)の各色に対応した自発光層5063を作り分ける構成とすることができる。

10

## 【0163】

また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に発光層として100nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造によって自発光層5063を構成しても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

## 【0164】

なお、自発光層5063は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、自発光層5063は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

20

## 【0165】

例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造の自発光層5063であってもよい。

## 【0166】

次に、自発光層5063の上には導電膜からなる画素電極5064が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。画素電極5064が自発光素子の陰極に相当する。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

30

## 【0167】

画素電極5064まで形成された時点で自発光素子が完成する。なお、自発光素子とは、画素電極(陽極)5054、自発光層5063及び画素電極(陰極)5064で形成されたダイオードを指す。なお、自発光素子は、一重項励起子からの発光(蛍光)を利用するものでも、三重項励起子からの発光(燐光)を利用するものでも、どちらでも良い。

## 【0168】

自発光素子を完全に覆うようにしてパッシベーション膜5065を設けることは有効である。パッシベーション膜5065としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

40

## 【0169】

カバレッジの良い膜をパッシベーション膜5065として用いることが好ましく、炭素膜、特にDLC(ダイヤモンドライクカーボン)膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低い自発光層5063の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、自発光層5063の酸化を抑制することが可能である。そのため、自発光層5063が酸化するといった問題を防止できる。

## 【0170】

50

なお、第3の層間絶縁膜5062を形成した後、パッシベーション膜5065を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【0171】

なお、実際には図8(D)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると自発光素子の信頼性が向上する。

【0172】

また、パッケージング等の処理により気密性を高めたら、基板5000上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【0173】

なお、本実施例は、実施例1または実施例2において説明した画素を有する表示装置の作製工程として用いることができる。

【0174】

（実施例5）

本実施例では、実施例3または実施例4に示した構成とは異なる構成のアクティブマトリクス基板の作製工程について、図9を用いて説明する。

【0175】

なお、図9(A)までの工程は、実施例3において、図6(A)～(D)、図7(A)に示した工程と同様である。ただし、画素部を構成する駆動用TFTは、ゲート電極の外側に形成される低濃度不純物領域（LoFF領域）を有する、Nチャンネル型のTFTである点異なる。

【0176】

図6、図7及び図8と同じ部分は同じ符号を用いて示し、説明は省略する。

【0177】

図9(A)に示すように、第1の層間絶縁膜5101を形成する。この第1の層間絶縁膜5101としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚100nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5101は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0178】

次いで、図9(B)に示すように、加熱処理（熱処理）を行なって、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行なう。この加熱処理はファーネスアニール炉を用いる熱アニール法で行なう。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700で行なえばよく、本実施例では410、1時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

【0179】

また、第1の層間絶縁膜5101を形成する前に加熱処理を行なっても良い。ただし、第1の導電層5015a～5019a及び、第2の導電層5015b～5019bが熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜5101（珪素を主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で熱処理を行なうことが好ましい。

【0180】

上記の様に、第1の層間絶縁膜5101（珪素を主成分とする絶縁膜、例えば窒化珪素膜

10

20

30

40

50

)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行なうことができる。水素化の工程では、第1の層間絶縁膜5036に含まれる水素により半導体層のダングリングボンドが終端される。

【0181】

なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【0182】

ここで、第1の層間絶縁膜5101の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、3~100%の水素を含む雰囲気中において、300~450で1~12時間の加熱処理を行なう手段でも良い。

10

【0183】

以上の工程により、Nチャネル型TFTとPチャネル型TFTからなるCMOS回路を有する駆動回路部と、スイッチング用TFT、駆動用TFTとを有する画素部を同一基板上に形成することができる。

【0184】

次いで、第1の層間絶縁膜5101上に、第2の層間絶縁膜5102を形成する。第2の層間絶縁膜5102としては、無機絶縁膜を用いることができる。例えば、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第2の層間絶縁膜5102として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリル等の膜を用いることができる。また、アクリル膜と酸化珪素膜の積層構造を用いても良い。また、アクリル膜と、スパッタ法で形成した窒化珪素膜または窒化酸化珪素膜との積層構造を用いても良い。

20

【0185】

次いで、ドライエッチングまたはウエットエッチングを用い、第1の層間絶縁膜5101、第2の層間絶縁膜5102及びゲート絶縁膜5006をエッチングし、駆動回路部及び画素部を構成する各TFTの不純物領域(第3の不純物領域(N+)及び第4の不純物領域(P+))に達するコンタクトホールを形成する。

【0186】

次いで、各不純物領域とそれぞれ電氣的に接続される配線5103~5109を形成する。なお本実施例では、配線5103~5109は、膜厚100nmのTi膜と、膜厚350nmのAl膜と、膜厚100nmのTi膜との積層膜をスパッタ法で連続形成し、所望の形状にパターニングして形成する。

30

【0187】

もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、AlとTiに限らず、他の導電膜を用いても良い。例えば、TaN膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成してもよい。

【0188】

画素部のスイッチング用TFTのソース領域またはドレイン領域の一方は、配線5106によってソース配線(5019aと5019bの積層)と電氣的に接続され、もう一方は、配線5107によって画素部の駆動用TFTのゲート電極と電氣的に接続される。

40

【0189】

次いで図9(C)に示すように、第3の層間絶縁膜5110を形成する。第3の層間絶縁膜5110としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。また、アクリル膜と、スパッタ法で形成した窒化珪素膜または窒化酸化珪素膜との積層構造を用いても良い。

【0190】

50

第3の層間絶縁膜5110によって、基板上5000に形成されたTFTによる凹凸を緩和し、平坦化することができる。特に、第3の層間絶縁膜5110は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【0191】

次いで、ドライエッチングまたはウエットエッチングを用い、第3の層間絶縁膜5110に、配線5108に達するコンタクトホールを形成する。

【0192】

次いで、導電膜をパターニングして画素電極5111を形成する。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。画素電極5111が自発光素子の陰極に相当する。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

10

【0193】

画素電極5111は、第3の層間絶縁膜5110に形成されたコンタクトホールによって、配線5108と電気的な接続がとられる。こうして、画素電極5111は、駆動用TFTのソース領域またはドレイン領域の一方と、電気的に接続される。

【0194】

次いで図9(D)に示すように、各画素間の自発光層を塗り分けるために、土手5112を形成する。土手5112としては、無機絶縁膜や有機絶縁膜を用いて形成する。無機絶縁膜としては、スパッタ法によって形成された窒化珪素膜または窒化酸化珪素膜、CVD法によって形成された酸化珪素膜や、SOG法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

20

【0195】

ここで、土手5112を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。土手5112の側壁が十分になだらかでない場合、段差に起因する自発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0196】

なお、画素電極5111と配線5108を電気的に接続する際に、第3の層間絶縁膜5110に形成したコンタクトホールの部分にも、土手5112を形成する。こうして、コンタクトホール部分の凹凸による、画素電極の凹凸を土手5112によって埋めることにより、段差に起因する自発光層の劣化を防いでいる。

30

【0197】

第3の層間絶縁膜5110と土手5112の組み合わせの例を以下に挙げる。

【0198】

第3の層間絶縁膜5110として、アクリルと、スパッタ法によって形成された窒化珪素膜または窒化酸化珪素膜の積層膜を用い、土手5112として、スパッタ法によって形成された窒化珪素膜または窒化酸化珪素膜を用いる組み合わせがある。第3の層間絶縁膜5110として、プラズマCVD法によって形成した酸化珪素膜を用い、土手5112としてもプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、SOG法によって形成した酸化珪素膜を用い、土手5112としてもSOG法によって形成した酸化珪素膜を用いる組み合わせがある。また第3の層間絶縁膜5110として、SOG法によって形成した酸化珪素膜とプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、土手5112としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、アクリルを用い、土手5112としてもアクリルを用いる組み合わせがある。また、第3の層間絶縁膜5110として、アクリルとプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、土手5112としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、プラズマCVD法によって形成した酸化珪素膜を用い、土手5112としてアクリルを用いる組み合わせがある。

40

50

## 【0199】

土手5112中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12}$  m (好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10}$  m) となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

## 【0200】

次いで、土手5112に囲まれた、露出している画素電極5038上に、自発光層5113を形成する。

## 【0201】

自発光層5113としては、公知の有機発光材料や無機発光材料を用いることができる。

## 【0202】

有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10 μm以下の有機発光材料を示すものとする。

## 【0203】

自発光層5113は通常、積層構造である。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。また他にも、陰極上に電子輸送層/発光層/正孔輸送層/正孔注入層、または電子注入層/電子輸送層/発光層/正孔輸送層/正孔注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

## 【0204】

本実施例では蒸着法により低分子系有機発光材料を用いて自発光層5113を形成している。具体的には、発光層として70 nm厚のトリス-8-キノリノラトアルミニウム錯体(A1q<sub>3</sub>)膜を設け、その上に、正孔注入層として20 nm厚の銅フタロシアニン(CuPc)膜を設けた積層構造としている。A1q<sub>3</sub>にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

## 【0205】

なお、図9(D)では一画素しか図示していないが、複数の色、例えば、R(赤)、G(緑)、B(青)の各色に対応した自発光層5113を作り分ける構成とすることができる。

## 【0206】

また、高分子系有機発光材料を用いる例として、正孔注入層として20 nmのポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に、発光層として100 nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造によって自発光層5113を構成しても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

## 【0207】

なお、自発光層5113は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、自発光層5113は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

## 【0208】

例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造の自発光層5113であってもよい。

## 【0209】

次に、自発光層5113の上には、透明導電膜からなる画素電極5114を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(ITO)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、

10

20

30

40

50

前記透明導電膜にガリウムを添加したものをを用いてもよい。画素電極 5 1 1 4 が自発光素子の陽極に相当する。

【 0 2 1 0 】

画素電極 5 1 1 4 まで形成された時点で自発光素子が完成する。なお、自発光素子とは、画素電極（陰極） 5 1 1 1、自発光層 5 1 1 3 及び画素電極（陽極） 5 1 1 4 で形成されたダイオードを指す。なお、自発光素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【 0 2 1 1 】

本実施例では、画素電極 5 1 1 4 が透明導電膜によって形成されているため、自発光素子が発した光は、基板 5 0 0 0 とは逆側に向かって放射される。また、第 3 の層間絶縁膜 5 1 1 0 によって、配線 5 1 0 6 ~ 5 1 0 9 が形成された層とは別の層に、画素電極 5 1 1 1 を形成している。そのため、実施例 3 に示した構成と比較して、開口率を上げることができる。

10

【 0 2 1 2 】

自発光素子を完全に覆うようにして保護膜（パッシベーション膜） 5 1 1 5 を設けることは有効である。保護膜 5 1 1 5 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【 0 2 1 3 】

なお本実施例のように、自発光素子が発した光が画素電極 5 1 1 4 側から放射される場合、保護膜 5 1 1 5 としては、光を透過する膜を用いる必要がある。

20

【 0 2 1 4 】

なお、土手 5 1 1 2 を形成した後、保護膜 5 1 1 5 を形成するまでの工程をマルチチャンパー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【 0 2 1 5 】

なお、実際には図 9（D）の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）等のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると自発光素子の信頼性が向上する。

30

【 0 2 1 6 】

また、パッケージング等の処理により気密性を高めたら、基板 5 0 0 0 上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。

【 0 2 1 7 】

なお、本実施例は、実施例 1 または実施例 2 において説明した画素を有する表示装置の作製工程として用いることができる。

【 0 2 1 8 】

（実施例 6）

本実施例では、本発明の半導体装置が有する T F T の半導体活性層を作製する上で、半導体膜を結晶化する手法の例を示す。

40

【 0 2 1 9 】

ガラス基板上に下地膜として、プラズマ C V D 法により酸化窒化珪素膜（組成比 S i = 3 2 %、O = 5 9 %、N = 7 %、H = 2 %）4 0 0 n m を形成した。続いて、前記下地膜上に半導体膜として、プラズマ C V D 法により非晶質珪素膜 1 5 0 n m を形成した。そして、5 0 0 で 3 時間の熱処理を行って、半導体膜が含有する水素を放出させた後、レーザアニール法により半導体膜の結晶化を行った。

【 0 2 2 0 】

レーザアニール法に用いるレーザとしては、連続発振の Y V O<sub>4</sub> レーザを用いた。レーザアニール法の条件は、レーザ光として Y V O<sub>4</sub> レーザの第 2 高調波（波長 5 3 2 n m）を用

50

いた。レーザ光を光学系により所定の形状のビームとして、基板表面上に形成した半導体膜の照射した。

【0221】

なお、基板に照射されるビームの形状は、レーザの種類や、光学系によって変化させることができる。こうして、基板に照射されるビームのアスペクト比やエネルギー密度の分布を変えることができる。例えば、基板に照射されるビームの形状は、線状、矩形状、楕円状など、様々な形状とすることができる。本実施例では、 $YVO_4$ レーザの第2高調波を、光学系によって $200\mu m \times 50\mu m$ の楕円状にし、半導体膜に照射した。

【0222】

ここで、レーザ光を基板表面上に形成した半導体膜に照射する際に用いる、光学系の模式図を図10に示す。

10

【0223】

レーザ1001から射出されたレーザ光( $YVO_4$ レーザの第2高調波)は、ミラー1002を經由して、凸レンズ1003に入射する。レーザ光は凸レンズ1003に対して斜めに入射させる。このようにすることで、非点収差などの収差により焦点位置がずれ、照射面またはその近傍において楕円状ビーム1006を形成することができる。

【0224】

そして、このようにして形成される楕円状ビーム1006を照射しながら、例えば1007で示す方向または1008で示す方向にガラス基板1005を移動させた。こうして、ガラス基板1005上に形成された半導体膜1004において、楕円状ビーム1006を相対的に移動させながら照射した。

20

【0225】

なお、楕円状ビーム1006の相対的な走査方向は、楕円状ビーム1006の長軸に垂直な方向とした。

【0226】

本実施例では、凸レンズ1003に対するレーザ光の入射角を約 $20^\circ$ として $200\mu m \times 50\mu m$ の楕円状ビームを形成し、ガラス基板1005を $50cm/s$ の速度で移動させながら照射して、半導体膜の結晶化を行った。

【0227】

このようにして得られた結晶性半導体膜にセコエッチングを行って、SEMにより1万倍にて表面を観察した結果を図11に示す。なお、セコエッチングにおけるセコ液は $HF:H_2O=2:1$ に添加剤として $K_2Cr_2O_7$ を用いて作製されるものである。図11は、図中の矢印で示す方向にレーザ光を相対的に走査させて得られたものである。レーザ光の走査方向に平行に大粒径の結晶粒が形成されている様子が見られる。つまり、レーザ光の走査方向に対して延在するように結晶成長がなされる。

30

【0228】

このように、本実施例の手法を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されている。そのため、前記半導体膜を半導体活性層として用いてTFTを作製すると、前記TFTのチャンネル形成領域に含まれる結晶粒界の本数を少なくすることができる。また、個々の結晶粒の内部は実質的に単結晶と見なせる結晶性を有することから、単結晶半導体を用いたトランジスタと同等の高いモビリティ(電界効果移動度)を得ることも可能である。このように優れた特性のTFTを、本発明における表示装置に用いることで、画素内の演算処理回路を高速に動作させることができ、有効である。

40

【0229】

さらに、TFTを、そのキャリアの移動方向が、形成された結晶粒の延在する方向と揃うように配置すれば、キャリアが結晶粒界を横切る回数を極端に減らすことができる。そのため、オン電流値(TFTがオン状態にある時に流れるドレイン電流値)、オフ電流値(TFTがオフ状態にある時に流れるドレイン電流値)、しきい値電圧、S値及び電界効果移動度のバラツキを低減することも可能となり、電気的特性は著しく向上する。

【0230】

50

なお、半導体膜の広い範囲に楕円状ビーム1006を照射するため、楕円状ビーム1006をその長軸に垂直な方向に走査して半導体膜に照射する動作（以下、スキャンと表記する）を、複数回行っている。ここで、1回のスキャン毎に、楕円状ビーム1006の位置は、その長軸に平行な方向にずらされる。また、連続するスキャン間では、その走査方向を逆にする。ここで、連続する2回のスキャンにおいて、一方を往路のスキャン、もう一方を復路のスキャンと呼ぶことにする。

【0231】

楕円状ビーム1006の位置を、1回のスキャン毎にその長軸に平行な方向にずらす大きさを、ピッチdと表現する。また、往路のスキャンにおいて、図11に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム1006の走査方向に垂直な方向の長さを、D1と表記する。復路のスキャンにおいて、図11に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム1006の走査方向に垂直な方向の長さを、D2と表記する。また、D1とD2の平均値を、Dとする。

10

【0232】

このとき、オーバーラップ率 $R_{O.L}$  [%] を式(1)で定義する。

【0233】

【数1】

$$R_{O.L} = (1 - d / D) \times 100 \cdots \text{式(1)}$$

【0234】

本実施例では、オーバーラップ率 $R_{O.L}$ を0 [%]とした。

20

【0235】

(実施例7)

本実施例では、本発明の半導体装置が有するTFTの半導体活性層を作製する上で、半導体膜を結晶化する手法において、実施例6とは異なる例を示す。

【0236】

半導体膜として非晶質珪素膜を形成するまでの工程は、実施例6と同様である。その後、特開平7-183540号公報に記載された方法を利用し、前記半導体膜上にスピコート法にて酢酸ニッケル水溶液（重量換算濃度5ppm、体積10ml）を塗布し、500の窒素雰囲気中で1時間、550の窒素雰囲気中で12時間の熱処理を行った。続いて、レーザアニール法により、半導体膜の結晶性の向上を行った。

30

【0237】

レーザアニール法に用いるレーザとしては、連続発振のYVO<sub>4</sub>レーザを用いた。レーザアニール法の条件は、レーザ光としてYVO<sub>4</sub>レーザの第2高調波（波長532nm）を用い、図10で示した光学系における凸レンズ1003に対するレーザ光の入射角を約20°として、200μm×50μmの楕円状ビームを形成した。ガラス基板1005を50cm/sの速度で移動させながら、前記楕円状ビームを照射して、半導体膜の結晶性の向上を行った。

【0238】

なお、楕円状ビーム1006の相対的な走査方向は、楕円状ビーム1006の長軸に垂直な方向とした。

40

【0239】

このようにして得られた結晶性半導体膜にセコエッチングを行って、SEMにより1万倍にて表面を観察した。その結果を図12に示す。図12は、図中の矢印で示す方向にレーザ光を相対的に走査させて得られたものであり、走査方向に対して延在して大粒径の結晶粒が形成されている様子がわかる。

【0240】

このように、本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いてTFTを作製すると、そのチャンネル形成領域に含まれる結晶粒界の本数を少なくすることができる。また、個々の結晶粒は実質的に単結晶と見なせる結晶性を有することから、単結晶半導体を用いたトランジスタと同等の高いモビリティ

50

(電界効果移動度)を得ることも可能である。

【0241】

さらに、形成された結晶粒が一方向に揃っている。そのため、TFTを、そのキャリアの移動方向が、形成された結晶粒の延在する方向と揃うように配置すれば、キャリアが結晶粒界を横切る回数を極端に減らすことができる。そのため、オン電流値、オフ電流値、しきい値電圧、S値及び電界効果移動度のバラツキを低減することも可能となり、電気的特性は著しく向上する。

【0242】

なお、半導体膜の広い範囲に楕円状ビーム1006を照射するため、楕円状ビーム1006をその長軸に垂直な方向に走査して半導体膜に照射する動作(スキャン)を、複数回行なっている。ここで、1回のスキャン毎に、楕円状ビーム1006の位置は、その長軸に平行な方向にずらされる。また、連続するスキャン間では、その走査方向を逆にする。ここで、連続する2回のスキャンにおいて、一方を往路のスキャン、もう一方を復路のスキャンと呼ぶことにする。

10

【0243】

楕円状ビーム1006の位置を、1回のスキャン毎にその長軸に平行な方向にずらす大きさを、ピッチdと表現する。また、往路のスキャンにおいて、図12に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム1006の走査方向に垂直な方向の長さを、D1と表記する。復路のスキャンにおいて、図12に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム1006の走査方向に垂直な方向の長さを、D2と表記する。また、D1とD2の平均値を、Dとする。

20

【0244】

このとき、式(1)と同様に、オーバーラップ率 $R_{O.L}$  [%]を定義する。本実施例では、オーバーラップ率 $R_{O.L}$ を0 [%]とした。

【0245】

また、上記結晶化の手法によって得られた半導体膜(図中、Improved CG-Siliconと表記)のラマン散乱分光の結果を図13に太線で示す。ここで、比較のため、単結晶シリコン(図中、ref.(100)Si Waferと表記)のラマン散乱分光の結果を細線で示した。また、非晶質珪素膜を形成後、熱処理を行って半導体膜が含有する水素を放出させた後、パルス発振のエキシマレーザを用い結晶化を行った半導体膜(図中、excimer laser annealingと表記)のラマン散乱分光の結果を図13に点線で示した。

30

【0246】

本実施例の手法によって得られた半導体膜のラマンシフトは、 $517.3\text{ cm}^{-1}$ のピークを有する。また、半値幅は、 $4.96\text{ cm}^{-1}$ である。一方、単結晶シリコンのラマンシフトは、 $520.7\text{ cm}^{-1}$ のピークを有する。また、半値幅は、 $4.44\text{ cm}^{-1}$ である。パルス発振のエキシマレーザを用い結晶化を行った半導体膜のラマンシフトは、 $516.3\text{ cm}^{-1}$ である。また、半値幅は、 $6.16\text{ cm}^{-1}$ である。

【0247】

図13の結果により、本実施例に示した結晶化の手法によって得られた半導体膜の結晶性が、パルス発振のエキシマレーザを用い結晶化を行った半導体膜の結晶性と比べて、単結晶シリコンに近いことがわかる。

40

【0248】

(実施例8)

本実施例では、実施例6に示した手法によって結晶化した半導体膜を用いてTFTを作製した例について、図10、図14および図15を用いて説明する。

【0249】

本実施例では基板2000として、ガラス基板を用い、ガラス基板上に下地膜2001として、プラズマCVD法により酸化窒化珪素膜(組成比Si=32%、O=27%、N=24%、H=17%)50nm、酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)100nmを積層した。次いで、下地膜2001上に半導体膜200

50

2として、プラズマCVD法により非晶質珪素膜150nmを形成した。そして、500で3時間の熱処理を行って、半導体膜が含有する水素を放出させた。(図14(A))

【0250】

その後、レーザー光として連続発振のYVO<sub>4</sub>レーザーの第2高調波(波長532nm、5.5W)を用い、図10で示した光学系における凸レンズ1003に対するレーザー光の入射角を約20°として200μm×50μmの楕円状ビームを形成した。前記楕円状ビームを、50cm/sの速度で相対的に走査して、半導体膜2002に照射した。(図14(B))

【0251】

そして、第1のドーピング処理を行なう。これはしきい値を制御するためのチャネルドーピングである。材料ガスとしてB<sub>2</sub>H<sub>6</sub>を用い、ガス流量30sccm、電流密度0.05μA、加速電圧60keV、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ として行った。(図14(C))

【0252】

続いて、パターニングを行って、半導体膜2004を所望の形状にエッチングした後、エッチングされた半導体膜を覆うゲート絶縁膜2007としてプラズマCVD法により膜厚115nmの酸化窒化珪素膜を形成する。次いで、ゲート絶縁膜2007上に導電膜として膜厚30nmのTa<sub>2</sub>N膜2008と、膜厚370nmのW膜2009を積層形成する。(図14(D))

【0253】

フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成して、W膜、Ta<sub>2</sub>N膜、ゲート絶縁膜をエッチングする。

【0254】

そして、レジストからなるマスクを除去し、新たにマスク2013を形成して第2のドーピング処理を行ない、半導体膜にn型を付与する不純物元素を導入する。この場合、導電層2010、2011がn型を付与する不純物元素に対するマスクとなり、自己整合的に不純物領域2014が形成される。本実施例では第2のドーピング処理は、半導体膜の膜厚が150nmと厚いため2条件に分けて行った。本実施例では、材料ガスとしてフォスフィン(PH<sub>3</sub>)を用い、ドーズ量を $2 \times 10^{13} / \text{cm}^2$ とし、加速電圧を90keVとして行った後、ドーズ量を $5 \times 10^{14} / \text{cm}^2$ とし、加速電圧を10keVとして行った。(図14(E))

【0255】

次いで、レジストからなるマスク2013を除去した後、新たにレジストからなるマスク2015を形成して第3のドーピング処理を行なう。第3のドーピング処理により、pチャンネル型TFETの活性層となる半導体膜に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域2016を形成する。導電層2010、2011を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域2016を形成する。本実施例では第3のドーピング処理においても、半導体膜の膜厚が150nmと厚いため2条件に分けて行った。本実施例では、材料ガスとしてジボラン(B<sub>2</sub>H<sub>6</sub>)を用い、ドーズ量を $2 \times 10^{13} / \text{cm}^2$ とし、加速電圧を90keVとして行った後、ドーズ量を $1 \times 10^{15} / \text{cm}^2$ とし、加速電圧を10keVとして行った。(図14(F))

【0256】

以上までの工程で、それぞれの半導体層に不純物領域2014、2016が形成される。

【0257】

次いで、レジストからなるマスク2015を除去して、プラズマCVD法により第1の層間絶縁膜2017として膜厚50nmの酸化窒化珪素膜(組成比Si=32.8%、O=63.7%、N=3.5%)を形成した。

【0258】

次いで、熱処理により、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行なう。本実施例ではファーネスアニール炉を用いた熱アニール法によ

10

20

30

40

50

り、窒素雰囲気中にて550度4時間の熱処理を行った。(図14(G))

【0259】

次いで、第1の層間絶縁膜2017上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜2018を形成する。本実施例では、CVD法により膜厚50nmの窒化珪素膜を形成した後、膜厚400nmの酸化珪素膜を形成した。

【0260】

そして、熱処理を行なうと水素化処理を行なうことができる。本実施例では、ファーネスアニール炉を用い、410度で1時間、窒素雰囲気中にて熱処理を行った。

【0261】

続いて、各不純物領域とそれぞれ電氣的に接続する配線2019を形成する。本実施例では、膜厚50nmのTi膜と、膜厚500nmのAlSi膜と、膜厚50nmのTi膜との積層膜をパターニングして形成した。もちろん、二層構造に限らず、単層構造でもよいし、三層以上の積層構造にしてもよい。また、配線の材料としては、AlとTiに限らない。例えば、TaN膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成してもよい。(図14(H))

10

【0262】

以上の様にして、チャンネル長6 $\mu$ m、チャンネル幅4 $\mu$ mのnチャンネル型TF T 2031とpチャンネル型TF T 2032が形成された。

【0263】

これらの電氣的特性を測定した結果を図15に示す。nチャンネル型TF T 2031の電氣的特性を図15(A)に、pチャンネル型TF T 2032の電氣的特性を図15(B)に示す。電氣的特性の測定条件は、測定点をそれぞれ2点とし、ゲート電圧 $V_g = 16 \sim 16V$ の範囲で、ドレイン電圧 $V_d = 1V$ 及び5Vとした。また、図15において、ドレイン電流(ID)、ゲート電流(IG)は実線で、移動度( $\mu_{FE}$ )は点線で示している。

20

【0264】

本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いてTF Tを作製すると、そのチャンネル形成領域に含まれる結晶粒界の本数を少なくすることができる。さらに、形成された結晶粒は一方向に揃っているため、キャリアが結晶粒界を横切る回数を極端に減らすことができる。そのため、図15に示したように電氣的特性の良いTF Tが得られる。特に移動度が、nチャンネル型TF Tにおいて524 $cm^2/Vs$ 、pチャンネル型TF Tにおいて205 $cm^2/Vs$ となることがわかる。このようなTF Tを用いて表示装置を作製すれば、その動作特性および信頼性をも向上させることが可能となる。

30

【0265】

(実施例9)

本実施例では、実施例7に示した手法によって結晶化した半導体膜を用いてTF Tを作製した例について、図10、図16~図19を用いて説明する。

【0266】

半導体膜として非晶質珪素膜を形成するまでの工程は、実施例8と同様である。なお、非晶質珪素膜は、150nmの厚さで形成した。(図16(A))

40

【0267】

その後、特開平7-183540号公報に記載された方法を利用し、前記半導体膜上にスピコート法にて酢酸ニッケル水溶液(重量換算濃度5ppm、体積10ml)を塗布して金属含有層2021を形成する。そして、500の窒素雰囲気中で1時間、550の窒素雰囲気中で12時間の熱処理を行った。こうして半導体膜2022を得た。(図16(B))

【0268】

続いて、レーザアニール法により、半導体膜2022の結晶性の向上を行なう。

【0269】

レーザアニール法の条件は、レーザ光として連続発振のYVO<sub>4</sub>レーザの第2高調波(波

50

長532 nm、5.5 W)を用い、図10で示した光学系における凸レンズ1003に対するレーザ光の入射角を約20°として200 μm × 50 μmの楕円状ビームを形成した。前記楕円状ビームを、基板を20 cm/sまたは50 cm/sの速度で移動させながら照射して、半導体膜2022の結晶性の向上を行った。こうして半導体膜2023を得た。(図16(C))

【0270】

図16(C)の半導体膜の結晶化の後の工程は、実施例8において示した図14(C)～図14(H)の工程と同様である。こうして、チャネル長6 μm、チャネル幅4 μmのnチャネル型TFT2031とpチャネル型TFT2032が形成された。これらの電気的特性を測定した。

10

【0271】

上記工程によって作製したTFTの電気的特性を、図17～図19に示す。

【0272】

図17(A)及び図17(B)に、図16(C)のレーザアニール工程において、基板の速度を20 cm/sで移動させて作製したTFTの電気的特性を示す。図17(A)に、nチャネル型TFT2031の電気的特性を示す。また図17(B)に、pチャネル型TFT2032の電気的特性を示す。また、図18(A)及び図18(B)に、図16(C)のレーザアニール工程において、基板の速度を50 cm/sで移動させて作製したTFTの電気的特性を示す。図18(A)に、nチャネル型TFT2031の電気的特性を示す。また図18(B)に、pチャネル型TFT2032の電気的特性を示す。

20

【0273】

なお、電気的特性の測定条件は、ゲート電圧 $V_g = 1.6 \sim 1.6 \text{ V}$ の範囲で、ドレイン電圧 $V_d = 1 \text{ V}$ 及び5 Vとした。また、図17、図18において、ドレイン電流( $I_D$ )、ゲート電流( $I_G$ )は実線で、移動度( $\mu_{FE}$ )は点線で示している。

【0274】

本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いてTFTを作製すると、そのチャネル形成領域に含まれる結晶粒界の本数を少なくすることができる。さらに、形成された結晶粒は一方向に揃っており、レーザ光の相対的な走査方向に対して交差する方向に形成される粒界が少ないため、キャリアが結晶粒界を横切る回数を極端に減らすことができる。

30

【0275】

そのため、図17及び図18に示したように電気的特性の良いTFTが得られる。特に移動度が、図17ではnチャネル型TFTにおいて $510 \text{ cm}^2/\text{Vs}$ 、pチャネル型TFTにおいて $200 \text{ cm}^2/\text{Vs}$ 、また、図18ではnチャネル型TFTにおいて $595 \text{ cm}^2/\text{Vs}$ 、pチャネル型TFTにおいて $199 \text{ cm}^2/\text{Vs}$ と非常に優れていることがわかる。そして、このようなTFTを用いて半導体装置を作製すれば、その動作特性および信頼性をも向上することが可能となる。

【0276】

また、図19に、図16(C)のレーザアニール工程において、基板の速度を50 cm/sで移動させて作製したTFTの電気的特性を示す。図19(A)に、nチャネル型TFT2031の電気的特性を示す。また図19(B)に、pチャネル型TFT2032の電気的特性を示す。

40

【0277】

なお、電気的特性の測定条件は、ゲート電圧 $V_g = 1.6 \sim 1.6 \text{ V}$ の範囲で、ドレイン電圧 $V_d = 0.1 \text{ V}$ 及び5 Vとした。

【0278】

図19に示したように電気的特性の良いTFTが得られる。特に移動度が、図19(A)に示したnチャネル型TFTにおいて $657 \text{ cm}^2/\text{Vs}$ 、図19(B)に示したpチャネル型TFTにおいて $219 \text{ cm}^2/\text{Vs}$ と非常に優れていることがわかる。そして、このようなTFTを用いて半導体装置を作製すれば、その動作特性および信頼性をも向上す

50

ることが可能となる。

【0279】

(実施例10)

本発明の不揮発性メモリはデータの記憶・読み出しを行なう記録媒体として、あらゆる分野の電子機器に組み込むことが可能である。本実施例では、その様な電子機器について説明する。

【0280】

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの電子機器の具体例を図20に示す。

10

【0281】

図20(A)は表示装置であり、筐体1401、支持台1402、表示部1403を含む。本発明は表示部1403に適用が可能である。

【0282】

図20(B)はビデオカメラであり、本体1411、表示部1412、音声入力1413、操作スイッチ1414、バッテリー1415、受像部1416などによって構成されている。本発明は表示部1412に適用が可能である。

20

【0283】

図20(C)はノート型のパーソナルコンピュータであり、本体1421、筐体1422、表示部1423、キーボード1424などによって構成されている。本発明は表示部1423に適用が可能である。

【0284】

図20(D)は携帯情報端末であり、本体1431、スタイラス1432、表示部1433、操作ボタン1434、外部インターフェイス1435などによって構成されている。本発明は表示部1433に適用が可能である。

【0285】

図20(E)は音響再生装置、具体的には車載用のオーディオ装置であり、本体1441、表示部1442、操作スイッチ1443、1444などによって構成されている。本発明は表示部1442に適用が可能である。また、今回は車載用オーディオ装置を例に上げたが、携帯型もしくは家庭用オーディオ装置に用いてもよい。

30

【0286】

図20(F)はデジタルカメラであり、本体1451、表示部(A)1452、接眼部1453、操作スイッチ1454、表示部(B)1455、バッテリー1456などによって構成されている。本発明は表示部(A)1452および表示部(B)1455に適用が可能である。

【0287】

図20(G)は携帯電話であり、本体1461、音声出力部1462、音声入力部1463、表示部1464、操作スイッチ1465、アンテナ1466などによって構成されている。本発明は表示部1464に適用が可能である。

40

【0288】

これらの電子機器に使われる表示装置はガラス基板だけでなく耐熱性のプラスチック基板を用いることもできる。それによってよりいっそうの軽量化を図ることができる。

【0289】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~9のどのような組み合わせからなる構成を用いても実現することができる。

50

## 【 0 2 9 0 】

このように、本発明における表示装置及びこれを用いた表示システムを用いることで、高精細な表示を低消費電力で行なえる小型且つ軽量の電子機器が実現できる。

## 【 0 2 9 1 】

## 【 発明の効果 】

本発明によれば、従来GPUにおいて行なわれていた演算処理のうち一部の処理を表示装置で行なうことができ、GPUにおける演算処理量を低減できる。また、表示システムに必要な部品点数が削減でき、小型化及び軽量化が計れる。さらに、静止画を表示する場合や、画像データの一部のみが変更された場合には、必要最低限の書き換えだけで済み、消費電力を大幅に削減できる。従って、高精細及び大画面の映像表示に適した表示装置及びこれを用いた表示システムが実現できる。

10

## 【 図面の簡単な説明 】

【 図 1 】 本発明の表示装置及びこれを用いた表示システムの構成を説明するためのブロック図。

【 図 2 】 従来の表示装置及びこれを用いた表示システムの構成を説明するためのブロック図。

【 図 3 】 表示映像の例。

【 図 4 】 実施例 1 における画素の回路図。

【 図 5 】 実施例 2 における画素の回路図。

【 図 6 】 実施例 3 における表示装置の作製行程を示す断面図。

20

【 図 7 】 実施例 3 における表示装置の作製行程を示す断面図。

【 図 8 】 実施例 4 における表示装置の作製行程を示す断面図。

【 図 9 】 実施例 5 における表示装置の作製行程を示す断面図。

【 図 1 0 】 実施例 6 におけるレーザ光学系の模式図。

【 図 1 1 】 実施例 6 における結晶性半導体膜のSEM写真。

【 図 1 2 】 実施例 7 における結晶性半導体膜のSEM写真。

【 図 1 3 】 実施例 7 における結晶性半導体膜のラマンスペクトル。

【 図 1 4 】 実施例 8 におけるTFT作製工程を示す断面図。

【 図 1 5 】 実施例 8 におけるTFTの電気特性。

【 図 1 6 】 実施例 9 におけるTFT作製工程を示す断面図。

30

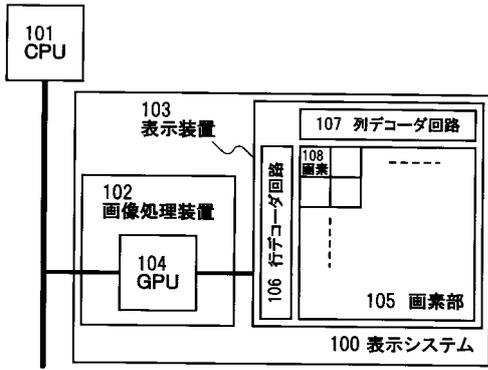
【 図 1 7 】 実施例 9 におけるTFTの電気特性。

【 図 1 8 】 実施例 9 におけるTFTの電気特性。

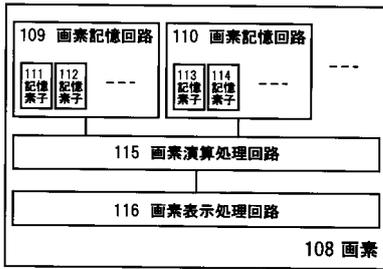
【 図 1 9 】 実施例 9 におけるTFTの電気特性。

【 図 2 0 】 実施例 1 0 における電子機器。

【図 1】

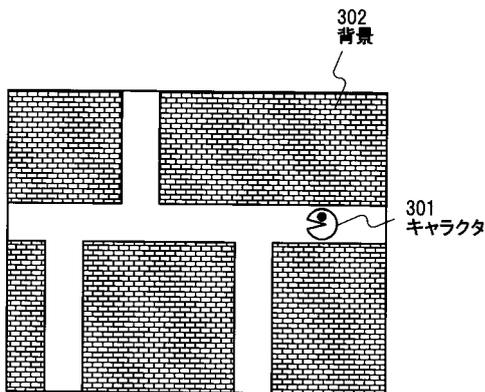


(A) 全体ブロック構成

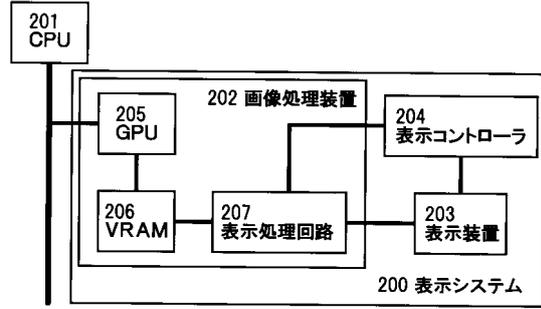


(B) 画素ブロック構成

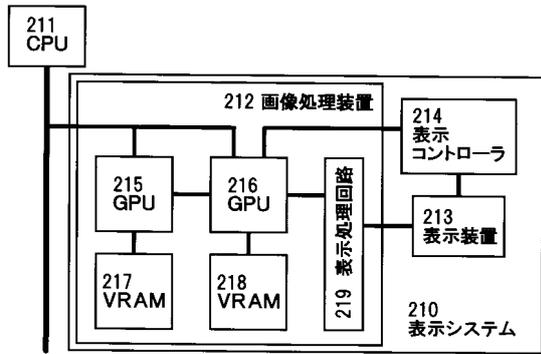
【図 3】



【図 2】

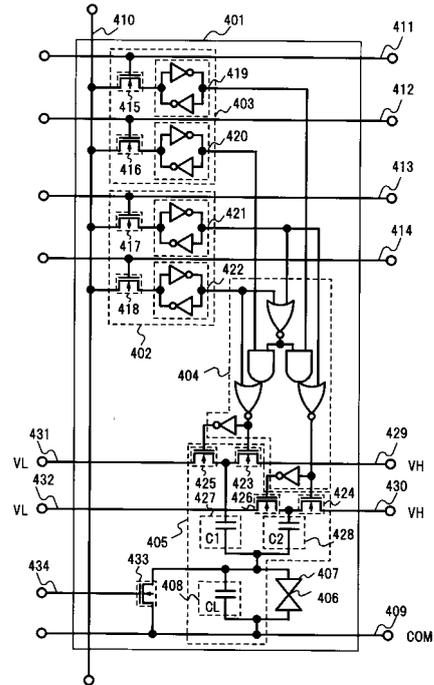


(A) 第1の従来例



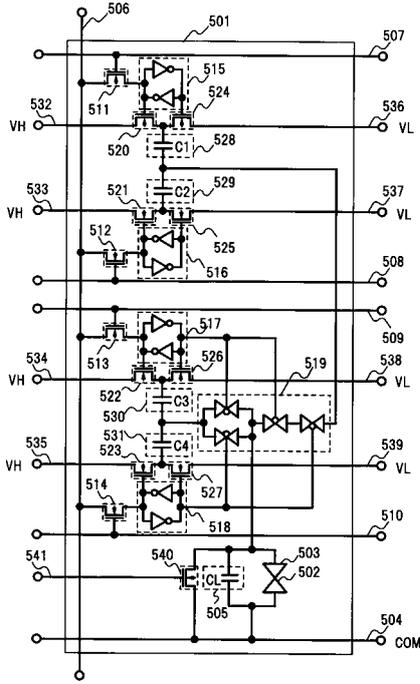
(B) 第2の従来例

【図 4】



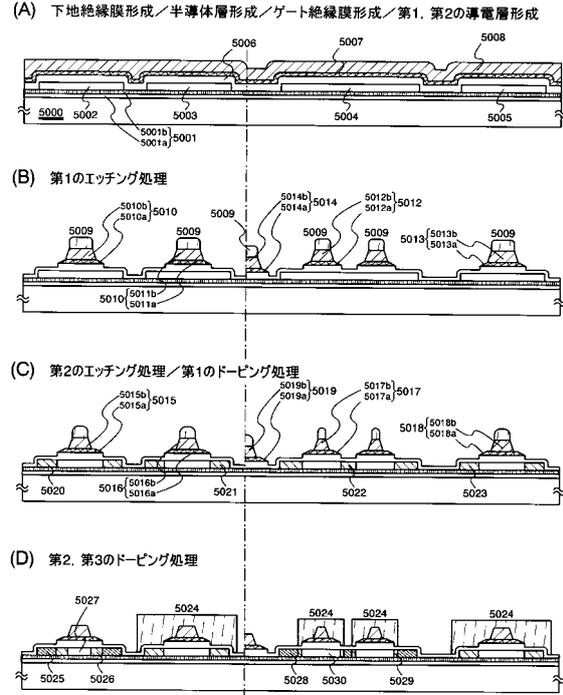
- |                   |                        |
|-------------------|------------------------|
| 401 : 画素          | 415~418 : 選択トランジスタ     |
| 402, 403 : 画素記憶回路 | 419~422 : 記憶素子         |
| 404 : 画素演算処理回路    | 423, 424 : 高電位選択トランジスタ |
| 405 : 画素表示処理回路    | 425, 426 : 低電位選択トランジスタ |
| 406 : 液晶素子        | 427, 428 : 容量素子        |
| 407 : 画素電圧        | 429, 430 : 高電位線        |
| 408 : 保持容量        | 431, 432 : 低電位線        |
| 409 : 共通電位線       | 433 : リセットトランジスタ       |
| 410 : ソース線        | 434 : リセット信号線          |
| 411~414 : ゲート線    |                        |

【図5】



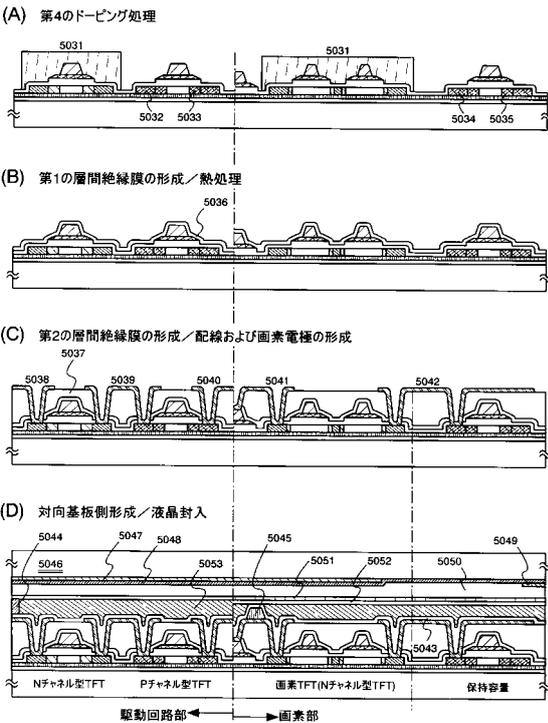
- |                    |                       |
|--------------------|-----------------------|
| 501 : 画素素子         | 519 : 画素演算処理回路        |
| 502 : 液晶素子         | 520~523 : 高電位選択トランジスタ |
| 503 : 画素電極         | 524~527 : 低電位選択トランジスタ |
| 504 : 共通電位線        | 528~531 : 高電位素子       |
| 505 : 液晶駆動素子       | 532~535 : 高電位線        |
| 506 : ソース線         | 536~539 : 低電位線        |
| 507~510 : ゲート線     | 540 : リセットトランジスタ      |
| 511~514 : 選択トランジスタ | 541 : リセット信号線         |
| 515~518 : 記憶素子     |                       |

【図6】



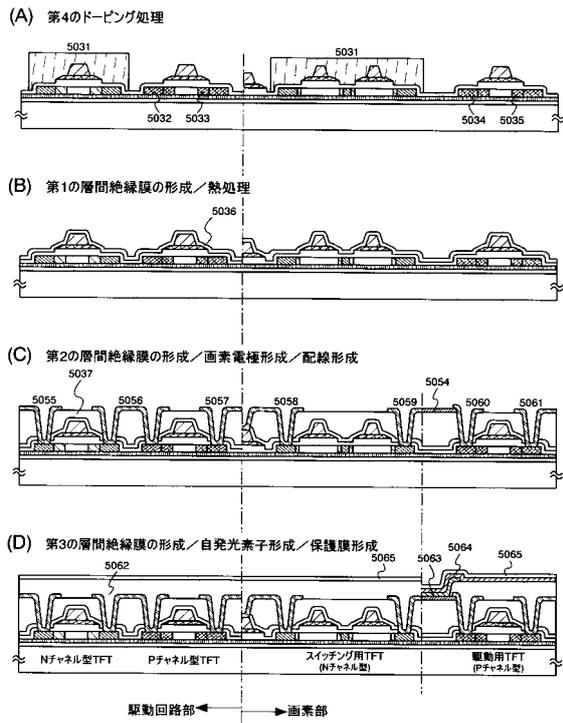
- |                       |                             |
|-----------------------|-----------------------------|
| 5000 : 基板             | 5015~5019 : 第2の形状の導電層       |
| 5001 : 下地膜            | 5020~5023 : 第1の不純物領域(N+領域)  |
| 5002~5005 : 半導体層      | 5025, 5028 : 第2の不純物領域(N+領域) |
| 5006 : ゲート絶縁膜         | 5026 : 第3の不純物領域(N-領域)       |
| 5007 : 第1の導電層         | 5027, 5030 : チャネル領域         |
| 5008 : 第2の導電層         | 5029 : 第1の不純物領域(N-領域)       |
| 5009, 5024 : レジストマスク  |                             |
| 5010~5014 : 第1の形状の導電層 |                             |

【図7】



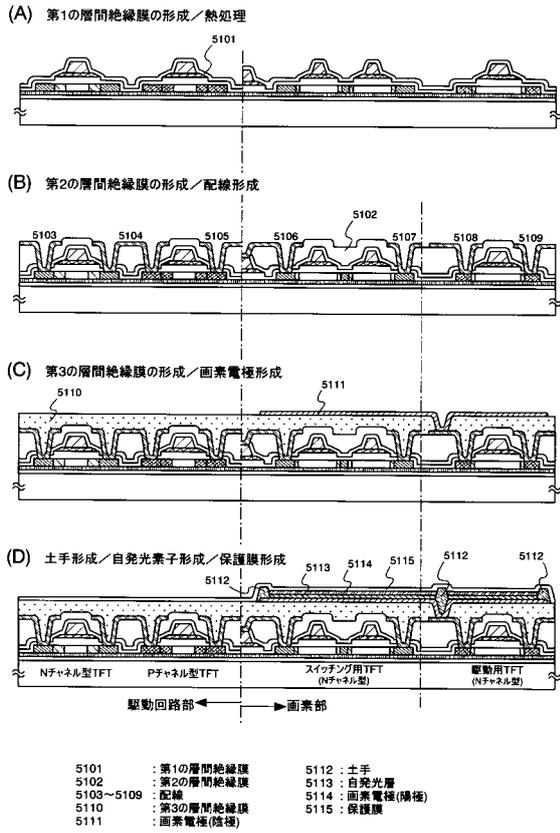
- |                             |                          |
|-----------------------------|--------------------------|
| 5031 : レジストマスク              | 5044 : シール材              |
| 5032, 5034 : 第4の不純物領域(P+領域) | 5045 : 柱状ベース             |
| 5033, 5035 : 第5の不純物領域(P-領域) | 5046 : 対向基板              |
| 5036 : 第1の層間絶縁膜             | 5047~5049 : 着色層(カラーフィルタ) |
| 5037 : 第2の層間絶縁膜             | 5050 : 平坦化膜              |
| 5038~5041 : 配線              | 5051 : 対向電極              |
| 5042 : 画素電極                 | 5053 : 液晶                |
| 5043, 5052 : 配向膜            |                          |

【図8】

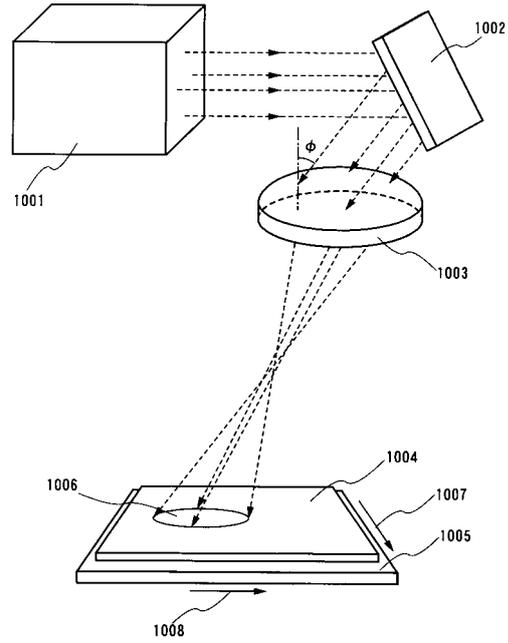


- |                             |                 |
|-----------------------------|-----------------|
| 5031 : レジストマスク              | 5055~5061 : 配線  |
| 5032, 5034 : 第4の不純物領域(P+領域) | 5062 : 第3の層間絶縁膜 |
| 5033, 5035 : 第5の不純物領域(P-領域) | 5063 : 自発光層     |
| 5036 : 第1の層間絶縁膜             | 5064 : 画素電極(陰極) |
| 5037 : 第2の層間絶縁膜             | 5065 : 保護膜      |
| 5038 : 画素電極(陽極)             |                 |

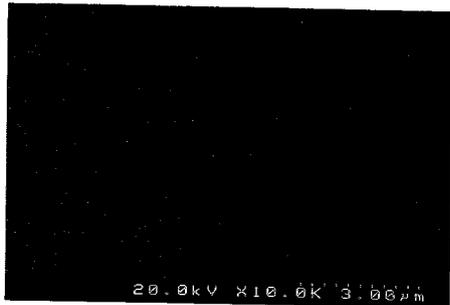
【図9】



【図10】

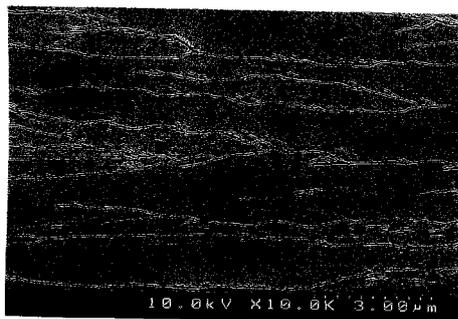


【図11】



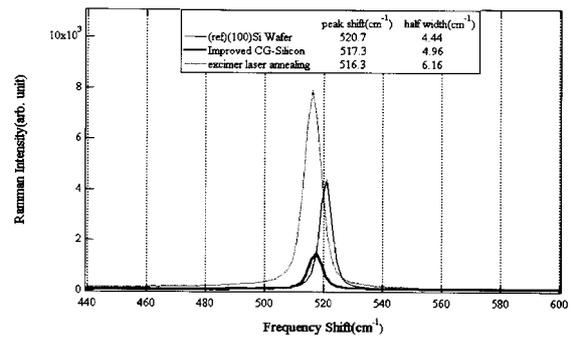
→  
レーザー光の相対的な走査方向

【図12】

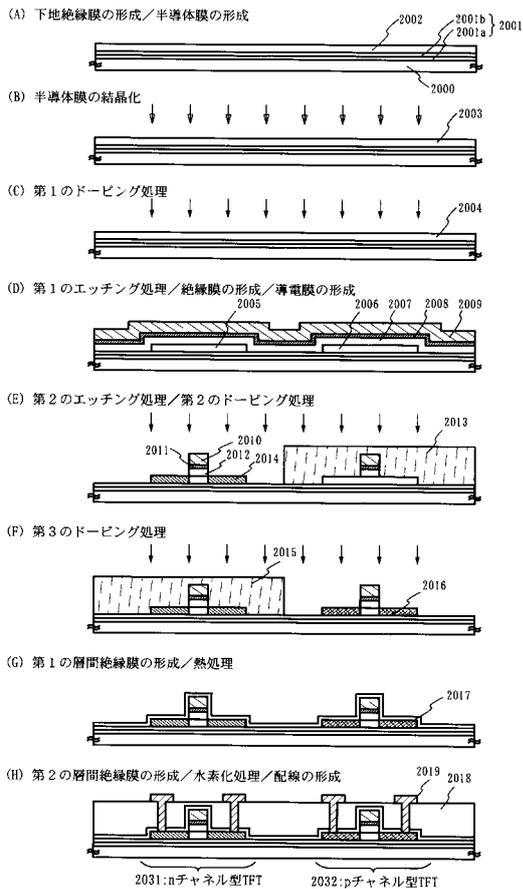


→  
レーザー光の相対的な走査方向

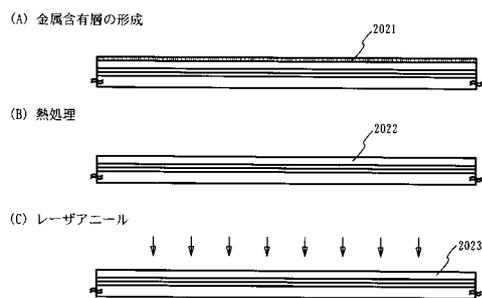
【図13】



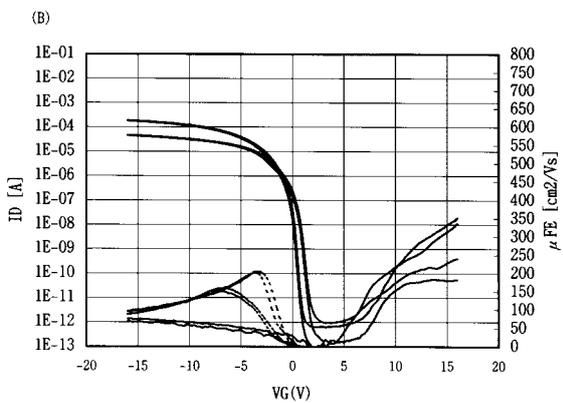
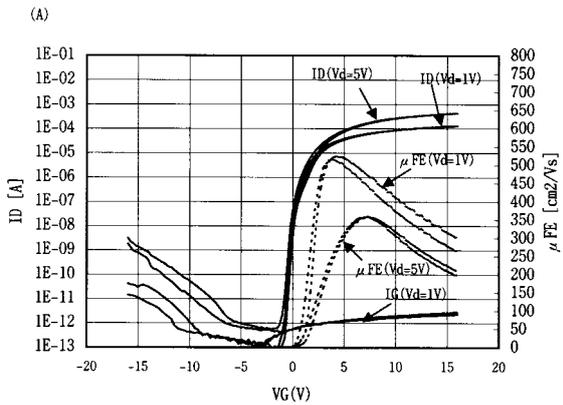
【 図 1 4 】



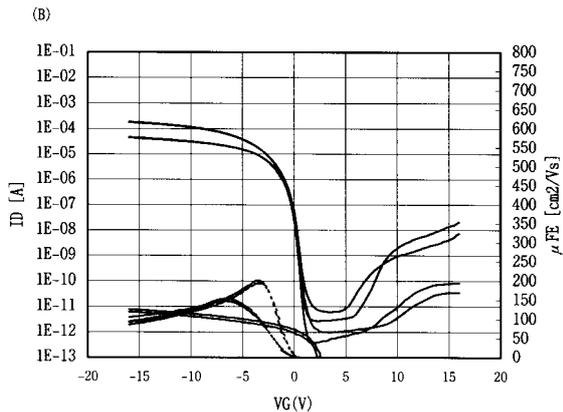
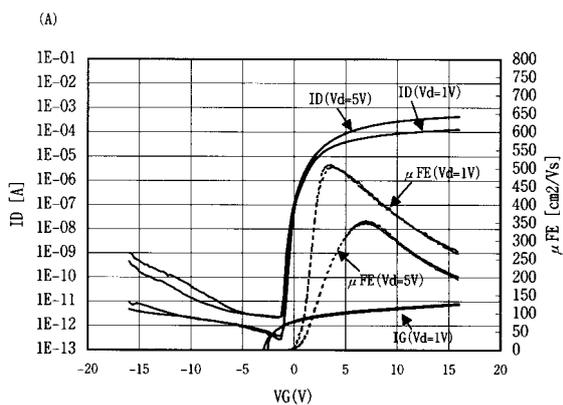
【 図 1 6 】



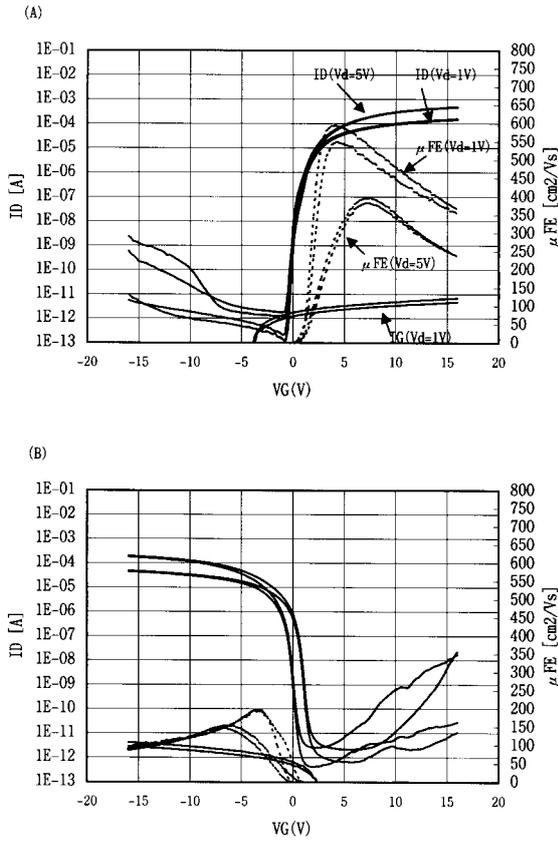
【 図 1 5 】



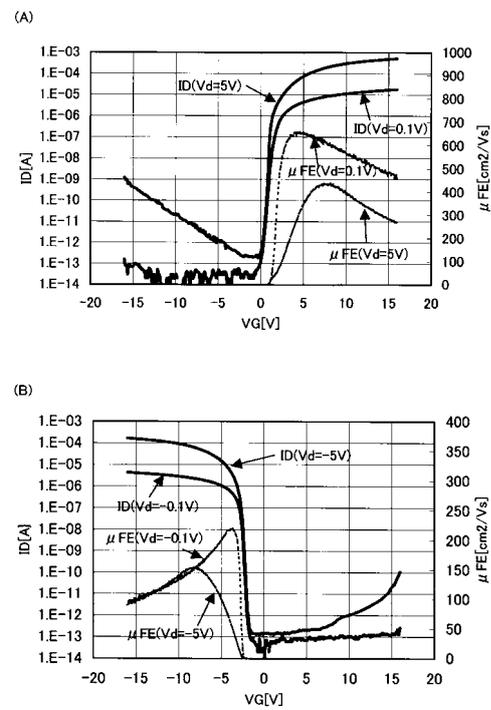
【 図 1 7 】



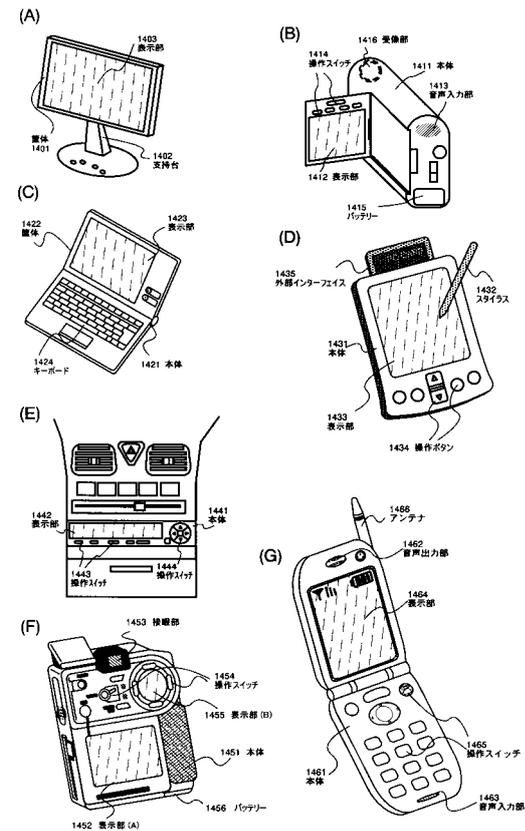
【 図 18 】



【 図 19 】



【 図 20 】



## フロントページの続き

(51) Int.Cl.

F I

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 3 1 M

G 1 1 C 11/34 3 4 5

G 1 1 C 11/34 3 7 1 K

(56) 参考文献 特開平 0 9 - 2 1 2 1 4 0 ( J P , A )  
特開平 0 9 - 2 4 3 9 9 4 ( J P , A )  
特開平 0 7 - 2 5 3 7 6 4 ( J P , A )  
特開平 1 1 - 2 8 2 0 0 6 ( J P , A )  
特開 2 0 0 1 - 0 9 2 4 1 3 ( J P , A )

(58) 調査した分野(Int.Cl. , DB名)

G09G 3/36

G02F 1/133

G09G 3/20

G11C 11/401

G11C 11/41