



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201638771 A

(43)公開日：中華民國 105 (2016) 年 11 月 01 日

(21)申請案號：105107700

(22)申請日：中華民國 105 (2016) 年 03 月 11 日

(51)Int. Cl. : G06F9/22 (2006.01)

(30)優先權：2015/03/13 美國 62/133,186

2016/03/09 美國 15/065,027

(71)申請人：微晶片科技公司 (美國) MICROCHIP TECHNOLOGY INCORPORATED (US)
美國(72)發明人：克里斯 布萊恩 KRIS, BRYAN (US)；汪珍達 衣格 WOJEWODA, IGOR (US)；
凱瑟伍德 麥克 CATHERWOOD, MIKE (GB)；佛 布萊恩 FALL, BRIAN (US)；
托勒夫森 傑森 TOLLEFSON, JASON (US)；佩平 吉姆 PEPPING, JIM (US)；
奇 戴維 MICKEY, DAVE (US)；斯波里爾 湯馬士 SPOHRER, THOMAS (US)；
杜麥斯 艾力克斯 DUMAIS, ALEX (US)；維基 克朗 WILKIE, CALUM (GB)；
謝爾德 文森 SHEARD, VINCENT (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：24 項 圖式數：5 共 26 頁

(54)名稱

具有多個獨立微控制器之微控制器裝置

MICROCONTROLLER DEVICE WITH MULTIPLE INDEPENDENT MICROCONTROLLERS

(57)摘要

本發明揭示一種微控制器裝置，其具有：一外殼，其具有複數個外部接腳；一第一微控制器，其具有一第一中央處理單元(CPU)、與該第一 CPU 耦合之一第一系統匯流排、與該第一系統匯流排耦合之第一記憶體及與該第一系統匯流排耦合之第一複數個周邊裝置；及一第二微控制器，其具有一第二中央處理單元(CPU)、與該第二 CPU 耦合之一第二系統匯流排、與該第二系統匯流排耦合之第二記憶體及與該第二系統匯流排耦合之第二複數個周邊裝置，其中第一微控制器及第二微控制器僅經由一專用介面而通信。

A microcontroller device has a housing with a plurality of external pins, a first microcontroller with a first central processing unit (CPU), a first system bus coupled with the first CPU, first memory coupled with the first system bus, and a first plurality of peripheral devices coupled with the first system bus, and a second microcontroller with a second central processing unit (CPU), a second system bus coupled with the second CPU, second memory coupled with the second system bus, and a second plurality of peripheral devices coupled with the second system bus, wherein first and second microcontroller communicate only via a dedicated interface.

指定代表圖：

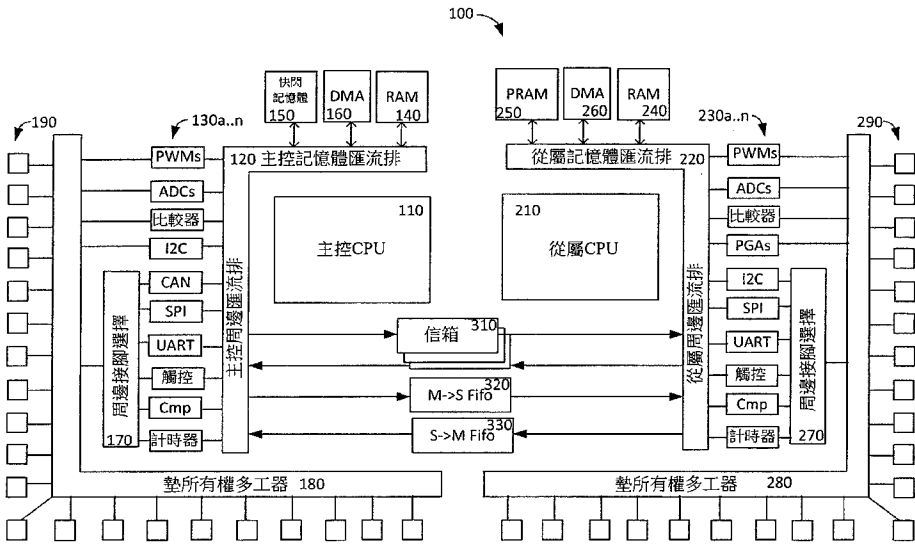


圖 1

符號簡單說明：

- 100 . . . 雙核心微控制器
- 110 . . . 中央處理單元(CPU)
- 120 . . . 系統匯流排
- 130a..n . . . 周邊設備
- 140 . . . 資料記憶體
- 150 . . . 程式記憶體
- 160 . . . DMA 控制器
- 170 . . . 周邊接腳選擇器單元
- 180 . . . 墊所有權多工器/周邊接腳選擇單元
- 190 . . . 接腳
- 210 . . . 中央處理單元(CPU)
- 220 . . . 系統匯流排
- 230a..n . . . 周邊設備
- 240 . . . 資料記憶體
- 250 . . . 程式記憶體
- 260 . . . DMA 控制器
- 270 . . . 第二周邊接腳選擇單元
- 280 . . . 墊所有權多工器
- 290 . . . 接腳
- 310 . . . 雙向信箱系統/信箱
- 320 . . . 單向 FIFO
- 330 . . . 單向 FIFO

發明摘要

※ 申請案號：105107700

※ 申請日：105.3.11

※IPC 分類：G06F 1/22 (2006.01)

【發明名稱】

具有多個獨立微控制器之微控制器裝置

MICROCONTROLLER DEVICE WITH MULTIPLE
INDEPENDENT MICROCONTROLLERS

【中文】

本發明揭示一種微控制器裝置，其具有：一外殼，其具有複數個外部接腳；一第一微控制器，其具有一第一中央處理單元(CPU)、與該第一CPU耦合之一第一系統匯流排、與該第一系統匯流排耦合之第一記憶體及與該第一系統匯流排耦合之第一複數個周邊裝置；及一第二微控制器，其具有一第二中央處理單元(CPU)、與該第二CPU耦合之一第二系統匯流排、與該第二系統匯流排耦合之第二記憶體及與該第二系統匯流排耦合之第二複數個周邊裝置，其中第一微控制器及第二微控制器僅經由一專用介面而通信。

【英文】

A microcontroller device has a housing with a plurality of external pins, a first microcontroller with a first central processing unit (CPU), a first system bus coupled with the first CPU, first memory coupled with the first system bus, and a first plurality of peripheral devices coupled with the first system bus, and a second microcontroller with a second central processing unit (CPU), a second system bus coupled with the second CPU, second memory coupled with the second system bus, and a second plurality of peripheral devices coupled with the second system bus, wherein first and second microcontroller communicate only via a dedicated interface.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

100	雙核心微控制器
110	中央處理單元(CPU)
120	系統匯流排
130a..n	周邊設備
140	資料記憶體
150	程式記憶體
160	DMA控制器
170	周邊接腳選擇器單元
180	墊所有權多工器/周邊接腳選擇單元
190	接腳
210	中央處理單元(CPU)
220	系統匯流排
230a..n	周邊設備
240	資料記憶體
250	程式記憶體
260	DMA控制器
270	第二周邊接腳選擇單元
280	墊所有權多工器
290	接腳
310	雙向信箱系統/信箱
320	單向FIFO
330	單向FIFO

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

具有多個獨立微控制器之微控制器裝置

MICROCONTROLLER DEVICE WITH MULTIPLE
INDEPENDENT MICROCONTROLLERS

[相關申請案之交叉參考]

本申請案主張2015年3月13日申請之共同擁有的美國臨時專利申請案第62/133,186號之優先權，該案特此爲了全部目的以引用的方式併入本文中。

【技術領域】

本發明係關於微控制器，特定言之係關於具有多個獨立處理器核心之微控制器裝置。

【先前技術】

已知微控制器裝置包括一單一中央處理單元(微控制器核心)及複數個相關聯之周邊裝置(諸如計時器、類比轉數位轉換器、數位轉類比轉換器、脈衝寬度調變單元)、記憶體、輸入/輸出(I/O)埠等。通常一內部系統匯流排及控制邏輯連結全部組件使得微控制器核心可個別地存取周邊設備。在外部，一微控制器包括複數個外部接腳，其中大多數此等接腳通常與一I/O埠相關聯且各埠接腳亦可藉由與其他周邊裝置共用接腳而提供多功能。在組態期間，一使用者選擇將哪一接腳指派給哪一功能。在一程式之執行期間亦可改變此等指派。

已知包括可能夠與主CPU分開執行指令之額外加速器單元之某些微控制器。已知包含兩個單獨CPU及複數個共同周邊設備之其他微控制器。因此，兩個核心共用全部周邊設備，此需要增加延時之一橫桿

且其中橫桿易於故障。現有多核心裝置使用開關矩陣以容許多個處理器存取共用系統資源(諸如記憶體及周邊設備)。多個核心可請求存取相同資源。衝突解決電路增加延時，損害效能且增加成本。開關矩陣係系統之一單點故障。一些製造商可實施多個開關矩陣。此需要更多邏輯以處置開關矩陣當中之故障解決。其他製造商使用具有不同軟體架構之多個核心。此等不同核心可具有一些專用資源但共用其他資源。

【發明內容】

然而，需要雙或多核心微控制器裝置之較佳實施方案。

根據一實施例，一種微控制器裝置可包括：複數個外部接腳；一第一微控制器，其包括一第一中央處理單元(CPU)、與該第一CPU耦合之一第一系統匯流排、與該第一系統匯流排耦合之第一記憶體及與該第一系統匯流排耦合之第一複數個周邊裝置；及一第二微控制器，其包括一第二中央處理單元(CPU)、與該第二CPU耦合之一第二系統匯流排、與該第二系統匯流排耦合之第二記憶體及與該第二系統匯流排耦合之第二複數個周邊裝置，其中第一微控制器及第二微控制器僅經由一專用介面而通信。

根據一進一步實施例，該專用介面可包括一雙向信箱介面、一單向主從介面及一單向從主介面。根據一進一步實施例，各單向介面可包括一FIFO記憶體。根據一進一步實施例，該第一微控制器可係一主控裝置且該第二微控制器可係一從屬裝置。根據一進一步實施例，該第二微控制器之一程式記憶體可包括可由該第一微控制器寫入之揮發性記憶體。根據一進一步實施例，該第二微控制器可經計時快於該第一微控制器。根據一進一步實施例，該第二微控制器包括一功率模式控制單元，該功率模式控制單元包括一低功率模式，其中該第一微控制器可經組態以控制該第二微控制器之一功率模式。根據一進

一步實施例，該功率模式控制單元可操作以停用該第二微控制器使得該第二微控制器不消耗任何功率。根據一進一步實施例，各微控制器可具有16個位元之一資料匯流排寬度。根據一進一步實施例，各微控制器可進一步包括可程式化以選擇用於與微控制器相關聯之周邊裝置之複數個外部接腳之至少一些外部接腳之一接腳選擇單元。根據一進一步實施例，各微控制器可進一步包括可控制以將輸入/輸出接腳之控制指派給該第一微控制器或該第二微控制器之一墊所有權多工器單元。根據一進一步實施例，各微控制器可讀取任何可讀取外部接腳，但僅指派給該第一微控制器或該第二微控制器之接腳可由各自微控制器寫入。根據一進一步實施例，各微控制器之周邊設備之各者之至少一些可指派給複數個外部接腳之預定外部接腳。

根據另一實施例，一種操作一微控制器裝置之方法，該微控制器裝置包括：複數個外部接腳；一第一微控制器，其包括一第一中央處理單元(CPU)、與該第一CPU耦合之一第一系統匯流排、與該第一系統匯流排耦合之第一記憶體及與該第一系統匯流排耦合之第一複數個周邊裝置；一第二微控制器，其包括一第二中央處理單元(CPU)、與該第二CPU耦合之一第二系統匯流排、與該第二系統匯流排耦合之第二記憶體及與該第二系統匯流排耦合之第二複數個周邊裝置，該方法可包括以下步驟：僅經由一專用介面而在該第一微控制器與該第二微控制器之間通信。

根據該方法之一進一步實施例，該專用介面可包括一雙向信箱介面、一單向主從介面及一單向從主介面。根據該方法之一進一步實施例，各單向介面可包括一FIFO記憶體。根據該方法之一進一步實施例，該第一微控制器可係一主控裝置且該第二微控制器可係一從屬裝置。根據該方法之一進一步實施例，該第二微控制器之一程式記憶體可包括揮發性記憶體且其中該方法可包括藉由該第一微控制器寫入

至該第二微控制器之程式記憶體之步驟。根據該方法之一進一步實施例，該方法可進一步包括對該第二微控制器計時使之比該第一微控制器更快。根據該方法之一進一步實施例，該第二微控制器可包括一功率模式控制單元，該功率模式控制單元包括一低功率模式，該方法進一步包括藉由該第一微控制器控制該第二微控制器之一功率模式之步驟。根據該方法之一進一步實施例，該方法可包括藉由該功率模式控制單元停用該第二微控制器使得該第二微控制器不消耗任何功率之步驟。根據該方法之一進一步實施例，該方法可進一步包括控制相對於各微控制器之一接腳所有權之步驟，其中將輸入/輸出接腳指派給該第一微控制器或該第二微控制器。根據該方法之一進一步實施例，各微控制器可讀取任何可讀取外部接腳，但僅指派給該第一微控制器或該第二微控制器之接腳可由各自微控制器寫入。根據該方法之一進一步實施例，該方法可進一步包括以下步驟：藉由該第一微控制器讀取複數個外部接腳之一者；藉由該第二微控制器讀取複數個外部接腳之該一者；且藉由專用介面比較自該複數個外部接腳之該一者讀取之值。

【圖式簡單說明】

圖1展示根據一實施例之一微控制器之一方塊圖；

圖2展示根據另一實施例之一微控制器之一方塊圖；

圖3展示根據多項實施例之一微控制器之一外殼之一俯視圖。

圖4展示墊所有權控制機構之一實施例。

圖5展示根據一實施例之微控制器之功率控制。

【實施方式】

由於一微控制器不需要任何外部組件，故通常將微控制器視為一單一晶片上之一系統。因此，此一裝置包括一中央處理單元、記憶體及複數個I/O周邊設備。另外，I/O埠可用於直接數位控制。此等I/O

埠通常與周邊功能共用且可經程式化以具有通用I/O埠功能或一特定周邊功能。

在低接腳計數封裝(例如，一28接腳封裝)中，可藉由提供各具有16位元之一資料匯流排寬度之兩個處理器核心而增加一習知單核心微控制器之應用效能。此外，根據多項實施例，藉由將硬體、軟體及周邊資源分離成多個獨立微控制器，可促進用於即時控制系統之客戶軟體開發，可提供增加之安全監測(B級)且可改良錯誤緩解。

根據一些實施例，一微控制器裝置可具備一低接腳計數封裝(28個接腳至64個接腳)中之一單一晶粒上之獨立MCU之多個例項。因此，一積體電路封裝將包含(例如)兩個獨立微控制器，該兩個獨立微控制器之每一者具有其自身之記憶體及複數個相關聯之周邊裝置。根據一些實施例，一微控制器可經組態為一主控微控制器且另一微控制器可係一從屬微控制器。雖然兩個微控制器可具有相同或類似周邊裝置，但周邊裝置可不同且特定言之可適於各自微控制器旨在用於之特定任務。此外，資料及程式記憶體之大小可不同，其中主控裝置通常可包括較大程式及資料記憶體。

因此，根據多項實施例，提供具有其等自身之專用處理器、記憶體及周邊資源之兩個(或兩個以上)微控制器至一單一矽晶粒上之總成。多個微控制器共用裝置接腳，此使裝置包含於低接腳計數封裝中變得可能且可行。外部接腳因此可在程式控制(或組態暫存器控制)下經指派給主控MCU或從屬MCU。根據本發明相對於一些實施例之一規則，外部接腳之數目小於全部整合MCU之資料匯流排寬度之總和。舉例而言，兩核心MCU可包括兩個16位元MCU，其等各具有16位元之一資料匯流排寬度。全部整合MCU之資料匯流排寬度之總和因此將係32。當在一28接腳外殼中實施此一裝置時，此一裝置將遵循上文提及之規則。

根據多項實施例，在一多核心MCU (多處理器)裝置中，外部接腳之數目 $\leq$ 核心之數目乘以各處理器之一位元寬度。特定言之，根據一些實施例，外部接腳之數目低於主控處理器之資料匯流排寬度。舉例而言，根據多項實施例之一雙核心微控制器可配裝於一28接腳外殼內，如下文中將更詳細解釋。如上文中提及，多項實施例由具有大量微控制器單元(MCU)之一微控制器裝置組成，該大量微控制器單元各具有其自身之處理器、記憶體及周邊設備。

複數個MCU經設計以共用外部裝置接腳。全部MCU可經組態以容許透過其之專用特定功能暫存器讀取(或觀察)一接腳，然而，經由非揮發性記憶體控制透過一專用暫存器寫入(驅動)至一接腳。因此，使用非揮發性記憶體以定義裝置接腳之一「所有權」，藉此防止衝突。可在一組態相位期間(例如，在使用一旦裝置處於操作模式中便無法更改之組態暫存器程式化裝置期間)定義所有權。替代地，可實施特定功能暫存器及程序，其等透過使用特定功能暫存器而容許一動態指派。可透過與習知EEPROM寫入常式中使用之特殊寫入常式類似之特殊寫入常式防止此等暫存器之無意覆寫。將外部接腳之一者指派給核心之一者防止軟體及硬體故障。裝置接腳之可控制共用使得一多核心裝置在一低接腳計數封裝中切實可用。

根據多項實施例，將具有其等自身之專用處理器、記憶體及周邊資源之兩個(兩個以上)微控制器組裝至一單一矽晶粒上，其中提供核心之間之一特定通信介面。微控制器經由主從介面(MSI)而彼此通信，根據一項實施例，主從介面可係暫存器(信箱)及相關聯之狀態位元及中斷(旗號)之一集合。

經典電腦架構方法係使多個處理器經由一開關矩陣而與裝置資源(諸如記憶體及周邊設備)通信。在此等習知實施例中，兩個(或兩個以上)處理器共用全部系統資源。開關矩陣必須將優先權指派給來自

各處理器對於各資源之各請求，且必須解決衝突。此資源衝突管理極大地增加對各請求之延時(時間)。開關矩陣係大的且易於出現單點故障。解決開關矩陣之易損性之一經典解決方案係複製開關矩陣。此需要更多電路以偵測故障且解決仍可行之開關矩陣。多項實施例藉由代替性地僅複製資源而避免試圖使用開關矩陣以共用資源之複雜性。

第二典型架構係共用一些周邊設備但存取其等自身之有限資源集合(諸如記憶體及一些周邊設備)之一處理器外加一共享處理器之概念。此架構通常具有複製昂貴且因此在處理器與共享處理器之間共用之若干周邊設備。通常，處理器及共享處理器可具有不同軟體架構且因此需要用於軟體產生之不同開發工具。

代替此等習知方法，如根據多項實施例在(例如)圖1中所展示，將各具有專用記憶體及周邊設備之一整個MCU (微控制器單元)複製至一單一晶片中。單獨MCU經由安全非揮發性暫存器而共用裝置接腳以防止當驅動一裝置接腳時之衝突，但全部MCU可在任何時間讀取裝置接腳(甚至未指派給其等之裝置接腳)。圖1中之實例導致一高接腳計數裝置。

圖1展示在一單一積體電路外殼內具有兩個微控制器之一雙核心微控制器100。第一微控制器包括一CPU 110、一系統匯流排120及複數個周邊設備130a..n以及資料記憶體140 (例如，16千位元組RAM)、一程式記憶體150 (例如，一128千位元組快閃記憶體)及一DMA控制器160。系統匯流排可分成兩個匯流排：一周邊匯流排及一記憶體匯流排，如圖1中所指示或可實施連接全部裝置之一單一系統匯流排。一些周邊設備(諸如DMA控制器160)可不具有任何外部連接且其他周邊設備(諸如PWM、ADC、比較器及一些串列介面)可指派給預定外部多功能接腳。其他周邊設備(諸如其他串列介面、觸控感測器、計時器、比較器輸出)可經由一周邊接腳選擇器單元170而指派給複數個外

部接腳之一者。一些接腳可指派給第一MCU之一個以上周邊設備且通常與MCU之一通用I/O埠共用其之功能。因此，此實施例提供兩個墊所有權多工器180及280。在一預設指派中，與主控MCU或從屬MCU相關聯之各接腳可指派給各自MCU之一通用I/O埠但可在墊所有權多工器180之程式控制下指派給周邊設備之一者。一些接腳190可藉由預設而指派給一周邊設備(諸如一串列程式化介面、一ADC或如圖1中展示之任何其他周邊設備)。如上文中提及，周邊接腳選擇單元180可進一步容許指派一些或全部周邊設備以指派給各自外部接腳集合之任一者。

外部接腳包括用於將電力提供至晶粒之一第一接腳集合。此可包含數位及類比電力供應接腳及此等接腳之多個例項，如(例如)圖2中展示。此外，一主控清除接腳可不具有其他功能且可用於重設及/或程式化裝置。剩餘第二接腳集合通常係輸入/輸出接腳(I/O接腳)。然而，可存在未由微控制器之一者控制之一些其他接腳。根據本發明之一I/O接腳經定義為可程式化為一輸入接腳或一輸出接腳之任何接腳或具有一專用輸入或輸出功能之一接腳。一輸入接腳可用於根據一各自周邊設備之一設定之數位或類比輸入。類似地，一輸出接腳可用於根據一各自周邊設備之設定之數位或類比輸出。如上文中提及，本申請案通常係指輸入/輸出接腳，一些接腳僅可容許用作輸入接腳或輸出接腳。全部輸入/輸出接腳係當輸出信號及饋送至此等接腳之信號係由微控制器之一者接收之信號時由微控制器之一者控制之接腳。電力供應接腳通常不被視為具有此功能。一些其他接腳亦可不具有此一功能性，例如，一裝置可具有用於一振盪器之專用接腳。然而，亦可使用微控制器I/O功能多工化此等接腳，如圖3中所展示。圖3展示不會被視為I/O接腳之接腳係接腳5至8、19、20及接腳27。

特殊功能暫存器可用於控制墊所有權多工器。在此實施例中，

各微控制器核心僅可存取其之特殊功能暫存器。然而，根據又一實施例，僅主控MCU可存取控制兩個墊所有權多工器180、280之特殊功能暫存器。另外，主控CPU 110亦可直接存取或透過一特定介面存取從屬MCU之程式RAM 250。此特徵容許透過主控MCU程式化/寫入從屬MCU之程式RAM 250。

此實施例中之第二MCU包括接腳290、CPU 210、一系統匯流排220及複數個周邊設備230a..n以及資料記憶體240（例如，一4千位元組RAM）、一程式記憶體250（例如，一24千位元組RAM）及一DMA控制器260。如上文中提及，程式記憶體250可係揮發性以容許透過主控MCU程式化。然而，根據其他實施例之其他實施方案係可行的。全部其他單元可類似於主控MCU。提供一第二周邊接腳選擇單元270以類似於第一MCU而容許一些外部接腳290至某些周邊設備之一靈活指派。然而，在此實施例中，不存在兩個MCU之間之接腳之共用。

圖1經由容許兩個核心之間在任一方向上之通信之一雙向信箱系統310及兩個單向FIFO 320及330進一步展示兩個MCU之間之一通信介面。信箱可用於將一命令或短資料傳送至各自其他微控制器。可實施如圖1及圖2中指示之複數個信箱310。一旦一資料或命令已經寫入至信箱中，在接收微控制器內將產生一各自中斷以指示一新訊息(命令或資料)可用。此容許資訊之一快速傳送而無任何額外延遲。

另外，可實施容許兩個微控制器之間之一較大資料傳送之兩個FIFO 320及330。由於FIFO 320及330無一信箱310之大小限制，因此其等容許較大資料傳送。若FIFO 320、330不變空(或遇到一錯誤條件)，則主控裝置及從屬裝置可同時存取FIFO 320、330。因此，與在由一處理器讀取之前必須由另一處理器載入之一基於信箱310之資料管相比，一FIFO 320、330可提供一更佳輸送量。然而，FIFO 320、330內容係依序載入及卸載，且不可如一信箱資料管內之資料般隨機

存取。一FIFO亦係(依據定義)單向。此使FIFO更適合於需要在處理器之間傳送資料區塊之最快手段之應用。

大量微控制器可共用一共同軟體架構。因此，根據一項實施例，相同微控制器核心用於多種整合微控制器。提供一主控微控制器及一個或多個從屬微控制器之概念進一步容許減小功率消耗。從屬微控制器可經組態以停用，藉此置於不需要許多能量之一睡眠模式中。根據其他實施方案，可完全關閉裝置內之一微控制器以節約能量。

圖5展示此一系統之一例示性控制結構。各微控制器100a、100b可分別具有一專用功率控制單元510及520。各功率控制單元510、520可容許設定一特定功率消耗模式及相關聯之處理功率。舉例而言，各微控制器100a、100b可設定成一睡眠或低功率模式。可提供多種位準之功率消耗。另外，根據一項實施例，主控微控制器100a可能夠完全關閉從屬微控制器100b。在此模式中，微控制器100b將不具有功率消耗。

核心可進一步以不同速度運行。尤其當使用揮發性記憶體作為用於第二微控制器之程式記憶體時可實施此特徵。諸如RAM之揮發性記憶體固有地較快且因此容許較快存取時間及因此一較高計時速率。主控核心可經組態以處置具有頻繁中斷之系統級功能。其可進一步處置安全順應性特徵、通信、中斷處置、軟體更新、使用者介面等。歸因於容許每一微控制器讀取任何外部接腳之特徵，可藉由多個MCU監測(例如，相同裝置接腳)而改良安全性。例如根據一實施例，兩個微控制器可包括用以提供一增強之安全特徵之軟體，其中複數個外部接腳之一者藉由第一微控制器及第二微控制器獨立讀取。接著，可藉由通信介面比較所擷取值。舉例而言，在一單一接腳之情況下，可使用信箱之一者以將所讀取值轉送至另一核心。替代地，可使用FIFO 320、330之一者以轉送一或多個值。在值不匹配之情況下，系

統可輸出一警報或可執行一特定軟體常式、中斷或重設以校正錯誤。

根據多項實施例，可分割具時效性碼，此使碼易於開發及支援。從屬核心可用於專用及更確定應用效能，諸如具有關鍵延時之控制迴路、馬達控制、數位功率控制。因此，作為一從屬微控制器，其可視為主控微控制器之一額外可程式化周邊設備。此一架構之益處係一步進功能效能增加。兩個核心基本上使執行速率加倍。如上文提及，可分離時間臨界功能及系統功能且將其等指派給不同核心。可最佳化控制迴路回應性，可最小化中斷且可簡化馬達演算法實施方案。根據一項實施例，主控核心之執行速度可係(例如) 100 MIPS而藉由提供一較快程式記憶體(例如，一揮發性隨機存取記憶體)，從屬核心目標可具有>100 MIPS之一處理功率。因此，從屬微控制器通常可比主控微控制器快。

根據一些實施例，可藉由在兩個MCU之間共用用於周邊設備之接腳而進一步減小所需外部接腳之數目，如圖2中所展示。圖2展示相對於圖1中展示之實施例具有減小數目個接腳420之一封裝中之多核心裝置之一方塊圖。特定言之，圖2展示具有兩個單獨MCU之一雙核心微控制器之一28接腳版本。此處，僅可提供一單一墊所有權多工器410，該單一墊所有權多工器410僅可由主控MCU (例如)透過特定功能暫存器而控制。然而，根據一些實施例，兩個MCU可進行存取，其中在一項實施例中，主控MCU可具有優於從屬MCU之優先權。

減小數目個可用I/O接腳仍將相同或更多接腳提供至各MCU。特定言之，僅需要特定周邊設備之低成本應用受益於此解決方案，此係因為此一低接腳裝置尤其減小一印刷電路板之成本。墊所有權多工器410容許與外部接腳共用各MCU之通用埠功能性以及指派給主控MCU或從屬MCU之周邊設備之一者。

圖2進一步展示四個數位電力供應接腳Vdd及Vss：用於重設且程

式化之一非多工主控清除功能接腳及兩個類比電力供應接腳AVdd及AVss。剩餘21個接腳係可指派給主控MCU或從屬MCU之外部I/O接腳。因此，在某些組態中，全部21個I/O接腳可指派給主控MCU，此將從屬MCU之功能性減小至一共處理器之功能性。類似地，另一組態可將全部21個I/O接腳指派給從屬MCU。具有主控MCU與從屬MCU指派之間之任何比例之任何其他指派係可能的。

圖4展示圖1之墊所有權多工器180、280或圖2之墊所有權多工器410之一可能控制。可經由組態暫存器430完成控制。根據一設定使用一外部程式設計師或仿真器裝置自動程式化此等暫存器。因此，一旦經程式化，該設定在裝置100之操作期間無法更改。替代地，可使用特殊功能暫存器以控制墊所有權多工器180、280/410。在此一實施例中，動態控制係可能的。為了避免意外覆寫，可使用與EEPROM中使用之寫入機制類似之一寫入機制(例如，在一時間框內寫入之一特殊碼序列)。

圖3展示一28接腳封裝中之裝置之一實際接腳輸出。從屬周邊設備由一前綴「S1」指示。特定言之，圖3展示各接腳之多功能指派。為了更佳易讀性，圖3不必展示可指派給外部接腳之全部功能，如下文中將更詳細解釋。此處，RAx通常係指用於具有5個位元之通用I/O埠之接腳且RBx係指一16位元埠RB。如上文提及，為了更佳易讀性，圖3僅展示I/O埠A及B之一單一集合。然而，實施由主控MCU及從屬MCU獨立控制之兩個單獨集合且可獨立指派該兩個單獨集合。根據一項實施例，可用一般接腳關聯將各埠接腳指派給主控裝置或從屬裝置，如圖3中所展示。根據一項實施例，對主控MCU之指派可具有優於對一從屬MCU之指派之優先權。根據其他實施例，用於主控MCU及從屬MCU之埠可指派給不同接腳。

ANx係指用於主控MCU之類比輸入且S1ANx係指用於從屬MCU

之類比輸入。類似於埠接腳，可針對主控MCU及從屬MCU選取對外部接腳之其他關聯。若實施一電容式分壓器周邊設備，則各類比接腳亦可被指派給一電容式分壓器功能，其中可提供用於主控MCU及從屬MCU之單獨單元。RP_x係指由周邊接腳選擇單元指派之16個接腳。類似於I/O埠，主控MCU及從屬MCU可各具有(例如) 16個可用接腳，而圖3僅展示一單一集合(再次，為了更佳易讀性)。根據其他實施例，可使用不同數目個周邊接腳選擇接腳，例如，可將8個此等接腳指派給主控裝置且將8個接腳指派給從屬MCU。又，可選取其他數目個接腳及/或此等周邊接腳選擇單元之指派。其他接腳功能(諸如脈衝寬度調變器接腳)使用各自縮寫字(諸如PWM)，其中在一縮寫字開頭處之S1通常指示單元屬於從屬MCU。

如上文提及，各接腳可藉由預設而指派給一特定功能。舉例而言，接腳1至3可藉由預設而指派為主控MCU之類比輸入。接腳4及11可藉由預設而指派為從屬MCU之類比輸入。接腳9及10可藉由預設而係振盪器輸入接腳，但當使用內部振盪器時亦可指派給其他功能。接腳12至13可藉由預設而指派給僅與主控MCU介接之同步串列程式化介面PGED2、PGEC2。接腳14至18及接腳21至26藉由預設而指派給PORTB位元5至15且接腳28指派給PORTA之位元0。上文中之指派僅係一實例，其他指派亦係可能的。

【符號說明】

1	接腳
2	接腳
3	接腳
4	接腳
5	接腳
6	接腳

7	接腳
8	接腳
9	接腳
10	接腳
11	接腳
12	接腳
13	接腳
14	接腳
15	接腳
16	接腳
17	接腳
18	接腳
19	接腳
20	接腳
21	接腳
22	接腳
23	接腳
24	接腳
25	接腳
26	接腳
27	接腳
28	接腳
100	雙核心微控制器
100a	微控制器
100b	微控制器
110	中央處理單元(CPU)

120	系統匯流排
130a..n	周邊設備
140	資料記憶體
150	程式記憶體
160	DMA控制器
170	周邊接腳選擇器單元
180	墊所有權多工器/周邊接腳選擇單元
190	接腳
210	中央處理單元(CPU)
220	系統匯流排
230a..n	周邊設備
240	資料記憶體
250	程式記憶體
260	DMA控制器
270	第二周邊接腳選擇單元
280	墊所有權多工器
290	接腳
310	雙向信箱系統/信箱
320	單向FIFO
330	單向FIFO
410	墊所有權多工器
420	接腳
430	組態暫存器
510	專用功率控制單元
520	專用功率控制單元
AVdd	類比電力供應接腳

AVss	類比電力供應接腳
Vdd	數位電力供應接腳
Vss	數位電力供應接腳

申請專利範圍

1. 一種微控制器裝置，其包括：
 複數個外部接腳；
 一第一微控制器，其包括一第一中央處理單元(CPU)、與該第一CPU耦合之一第一系統匯流排、與該第一系統匯流排耦合之第一記憶體及與該第一系統匯流排耦合之第一複數個周邊裝置；
 一第二微控制器，其包括一第二中央處理單元(CPU)、與該第二CPU耦合之一第二系統匯流排、與該第二系統匯流排耦合之第二記憶體及與該第二系統匯流排耦合之第二複數個周邊裝置，
 其中第一微控制器及第二微控制器僅經由一專用介面而通信。
2. 如請求項1之微控制器裝置，其中該專用介面包括一雙向信箱介面、一單向主從介面及一單向從主介面。
3. 如請求項2之微控制器裝置，其中各單向介面包括一FIFO記憶體。
4. 如請求項1之微控制器裝置，其中該第一微控制器係一主控裝置且該第二微控制器係一從屬裝置。
5. 如請求項4之微控制器裝置，其中該第二微控制器之一程式記憶體包括可由該第一微控制器寫入之揮發性記憶體。
6. 如請求項5之微控制器裝置，其中該第二微控制器經計時比該第一微控制器快。
7. 如請求項4之微控制器裝置，其中該第二微控制器包括一功率模式控制單元，該功率模式控制單元包括一低功率模式，其中該第一微控制器經組態以控制該第二微控制器之一功率模式。
8. 如請求項7之微控制器裝置，其中該功率模式控制單元可操作以

停用該第二微控制器使得該第二微控制器不消耗任何功率。

9. 如請求項7之微控制器裝置，其中各微控制器具有16個位元之一資料匯流排寬度。
10. 如請求項1之微控制器裝置，其中各微控制器進一步包括一接腳選擇單元，該接腳選擇單元可程式化以選擇用於與該微控制器相關聯之該等周邊裝置之該複數個外部接腳之至少一些外部接腳。
11. 如請求項1之微控制器裝置，其中各微控制器進一步包括可控制以將輸入/輸出接腳之控制指派給該第一微控制器或該第二微控制器之一墊所有權多工器單元。
12. 如請求項11之微控制器裝置，其中各微控制器可讀取任何可讀取外部接腳，但僅指派給該第一微控制器或該第二微控制器之接腳可由該各自微控制器寫入。
13. 如請求項11之微控制器裝置，其中各微控制器之該等周邊設備之各者之至少一些指派給複數個外部接腳之預定外部接腳。
14. 一種操作一微控制器裝置之方法，該微控制器裝置包括：複數個外部接腳；一第一微控制器，其包括一第一中央處理單元(CPU)、與該第一CPU耦合之一第一系統匯流排、與該第一系統匯流排耦合之第一記憶體及與該第一系統匯流排耦合之第一複數個周邊裝置；一第二微控制器，其包括一第二中央處理單元(CPU)、與該第二CPU耦合之一第二系統匯流排、與該第二系統匯流排耦合之第二記憶體及與該第二系統匯流排耦合之第二複數個周邊裝置，該方法包括

僅經由一專用介面而在該第一微控制器與該第二微控制器之間通信。

15. 如請求項14之方法，其中該專用介面包括一雙向信箱介面、一

單向主從介面及一單向從主介面。

16. 如請求項15之方法，其中各單向介面包括一FIFO記憶體。
17. 如請求項14之方法，其中該第一微控制器係一主控裝置且該第二微控制器係一從屬裝置。
18. 如請求項17之方法，其中該第二微控制器之一程式記憶體包括揮發性記憶體，且其中該方法包括藉由該第一微控制器寫入至該第二微控制器之該程式記憶體之步驟。
19. 如請求項18之方法，其進一步包括對該第二微控制器計時使之快於該第一微控制器。
20. 如請求項17之方法，其中該第二微控制器包括一功率模式控制單元，該功率模式控制單元包括一低功率模式，該方法進一步包括藉由該第一微控制器控制該第二微控制器之一功率模式之步驟。
21. 如請求項20之方法，其包括藉由該功率模式控制單元停用該第二微控制器，使得該第二微控制器不消耗任何功率之步驟。
22. 如請求項14之方法，其進一步包括控制相對於各微控制器之一接腳所有權之步驟，其中將輸入/輸出接腳指派給該第一微控制器或該第二微控制器。
23. 如請求項22之方法，其中各微控制器可讀取任何可讀取外部接腳，但僅指派給該第一微控制器或該第二微控制器之接腳可由該各自微控制器寫入。
24. 如請求項23之方法，其進一步包括以下步驟
藉由該第一微控制器讀取複數個外部接腳之一者，
藉由該第二微控制器讀取複數個外部接腳之該一者，
藉由該專用介面比較自該複數個外部接腳之該一者讀取之值。

圖式

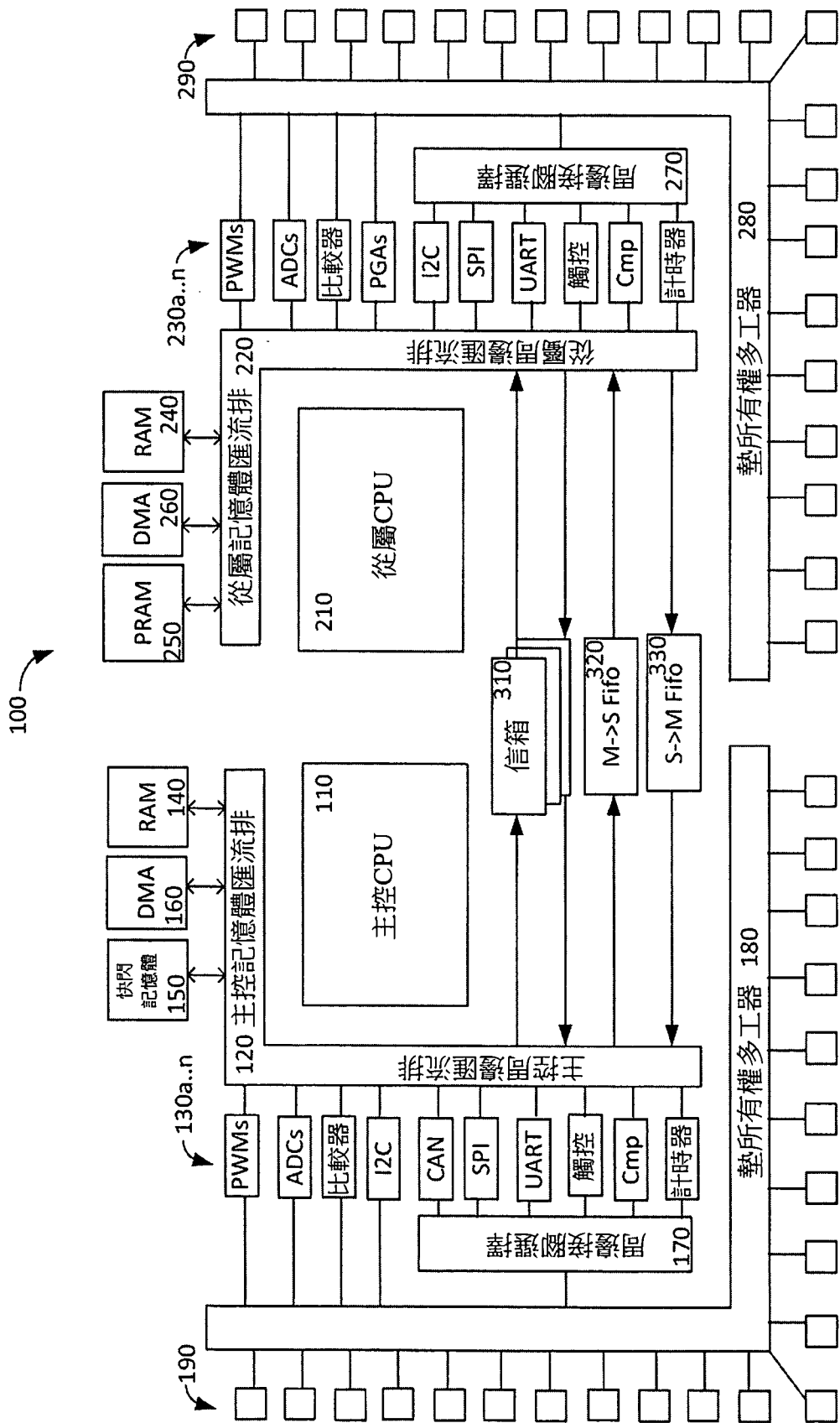


圖 1

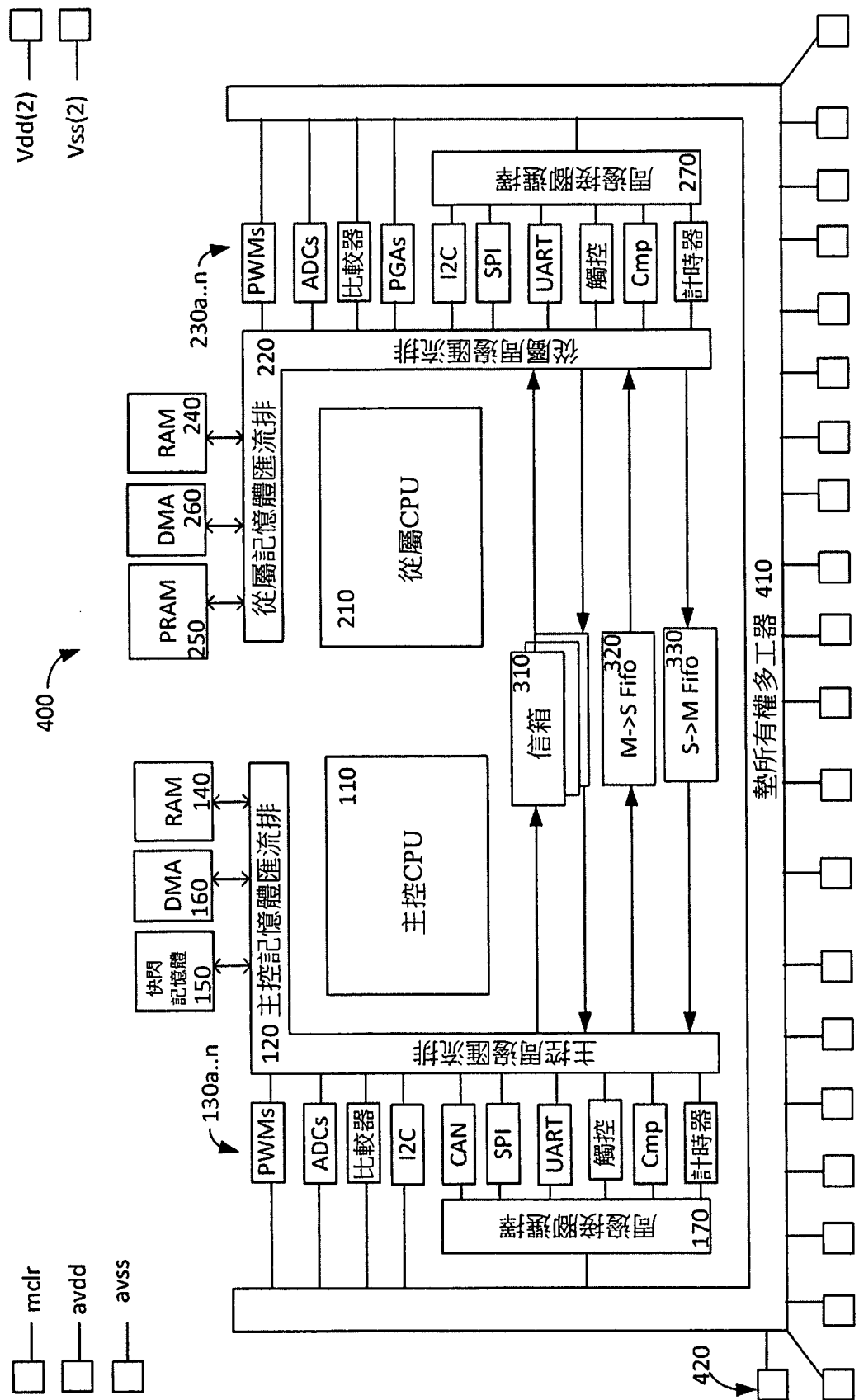


圖 2

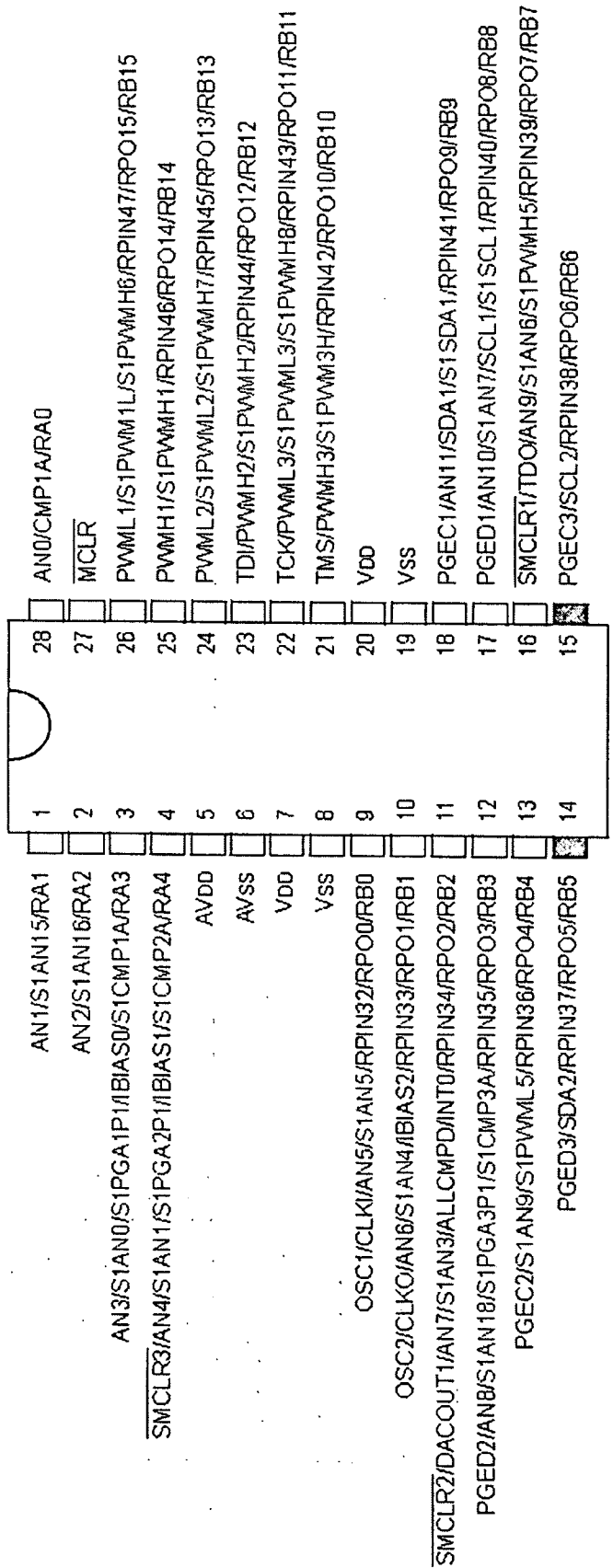


圖 3

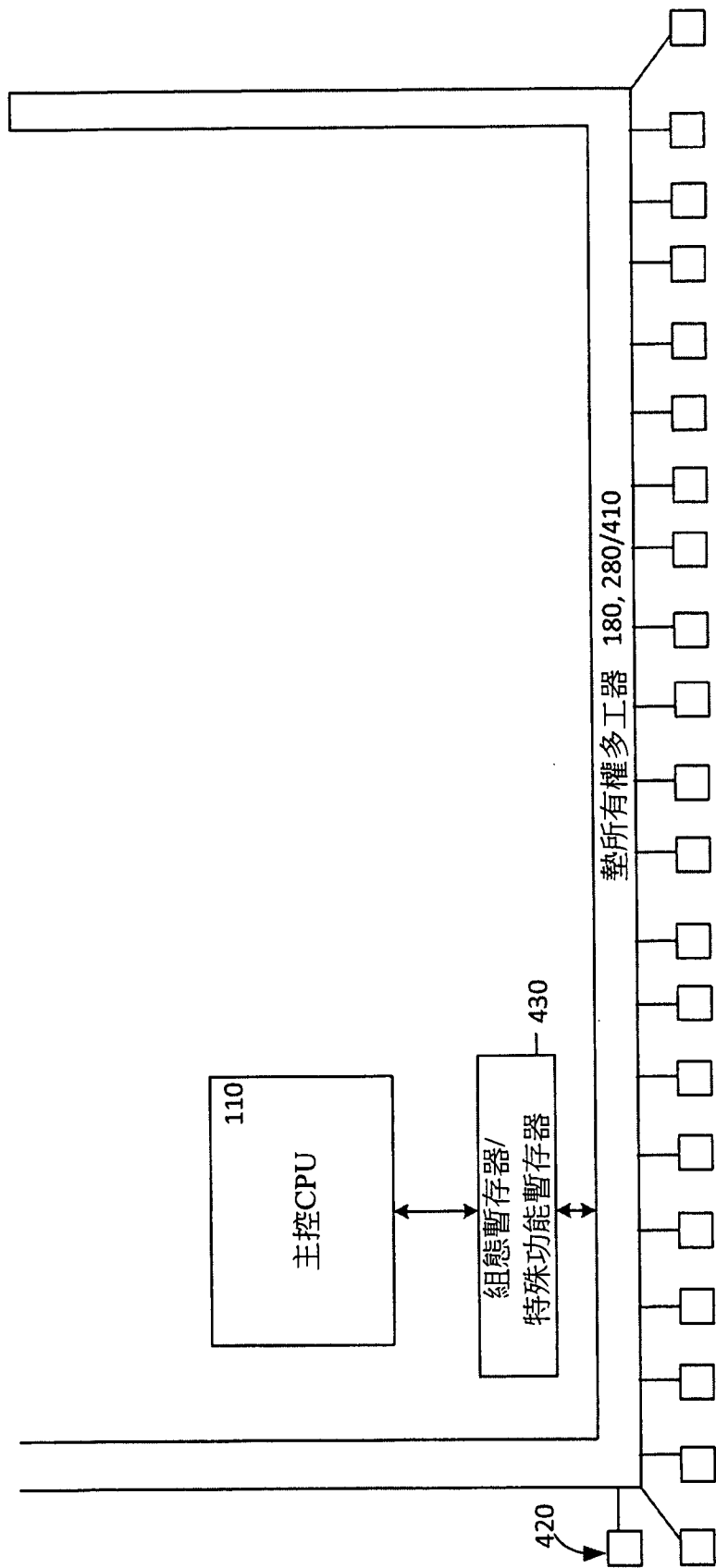


圖 4

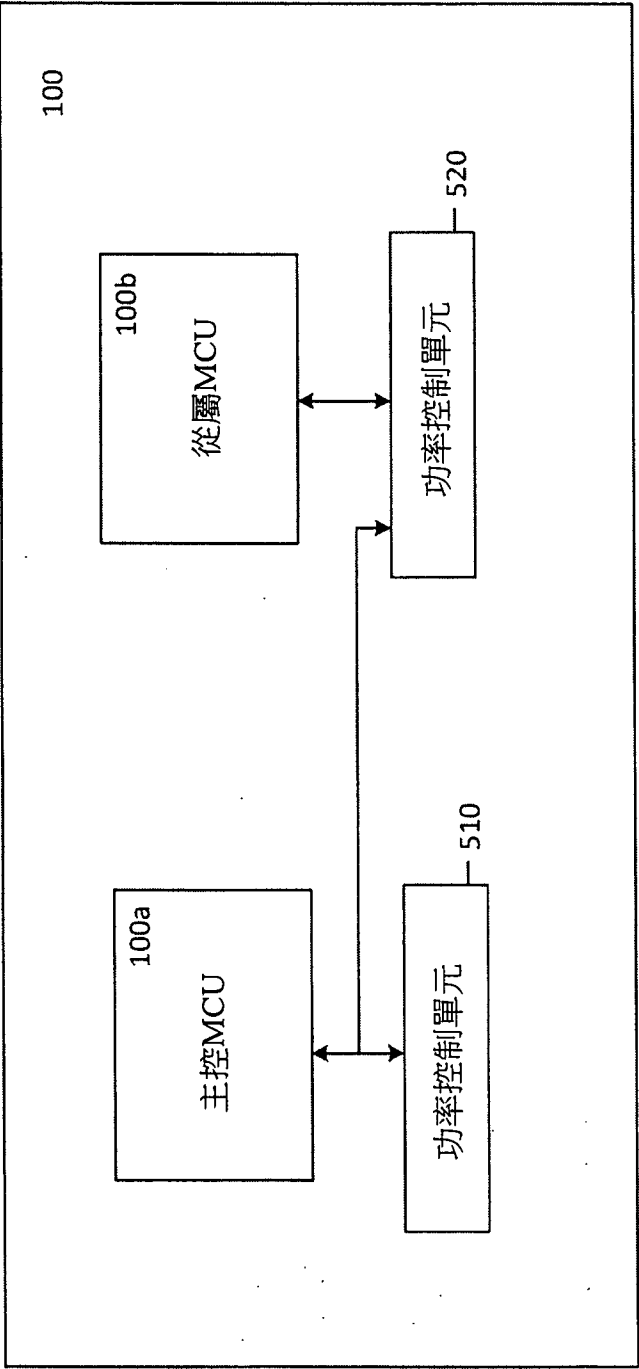


圖 5