

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成26年9月18日(2014.9.18)

【公表番号】特表2013-537032(P2013-537032A)

【公表日】平成25年9月26日(2013.9.26)

【年通号数】公開・登録公報2013-052

【出願番号】特願2013-527263(P2013-527263)

【国際特許分類】

H 0 2 M 3/155 (2006.01)

【 F I 】

H 0 2 M 3/155 P

【手続補正書】

【提出日】平成26年7月30日(2014.7.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

装置であって、

バックスイッチとブーストスイッチと入力端子と出力端子とを有するバックブーストスイッチングレギュレータであって、バックモードとブーストモードとブリッジモードとにおいて動作するように適合される、前記バックブーストスイッチングレギュレータと、

前記出力端子と前記入力端子との少なくとも一方に結合され、制御信号で前記バックブーストスイッチングレギュレータを制御する制御回路要素と、
を含み、

前記制御回路要素が、前記バックブーストスイッチングレギュレータにおけるリップル電流を低減するように、ブリッジモードにおける対応するブーストスイッチとバックスイッチとの間の位相関係を調節し、

前記バックブーストスイッチングレギュレータが、

前記入力端子と第1のスイッチングノードとの間に結合される第1のスイッチと、

前記第1のスイッチングノードと接地との間に結合される第2のスイッチと、

前記第1のスイッチングノードと第2のスイッチングノードとの間に結合されるインダクタと、

前記第2のスイッチングノードと前記接地との間に結合される第3のスイッチと、

前記第2のスイッチングノードと前記出力端子との間に結合される第4のスイッチと、

を更に含み、

前記制御回路要素が、前記第1、第2、第3及び第4のスイッチのための第1、第2、第3及び第4の制御信号をそれぞれ供給し、

前記制御回路要素が、前記第1のスイッチのためのオフ時間に対して中央に置かれる前記第3のスイッチのためのオン時間を有するように前記第3の制御信号を調整し、

前記第1及び第3のスイッチに結合される前記インダクタのインダクタ電流が実質的に一定であり、

前記制御回路要素が、

プロセッサと、

前記出力端子に結合される分圧器と、

参照電圧を受信し、前記分圧器と前記プロセッサとに結合される誤差増幅器と、

を更に含む、装置。

【請求項 2】

請求項 1 に記載の装置であって、

前記制御回路要素が、前記第 4 のスイッチのためのオフ時間に対して中央に置かれる前記第 2 のスイッチのためのオン時間を有するように前記第 2 の制御信号を調節する、装置

【請求項 3】

請求項 1 に記載の装置であって、

前記プロセッサがデジタル・シグナル・プロセッサ (DSP) である、装置。

【請求項 4】

方法であって、

バックスイッチとブーストスイッチと入力端子と出力端子とを有するバックブーストスイッチングレギュレータの入力電圧と出力電圧と入力電流との少なくとも 1 つを検出する工程であって、前記バックブーストスイッチングレギュレータが、バックモードとブーストモードとブリッジモードとにおいて動作するように適合される、前記工程と、

前記バックブーストスイッチングレギュレータをブリッジモードで動作させる工程と、
を含み、

対応するブーストスイッチとバックスイッチとの間の位相関係が、前記バックブーストスイッチングレギュレータにおけるリップル電流を低減するように調節され、

前記バックブーストスイッチングレギュレータが、

前記入力端子と第 1 のスイッチングノードとの間に結合され、第 1 の制御信号を受信する第 1 のスイッチと、

前記第 1 のスイッチングノードと接地との間に結合され、第 2 の制御信号を受信する第 2 のスイッチと、

前記第 1 のスイッチングノードと前記第 2 のスイッチングノードとの間に結合されるインダクタと、

前記第 2 のスイッチングノードと前記接地との間に結合され、第 3 の制御信号を受信する第 3 のスイッチと、

前記第 2 のスイッチングノードと前記出力端子との間に結合され、第 4 の制御信号を受信する第 4 のスイッチと、

を更に含み、

前記動作させる工程が、前記第 1 のスイッチのためのオフ時間に対して中央に置かれる前記第 3 のスイッチのためのオン時間を有するように前記第 3 の制御信号を調整することを更に含み、

前記動作させる工程が、前記第 4 のスイッチのためのオフ時間に対して中央に置かれる前記第 2 のスイッチのためのオン時間を有するように前記第 2 の制御信号を調整することを更に含み、

前記第 1 及び第 3 のスイッチに結合される前記インダクタのインダクタ電流が実質的に一定であり、

前記制御回路要素が、

プロセッサと

前記出力端子に結合される分圧器と、

参照電圧を受信し、前記分圧器と前記プロセッサとに結合される誤差増幅器と、

を更に含む、方法。

【請求項 5】

ソーラーセルと、

バックスイッチとブーストスイッチと入力端子と出力端子とを有するバックブーストスイッチングレギュレータであって、バックモードとブーストモードとブリッジモードとにおいて動作するように適合され、前記入力端子が前記ソーラーセルに結合される、前記バックブーストスイッチングレギュレータと、

前記出力端子と前記入力端子との少なくとも一方に結合され、制御信号で前記バックブーストスイッチングレギュレータを制御する制御回路要素と、

を含む、装置であって、

前記制御回路要素が、前記バックブーストスイッチングレギュレータにおけるリップル電流を低減するように、ブリッジモードにおける対応するブーストスイッチとバックスイッチとの間の位相関係を調節し、

前記バックブーストスイッチングレギュレータが、

前記入力端子と第1のスイッチングノードとの間に結合される第1のスイッチと、

前記第1のスイッチングノードと接地との間に結合される第2のスイッチと、

前記第1のスイッチングノードと第2のスイッチングノードとの間に結合されるインダクタと、

前記第2のスイッチングノードと前記接地との間に結合される第3のスイッチと、

前記第2のスイッチングノードと前記出力端子との間に結合される第4のスイッチと、

を更に含む、

前記制御回路要素が、前記第1、第2、第3及び第4のスイッチのための第1、第2、第3及び第4の制御信号をそれぞれ供給し、

前記制御回路要素が、前記第1のスイッチのためのオフ時間に対して中央に置かれる前記第3のスイッチのためのオン時間を有するように前記第3の制御信号を調整し、

前記第1及び第3のスイッチに結合される前記インダクタのインダクタ電流が実質的に一定であり、

前記制御回路要素が、

プロセッサと、

前記出力端子に結合される分圧器と、

参照電圧を受信し、前記分圧器と前記プロセッサとに結合される誤差増幅器と、

を更に含む、装置。

【請求項6】

請求項5に記載の装置であって、

前記制御回路要素が、前記第4のスイッチのためのオフ時間に対して中央に置かれる前記第2のスイッチのためのオン時間を有するように前記第2の制御信号を調整する、装置

。

【請求項7】

請求項5に記載の装置であって、

前記プロセッサがDSPである、装置。

【請求項8】

請求項5に記載の装置であって、

前記ソーラーセルが複数のソーラーセルを更に含む、装置。