

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年12月1日(01.12.2022)

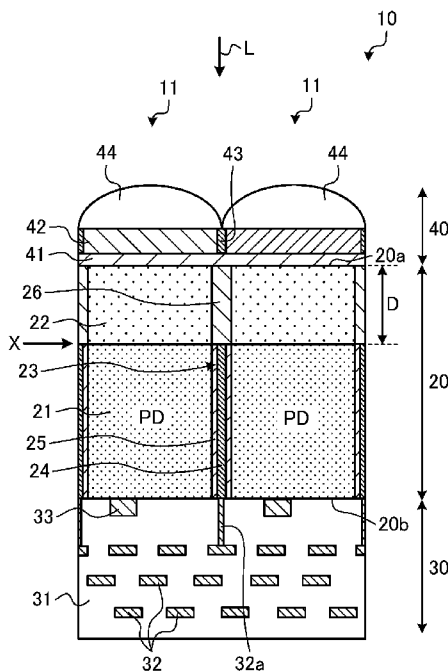


(10) 国際公開番号
WO 2022/249575 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) *H01L 23/522* (2006.01)
H01L 21/3205 (2006.01) *H04N 5/374* (2011.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2022/005561
- (22) 国際出願日: 2022年2月14日(14.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-089185 2021年5月27日(27.05.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 大木 進(OOKI, Susumu); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 平松 克規(HIRAMATSU, Katsunori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(54) Title: SOLID-STATE IMAGING ELEMENT, METHOD FOR PRODUCING SOLID-STATE IMAGING ELEMENT, AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子、固体撮像素子の製造方法および電子機器



(57) Abstract: A solid-state imaging element (1) according to the present disclosure is provided with a semiconductor layer (20) and an isolation region (23). The semiconductor layer (20) comprises a plurality of photoelectric conversion parts which are arranged in a matrix form. The isolation region (23) isolates photoelectric conversion parts, which are adjacent to each other in the semiconductor layer (20), from each other. In addition, the isolation region (23) comprises a wall-like electrode (24) and a low absorption member (26). The wall-like electrode (24) is arranged in the form of a wall;



WO 2022/249575 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

and a negative bias voltage is applied thereto. The low absorption member (26) is arranged closer to the light incident side than the wall-like electrode (24), while having a lower optical absorptance than the wall-like electrode (24).

(57) 要約 : 本開示に係る固体撮像素子 (1) は、半導体層 (20) と、分離領域 (23) と、を備える。半導体層 (20) は、行列状に配置される複数の光電変換部を有する。分離領域 (23) は、半導体層 (20) において隣接する光電変換部同士を分離する。また、分離領域 (23) は、壁状電極 (24) と、低吸収部材 (26) と、を有する。壁状電極 (24) は、壁状に配置され、負のバイアス電圧が印加される。低吸収部材 (26) は、壁状電極 (24) よりも光入射側に配置され、壁状電極 (24) よりも光吸収率が小さい。

明 細 書

発明の名称：

固体撮像素子、固体撮像素子の製造方法および電子機器

技術分野

[0001] 本開示は、固体撮像素子、固体撮像素子の製造方法および電子機器に関する。

背景技術

[0002] 固体撮像素子は、たとえば、半導体層の光入射側の面に沿って配列された複数の光電変換部を有する。また、かかる固体撮像素子において、隣接する光電変換部同士の間位置する分離領域に導電性の遮光壁を形成する技術が知られている（たとえば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-88030号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示では、光電変換部に対する集光特性の劣化を抑制することができる固体撮像素子、固体撮像素子の製造方法および電子機器を提案する。

課題を解決するための手段

[0005] 本開示によれば、固体撮像素子が提供される。固体撮像素子は、半導体層と、分離領域と、を備える。半導体層は、行列状に配置される複数の光電変換部を有する。分離領域は、前記半導体層において隣接する前記光電変換部同士を分離する。また、前記分離領域は、壁状電極と、低吸収部材と、を有する。壁状電極は、壁状に配置され、負のバイアス電圧が印加される。低吸収部材は、前記壁状電極よりも光入射側に配置され、前記壁状電極よりも光吸収率が小さい。

図面の簡単な説明

[0006] [図1]本開示の実施形態に係る固体撮像素子の概略構成例を示すシステム構成図である。

[図2]本開示の実施形態に係る画素アレイ部の構造を模式的に示す断面図である。

[図3]本開示の実施形態に係る画素アレイ部の製造工程を説明するための図である。

[図4]本開示の実施形態に係る画素アレイ部の製造工程を説明するための図である。

[図5]本開示の実施形態に係る画素アレイ部の製造工程を説明するための図である。

[図6]本開示の実施形態に係る画素アレイ部の製造工程を説明するための図である。

[図7]本開示の実施形態に係る画素アレイ部の製造工程を説明するための図である。

[図8]本開示の実施形態に係る画素アレイ部の製造工程を説明するための図である。

[図9]本開示の実施形態の変形例1に係る画素アレイ部の構造を模式的に示す断面図である。

[図10]本開示の実施形態の変形例1における低吸収部材が配置される深さと受光画素の飽和電荷量との関係を示す図である。

[図11]本開示の実施形態の変形例1に係る画素アレイ部の製造工程を説明するための図である。

[図12]本開示の実施形態の変形例1に係る画素アレイ部の製造工程を説明するための図である。

[図13]本開示の実施形態の変形例1に係る画素アレイ部の製造工程を説明するための図である。

[図14]本開示の実施形態の変形例1に係る画素アレイ部の製造工程を説明す

るための図である。

[図15]本開示の実施形態の変形例1に係る画素アレイ部の製造工程を説明するための図である。

[図16]本開示の実施形態の変形例1に係る画素アレイ部の製造工程を説明するための図である。

[図17]本開示の実施形態の変形例1に係る画素アレイ部の製造工程を説明するための図である。

[図18]本開示の実施形態の変形例2に係る画素アレイ部の構造を模式的に示す断面図である。

[図19]本開示の実施形態の変形例3に係る画素アレイ部の構造を模式的に示す断面図である。

[図20]本開示の実施形態の変形例4に係る画素アレイ部の構造を模式的に示す断面図である。

[図21]本開示の実施形態の変形例5に係る画素アレイ部の平面構成を示す図である。

[図22]本開示の実施形態の変形例6に係る画素アレイ部の平面構成を示す図である。

[図23]図22に示すA-A線の矢視断面図である。

[図24]図22に示すB-B線の矢視断面図である。

[図25]本開示に係る技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図26]車両制御システムの概略的な構成の一例を示すブロック図である。

[図27]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0007] 以下に、本開示の各実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0008] 固体撮像素子は、たとえば、半導体層の光入射側の面に沿って配列された

複数の光電変換部を有する。また、かかる固体撮像素子において、隣接する光電変換部同士の間位置する分離領域に導電性の遮光壁を形成する技術が知られている。

[0009] さらに、かかる遮光壁に負のバイアス電圧を印加することにより、光電変換部と分離領域との界面近傍にホールを集めることができることから、光電変換部において暗電流や白点の発生を抑制することができる。

[0010] 一方で、上記の従来技術では、遮光壁における光入射側の部位において光の吸収が少なからず発生することから、光電変換部に入射する光の量が低下してしまう恐れがあった。

[0011] そこで、上述の問題点を克服し、光電変換部に対する集光特性の劣化を抑制することができる技術の実現が期待されている。

[0012] [固体撮像素子の構成]

図1は、本開示の実施形態に係る固体撮像素子1の概略構成例を示すシステム構成図である。図1に示すように、CMOSイメージセンサである固体撮像素子1は、画素アレイ部10と、システム制御部12と、垂直駆動部13と、カラム読出し回路部14と、カラム信号処理部15と、水平駆動部16と、信号処理部17とを備える。

[0013] これら画素アレイ部10、システム制御部12、垂直駆動部13、カラム読出し回路部14、カラム信号処理部15、水平駆動部16および信号処理部17は、同一の半導体基板上または電氣的に接続された複数の積層半導体基板上に設けられる。

[0014] 画素アレイ部10には、入射光量に応じた電荷量を光電変換して内部に蓄積し、信号として出力することが可能な光電変換素子（フォトダイオードPD（図2参照））を有する受光画素11が行列状に2次元配置されている。

[0015] また、画素アレイ部10は、受光画素11の他に、フォトダイオードPDを持たない構造のダミー画素や、受光面を遮光することで外部からの光入射が遮断された遮光画素などが、行および／または列状に配置されている領域を含む場合がある。

- [0016] なお、遮光画素は、受光面が遮光された構造である以外は、受光画素 1 1 と同様の構成を備えていてもよい。また、以下では、入射光量に応じた電荷量の光電荷を、単に「電荷」とも呼称し、受光画素 1 1 を、単に「画素」とも呼称する場合もある。
- [0017] 画素アレイ部 1 0 には、行列状の画素配列に対して、行ごとに画素駆動線 L D が図面中の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直画素配線 L V が図面中の上下方向（画素列の画素の配列方向）に沿って形成される。画素駆動線 L D の一端は、垂直駆動部 1 3 の各行に対応した出力端に接続される。
- [0018] カラム読出し回路部 1 4 は、少なくとも、画素アレイ部 1 0 内の選択行における受光画素 1 1 に列ごとに定電流を供給する回路、カレントミラー回路および読出し対象となる受光画素 1 1 の切替えスイッチなどを含む。
- [0019] そして、カラム読出し回路部 1 4 は、画素アレイ部 1 0 内の選択画素におけるトランジスタとともに増幅器を構成し、光電荷信号を電圧信号に変換して垂直画素配線 L V に出力する。
- [0020] 垂直駆動部 1 3 は、シフトレジスタやアドレスデコーダなどを含み、画素アレイ部 1 0 の各受光画素 1 1 を、全画素同時や行単位などで駆動する。この垂直駆動部 1 3 は、その具体的な構成については図示を省略するが、読出し走査系と、掃出し走査系あるいは一括掃出しおよび一括転送系とを有する構成となっている。
- [0021] 読出し走査系は、受光画素 1 1 から画素信号を読み出すために、画素アレイ部 1 0 の受光画素 1 1 を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃出しについては、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりもシャッタスピードの時間分だけ先行して掃出し走査が行なわれる。
- [0022] また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃出しが行なわれる。このような掃出しにより、読出し行の受光画素 1 1 のフォトダイオード P D から不要

な電荷が掃出し（リセット）される。そして、不要電荷の掃出し（リセット）により、いわゆる電子シャッタ動作が行われる。

[0023] ここで、電子シャッタ動作とは、直前までフォトダイオードPDに溜まっていた不要な光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことをいう。

[0024] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に入射した光量に対応するものである。行駆動の場合は、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、受光画素11における光電荷の蓄積時間（露光時間）となる。グローバル露光の場合は、一括掃出しから一括転送までの時間が蓄積時間（露光時間）となる。

[0025] 垂直駆動部13によって選択走査された画素行の各受光画素11から出力される画素信号は、垂直画素配線LVの各々を通してカラム信号処理部15に供給される。カラム信号処理部15は、画素アレイ部10の画素列ごとに、選択行の各受光画素11から垂直画素配線LVを通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

[0026] 具体的には、カラム信号処理部15は、信号処理として少なくとも、ノイズ除去処理、たとえばCDS（Correlated Double Sampling：相関二重サンプリング）処理を行う。このカラム信号処理部15によるCDS処理により、リセットノイズや増幅トランジスタAMPの閾値ばらつきなどの画素固有の固定パターンノイズが除去される。

[0027] なお、カラム信号処理部15には、ノイズ除去処理以外に、たとえば、AD変換機能を持たせて、画素信号をデジタル信号として出力するように構成することもできる。

[0028] 水平駆動部16は、シフトレジスタやアドレスデコーダなどを含み、カラム信号処理部15の画素列に対応する単位回路を順番に選択する。この水平

駆動部 16 による選択走査により、カラム信号処理部 15 で信号処理された画素信号が順番に信号処理部 17 に出力される。

[0029] システム制御部 12 は、各種のタイミング信号を生成するタイミングジェネレータなどを含み、タイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部 13、カラム信号処理部 15、水平駆動部 16 などの駆動制御を行う。

[0030] 固体撮像素子 1 は、さらに、信号処理部 17 と、図示しないデータ格納部とを備える。信号処理部 17 は、少なくとも加算処理機能を有し、カラム信号処理部 15 から出力される画素信号に対して加算処理などの種々の信号処理を行う。

[0031] データ格納部は、信号処理部 17 での信号処理にあたって、その処理に必要なデータを一時的に格納する。これら信号処理部 17 およびデータ格納部については、固体撮像素子 1 とは別の基板に設けられる外部信号処理部、たとえば DSP (Digital Signal Processor) やソフトウェアによる処理であってもよいし、固体撮像素子 1 と同じ基板上に搭載されてもよい。

[0032] [実施形態]

つづいて、実施形態に係る画素アレイ部 10 の詳細な構成について、図 2 を参照しながら説明する。図 2 は、本開示の実施形態に係る画素アレイ部 10 の構造を模式的に示す断面図である。

[0033] 図 2 に示すように、実施形態に係る画素アレイ部 10 は、半導体層 20 と、配線層 30 と、光学層 40 とを備える。そして、画素アレイ部 10 では、外部からの光 L が入射する側（以下、光入射側とも呼称する。）から順に、光学層 40、半導体層 20 および配線層 30 が積層されている。

[0034] 半導体層 20 には、第 1 導電型（たとえば、N 型）の半導体領域である第 1 領域 21 と、かかる第 1 領域 21 に隣接する図示しない第 2 導電型（たとえば、P 型）の半導体領域とで、フォトダイオード PD が形成される。かかるフォトダイオード PD は、光電変換部の一例である。

[0035] また、半導体層 20 における第 1 領域 21 よりも光入射側の部位には、第

2導電型の半導体領域である第2領域22が設けられる。すなわち、半導体層20における第1領域21よりも光入射側の部位には、かかる第1領域21よりも不純物濃度が小さい第2領域22が設けられる。

[0036] また、半導体層20において、互いに隣接するフォトダイオードPD同士の間には、分離領域23が設けられる。かかる分離領域23は、互いに隣接するフォトダイオードPD同士を電気的および光学的に分離する。分離領域23は、たとえば、画素アレイ部10において平面視で格子状に配置される。

[0037] 実施形態に係る分離領域23は、壁状電極24と、絶縁膜25と、低吸収部材26とを有する。壁状電極24は、導電性材料で構成され、平面視で分離領域23に沿って設けられる壁状の電極である。壁状電極24は、たとえば、ポリシリコン、タングステン、アルミニウムから選択される1種を主成分として構成される。

[0038] 壁状電極24は、半導体層20において、光入射側とは反対側の面20b（以下、反対面20bとも呼称する。）から所与の深さXまでの間に配置される。また、壁状電極24は、第1領域21に隣接して配置される。すなわち、第1領域21は、半導体層20において、反対面20bから所与の深さXまでの間に配置される。

[0039] また、壁状電極24と第1領域21との間には、絶縁膜25が配置される。絶縁膜25は、絶縁性材料（たとえば、酸化シリコン（SiO₂）など）で構成される。

[0040] また、壁状電極24には、配線層30に位置する配線32aが接続され、かかる配線32aなどを介して負のバイアス電圧が印加される。そして、壁状電極24に負のバイアス電圧が印加されることにより、フォトダイオードPDと分離領域23との界面近傍にホールを集めることができる。これにより、実施形態では、フォトダイオードPDにおいて暗電流や白点の発生を抑制することができる。

[0041] 一方で、壁状電極24は、光Lに対する吸収率が比較的大きいことから、

半導体層 20 の光入射側の面 20 a (以下、光入射面 20 a と呼称する。) の近傍まで配置された場合、光入射面 20 a の近傍において壁状電極 24 が光 L を吸収してしまう恐れがある。

[0042] そこで、実施形態では、図 2 に示すように、分離領域 23 における壁状電極 24 よりも光入射側の部位に、低吸収部材 26 が配置される。かかる低吸収部材 26 は、たとえば、壁状電極 24 および絶縁膜 25 で構成される壁状の部位と略等しい太さを有する。

[0043] そして、低吸収部材 26 は、壁状電極 24 よりも光 L に対する吸収率が小さい材料 (たとえば、酸化シリコン、酸化ハフニウム (HfO_2)、酸化アルミニウム (Al_2O_3) および酸化チタン (TiO_2) など) で構成される。

[0044] これにより、分離領域 23 における光入射側の部位で光 L が吸収されることを抑制することができる。したがって、実施形態によれば、フォトダイオード PD に対する集光特性の劣化を抑制することができる。

[0045] また、実施形態では、第 1 領域 21 よりも不純物濃度の小さい第 2 領域 22 が、低吸収部材 26 に隣接して配置されるとよい。これにより、負のバイアス電圧が印加されない低吸収部材 26 と第 2 領域 22 との界面近傍においても、半導体層 20 の欠陥などに起因する異常電荷の発生を抑制することができる。

[0046] したがって、実施形態によれば、フォトダイオード PD での白点の発生を抑制することができる。

[0047] なお、図 2 の例では、第 2 領域 22 が第 2 導電型の半導体領域である例について示しているが、第 2 領域 22 は第 2 導電型の半導体領域に限られず、たとえば、第 1 領域 21 よりも不純物濃度が小さい第 1 導電型の不純物領域で構成されていてもよい。

[0048] また、実施形態では、壁状電極 24 が、ポリシリコン、タングステン、アルミニウムから選択される 1 種を主成分として構成されるとよい。これにより、フォトダイオード PD と分離領域 23 との界面近傍にホールを安定して集めることができる。

- [0049] したがって、実施形態によれば、フォトダイオードPDにおいて暗電流や白点の発生をさらに抑制することができる。
- [0050] また、実施形態では、壁状電極24が、ポリシリコンで構成されることが好ましい。これにより、後述する画素アレイ部10の製造工程において、壁状電極24が高温環境に曝された際にも、かかる壁状電極24が劣化することを抑制することができる。
- [0051] また、実施形態では、低吸収部材26が、酸化シリコン、酸化ハフニウム、酸化アルミニウムおよび酸化チタンから選択される1種を主成分として構成されるとよい。たとえば、低吸収部材26が酸化シリコンで構成されることにより、かかる低吸収部材26を簡便に形成することができる。
- [0052] また、低吸収部材26が酸化ハフニウム、酸化アルミニウムまたは酸化チタンで構成されることにより、低吸収部材26とシリコンで構成される第2領域22との屈折率差を小さくすることができる。
- [0053] したがって、実施形態によれば、低吸収部材26における光入射側の端部において、光Lの散乱を抑制することができることから、フォトダイオードPDに対する集光特性の劣化をさらに抑制することができる。
- [0054] 画素アレイ部10におけるその他の部位の説明を続ける。半導体層20の反対面20bには、配線層30が配置される。かかる配線層30は、層間絶縁膜31内に複数層の配線32および複数の画素トランジスタ33が形成されることにより構成される。
- [0055] 配線32には、壁状電極24と電氣的に接続される配線32aが含まれる。また、複数の画素トランジスタ33は、フォトダイオードPDに蓄積された電荷の読み出しなどを行う。
- [0056] 半導体層20の光入射面20aには、光学層40が配置される。光学層40は、平坦化膜41と、カラーフィルタ42と、遮光壁43と、OCL (On-Chip Lens) 44とを有する。
- [0057] 平坦化膜41は、カラーフィルタ42およびOCL 44が形成される面を平坦化し、カラーフィルタ42およびOCL 44を形成する際の回転塗布の

工程で発生するムラを回避するために設けられる。

[0058] 平坦化膜41は、たとえば、有機材料（たとえば、アクリル樹脂）で形成される。なお、平坦化膜41は、有機材料で形成される場合に限られず、酸化シリコンや窒化シリコン（SiN）などにより形成されてもよい。

[0059] カラーフィルタ42は、OCL44によって集光された光Lのうち、所定の波長の光を透過させる光学的なフィルタである。カラーフィルタ42は、平坦化膜41における光入射側の面に配置される。

[0060] このカラーフィルタ42には、たとえば、赤色の光を透過させるカラーフィルタと、緑色の光を透過させるカラーフィルタと、青色の光を透過させるカラーフィルタとが含まれる。

[0061] 遮光壁43は、たとえば、隣接するカラーフィルタ42同士の間配置される。遮光壁43は、隣接するカラーフィルタ42から斜めに入射する光を遮蔽する壁状の膜である。遮光壁43は、たとえば、アルミニウムやタンゲステンなどにより構成される。

[0062] OCL44は、受光画素11ごとに設けられ、光Lを各受光画素11のフォトダイオードPDに集光するレンズである。OCL44は、たとえば、アクリル系などの樹脂などにより構成される。

[0063] [画素アレイ部の製造工程]

つづいて、実施形態に係る画素アレイ部10の製造工程について、図3～図8を参照しながら説明する。図3～図8は、本開示の実施形態に係る画素アレイ部10の製造工程を説明するための図である。

[0064] 画素アレイ部10の製造工程では、図3に示すように、まず、第1導電型の不純物を含み、最終的に半導体層20となる半導体基板120の反対面20b側から、第2導電型の不純物が高いエネルギーでイオン注入される。これにより、反対面20bを基準にして所与の深さXよりも深い領域に第2領域22が形成される。

[0065] この際、半導体基板120（半導体層20）における第2領域22よりも反対面20bに近い領域は、第1導電型の第1領域21となる。

- [0066] さらに、半導体基板120（半導体層20）の反対面20b側に従来公知の手法でトレンチT1が形成される。なお、このトレンチT1は、第1領域21を貫通し、第2領域22の途中まで達するように形成されるとともに、平面視で分離領域23が設けられる部位に形成される。
- [0067] 次に、図4に示すように、従来公知の手法によって、トレンチT1の底部から所与の深さXまでが低吸収部材26で埋められる。
- [0068] 次に、図5に示すように、トレンチT1の所与の深さXから開口部までの側面T1aに従来公知の手法で絶縁膜25が形成され、さらにトレンチT1の残りの空間を埋めるように壁状電極24が従来公知の手法で形成される。
- [0069] 次に、図6に示すように、半導体基板120（半導体層20）の反対面20bの表面に、配線層30が形成される。かかる配線層30は、層間絶縁膜31内に複数層の配線32および複数の画素トランジスタ33が設けられて構成され、従来公知の手法で形成される。
- [0070] 次に、図7に示すように、半導体基板120における反対面20bとは反対側の面が研削処理されて、第2領域22および低吸収部材26が露出するように薄肉化される。これにより、半導体層20および光入射面20aが形成される。
- [0071] 次に、図8に示すように、半導体層20の光入射面20aの表面に、平坦化膜41と、複数のカラーフィルタ42および複数の遮光壁43と、複数のOCL44とが順に形成される。
- [0072] ここまで説明したように、実施形態に係る画素アレイ部10の製造工程では、半導体層20の反対面20bから形成されたトレンチT1を低吸収部材26、絶縁膜25および壁状電極24で埋めることにより、分離領域23が形成される。
- [0073] これにより、簡便な工程で低吸収部材26、絶縁膜25および壁状電極24を形成することができるとともに、低吸収部材26と壁状電極24との位置ズレを防ぐことができる。
- [0074] [各種変形例]

つづいて、実施形態の各種変形例について、図9～図24を参照しながら説明する。

[0075] <変形例1>

図9は、本開示の実施形態の変形例1に係る画素アレイ部10の構造を模式的に示す断面図である。かかる変形例1では、低吸収部材26およびその周辺の構成が上記の実施形態と異なる。

[0076] 具体的には、図9に示すように、変形例1では、低吸収部材26と第2領域22および壁状電極24との間に、固定電荷膜27が配置される。かかる固定電荷膜27は、分離領域23と第2領域22との界面に電荷（ここでは、正孔）を固定する機能を有する。

[0077] 固定電荷膜27の材料としては、固定電荷を多く有する高誘電材料を用いることが好ましい。固定電荷膜27は、たとえば、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化ジルコニウム (ZrO_2)、酸化チタン、酸化マグネシウム (MgO_2)、酸化ランタン (La_2O_3) などで構成される。

[0078] また、固定電荷膜27は、酸化プラセオジウム (Pr_2O_3)、酸化セリウム (CeO_2)、酸化ネオジウム (Nd_2O_3)、酸化プロメチウム (Pm_2O_3)、酸化サマリウム (Sm_2O_3)、酸化ユウロピウム (Eu_2O_3) などで構成されてもよい。

[0079] また、固定電荷膜27は、酸化ガドリニウム (Gd_2O_3)、酸化テルビウム (Tb_2O_3)、酸化ジスプロシウム (Dy_2O_3)、酸化ホルミウム (Ho_2O_3)、酸化エルビウム (Er_2O_3)、酸化ツリウム (Tm_2O_3) などで構成されてもよい。

[0080] また、固定電荷膜27は、酸化イッテルビウム (Yb_2O_3)、酸化ルテチウム (Lu_2O_3)、酸化イットリウム (Y_2O_3)、窒化アルミニウム (AlN)、酸窒化ハフニウム (HfON)、酸窒化アルミニウム膜 (AlON) などで構成されてもよい。

[0081] このような固定電荷膜27を配置することにより、変形例1では、負のバイアス電圧が印加されない低吸収部材26と第2領域22との界面近傍にお

いて、半導体層 20 の欠陥などに起因する異常電荷の発生をさらに抑制することができる。

[0082] したがって、変形例 1 によれば、フォトダイオード PD での白点の発生をさらに抑制することができる。

[0083] 図 10 は、本開示の実施形態の変形例 1 における低吸収部材 26 が配置される深さ D と受光画素 11 の飽和電荷量との関係を示す図である。

[0084] なお、図 10 に示す結果はシミュレーションから求められたデータであり、固定電荷膜 27 は酸化アルミニウムおよび酸化タンタルの多層膜で構成され、低吸収部材 26 は酸化シリコンで構成された場合のデータである。また、図 10 に示す参考例とは、低吸収部材 26 および固定電荷膜 27 が配置されず、壁状電極 24 が分離領域 23 の全体を貫通する場合のデータである。

[0085] 図 10 に示すように、変形例 1 では、低吸収部材 26 が、半導体層 20 の光入射面 20a から 800 (nm) 以上の深さ D まで配置されるとさらによい。これにより、参考例と比べて、飽和電荷量を大きく増加させることができる。すなわち、変形例 1 では、低吸収部材 26 を 800 (nm) 以上の深さ D まで配置することにより、集光特性をさらに向上させることができる。

[0086] なお、図 10 のデータは、変形例 1 の構成についてシミュレーションした結果であるが、上記の実施形態の構成についてシミュレーションした結果も図 10 と同様である。すなわち、上記の実施形態においても、低吸収部材 26 を 800 (nm) 以上の深さ D まで配置することにより、集光特性をさらに向上させることができる。

[0087] <変形例 1 の製造工程>

つづいて、変形例 1 に係る画素アレイ部 10 の製造工程について、図 11 ~ 図 17 を参照しながら説明する。図 11 ~ 図 17 は、本開示の実施形態の変形例 1 に係る画素アレイ部 10 の製造工程を説明するための図である。

[0088] 変形例 1 の製造工程では、図 11 に示すように、まず、第 1 導電型の不純物を含み、最終的に半導体層 20 となる半導体基板 120 の反対面 20b 側から、第 2 導電型の不純物が高いエネルギーでイオン注入される。これによ

り、反対面20bを基準にして所与の深さXよりも深い領域に第2領域22が形成される。

[0089] この際、半導体基板120（半導体層20）における第2領域22よりも反対面20bに近い領域は、第1導電型の第1領域21となる。

[0090] さらに、半導体基板120（半導体層20）の反対面20b側に従来公知の手法でトレンチT1が形成される。なお、このトレンチT1は、第1領域21を貫通するように形成されるとともに、平面視で分離領域23が設けられる部位に形成される。

[0091] 次に、図12に示すように、トレンチT1の底部から開口部までの側面T1aに従来公知の手法で絶縁膜25が形成され、さらにトレンチT1の残りの空間を埋めるように壁状電極24が従来公知の手法で形成される。

[0092] 次に、図13に示すように、半導体基板120（半導体層20）の反対面20bの表面に、配線層30が形成される。かかる配線層30は、層間絶縁膜31内に複数層の配線32および複数の画素トランジスタ33が設けられて構成され、従来公知の手法で形成される。

[0093] 次に、図14に示すように、半導体基板120における反対面20bとは反対側の面が研削処理されて、第2領域22が露出するように薄肉化される。これにより、半導体層20および光入射面20aが形成される。

[0094] 次に、図15に示すように、半導体層20の光入射面20a側に従来公知の手法でトレンチT2が形成される。なお、このトレンチT2は、第2領域22を貫通するように形成されるとともに、平面視で分離領域23が設けられる部位に形成される。すなわち、このトレンチT2は、底部で壁状電極24および絶縁膜25を露出させるように形成される。

[0095] 次に、図16に示すように、トレンチT2の側面T2aおよび底面T2bに従来公知の手法で固定電荷膜27が形成され、さらにトレンチT2の残りの空間を埋めるように低吸収部材26が従来公知の手法で形成される。

[0096] 次に、図17に示すように、半導体層20の光入射面20aの表面に、平坦化膜41と、複数のカラーフィルタ42および複数の遮光壁43と、複数

のOCL44とが順に形成される。

[0097] このように、変形例1の製造工程では、反対面20bから形成されたトレンチT1を絶縁膜25と壁状電極24とで埋めるとともに、光入射面20aから形成されたトレンチT2を固定電荷膜27と低吸収部材26とで埋めることで、分離領域23が形成される。

[0098] したがって、変形例1によれば、配線層30の形成工程などにおいて低吸収部材26が高温環境に曝されることが無いことから、かかる低吸収部材26が劣化することを抑制することができる。

[0099] なお、上述した実施形態および変形例1の製造工程では、第1導電型の半導体基板120に第2導電型の不純物を高いエネルギーでイオン注入することにより第1領域21および第2領域22を形成する例について示したが、本開示はかかる例に限られない。

[0100] たとえば、本開示の技術では、第2導電型の半導体基板120の反対面20b側から、第1導電型の不純物を比較的低いエネルギーでイオン注入することにより、第1領域21および第2領域22を形成してもよい。

[0101] <変形例2>

図18は、本開示の実施形態の変形例2に係る画素アレイ部10の構造を模式的に示す断面図である。かかる変形例2では、第2領域22の構成が上記の変形例1と異なる。

[0102] 具体的には、図18に示すように、変形例2では、第2領域22が、第1領域21側に配置される第1部位22aと、光入射面20a側に配置される第2部位22bとを有する。

[0103] 第1部位22aは、第1領域21よりも不純物濃度が小さい領域であり、たとえば、第1領域21よりも不純物濃度が小さい第1導電型の不純物領域である。また、第2部位22bは、第1部位22aよりも不純物濃度が小さい領域であり、たとえば、第2導電型の不純物領域である。

[0104] これによっても、負のバイアス電圧が印加されない低吸収部材26と第2領域22との界面近傍において、半導体層20の欠陥などに起因する異常電

荷の発生をさらに抑制することができる。したがって、変形例 2 によれば、フォトダイオード PD での白点の発生をさらに抑制することができる。

[0105] <変形例 3>

図 19 は、本開示の実施形態の変形例 3 に係る画素アレイ部 10 の構造を模式的に示す断面図である。かかる変形例 3 では、低吸収部材 26 の周辺の構成が上記の変形例 1 と異なる。

[0106] 具体的には、図 19 に示すように、変形例 3 では、低吸収部材 26 および固定電荷膜 27 と、壁状電極 24 および絶縁膜 25 との間にストッパ膜 28 が配置される。かかるストッパ膜 28 は、図 12 に示した製造工程において、トレンチ T1 が形成されてから絶縁膜 25 および壁状電極 24 が形成されるまでの間に、トレンチ T1 の底部を埋めるように形成される。

[0107] また、ストッパ膜 28 は、半導体層 20 の材料（たとえば、シリコン）に対してエッチング処理の選択比が高い材料（たとえば、酸化シリコンや窒化シリコンなど）で構成される。

[0108] 変形例 3 では、このようなストッパ膜 28 が配置されることにより、図 15 に示したトレンチ T2 の形成工程において、ストッパ膜 28 をエッチングストッパとして用いることができる。したがって、変形例 3 によれば、トレンチ T2 を精度よく形成することができる。

[0109] <変形例 4>

図 20 は、本開示の実施形態の変形例 4 に係る画素アレイ部 10 の構造を模式的に示す断面図である。かかる変形例 4 では、低吸収部材 26 および固定電荷膜 27 のサイズが上記の変形例 1 と異なる。

[0110] 具体的には、図 20 に示すように、変形例 4 では、低吸収部材 26 および固定電荷膜 27 で構成される壁状の部位が、壁状電極 24 および絶縁膜 25 で構成される壁状の部位よりも太い。

[0111] これにより、トレンチ T2 の形成工程において、トレンチ T2 がトレンチ T1 に対して位置ズレした場合でも、低吸収部材 26 および固定電荷膜 27 で構成される壁状の部位を、壁状電極 24 および絶縁膜 25 で構成される壁

状の部位に繋げることができる。

[0112] したがって、変形例4によれば、トレンチT2がトレンチT1に対して位置ズレした場合でも、隣接するフォトダイオードPDを分離領域23で確実に分離することができる。

[0113] <変形例5>

図21は、本開示の実施形態の変形例5に係る画素アレイ部10の構造を模式的に示す断面図である。かかる変形例5では、低吸収部材26および固定電荷膜27の構成が上記の変形例1と異なる。

[0114] 具体的には、図21に示すように、変形例5では、低吸収部材26Aが導電性材料（たとえば、タングステンやアルミニウム）で構成されるとともに、固定電荷膜27Aが絶縁性材料（たとえば、酸化シリコン）で構成される。また、変形例5では、低吸収部材26Aと壁状電極24との間が電氣的に接続される。

[0115] これにより、壁状電極24を介して低吸収部材26Aにも負のバイアス電圧が印加されることから、第2領域22と分離領域23との界面近傍にもホールを集めることができる。したがって、変形例5によれば、フォトダイオードPDにおいて暗電流や白点の発生をさらに抑制することができる。

[0116] <変形例6>

図22は、本開示の実施形態の変形例6に係る画素アレイ部10の平面構成を示す図である。また、図23は、図22に示すA-A線の矢視断面図であり、図24は、図22に示すB-B線の矢視断面図である。

[0117] 図22などに示すように、変形例6の画素アレイ部10において、1つの受光画素11には、一对のフォトダイオードPD（以下、フォトダイオードPD1、PD2とも呼称する。）が設けられる。たとえば、受光画素11は平面視で略正形状であり、フォトダイオードPDは平面視で略長形状である。

[0118] また、受光画素11は、分離領域23として、第1分離領域23aと、第2分離領域23bと、不純物領域23cとを有する。第1分離領域23aは

、図22に示すように、1つの受光画素11において一对のフォトダイオードPD1、PD2を囲むように配置される。

[0119] 第2分離領域23bは、1つの受光画素11において互いに隣接する一对のフォトダイオードPD1、PD2の間に配置される。第2分離領域23bは、互いに隣接する一对のフォトダイオードPD1、PD2の間を光学的および電氣的に分離する。

[0120] すなわち、変形例6の受光画素11において、第1分離領域23aは、異なるOCL44を介して光Lが入射される複数のフォトダイオードPD同士の間を分離する。また、第2分離領域23bは、同じOCL44を介して光Lが入射される一对のフォトダイオードPD1、PD2の間を分離する。

[0121] このように、変形例6では、第2分離領域23bを用いて一对のフォトダイオードPD1、PD2を互いに分離することができることから、一对のフォトダイオードPD1、PD2を用いて入射する光Lの位相差を検出することができる。

[0122] 不純物領域23cは、一对のフォトダイオードPD1、PD2の間において平面視で第2分離領域23bとは異なる位置に配置され、第2導電型の不純物を含む。

[0123] かかる不純物領域23cは、フォトダイオードPD1とフォトダイオードPD2との間のオーバーフローパスとして機能する。これにより、変形例6では、両方のフォトダイオードPD1、PD2に蓄積される電荷量を均等にすることができる。

[0124] ここで、変形例6では、図23に示すように、上述の変形例1と同様、第1分離領域23aおよび第2分離領域23bが、壁状電極24と、絶縁膜25と、低吸収部材26と、固定電荷膜27とを有する。

[0125] これにより、変形例6では、第1分離領域23aおよび第2分離領域23bに良好な分離特性を付与することができるとともに、第1分離領域23aおよび第2分離領域23bにおける光入射側の部位で光Lが吸収されることを抑制することができる。

- [0126] したがって、変形例6によれば、光Lの位相差を検出することができる受光画素11において、一对のフォトダイオードPD1、PD2に対する集光特性の劣化を抑制することができる。
- [0127] また、変形例6では、図23に示すように、第2分離領域23bにおいて低吸収部材26および固定電荷膜27が配置される深さD2が、第1分離領域23aにおいて低吸収部材26および固定電荷膜27が配置される深さD1よりも深いとよい。
- [0128] これにより、OCL44の光軸の近くに配置されるため、第1分離領域23aよりも多くの光Lが集光される第2分離領域23bにおいて、光入射側の部位で光Lが吸収されることを効果的に抑制することができる。
- [0129] したがって、変形例6によれば、光Lの位相差を検出することができる受光画素11において、一对のフォトダイオードPD1、PD2に対する集光特性の劣化をさらに抑制することができる。
- [0130] なお、図22～図24の例では、一对のフォトダイオードPD1、PD2の間にオーバーフローパス（不純物領域23c）が配置された位相差画素について示したが、本開示はかかる例に限られない。
- [0131] たとえば、一对のフォトダイオードPD1、PD2の間が第2分離領域23bで完全に分離された位相差画素において、第1分離領域23aおよび第2分離領域23bが、壁状電極24と、絶縁膜25と、低吸収部材26と、固定電荷膜27とを有していてもよい。
- [0132] これにより、光Lの位相差を検出することができる受光画素11において、一对のフォトダイオードPD1、PD2に対する集光特性の劣化を抑制することができる。
- [0133] また、この位相差画素において、第2分離領域23bにおいて低吸収部材26および固定電荷膜27が配置される深さD2が、第1分離領域23aにおいて低吸収部材26および固定電荷膜27が配置される深さD1よりも深くてもよい。これにより、一对のフォトダイオードPD1、PD2に対する集光特性の劣化をさらに抑制することができる。

[0134] [効果]

実施形態に係る固体撮像素子1は、半導体層20と、分離領域23と、を備える。半導体層20は、行列状に配置される複数の光電変換部（フォトダイオードPD）を有する。分離領域23は、半導体層20において隣接する光電変換部（フォトダイオードPD）同士を分離する。また、分離領域23は、壁状電極24と、低吸収部材26と、を有する。壁状電極24は、壁状に配置され、負のバイアス電圧が印加される。低吸収部材26は、壁状電極24よりも光入射側に配置され、壁状電極24よりも光吸収率が小さい。

[0135] これにより、フォトダイオードPDに対する集光特性の劣化を抑制することができる。

[0136] また、実施形態に係る固体撮像素子1において、光電変換部（フォトダイオードPD）は、壁状電極24に隣接する第1領域21と、低吸収部材26に隣接する第2領域22と、を有する。また、第2領域22の不純物濃度は、第1領域21の不純物濃度よりも小さい。

[0137] これにより、フォトダイオードPDでの白点の発生を抑制することができる。

[0138] また、実施形態に係る固体撮像素子1において、低吸収部材26は、半導体層20の光入射側の面20aから800（nm）以上の深さDまで配置される。

[0139] これにより、フォトダイオードPDに対する集光特性をさらに向上させることができる。

[0140] また、実施形態に係る固体撮像素子1において、壁状電極24は、ポリシリコン、タンゲステン、アルミニウムから選択される1種を主成分として構成される。

[0141] これにより、フォトダイオードPDにおいて暗電流や白点の発生をさらに抑制することができる。

[0142] また、実施形態に係る固体撮像素子1において、低吸収部材26は、酸化シリコン、酸化ハフニウム、酸化アルミニウムおよび酸化チタンから選択さ

れる1種を主成分として構成される。

[0143] これにより、低吸収部材26を簡便に形成することができるか、または低吸収部材26における光入射側の端部において光Lの散乱を抑制することができる。

[0144] また、実施形態に係る固体撮像素子1は、対応する光電変換部（フォトダイオードPD）に光Lを入射させる複数のオンチップレンズ（OCL44）をさらに備える。また、分離領域23は、第1分離領域23aと第2分離領域23bとを有する。第1分離領域23aは、異なるオンチップレンズ（OCL44）を介して光Lが入射される複数の光電変換部（フォトダイオードPD）を分離する。第2分離領域23bは、同じオンチップレンズ（OCL44）を介して光Lが入射される複数の光電変換部（フォトダイオードPD）を分離する。また、第2分離領域23bに位置する低吸収部材26は、第1分離領域23aに位置する低吸収部材26よりも深い位置まで配置される。

[0145] これにより、光Lの位相差を検出することができる受光画素11において、一对のフォトダイオードPD1、PD2に対する集光特性の劣化をさらに抑制することができる。

[0146] また、実施形態に係る固体撮像素子1の製造方法は、トレンチT1を形成する工程と、低吸収部材26で埋める工程と、絶縁膜25を形成する工程と、壁状電極24で埋める工程と、を含む。トレンチT1を形成する工程は、半導体基板120の光入射側とは反対側の面20bにトレンチT1を形成する。低吸収部材26で埋める工程は、トレンチT1の底部から所与の深さXまで低吸収部材26で埋める。絶縁膜25を形成する工程は、トレンチT1の所与の深さXから開口部までの側面T1aに絶縁膜25を形成する。壁状電極24で埋める工程は、トレンチT1の残りの部位を導電性の壁状電極24で埋める。また、配線層30に形成される配線32aは、壁状電極24に接続され、低吸収部材26は、壁状電極24よりも光吸収率が小さい。

[0147] これにより、フォトダイオードPDに対する集光特性の劣化が抑制された

固体撮像素子 1 を簡便に形成することができるとともに、低吸収部材 2 6 と壁状電極 2 4 との位置ズレを防ぐことができる。

[0148] また、実施形態に係る固体撮像素子 1 の製造方法は、不純物濃度を小さくする工程をさらに含む。不純物濃度を小さくする工程は、トレンチ T 1 の底部に対応する深さから所与の深さ X までの領域を、所与の深さ X から半導体基板 1 2 0 の光入射側とは反対側の面 2 0 b までの領域よりも不純物濃度を小さくする。

[0149] これにより、フォトダイオード PD での白点の発生が抑制された固体撮像素子 1 を形成することができる。

[0150] [電子機器]

なお、本開示は、固体撮像素子への適用に限られるものではない。すなわち、本開示は、固体撮像素子のほかにカメラモジュールや撮像装置、撮像機能を有する携帯端末装置、または画像読取部に固体撮像素子を用いる複写機など、固体撮像素子を有する電子機器全般に対して適用可能である。

[0151] かかる撮像装置としては、たとえば、デジタルスチルカメラやビデオカメラなどが挙げられる。また、かかる撮像機能を有する携帯端末装置としては、たとえば、スマートフォンやタブレット型端末などが挙げられる。

[0152] 図 2 5 は、本開示に係る技術を適用した電子機器 1 0 0 0 としての撮像装置の構成例を示すブロック図である。図 2 5 の電子機器 1 0 0 0 は、たとえば、デジタルスチルカメラやビデオカメラなどの撮像装置や、スマートフォンやタブレット型端末などの携帯端末装置などの電子機器である。

[0153] 図 2 5 において、電子機器 1 0 0 0 は、レンズ群 1 0 0 1 と、固体撮像素子 1 0 0 2 と、DSP 回路 1 0 0 3 と、フレームメモリ 1 0 0 4 と、表示部 1 0 0 5 と、記録部 1 0 0 6 と、操作部 1 0 0 7 と、電源部 1 0 0 8 とから構成される。

[0154] また、電子機器 1 0 0 0 において、DSP 回路 1 0 0 3、フレームメモリ 1 0 0 4、表示部 1 0 0 5、記録部 1 0 0 6、操作部 1 0 0 7、および電源部 1 0 0 8 は、バスライン 1 0 0 9 を介して相互に接続されている。

- [0155] レンズ群1001は、被写体からの入射光（像光）を取り込んで固体撮像素子1002の撮像面上に結像する。固体撮像素子1002は、上述した実施形態に係る固体撮像素子1に対応し、レンズ群1001によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。
- [0156] DSP回路1003は、固体撮像素子1002から供給される信号を処理するカメラ信号処理回路である。フレームメモリ1004は、DSP回路1003により処理された画像データを、フレーム単位で一時的に保持する。
- [0157] 表示部1005は、たとえば、液晶パネルや有機EL（Electro Luminescence）パネルなどのパネル型表示装置からなり、固体撮像素子1002で撮像された動画または静止画を表示する。記録部1006は、固体撮像素子1002で撮像された動画または静止画の画像データを、半導体メモリやハードディスクなどの記録媒体に記録する。
- [0158] 操作部1007は、ユーザによる操作にしたがい、電子機器1000が有する各種の機能についての操作指令を発する。電源部1008は、DSP回路1003、フレームメモリ1004、表示部1005、記録部1006、および操作部1007の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。
- [0159] このように構成されている電子機器1000では、固体撮像素子1002として、上述した各実施形態の固体撮像素子1を適用することにより、フォトダイオードPDに対する集光特性の劣化を抑制することができる。
- [0160] [移動体への応用例]
- 本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。
- [0161] 図26は、本開示に係る技術が適用され得る移動体制御システムの一例で

ある車両制御システムの概略的な構成例を示すブロック図である。

- [0162] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図26に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (Interface) 12053が図示されている。
- [0163] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0164] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0165] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像

を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0166] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0167] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0168] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0169] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

- [0170] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。
- [0171] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図26の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。
- [0172] 図27は、撮像部12031の設置位置の例を示す図である。
- [0173] 図27では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。
- [0174] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。
- [0175] なお、図27には、撮像部12101ないし12104の撮影範囲の一例

が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0176] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0177] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0178] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイク

ロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0179] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0180] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、図1の固体撮像素子1は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、かかる撮像部12031から高品質な画像を取得することができる。

[0181] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0182] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0183] なお、本技術は以下のような構成も取ることができる。

(1)

行列状に配置される複数の光電変換部を有する半導体層と、
前記半導体層において隣接する前記光電変換部同士を分離する分離領域と、
、
を備え、
前記分離領域は、
壁状に配置され、負のバイアス電圧が印加される壁状電極と、
前記壁状電極よりも光入射側に配置され、前記壁状電極よりも光吸収率が小さい低吸収部材と、
を有する固体撮像素子。

(2)

前記光電変換部は、前記壁状電極に隣接する第1領域と、前記低吸収部材に隣接する第2領域と、を有し、
前記第2領域の不純物濃度は、前記第1領域の不純物濃度よりも小さい
前記(1)に記載の固体撮像素子。

(3)

前記低吸収部材は、前記半導体層の光入射側の面から800(nm)以上の深さまで配置される
前記(1)または(2)に記載の固体撮像素子。

(4)

前記壁状電極は、ポリシリコン、タングステン、アルミニウムから選択される1種を主成分として構成される
前記(1)～(3)のいずれか一つに記載の固体撮像素子。

(5)

前記低吸収部材は、酸化シリコン、酸化ハフニウム、酸化アルミニウムお

よび酸化チタンから選択される1種を主成分として構成される

前記(1)～(4)のいずれか一つに記載の固体撮像素子。

(6)

対応する前記光電変換部に光を入射させる複数のオンチップレンズ、
をさらに備え、

前記分離領域は、

異なる前記オンチップレンズを介して光が入射される複数の前記光電変換部を分離する第1分離領域と、

同じ前記オンチップレンズを介して光が入射される複数の前記光電変換部を分離する第2分離領域と、

を有し、

前記第2分離領域に位置する前記低吸収部材は、前記第1分離領域に位置する前記低吸収部材よりも深い位置まで配置される

前記(1)～(5)のいずれか一つに記載の固体撮像素子。

(7)

半導体基板の光入射側とは反対側の面にトレンチを形成する工程と、

前記トレンチの底部から所与の深さまで低吸収部材で埋める工程と、

前記トレンチの前記所与の深さから開口部までの側面に絶縁膜を形成する工程と、

前記トレンチの残りの部位を導電性の壁状電極で埋める工程と、

前記半導体基板の光入射側の面に配線層を形成する工程と、

を含み、

前記配線層に形成される配線は、前記壁状電極に接続され、

前記低吸収部材は、前記壁状電極よりも光吸収率が小さい

固体撮像素子の製造方法。

(8)

前記トレンチの底部に対応する深さから前記所与の深さまでの領域を、前記所与の深さから前記半導体基板の光入射側とは反対側の面までの領域より

も不純物濃度を小さくする工程、をさらに含む

前記（７）に記載の固体撮像素子の製造方法。

（９）

固体撮像素子と、

被写体からの入射光を取り込んで前記固体撮像素子の撮像面上に結像させる光学系と、

前記固体撮像素子からの出力信号に対して処理を行う信号処理回路と、を備え、

前記固体撮像素子は、

行列状に配置される複数の光電変換部を有する半導体層と、

前記半導体層において隣接する前記光電変換部同士を分離する分離領域と

、

を有し、

前記分離領域は、

壁状に配置され、負のバイアス電圧が印加される壁状電極と、

前記壁状電極よりも光入射側に配置され、前記壁状電極よりも光吸収率が小さい低吸収部材と、

を有する電子機器。

（１０）

前記光電変換部は、前記壁状電極に隣接する第１領域と、前記低吸収部材に隣接する第２領域と、を有し、

前記第２領域の不純物濃度は、前記第１領域の不純物濃度よりも小さい

前記（９）に記載の電子機器。

（１１）

前記低吸収部材は、前記半導体層の光入射側の面から８００（nm）以上の深さまで配置される

前記（９）または（１０）に記載の電子機器。

（１２）

前記壁状電極は、ポリシリコン、タングステン、アルミニウムから選択される1種を主成分として構成される

前記(9)～(11)のいずれか一つに記載の電子機器。

(13)

前記低吸収部材は、酸化シリコン、酸化ハフニウム、酸化アルミニウムおよび酸化チタンから選択される1種を主成分として構成される

前記(9)～(12)のいずれか一つに記載の電子機器。

(14)

対応する前記光電変換部に光を入射させる複数のオンチップレンズ、
をさらに備え、

前記分離領域は、

異なる前記オンチップレンズを介して光が入射される複数の前記光電変換部を分離する第1分離領域と、

同じ前記オンチップレンズを介して光が入射される複数の前記光電変換部を分離する第2分離領域と、

を有し、

前記第2分離領域に位置する前記低吸収部材は、前記第1分離領域に位置する前記低吸収部材よりも深い位置まで配置される

前記(9)～(13)のいずれか一つに記載の電子機器。

符号の説明

- [0184] 1 固体撮像素子
- 10 画素アレイ部
- 11 受光画素
- 20 半導体層
- 21 第1領域
- 22 第2領域
- 23 分離領域
- 23a 第1分離領域

23b 第2分離領域

24 壁状電極

25 絶縁膜

26、26A 低吸収部材

27、27A 固定電荷膜

30 配線層

32、32a 配線

1000 電子機器

PD、PD1、PD2 フォトダイオード（光電変換部の一例）

請求の範囲

- [請求項1] 行列状に配置される複数の光電変換部を有する半導体層と、
前記半導体層において隣接する前記光電変換部同士を分離する分離領域と、
を備え、
前記分離領域は、
壁状に配置され、負のバイアス電圧が印加される壁状電極と、
前記壁状電極よりも光入射側に配置され、前記壁状電極よりも光吸収率が小さい低吸収部材と、
を有する固体撮像素子。
- [請求項2] 前記光電変換部は、前記壁状電極に隣接する第1領域と、前記低吸収部材に隣接する第2領域と、を有し、
前記第2領域の不純物濃度は、前記第1領域の不純物濃度よりも小さい
請求項1に記載の固体撮像素子。
- [請求項3] 前記低吸収部材は、前記半導体層の光入射側の面から800（nm）以上の深さまで配置される
請求項1に記載の固体撮像素子。
- [請求項4] 前記壁状電極は、ポリシリコン、タングステン、アルミニウムから選択される1種を主成分として構成される
請求項1に記載の固体撮像素子。
- [請求項5] 前記低吸収部材は、酸化シリコン、酸化ハフニウム、酸化アルミニウムおよび酸化チタンから選択される1種を主成分として構成される
請求項1に記載の固体撮像素子。
- [請求項6] 対応する前記光電変換部に光を入射させる複数のオンチップレンズ、
をさらに備え、
前記分離領域は、

異なる前記オンチップレンズを介して光が入射される複数の前記光電変換部を分離する第1分離領域と、

同じ前記オンチップレンズを介して光が入射される複数の前記光電変換部を分離する第2分離領域と、

を有し、

前記第2分離領域に位置する前記低吸収部材は、前記第1分離領域に位置する前記低吸収部材よりも深い位置まで配置される

請求項1に記載の固体撮像素子。

[請求項7]

半導体基板の光入射側とは反対側の面にトレンチを形成する工程と

、

前記トレンチの底部から所与の深さまで低吸収部材で埋める工程と

、

前記トレンチの前記所与の深さから開口部までの側面に絶縁膜を形成する工程と、

前記トレンチの残りの部位を導電性の壁状電極で埋める工程と、

前記半導体基板の光入射側の面に配線層を形成する工程と、

を含み、

前記配線層に形成される配線は、前記壁状電極に接続され、

前記低吸収部材は、前記壁状電極よりも光吸収率が小さい

固体撮像素子の製造方法。

[請求項8]

前記トレンチの底部に対応する深さから前記所与の深さまでの領域を、前記所与の深さから前記半導体基板の光入射側とは反対側の面までの領域よりも不純物濃度を小さくする工程、をさらに含む

請求項7に記載の固体撮像素子の製造方法。

[請求項9]

固体撮像素子と、

被写体からの入射光を取り込んで前記固体撮像素子の撮像面上に結像させる光学系と、

前記固体撮像素子からの出力信号に対して処理を行う信号処理回路

と、を備え、

前記固体撮像素子は、

行列状に配置される複数の光電変換部を有する半導体層と、

前記半導体層において隣接する前記光電変換部同士を分離する分離領域と、

を有し、

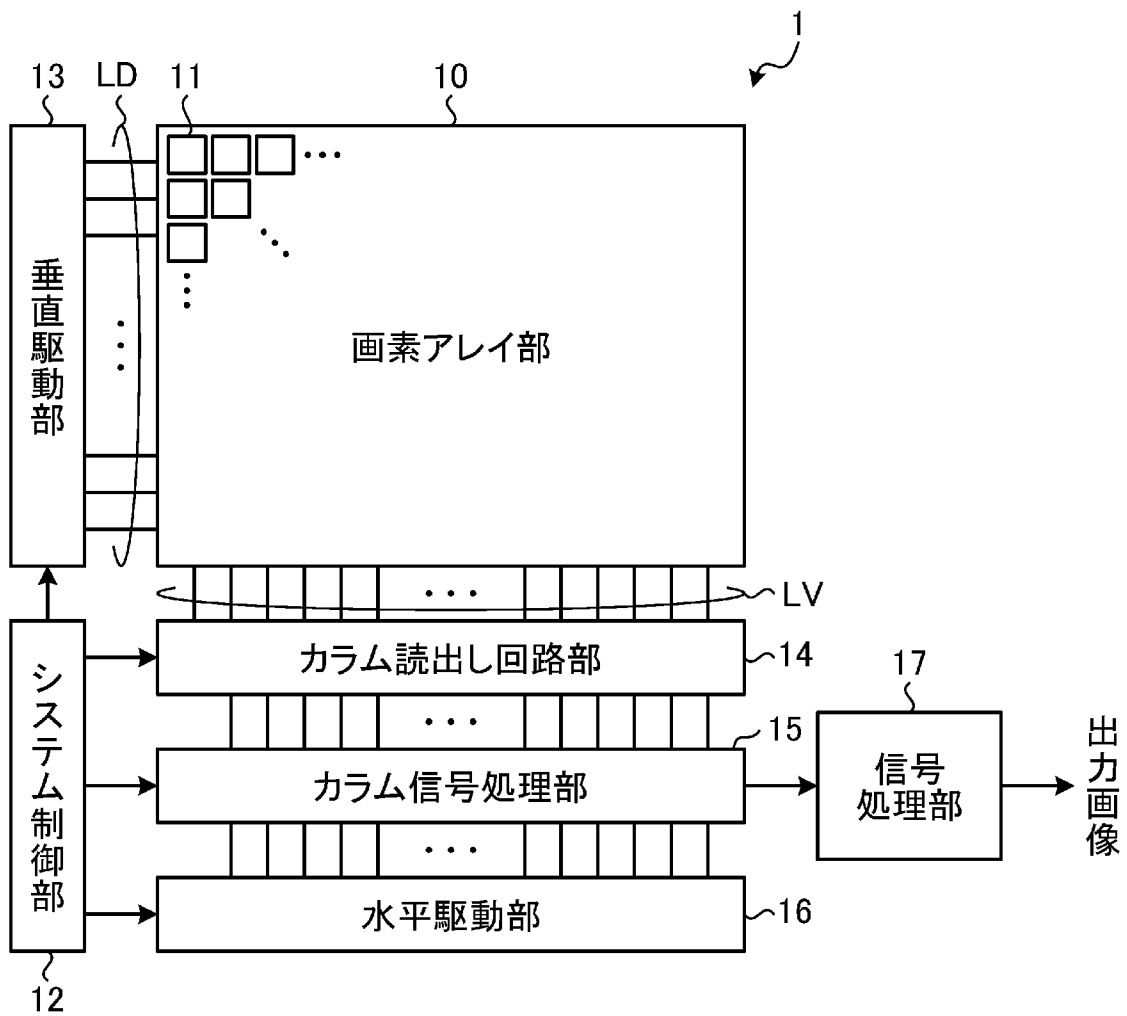
前記分離領域は、

壁状に配置され、負のバイアス電圧が印加される壁状電極と、

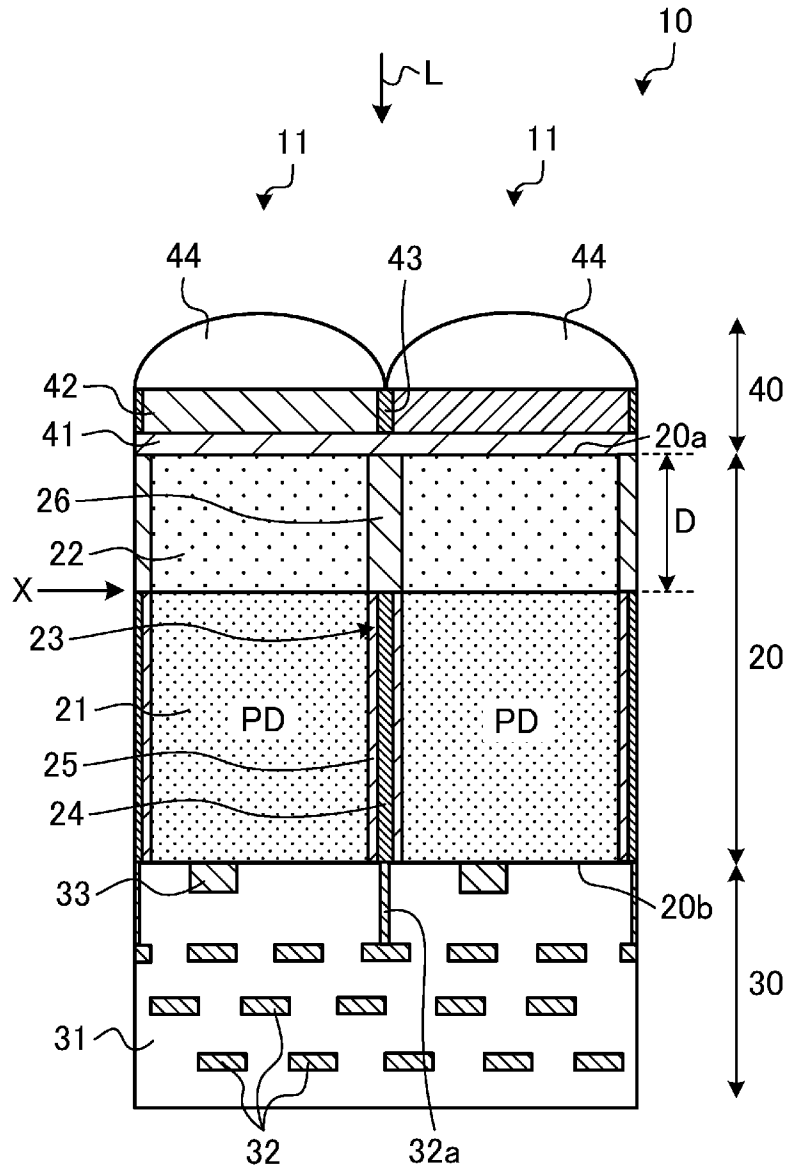
前記壁状電極よりも光入射側に配置され、前記壁状電極よりも光吸収率が小さい低吸収部材と、

を有する電子機器。

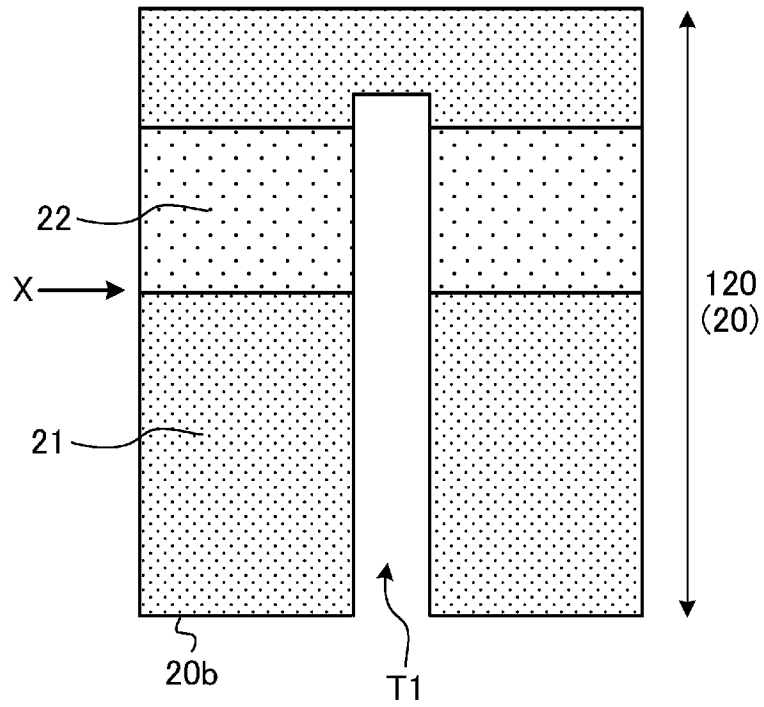
[図1]



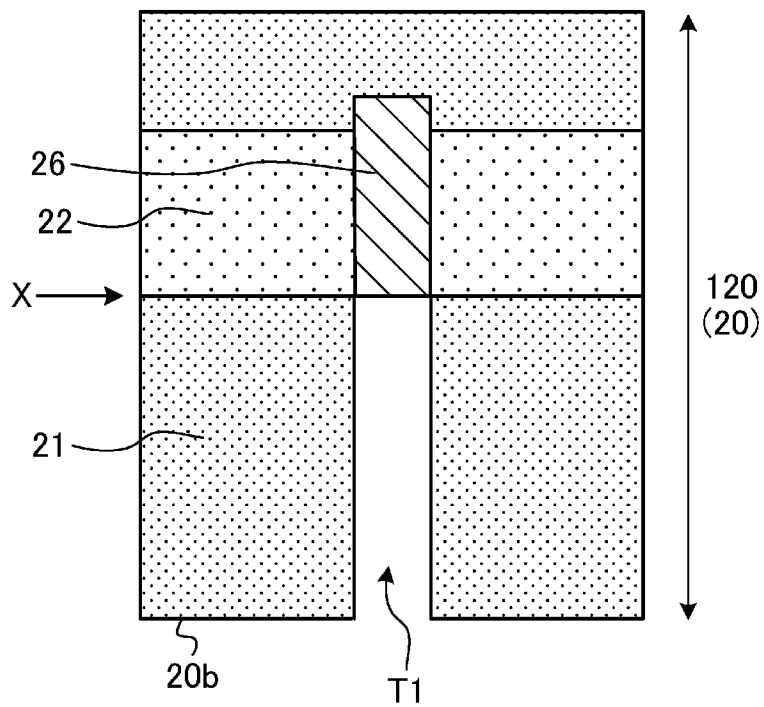
[図2]



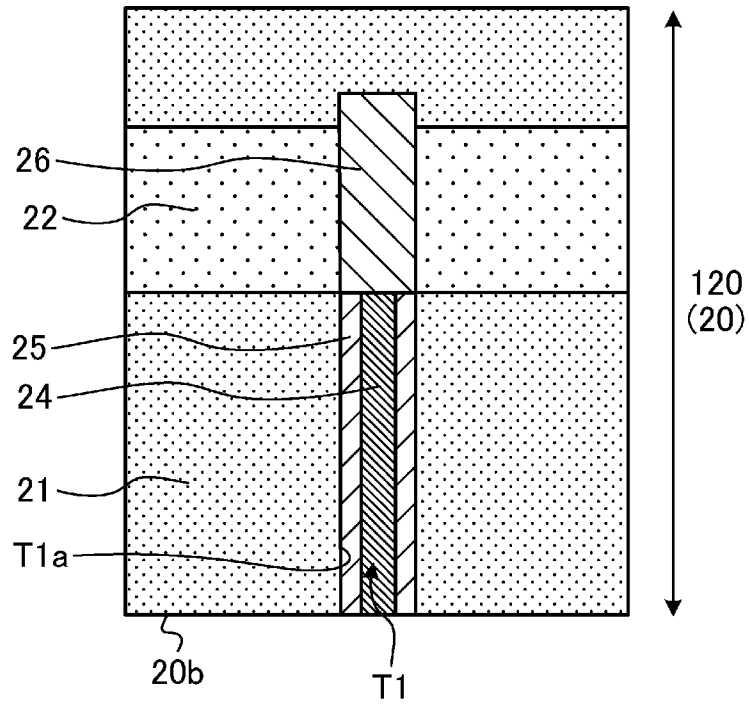
[図3]



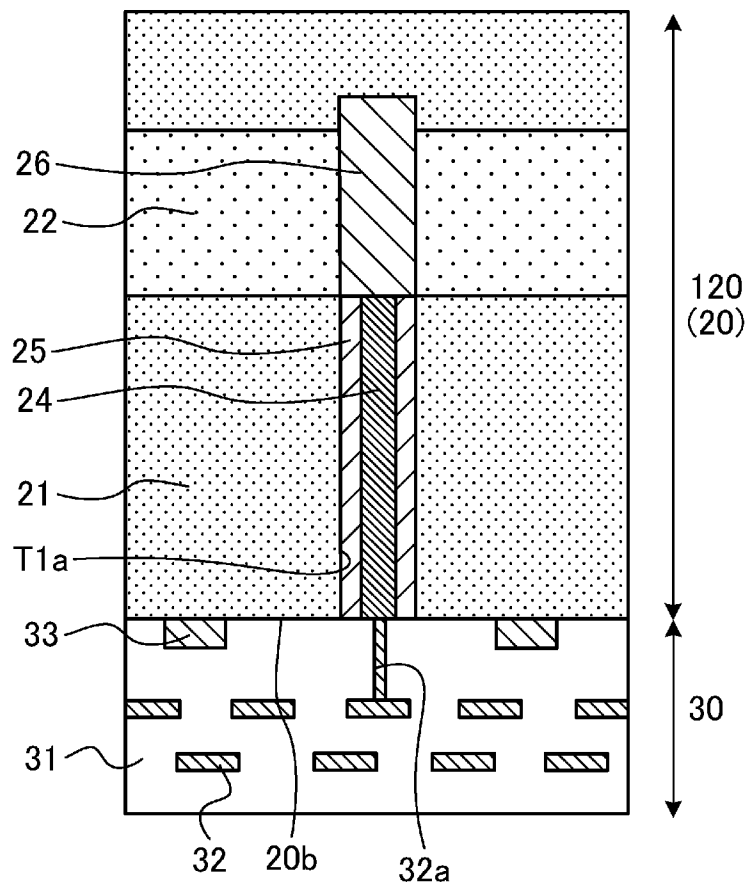
[図4]



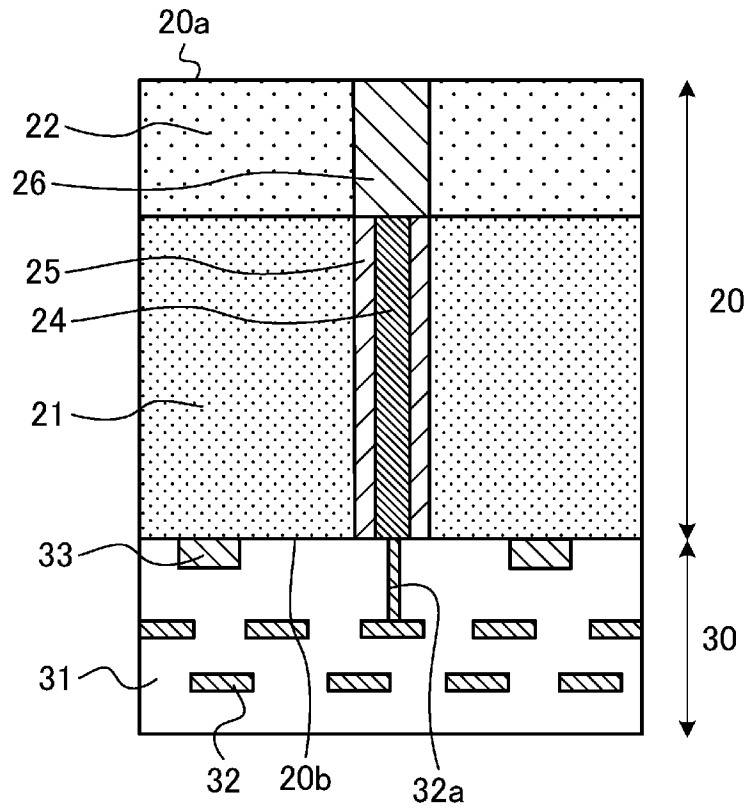
[図5]



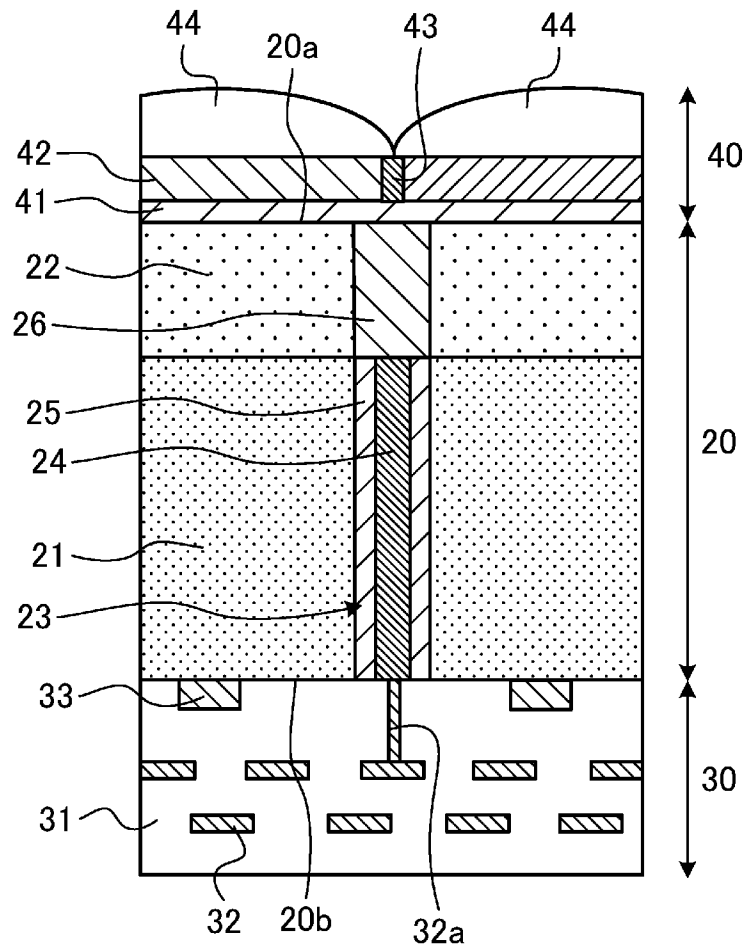
[図6]



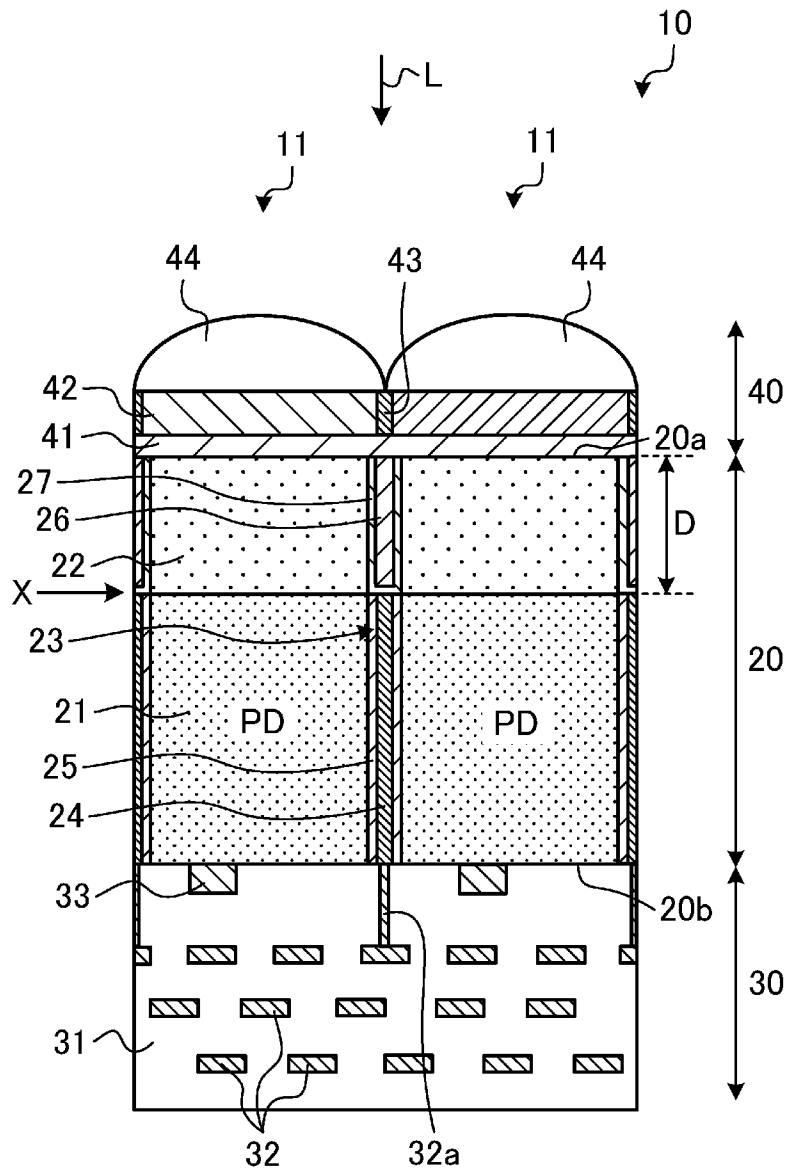
[図7]



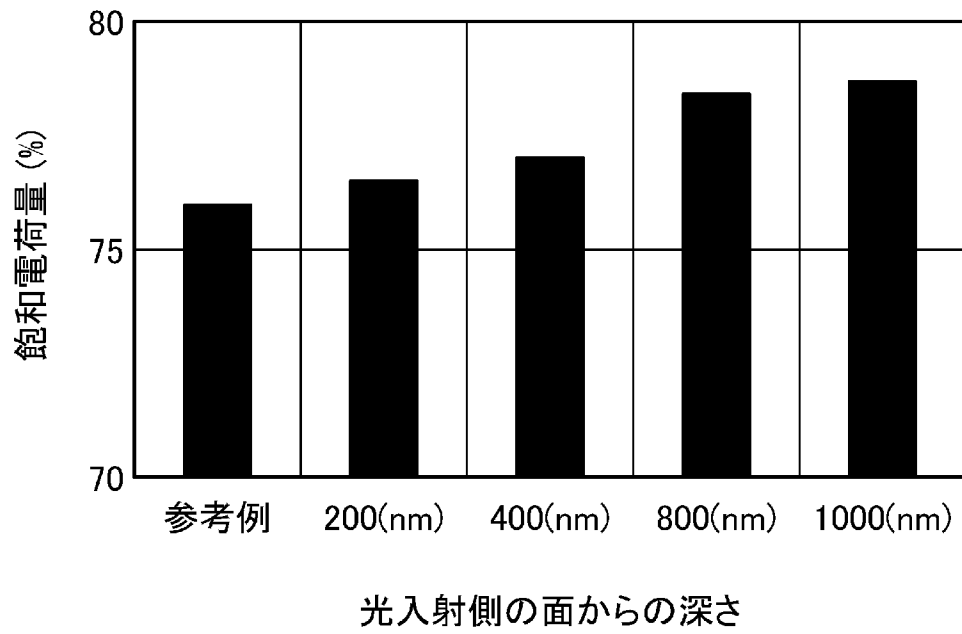
[図8]



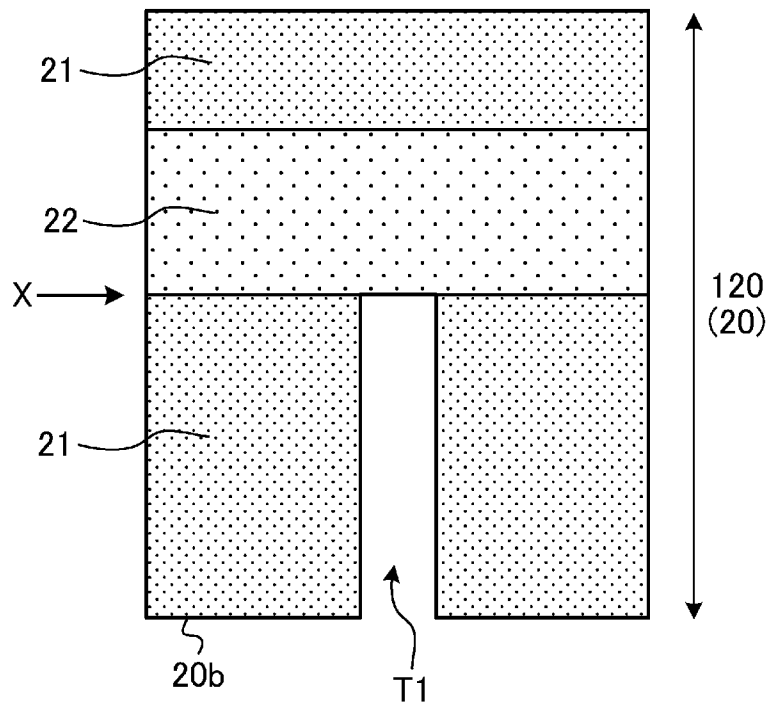
[図9]



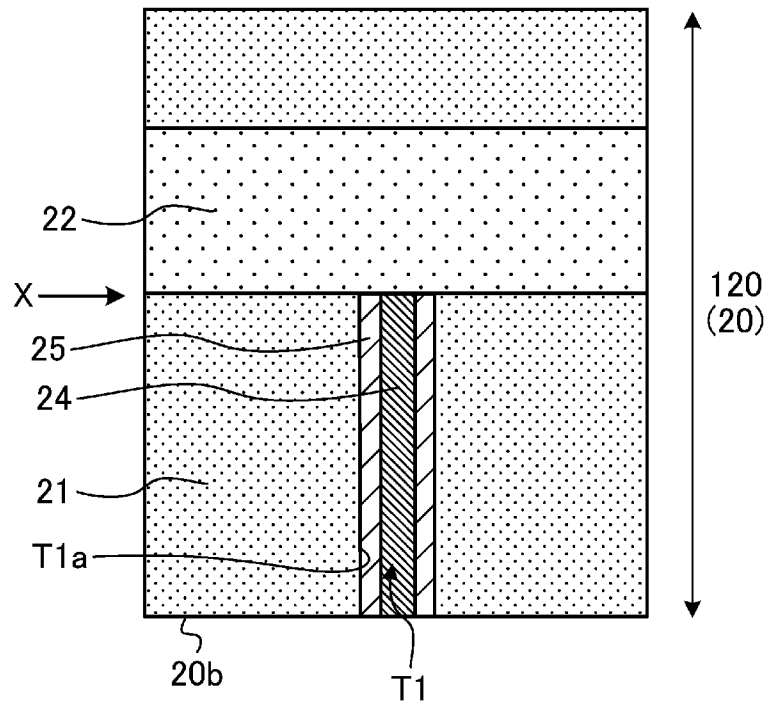
[図10]



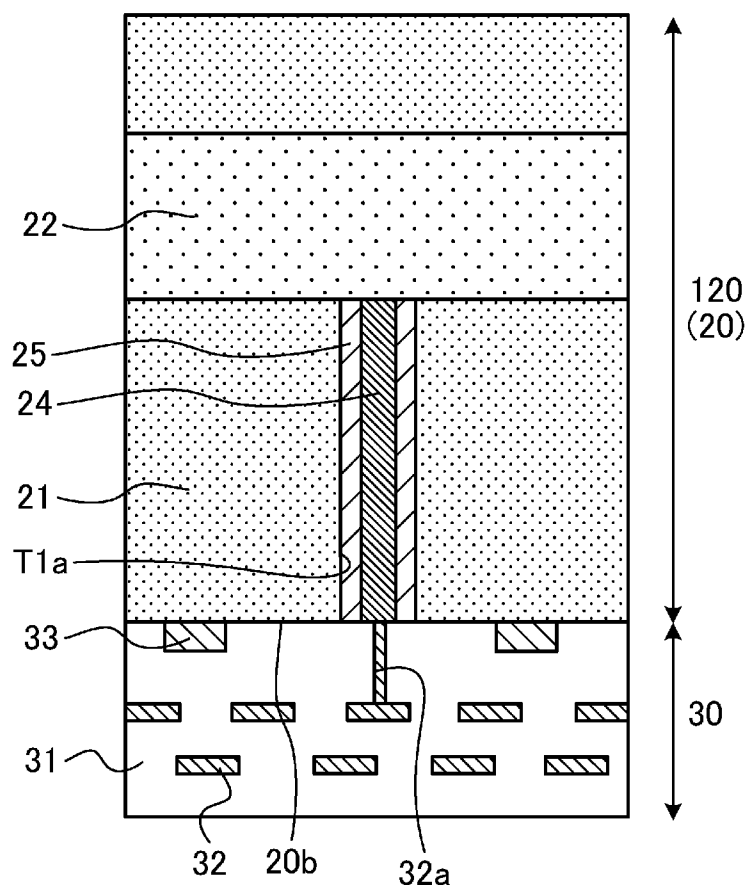
[図11]



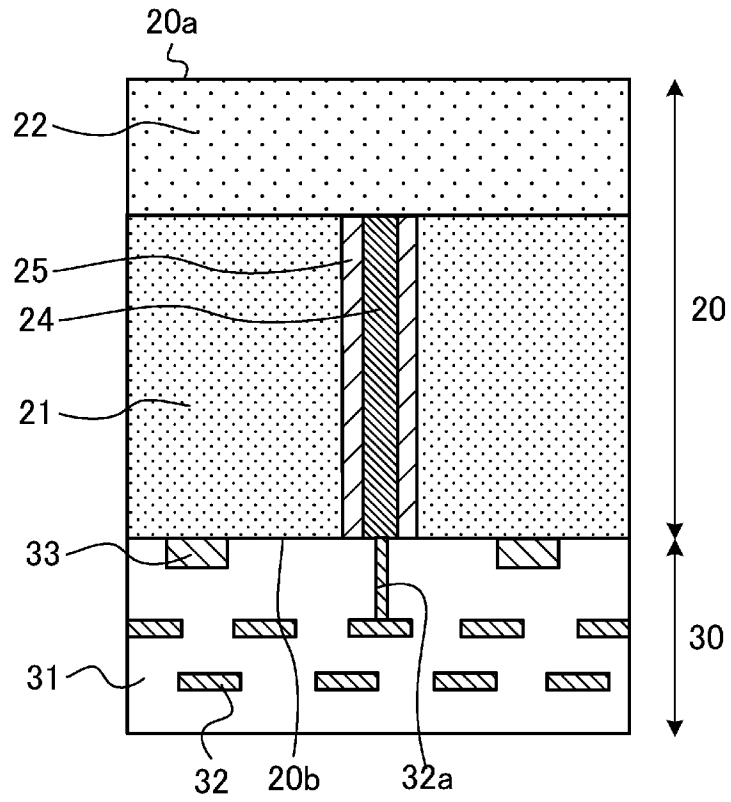
[図12]



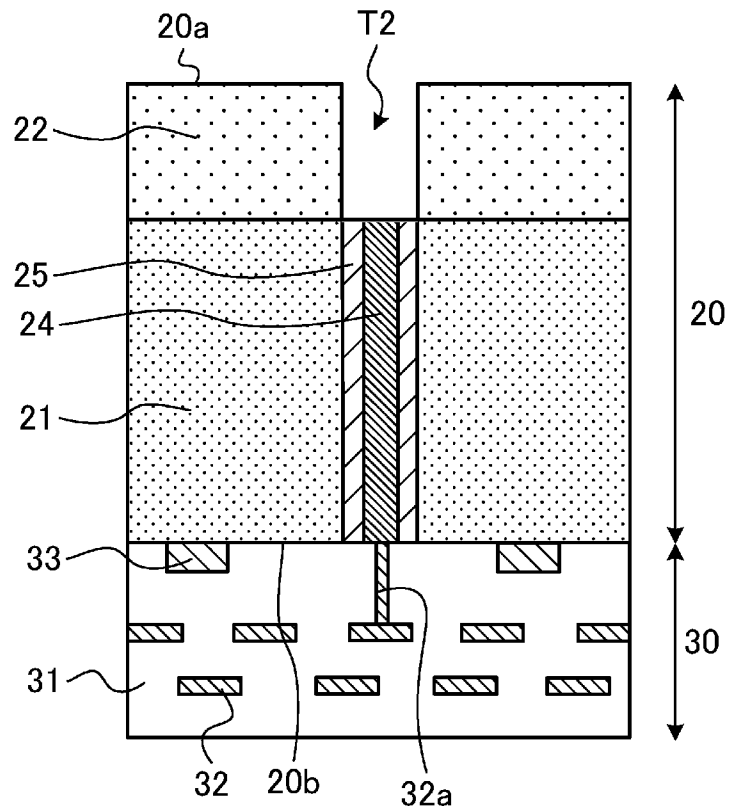
[図13]



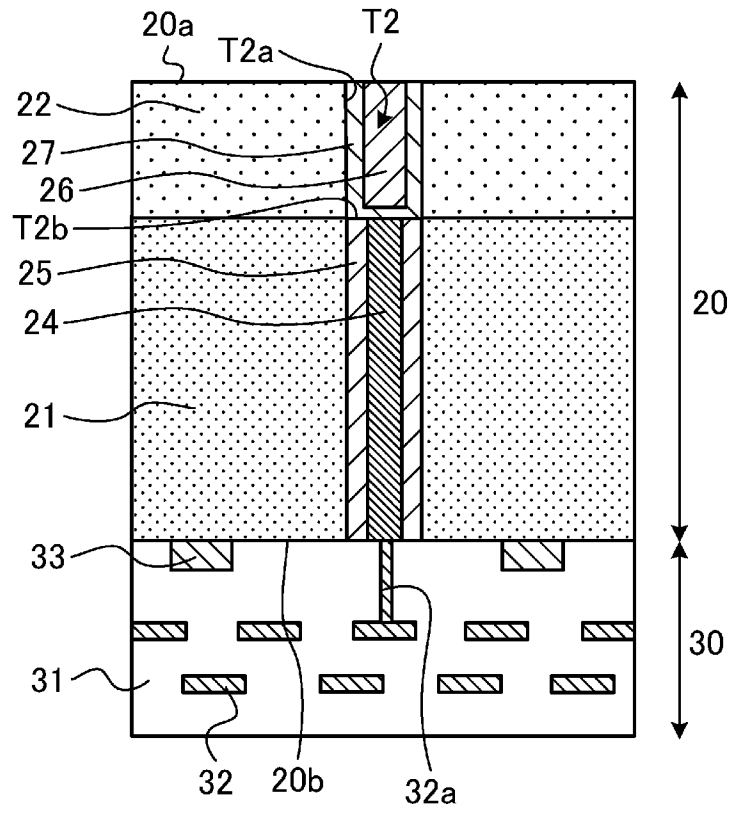
[図14]



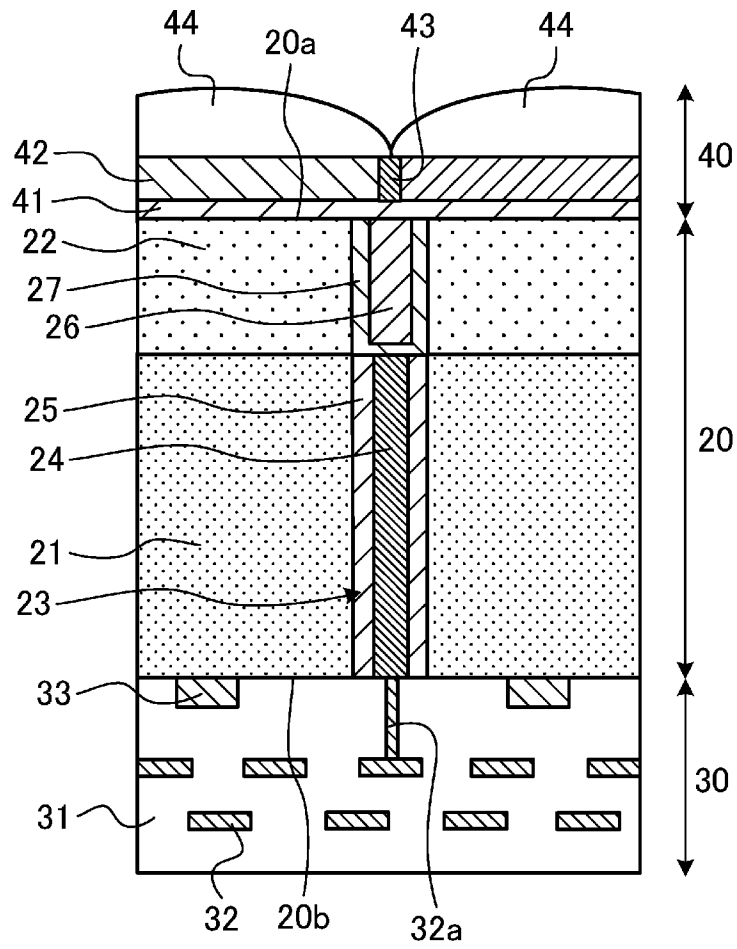
[図15]



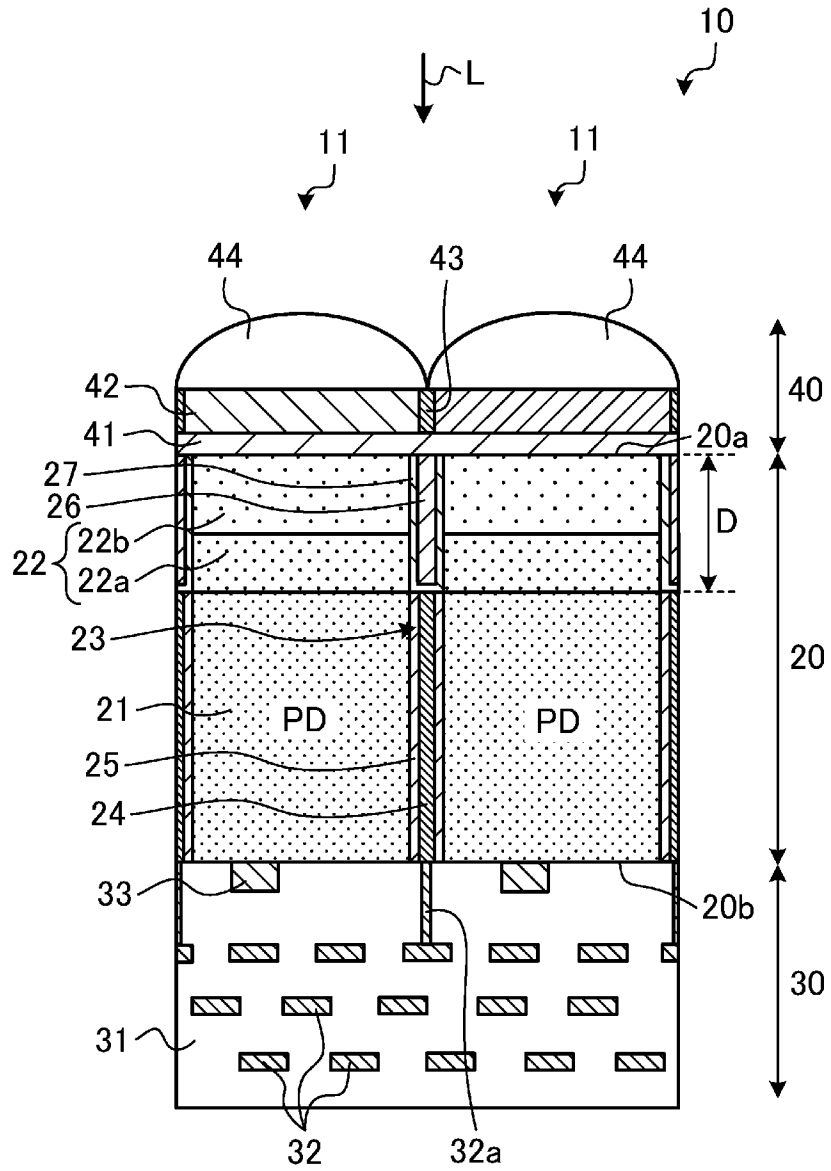
[図16]



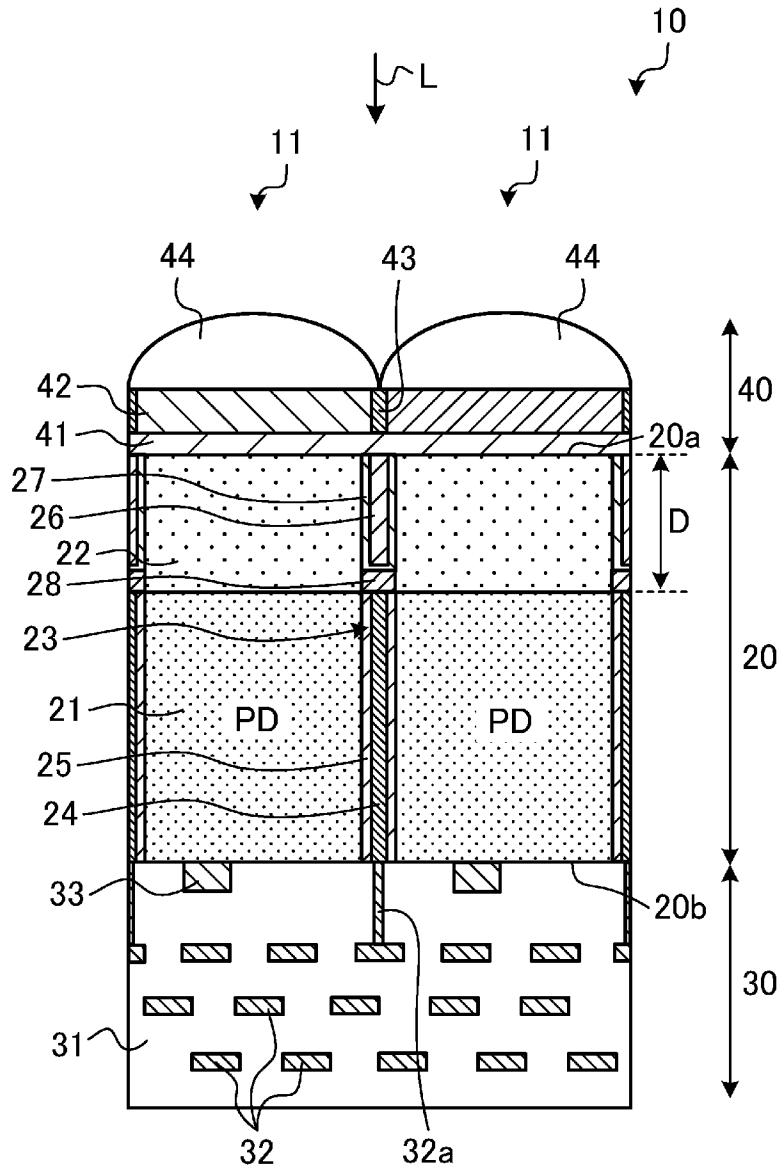
[図17]



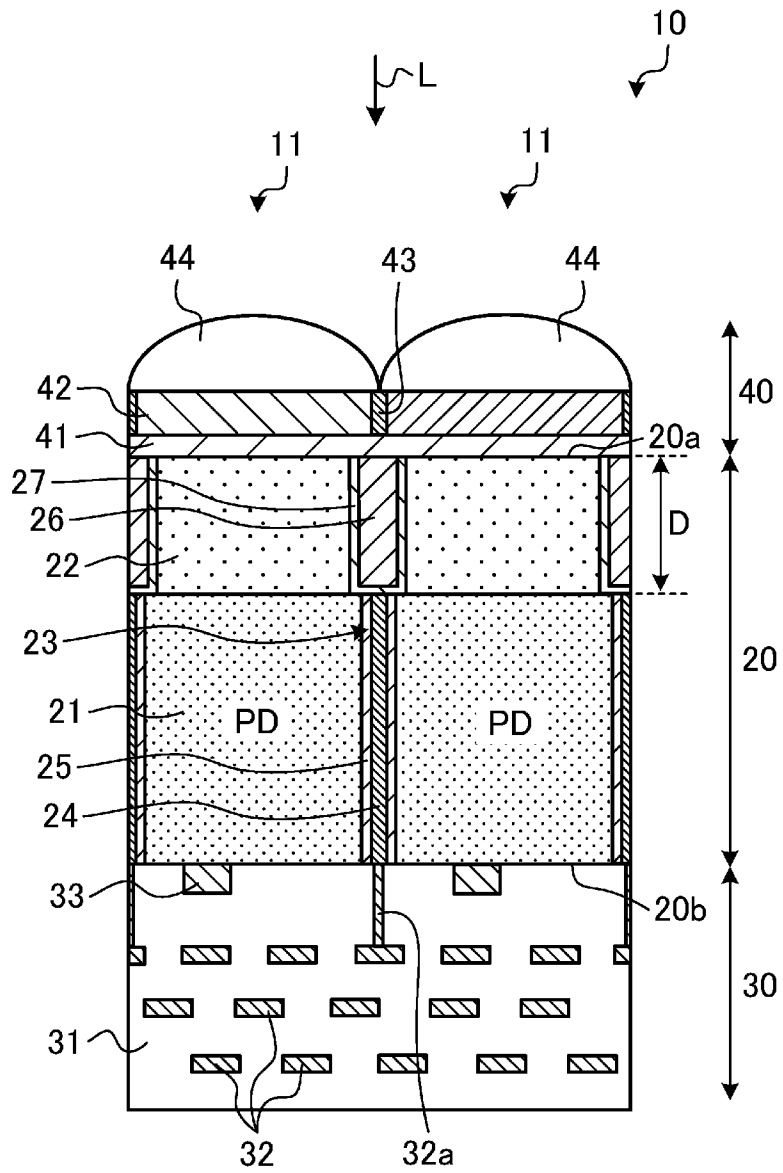
[図18]



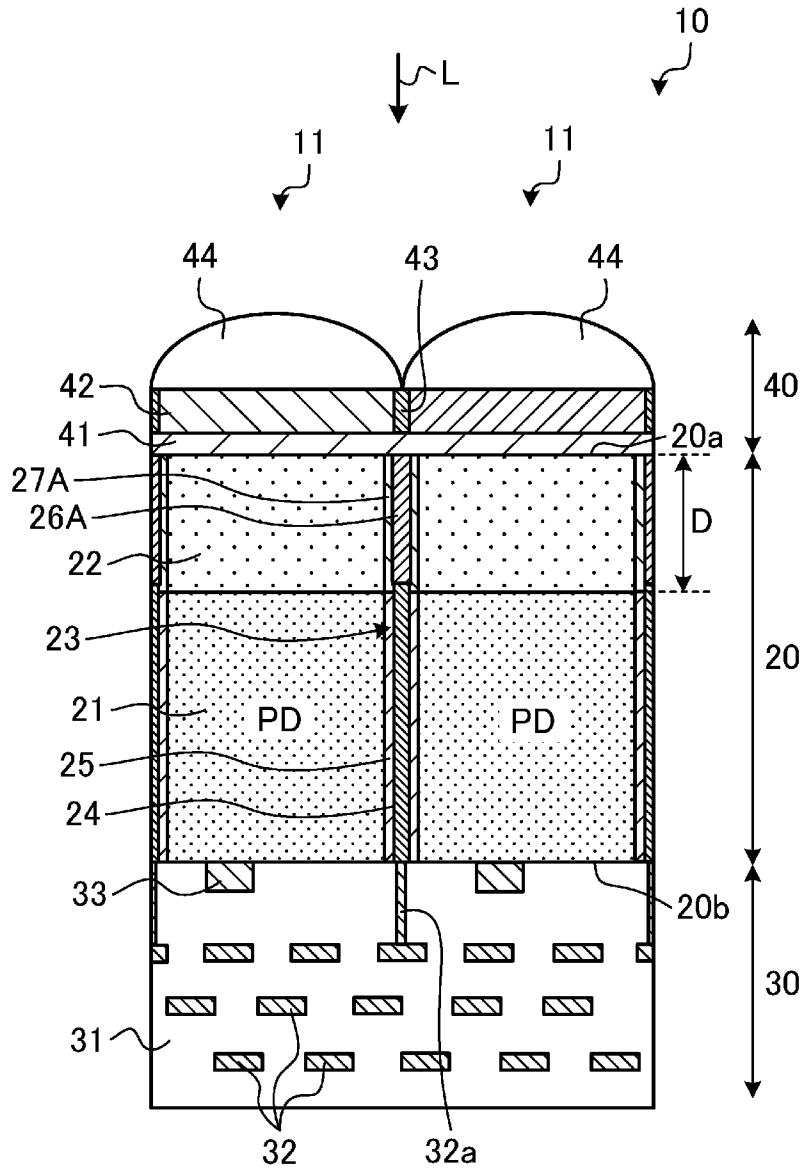
[図19]



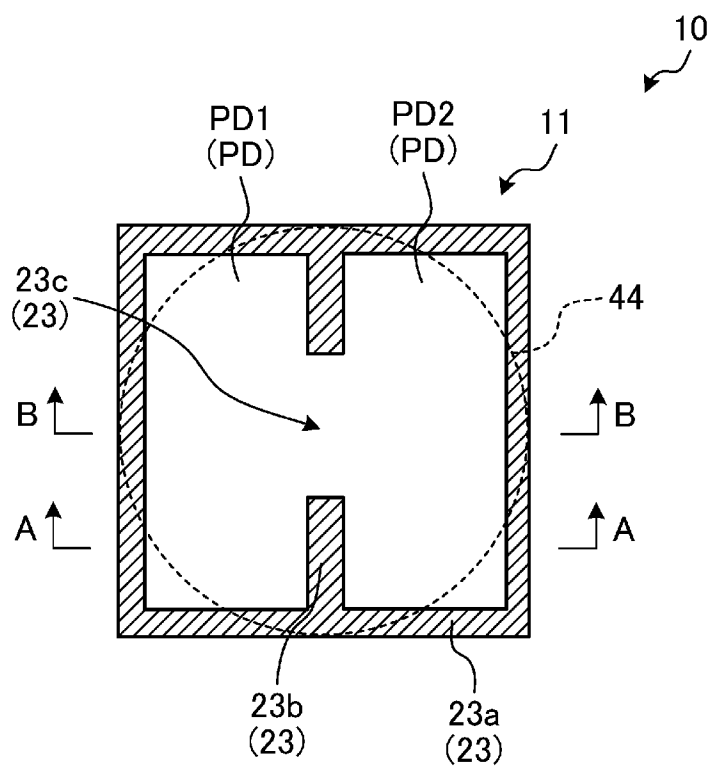
[図20]



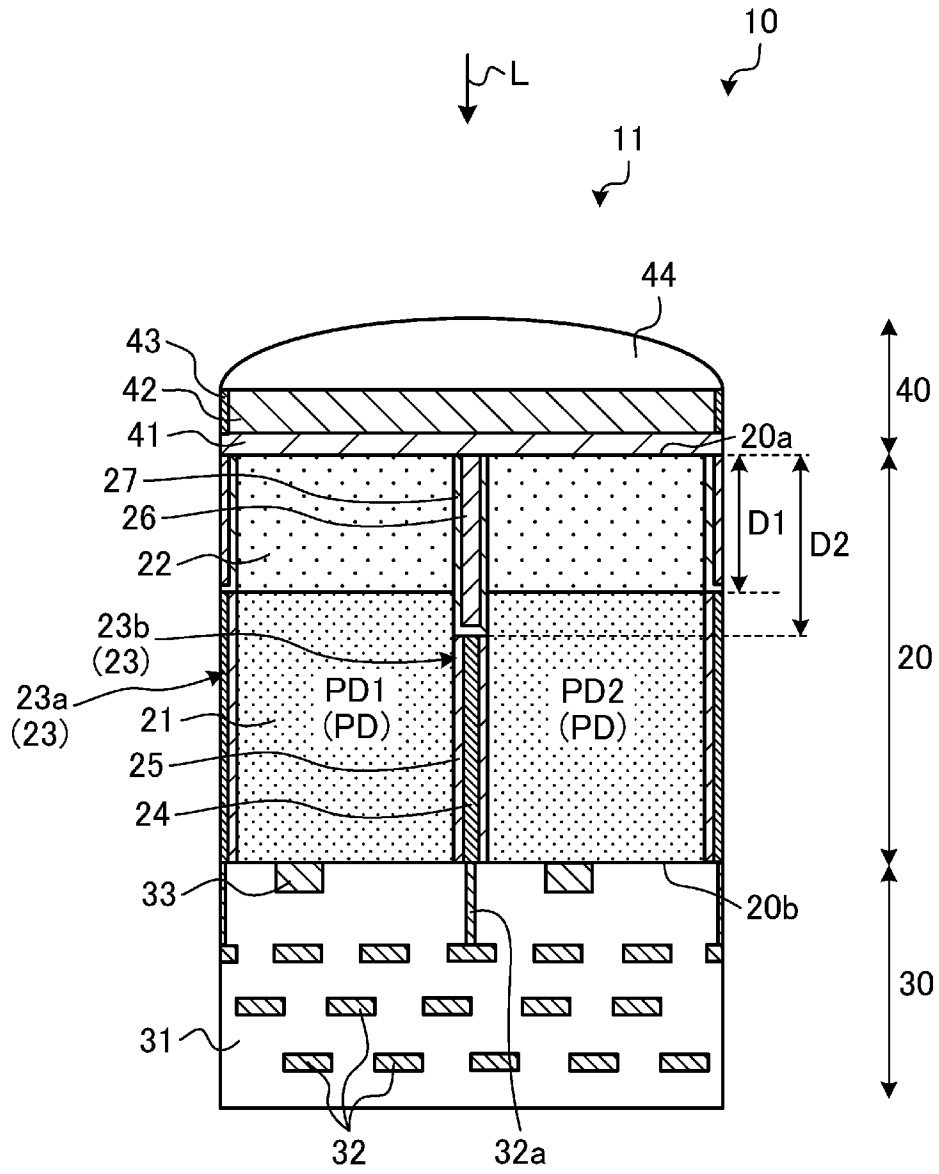
[図21]



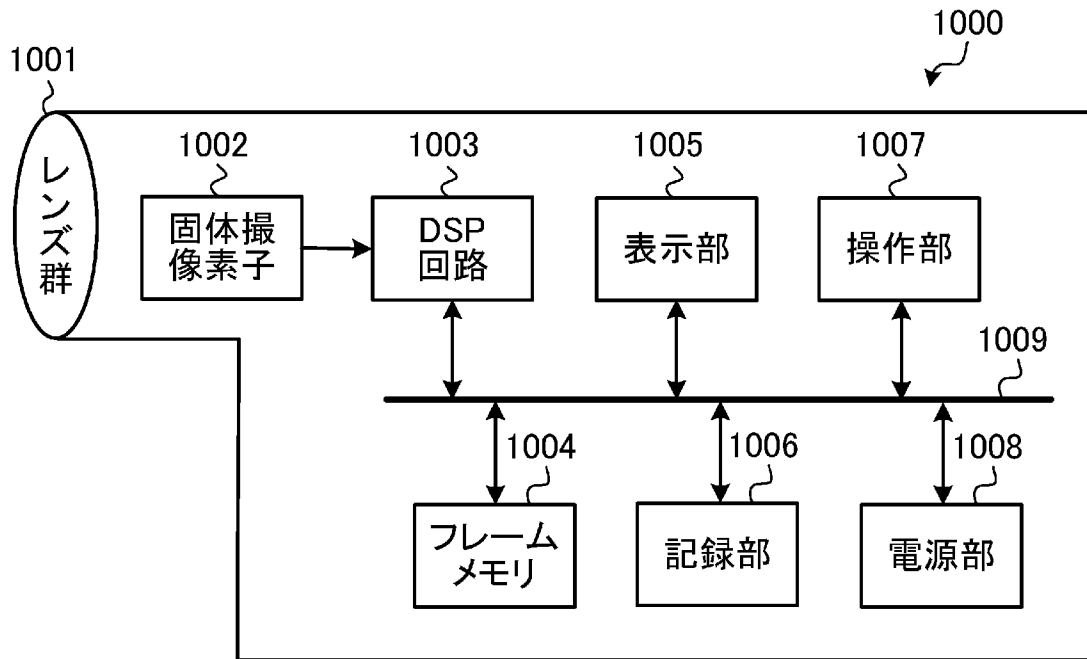
[図22]



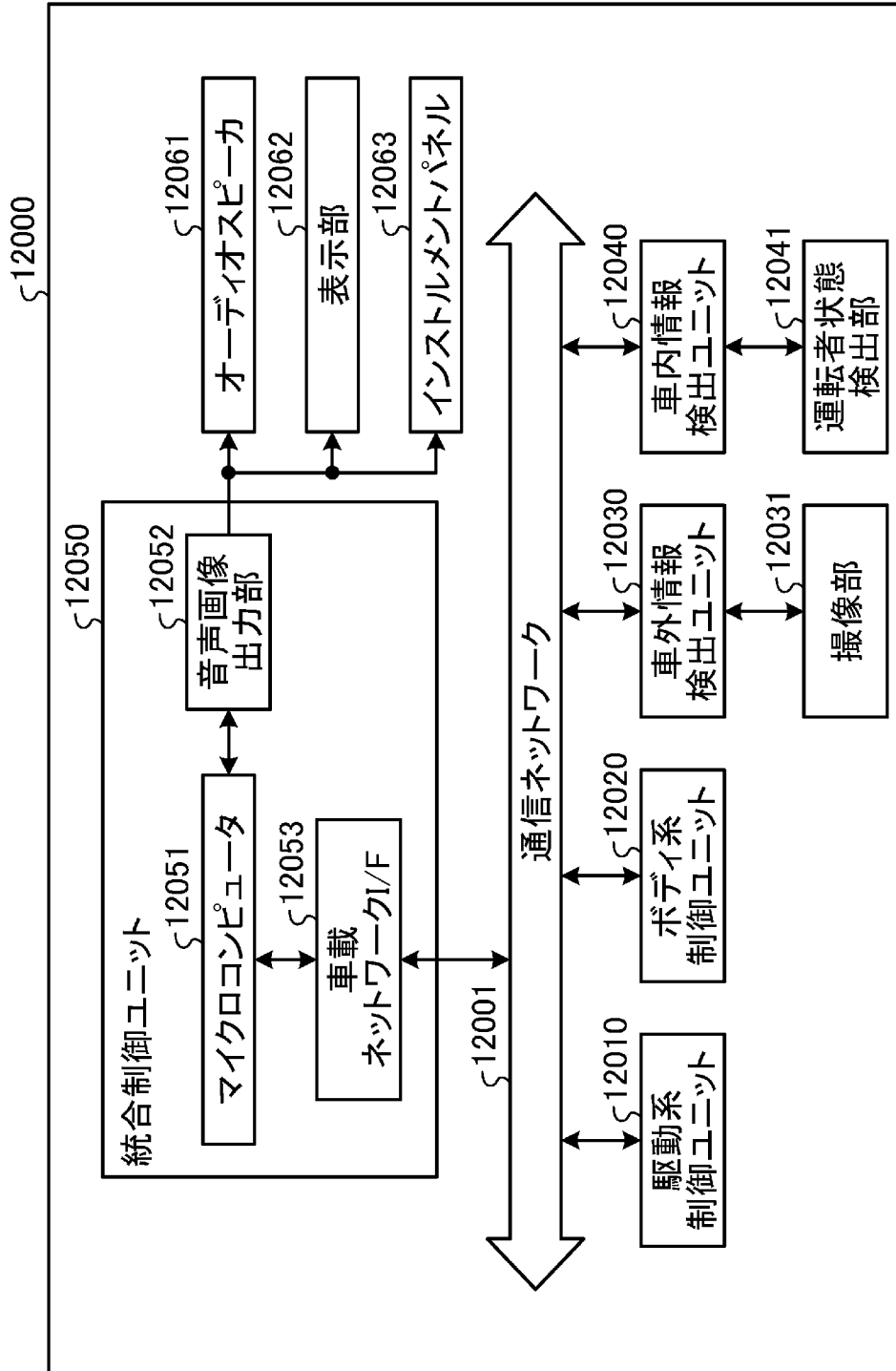
[図23]



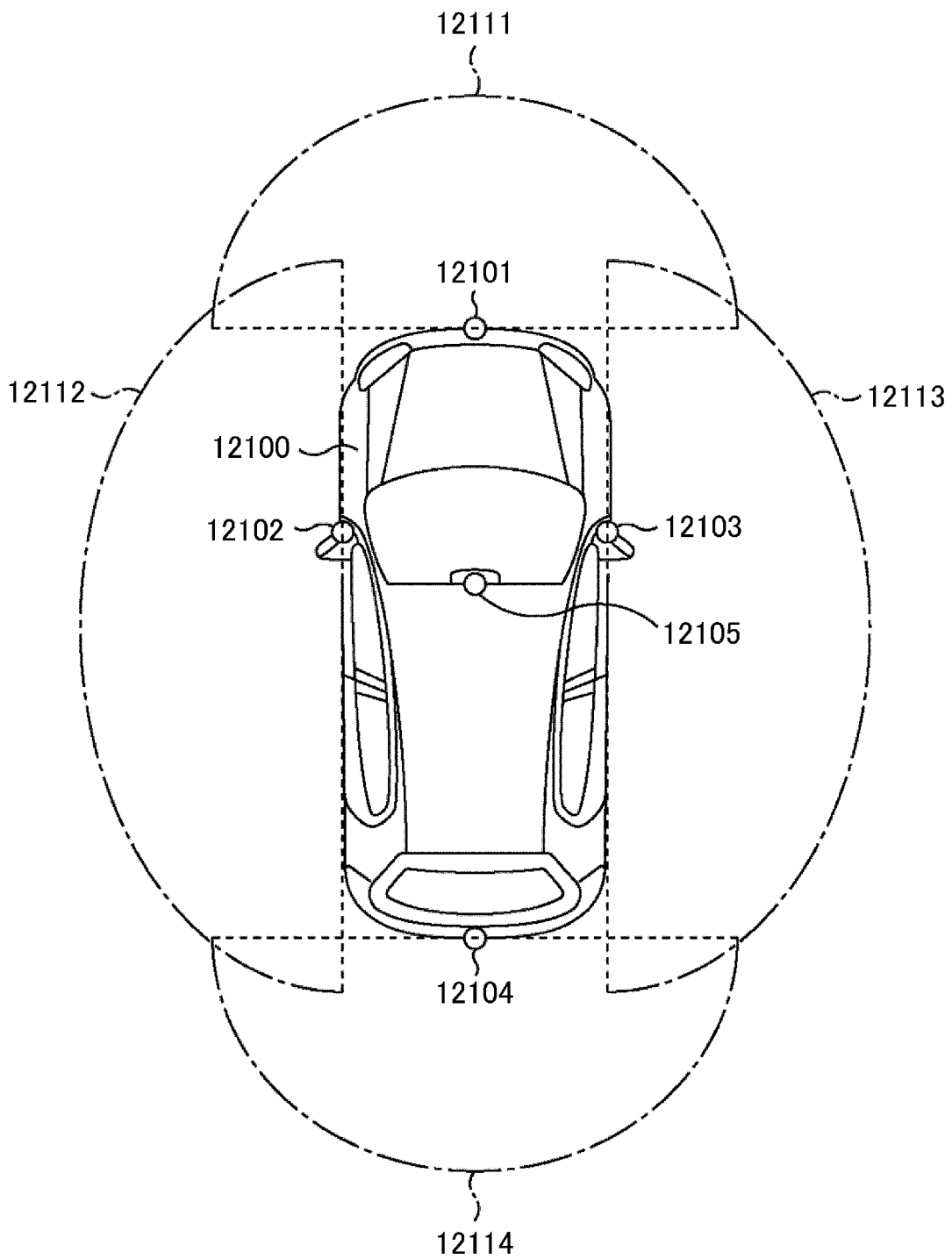
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/005561

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 27/146</i> (2006.01); <i>H01L 21/3205</i> (2006.01); <i>H01L 21/768</i> (2006.01); <i>H01L 23/522</i> (2006.01); <i>H04N 5/374</i> (2011.01); FI: H01L27/146 A; H01L21/88 J; H01L27/146 D; H04N5/374		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H01L21/3205; H01L21/768; H01L23/522; H04N5/374		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2020/262131 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 30 December 2020 (2020-12-30) paragraphs [0048], [0059], [0265], [0273], [0276], fig. 1-89	1, 3-5, 9 2, 6-8
X A	US 2017/0373108 A1 (SK HYNIX INC.) 28 December 2017 (2017-12-28) paragraphs [0053], [0055], [0067], [0070], [0074], [0076], [0080]-[0083], [0086], fig. 1-8	1, 4, 5, 7, 9 2, 3, 6, 8
A	US 2019/0296060 A1 (SK HYNIX INC.) 26 September 2019 (2019-09-26) paragraphs [0054]-[0061], fig. 1-13	1-9
A	WO 2019/220945 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 21 November 2019 (2019-11-21) paragraphs [0017]-[0114], fig. 1-24	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 April 2022		Date of mailing of the international search report 10 May 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2022/005561

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2020/262131 A1	30 December 2020	(Family: none)	
US 2017/0373108 A1	28 December 2017	(Family: none)	
US 2019/0296060 A1	26 September 2019	(Family: none)	
WO 2019/220945 A1	21 November 2019	US 2021/0136310 A1 paragraphs [0039]-[0136], fig. 1-24 EP 3796386 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/146(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H04N 5/374(2011.01)i FI: H01L27/146 A; H01L21/88 J; H01L27/146 D; H04N5/374		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/146; H01L21/3205; H01L21/768; H01L23/522; H04N5/374 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/262131 A1 (ソニーセミコンダクタソリューションズ株式会社) 30.12.2020 (2020-12-30) 段落0048, 0059, 0265, 0273, 0276, 図1-89	1, 3-5, 9
A		2, 6-8
X	US 2017/0373108 A1 (SK HYNIX INC.) 28.12.2017 (2017-12-28) 段落0053, 0055, 0067, 0070, 0074, 0076, 0080-0083, 0086, 図1-8	1, 4, 5, 7, 9
A		2, 3, 6, 8
A	US 2019/0296060 A1 (SK HYNIX INC.) 26.09.2019 (2019-09-26) 段落0054-0061, 図1-13	1-9
A	WO 2019/220945 A1 (ソニーセミコンダクタソリューションズ株式会社) 21.11.2019 (2019-11-21) 段落0017-0114, 図1-24	1-9
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 25.04.2022	国際調査報告の発送日 10.05.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小山 満 5F 9458 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/005561

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/262131 A1	30.12.2020	(ファミリーなし)	
US 2017/0373108 A1	28.12.2017	(ファミリーなし)	
US 2019/0296060 A1	26.09.2019	(ファミリーなし)	
WO 2019/220945 A1	21.11.2019	US 2021/0136310 A1 段落0039-0136, 図1-24 EP 3796386 A1	