

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月28日(28.06.2018)



(10) 国際公開番号

WO 2018/116706 A1

(51) 国際特許分類:

G01R 27/26 (2006.01) G06F 3/044 (2006.01)
G06F 3/041 (2006.01) H03K 17/955 (2006.01)

(21) 国際出願番号: PCT/JP2017/041125

(22) 国際出願日: 2017年11月15日(15.11.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-247475 2016年12月21日(21.12.2016) JP

(71) 出願人: アルプス電気株式会社 (ALPS ELECTRIC CO., LTD.) [JP/JP]; 〒1458501 東京都大田区雪谷大塚町 1 番 7 号 Tokyo (JP).

(72) 発明者: 篠井 潔(SASAI, Kiyoshi); 〒1458501 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内 Tokyo (JP). 藤由 達巳(FUJIYOSHI, Tatsumi); 〒1458501 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内 Tokyo (JP). 寒川井 伸一(SAGAWAI, Shinichi); 〒1458501 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内 Tokyo (JP).

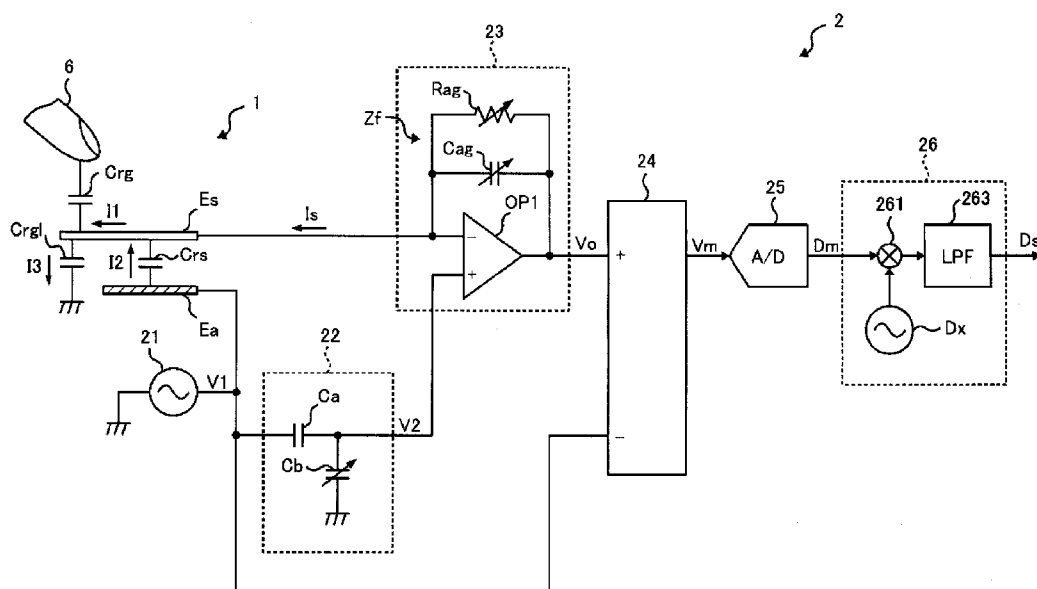
(74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: CAPACITANCE DETECTION DEVICE AND INPUT DEVICE

(54) 発明の名称: 静電容量検出装置及び入力装置

[図2]



(57) Abstract: This capacitance detection device 2 has a first voltage output circuit 21 for outputting a first AC voltage V1 supplied to a shield electrode Ea disposed in the vicinity of a detection electrode Es, a second voltage output circuit 22 for outputting a second AC voltage V2 that has the same frequency and phase as the first AC voltage V1 and a smaller amplitude than the first AC voltage V1, and a current output circuit 23 for outputting a drive current Is to the detection electrode Es so as to reduce the voltage difference between the voltage of the detection electrode Es and the second AC



BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

voltage V2 and outputting a detection signal Vo corresponding to the drive current Is. The second voltage output circuit 22 outputs a second AC voltage V2 having an amplitude that is adjusted such that the drive current Is is zero in a state where there is no object 6 near the detection electrode Es.

(57) 要約: 静電容量検出装置2は、検出電極Esに近接して配置されたシールド電極Eaに供給される第1交流電圧V1を出力する第1電圧出力回路21と、周波数と位相が第1交流電圧V1に等しく、かつ、振幅が第1交流電圧V1より小さい第2交流電圧V2を出力する第2電圧出力回路22と、検出電極Esの電圧と第2交流電圧V2との電圧差が小さくなるように検出電極Esへ駆動電流Isを出力するとともに、駆動電流Isに応じた検出信号Voを出力する電流出力回路23とを有する。第2電圧出力回路22は、検出電極Esに近接する対象物6が存在しない状態における駆動電流Isがゼロになるように振幅が調整された第2交流電圧V2を出力する。

明 細 書

発明の名称： 静電容量検出装置及び入力装置

技術分野

[0001] 本発明は、対象物と電極との間の静電容量を検出する静電容量検出装置、及び、タッチパッドなどの静電容量型の入力装置に関するものである。

背景技術

[0002] 指などの対象物の近接を静電容量に基づいて検出するタッチセンサやタッチパッドなどの入力装置が知られている。入力装置に用いられる静電容量の検出方式には、一般に、相互容量式と自己容量式がある。相互容量式では、交差して配置された2つの電極間の静電容量が検出され、自己容量式では、グラウンドに対する検出電極の静電容量が検出される。

[0003] 自己容量式は、相互容量式に比べて静電容量の検出感度が高いという利点を有する。しかしながら、グラウンドと検出電極の間に容量の大きな寄生キャパシタが存在すると、検出結果の信号に寄生キャパシタの成分が大きな割合を占めるようになり、検出対象の容量成分のダイナミックレンジが小さくなるため、検出感度が低下する。また、寄生キャパシタの容量変動がノイズとなり、静電容量の検出精度が低下する。

[0004] 従来、このような寄生キャパシタの影響を軽減するため、検出電極と同電位に駆動されたシールド電極（アクティブシールドとも呼ばれる）が検出電極の周囲に配置されている（例えば、下記の特許文献1を参照）。アクティブシールドを設けることにより、検出電極が周囲の導体と静電結合を生じ難くなるため、寄生キャパシタの容量が減少する。また、アクティブシールドが検出電極と同電位であるため、アクティブシールドと検出電極との間の静電容量は検出結果に影響を与えない。

先行技術文献

特許文献

[0005] 特許文献1：特開2001-94408号公報

特許文献2：特開 2011-247610 号公報

特許文献3：国際公開第 2016/059967 号

発明の概要

発明が解決しようとする課題

- [0006] アクティブシールドによって寄生キャパシタの容量は減少するものの、全てを無くすことはできない。そのため、より高い検出感度を得ようとした場合は、残留する寄生キャパシタの影響が問題となる。
- [0007] 上記の特許文献2に記載される装置では、被測定容量に応じた電流が検出回路において電圧に変換され、この検出回路の出力電圧が補正回路に入力されて、寄生キャパシタの影響による位相のずれが補正される（特許文献2の図1等）。しかしながら、検出回路の出力電圧の振幅が寄生キャパシタの影響によって増大するため、被測定容量のダイナミックレンジが小さくなり、検出感度が低下するという問題がある。
- [0008] 他方、特許文献3に記載される装置では、検出対象のキャパシタに流れる駆動電流に比例した検出電流が電流出力回路から出力され、この検出電流に補正用キャパシタを介して補正電流が加えられることで、寄生キャパシタによる電流の増大分が相殺される（特許文献3の図7等）。しかしながら、補正用キャパシタの静電容量は寄生キャパシタに相当する微小な値に設定する必要があるため、静電容量の設定精度を高め難いという問題がある。
- [0009] 本発明はかかる事情に鑑みてなされたものであり、その目的は、寄生キャパシタの影響による検出感度や検出精度の低下を抑制できる静電容量検出装置と、これを備えた入力装置を提供することにある。

課題を解決するための手段

- [0010] 本発明の第1の観点は、検出電極に近接する対象物と前記検出電極との間の静電容量を検出する静電容量検出装置に関する。この静電容量検出装置は、前記検出電極に近接して配置されたシールド電極に供給される第1交流電圧を出力する第1電圧出力回路と、周波数と位相が前記第1交流電圧に等しく、かつ、振幅が前記第1交流電圧より小さい第2交流電圧を出力する第2

電圧出力回路と、前記検出電極の電圧と前記第 2 交流電圧との電圧差が小さくなるように前記検出電極へ駆動電流を出力するとともに、当該駆動電流に応じた検出信号を出力する電流出力回路とを有する。前記第 2 電圧出力回路は、前記検出電極に近接する前記対象物が存在しない状態における前記駆動電流がゼロになるように振幅が調整された前記第 2 交流電圧を出力する。

[0011] この構成によれば、前記検出電極と前記シールド電極との間に形成されるキャパシタ（以下、「シールド電極側キャパシタ」と記す場合がある。）には、前記第 1 交流電圧と前記第 2 交流電圧との差に応じた交流電流が流れる。前記第 2 交流電圧の振幅が、前記検出電極に近接する前記対象物が存在しない状態における前記駆動電流がゼロになるように調整された振幅であるため、シールド電極側キャパシタに流れる交流電流は、前記検出電極の寄生キャパシタ（以下、単に「寄生キャパシタ」と記す場合がある。）に流れる交流電流と概ね等しくなる。すなわち、シールド電極側キャパシタに流れる交流電流と寄生キャパシタに流れる交流電流とが相殺されることにより、前記駆動電流には、寄生キャパシタによる交流電流が殆ど含まれなくなる。そのため、前記電流出力回路から出力される前記検出信号は、寄生キャパシタによる成分を殆ど含まなくなる。従って、前記対象物と前記検出電極との間の静電容量（以下、「被検出容量」と記す場合がある。）の検出感度や検出精度が、寄生キャパシタの影響を受け難くなる。

[0012] 好適に、前記第 2 電圧出力回路は、前記第 1 交流電圧を減衰させた電圧を前記第 2 交流電圧として出力する。

[0013] この構成によれば、減衰器を用いて前記第 1 交流電圧から前記第 2 交流電圧を生成することが可能になる。トランジスタ等の能動素子を含まない減衰器を用いることにより、前記第 2 交流電圧のノイズが小さくなり、被検出容量の検出精度が向上する。

[0014] 好適に、前記第 2 電圧出力回路は、第 1 キャパシタと第 2 キャパシタとの直列回路を含んでよい。前記第 1 電圧出力回路は、前記直列回路の両端に前記第 1 交流電圧を印加してよい。前記第 2 キャパシタにおいて、前記第 1 交

流電圧に応じた前記第 2 交流電圧が生じてよい。

[0015] この構成によれば、前記第 1 キャパシタと前記第 2 キャパシタとの直列回路に前記第 1 交流電圧が印加され、前記第 1 交流電圧に応じた前記第 2 交流電圧が前記第 2 キャパシタにおいて生じる。そのため、抵抗による減衰器を用いる場合に比べてノイズが小さくなる。

[0016] 好適に、前記第 1 キャパシタと前記第 2 キャパシタとの静電容量比が、前記検出電極に近接する前記対象物が存在しない状態における前記駆動電流がゼロになるように調整された値を持ってよい。

[0017] この構成によれば、前記第 1 キャパシタと前記第 2 キャパシタとの静電容量比の調整により、前記第 2 交流電圧の振幅が調整され、この振幅の調整により、シールド電極側キャパシタに流れる交流電流と寄生キャパシタに流れる交流電流とが相殺される。そのため、前記第 1 キャパシタ及び前記第 2 キャパシタの静電容量は、寄生キャパシタの静電容量に依らず、比較的大きな値にすることが可能となる。前記第 1 キャパシタ及び前記第 2 キャパシタの静電容量が大きくなることで、前記静電容量比の設定精度を高めやすくなり、前記シールド電極側キャパシタに流れる交流電流と寄生キャパシタに流れる交流電流とを精度よく相殺することが可能になる。

[0018] 好適に、前記第 2 キャパシタの静電容量値が調整可能であって、前記第 2 キャパシタは、前記検出電極に近接する前記対象物が存在しない状態における前記駆動電流がゼロになるように調整された静電容量値を持ってよい。

[0019] この構成によれば、前記第 2 キャパシタの静電容量値の調整により、前記第 2 交流電圧の振幅が調整され、この振幅の調整により、前記シールド電極側キャパシタに流れる交流電流と寄生キャパシタに流れる交流電流とが相殺される。この交流電流の相殺が成立する場合、前記第 2 キャパシタの静電容量と寄生キャパシタの静電容量とが比例するため、前記第 2 キャパシタの静電容量の調整が容易になる。

[0020] 好適に、前記電流出力回路は、前記検出電極に接続される反転入力端子と前記第 2 交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増

幅結果を前記検出信号として出力する演算増幅器と、前記演算増幅器の前記検出信号の出力端子と前記反転入力端子との間の経路に設けられた帰還キャパシタと、前記帰還キャパシタと並列に接続された帰還抵抗と、前記演算増幅器の前記反転入力端子と前記検出電極との間の経路に設けられた第 1 抵抗とを含んでよい。

[0021] この構成によれば、前記帰還キャパシタと前記第 1 抵抗と前記演算増幅器とによりローパスフィルタが構成されるため、前記検出電極を介して入力されるノイズが減衰し、検出精度の低下が抑えられる。

[0022] 好適に、前記電流出力回路は、前記検出電極に接続される反転入力端子と前記第 2 交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増幅結果を前記検出信号として出力する演算増幅器と、前記演算増幅器の前記検出信号の出力端子と前記反転入力端子との間の経路に設けられた帰還キャパシタと、前記演算増幅器の前記反転入力端子と前記検出電極との間の経路に設けられた第 1 抵抗と、前記検出電極に接続される前記第 1 抵抗の一端と前記演算増幅器の前記出力端子との間の経路に設けられた帰還抵抗とを含んでよい。

[0023] この構成によれば、前記帰還キャパシタと前記第 1 抵抗と前記帰還抵抗と前記演算増幅器とによりローパスフィルタが構成されるため、前記検出電極を介して入力されるノイズが減衰し、検出精度が向上する。また、前記ローパスフィルタのゲインの伝達関数における極が複素極となり、極付近の周波数においてゲインが高くなるため、検出感度が高くなる。

[0024] 好適に、前記第 1 電圧出力回路及び前記第 2 電圧出力回路は、出力する交流電圧の周波数をそれぞれ変更可能であってよい。前記第 1 抵抗は、前記第 1 交流電圧及び前記第 2 交流電圧の周波数に応じて抵抗値が変更される可変抵抗であってよい。

[0025] この構成によれば、前記第 1 交流電圧及び前記第 2 交流電圧の周波数（以下、「駆動周波数」と記す場合がある。）をそれぞれ変更可能であるため、ノイズの影響が小さくなるように周波数を選択することが可能になる。また

、前記第 1 交流電圧及び前記第 2 交流電圧の周波数に応じて、前記ローパスフィルタのカットオフ周波数を適切に設定することが可能になる。

[0026] 好適に、前記帰還キャパシタの静電容量値及び前記帰還抵抗の抵抗値がそれぞれ調整可能であってよい。

[0027] この構成によれば、前記帰還キャパシタの静電容量値及び前記帰還抵抗の抵抗値がそれぞれ調整可能であるため、前記第 1 交流電圧及び前記第 2 交流電圧と前記検出信号との位相差や、被測定容量に対する検出信号のゲインを適切に調整することが可能になる。

[0028] 好適に、前記電流出力回路は、前記検出電極に接続される反転入力端子と前記第 2 交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増幅結果を前記検出信号として出力する演算増幅器と、前記演算増幅器の前記検出信号の出力端子と前記反転入力端子との間の経路に設けられた帰還回路とを含んでよい。また、上記静電容量検出装置は、前記検出電極に近接する前記対象物が存在しない状態において前記演算増幅器から前記検出信号として出力される交流電圧に相当する基準交流電圧を前記検出信号から減算する減算回路を有してよい。

[0029] この構成によれば、前記検出電極に近接する前記対象物が存在しない状態において前記演算増幅器から前記検出信号として出力される交流電圧に相当する前記基準交流電圧が、前記検出信号から減算される。この減算の結果として得られる信号は、前記検出信号の被検出容量にほぼ比例した振幅を持ち、前記検出電極に近接する前記対象物が存在しない状態において微小になる。そのため、被検出容量の変化に対応する前記検出信号のダイナミックレンジがより大きくなり、被検出容量の検出感度が向上する。

[0030] 好適に、前記減算回路は、前記検出信号と前記第 1 交流電圧とを入力し、前記第 1 交流電圧を減衰させた電圧である前記基準交流電圧を前記検出信号から減算してよい。

[0031] この構成によれば、前記減算回路において前記検出信号から減算される前記基準交流電圧が、前記第 1 交流電圧を減衰させた電圧であるため、前記検

出信号に含まれるノイズ成分と前記基準交流電圧に含まれるノイズ成分との相関性が高い。これにより、前記減算回路の減算結果として得られる信号のノイズ成分が減少する。

[0032] 好適に、前記減算回路は、前記検出信号から前記基準交流電圧を減算した結果を差動信号として出力してよい。

[0033] この構成によれば、全差動アンプを用いて前記減算回路を構成することが可能である。

[0034] 好適に、前記電流出力回路は、前記検出電極に接続される反転入力端子と前記第2交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増幅結果を前記検出信号として出力する演算増幅器と、前記演算増幅器の前記検出信号の出力端子と共通ノードとの間の経路に設けられた帰還回路と、複数の入力ノードから1つの前記入力ノードを選択して前記共通ノードに接続する第1スイッチ回路と、前記複数の入力ノードから前記第1スイッチ回路と同じ1つの前記入力ノードを選択して前記反転入力端子に接続する第2スイッチ回路とを含んでよい。前記複数の入力ノードが、それぞれ異なる前記検出電極に接続されてよい。

[0035] この構成によれば、前記演算増幅器の前記反転入力端子と前記出力端子との間の帰還ループに前記第1スイッチ回路及び前記第2スイッチ回路の各スイッチが挿入される。MOSトランジスタ等によるスイッチは、信号レベルに応じて導通抵抗が変化する非線形性を有する。駆動周波数における前記帰還回路のインピーダンスが、前記検出電極側のインピーダンス（主にシールド電極側キャパシタのインピーダンス）に比べて大きいものとする、前記第1スイッチ回路のスイッチを前記入力ノードと前記共通ノードとの間の経路に設けることにより、前記入力ノードと前記検出電極との間の経路にスイッチを設ける場合に比べて、前記非線形性による影響（前記検出信号の歪など）が抑制される。また、前記演算増幅器の前記反転入力端子のインピーダンスは非常に大きいため、前記入力ノードと前記反転入力端子との間に前記第2スイッチ回路のスイッチを設けることにより、前記非線形性の影響が

ほとんど生じない。

[0036] 好適に、前記電流出力回路は、前記複数の入力ノードと前記複数の検出電極との間の複数の経路に設けられた複数の第1抵抗を含んでよい。前記帰還回路は、並列に接続された帰還キャパシタと帰還抵抗とを含んでよい。

[0037] この構成によれば、前記帰還キャパシタと前記第1抵抗と前記演算増幅器とによりローパスフィルタが構成されるため、前記検出電極を介して入力されるノイズが減衰し、検出精度の低下が抑制される。

[0038] 好適に、前記電流出力回路は、前記複数の入力ノードと前記複数の検出電極との間の複数の経路に設けられた複数の第1抵抗と、前記複数の検出電極と前記複数の第1抵抗とを接続する複数の接続ノードから1つの接続ノードを選択して前記演算増幅器の前記出力端子に接続する第3スイッチ回路と、前記第3スイッチ回路と前記出力端子との間の経路に設けられた帰還抵抗とを含んでよい。前記帰還回路は、帰還キャパシタを含んでよい。

[0039] この構成によれば、前記帰還キャパシタと前記第1抵抗と前記帰還抵抗と前記演算増幅器とによりローパスフィルタが構成されるため、前記検出電極を介して入力されるノイズが減衰し、検出精度の低下が抑制される。また、前記ローパスフィルタのゲインの伝達関数における極が複素極となり、極付近の周波数においてゲインが高くなるため、検出感度が高くなる。

[0040] 本発明の第2の観点は、対象物の近接に応じた情報を入力する入力装置に関する。この入力装置は、前記対象物の近接に応じて前記対象物との間の静電容量が変化する少なくとも1つの検出電極と、前記検出電極に近接して配置されたシールド電極と、前記対象物と前記検出電極との間の静電容量を検出する上記第1の観点の静電容量検出装置とを有する。

発明の効果

[0041] 本発明によれば、寄生キャパシタの影響による検出感度や検出精度の低下を抑制できる静電容量検出装置と、これを備えた入力装置を提供できる。

図面の簡単な説明

[0042] [図1]本発明の実施形態に係る入力装置の構成の一例を示す図である。

[図2]第1の実施形態に係る静電容量検出装置の構成の一例を示す図である。

[図3]減算回路の構成の一例を示す図である。

[図4]静電容量検出装置の一変形例を示す図である。

[図5]第2の実施形態に係る静電容量検出装置の構成の一例を示す図である。

[図6]第1抵抗の有無による周波数特性の違いを示す図である。

[図7]第3の実施形態に係る静電容量検出装置の構成の一例を示す図である。

[図8]図5における静電容量検出装置と図7における静電容量検出装置との周波数特性の違いを示す図である。

[図9]第4の実施形態に係る静電容量検出装置の構成の一例を示す図である。

[図10A]外乱に対する妨害耐性のシミュレーション結果を示す図である。

[図10B]外乱に対する妨害耐性のシミュレーション結果を示す図である。

[図10C]外乱に対する妨害耐性のシミュレーション結果を示す図である。

[図10D]外乱に対する妨害耐性のシミュレーション結果を示す図である。

[図10E]外乱に対する妨害耐性のシミュレーション結果を示す図である。

[図10F]外乱に対する妨害耐性のシミュレーション結果を示す図である。

[図11]第5の実施形態に係る静電容量検出装置の構成の一例を示す図である。
。

[図12]第6の実施形態に係る静電容量検出装置の構成の一例を示す図である。
。

発明を実施するための形態

[0043] <第1の実施形態>

図1は、本発明の実施形態に係る入力装置の構成の一例を示す図である。

図1に示す入力装置は、センサ部1と、静電容量検出装置2と、処理部3と、記憶部4と、インターフェース部5を有する。

[0044] 本実施形態に係る入力装置は、指やペンなどの対象物6がセンサ部1に近接した場合に、センサ部1に設けられた電極と対象物との間の静電容量を検出し、この検出結果に基づいて、対象物6の近接に応じた情報を入力する。
例えば入力装置は、センサ部1に対する対象物6の近接の有無や、センサ部

1 と対象物 6 との距離などの情報を、静電容量の検出結果に基づいて取得する。入力装置は、例えばタッチセンサやタッチパッドなどのユーザーインターフェース装置に適用される。なお、本明細書における「近接」とは、近くにあることを意味しており、近接する物同士の接触の有無を限定しない。

[0045] センサ部 1 は、指やペンなどの対象物 6 の近接を検出するための検出電極 E_s と、検出電極 E_s に近接して配置されたシールド電極 E_a を有する。検出電極 E_s は、センサ部 1 において対象物が近接する領域に配置される。例えば、対象物 6 の検出領域の表面が絶縁性のカバー層で覆われており、カバー層より下層側に検出電極 E_s が配置される。シールド電極 E_a は、対象物 6 以外の導体と検出電極 E_s との静電結合を防止するための静電シールドであり、対象物 6 の検出領域において検出電極 E_s よりも下層側に配置される。

[0046] 図 1 に示すように、検出電極 E_s と対象物 6 との間には、静電容量の検出対象であるキャパシタ C_{rg} が形成される。シールド電極 E_a と検出電極 E_s との間には、キャパシタ C_{rs} (シールド電極側キャパシタ) が形成される。また、検出電極 E_s とグランドとの間には、寄生キャパシタ C_{rgl} が形成される。

[0047] 静電容量検出装置 2 は、対象物 6 と検出電極 E_s との間に形成されるキャパシタ C_{rg} の静電容量を検出し、その検出結果を示す信号 D_s を出力する。

[0048] 処理部 3 は、入力装置の全体的な動作を制御する回路であり、例えば、記憶部 4 に格納されるプログラムの命令コードに従って処理を実行するコンピュータや、特定の機能を実現するロジック回路を含む。処理部 3 の処理は、コンピュータにおいてプログラムに基づいて実現してもよいし、少なくとも一部を専用のロジック回路で実現してもよい。

[0049] 処理部 3 は、静電容量検出装置 2 から出力される検出結果の信号 D_s に基づいて、対象物 6 がセンサ部 1 に近接しているか否かの判定や、対象物 6 とセンサ部 1 との距離の算出を行う。なお、後述する図 9 等の実施形態のよ

うに、センサ部 1 は複数の検出電極 E_s を含んでいてもよく、静電容量検出装置 2 は複数の検出電極 E_s の各々についてキャパシタ C_{rg} の静電容量の検出を行ってもよい。この場合、処理部 3 は、各検出電極 E_s について得られた検出結果の信号 D_s に基づいて、センサ部 1 における対象物 6 の近接位置や、対象物 6 の大きさなどを算出してもよい。

[0050] また、処理部 3 は、外来ノイズの影響による静電容量検出装置 2 の検出感度の低下を回避するため、後述する静電容量検出装置 2 の第 1 交流電圧 V_1 の周波数を変更する処理も行う。

[0051] 記憶部 4 は、処理部 3 を構成するコンピュータのプログラムや、処理部 3 において処理に使用されるデータ、処理の過程で一時的に保持されるデータなどを記憶する。記憶部 4 は、例えば DRAM や SRAM、フラッシュメモリ、ハードディスクなど、任意の記憶デバイスを用いて構成される。

[0052] インターフェース部 5 は、入力装置と他の装置（例えば入力装置を搭載する電子機器のホストコントローラなど）との間でデータをやり取りするための回路である。処理部 3 は、静電容量検出装置 2 の検出結果に基づいて得られた情報（対象物 6 の有無、対象物 6 の近接位置、対象物 6 との距離、対象物 6 の大きさなど）を、インターフェース部 5 によって図示しない上位装置に出力する。上位装置では、これらの情報を用いて、例えばポインティング操作やジェスチャ操作などを認識するユーザーインターフェースが構築される。

[0053] 次に、静電容量検出装置 2 の構成について説明する。図 2 は、第 1 の実施形態に係る静電容量検出装置 2 の構成の一例を示す図である。図 2 に示す静電容量検出装置 2 は、第 1 交流電圧 V_1 を出力する第 1 電圧出力回路 21 と、第 2 交流電圧 V_2 を出力する第 2 電圧出力回路 22 と、駆動電流 I_s を出力する電流出力回路 23 と、減算回路 24 と、A/D 変換器 25 と、信号処理部 26 を有する。

[0054] 第 1 電圧出力回路 21 は、シールド電極 E_a に供給される第 1 交流電圧 V_1 を出力する。例えば第 1 電圧出力回路 21 は、一定の振幅及び周波数を持

つ正弦波の第1交流電圧 V_1 を発生する。

[0055] また、第1電圧出力回路21は、処理部3の制御に従って第1交流電圧 V_1 の周波数を変更することが可能である。外来ノイズの周波数と第1交流電圧 V_1 の周波数とが近いことによる検出感度の低下を回避するため、処理部3は第1交流電圧 V_1 の周波数を変更する制御を行う。

[0056] 第2電圧出力回路22は、周波数と位相が第1交流電圧 V_1 に等しく、かつ、振幅が第1交流電圧 V_1 より小さい第2交流電圧 V_2 を出力する。第2交流電圧 V_2 の振幅は、キャパシタ C_{rs} （シールド電極側キャパシタ）に流れる電流 I_2 と寄生キャパシタ C_{rg} に流れる電流 I_3 とが相殺されるように調整される。すなわち、第2電圧出力回路22は、検出電極 E_s に近接する対象物6が存在しない状態（キャパシタ C_{rg} の静電容量がゼロの状態）における電圧出力回路23の駆動電流 I_s がゼロになるように振幅が調整された第2交流電圧 V_2 を出力する。

[0057] 第2電圧出力回路22は、例えば減衰器であり、第1交流電圧 V_1 を減衰させた電圧を第2交流電圧 V_2 として出力する。図2の例において、第2電圧出力回路22は、第1キャパシタ C_a 及び第2キャパシタ C_b の直列回路を含む。第1電圧出力回路21は、この直列回路の両端に第1交流電圧 V_1 を印加する。第1交流電圧 V_1 が第1キャパシタ C_a 及び第2キャパシタ C_b により分圧されることで、第2キャパシタ C_b に第2交流電圧 V_2 が生じる。第1キャパシタ C_a の一方の端子が第1電圧出力回路21の出力に接続され、第1キャパシタ C_a の他方の端子が第2キャパシタ C_b の一方の端子に接続され、第2キャパシタ C_b の他方の端子がグラウンドに接続される。

[0058] 第1キャパシタ C_a 及び第2キャパシタ C_b の静電容量比は、キャパシタ C_{rs} （シールド電極側キャパシタ）に流れる電流 I_2 と寄生キャパシタ C_{rg} に流れる電流 I_3 とが相殺されるように調整される。すなわち、第1キャパシタ C_a 及び第2キャパシタ C_b の静電容量比は、検出電極 E_s に近接する対象物6が存在しない状態における駆動電流 I_s がゼロになるように調整された値を持つ。後述する式（12）において示すように、第2キャパ

シタ C_b と第1キャパシタ C_a との静電容量比が、寄生キャパシタ C_{rg1} とキャパシタ C_{rs} との静電容量比に一致した場合、キャパシタ C_{rs} に流れる電流 I_2 と寄生キャパシタ C_{rg1} に流れる電流 I_3 とが相殺される。

[0059] 図2の例において、第1キャパシタ C_a の静電容量値は一定であり、第2キャパシタ C_b の静電容量値が調整される。すなわち、第2キャパシタ C_b は、検出電極 E_s に近接する対象物6が存在しない状態における駆動電流 I_s がゼロになるように調整された静電容量値を持つ。第2キャパシタ C_b は、可変容量のディスクリート部品でもよいし、IC内部の半導体チップ等に形成される部品でもよい。後者の場合、例えば第2キャパシタ C_b は、並列に接続された複数のキャパシタにより構成されており、レーザートリミング等で並列接続されるキャパシタの数を選択することにより静電容量値が調整される。

[0060] 電流出力回路23は、検出電極 E_s の電圧と第2交流電圧 V_2 との電圧差が小さくなるように検出電極 E_s へ駆動電流 I_s を出力するとともに、駆動電流 I_s に応じた検出信号 V_o を出力する。

[0061] 図2の例において、電流出力回路23は、演算増幅器OP1と帰還キャパシタ C_{ag} と帰還抵抗 R_{ag} を含む。演算増幅器OP1は、検出電極 E_s に接続される反転入力端子と第2交流電圧 V_2 が印加される非反転入力端子との電圧差を増幅し、この増幅結果を検出信号 V_o として出力する。帰還キャパシタ C_{ag} は、演算増幅器OP1の検出信号 V_o の出力端子と反転入力端子との間の経路に設けられる。帰還抵抗 R_{ag} は、帰還キャパシタ C_{ag} と並列に接続される。

[0062] 図2の例において、帰還キャパシタ C_{ag} の静電容量値及び帰還抵抗 R_{ag} の抵抗値はそれぞれ調整可能である。これらの素子の値を調整することにより、第1交流電圧 V_1 及び第2交流電圧 V_2 と検出信号 V_o との位相差や、キャパシタ C_{rg} の静電容量値に対する検出信号 V_o の振幅のゲインが調整される。帰還キャパシタ C_{ag} 及び帰還抵抗 R_{ag} は、例えば素子値の調整が可能なディスクリート部品でもよいし、レーザートリミング等によって

素子値の調整が可能なIC内部の部品でもよい。

[0063] 減算回路24は、検出電極Esに近接する対象物6が存在しない状態において演算増幅器OP1から検出信号Voとして出力される交流電圧に相当する基準交流電圧を、検出信号Voから減算する。この減算により、キャパシタCrgの静電容量に概ね比例した振幅を持つ交流電圧が得られる。減算回路24は、例えば全差動増幅器を含んでおり、検出信号Voから基準交流電圧を減算した結果を差動信号Vmとして出力する。

[0064] 図3は、減算回路24の構成の一例を示す図である。図3の例において、減算回路24は、全差動増幅器241と、抵抗R1～R7と、キャパシタC1～C3を有する。キャパシタC1は、全差動増幅器241の反転入力端子と非反転出力端子との間に接続される。キャパシタC2は、全差動増幅器241の非反転入力端子と反転出力端子との間に接続される。全差動増幅器241の反転入力端子には、直列に接続された抵抗R3及び抵抗R4を介して検出信号Voが入力される。抵抗R3の一端に検出信号Voが入力され、抵抗R4の一端に全差動増幅器241の反転入力端子が接続される。抵抗R3及び抵抗R4の接続中点は、抵抗R1を介して全差動増幅器241の非反転出力端子に接続される。全差動増幅器241の非反転入力端子には、直列に接続された抵抗R5及び抵抗R6を介して第2交流電圧V2が入力される。抵抗R5の一端に第2交流電圧V2が入力され、抵抗R6の一端に全差動増幅器241の非反転入力端子が接続される。抵抗R5及び抵抗R6の接続中点は、抵抗R2を介して全差動増幅器241の反転出力端子に接続される。キャパシタC3は、抵抗R3及び抵抗R4の接続中点と抵抗R5及び抵抗R6の接続中点との間に接続される。また、抵抗R5及び抵抗R6の接続中点には、抵抗R7を介して直流のバイアス電圧Vr1が入力される。

[0065] 図3に示す減算回路24では、2つの入力（検出信号Vo、第2交流電圧V2）に対するゲインが異なっており、抵抗R7が接続された経路に入力される第2交流電圧V2のゲインが検出信号Voに比べて小さい。すなわち、減算回路24は、第2交流電圧V2に比べて減衰した交流電圧（基準交流電

圧)と検出信号 V_o との差を増幅し、その増幅結果を差動信号 V_m として出力する。また、減算回路24はローパスフィルタを構成しており、対象物6からキャパシタ C_{rg} を通じて入力される高周波成分を除去する。このローパスフィルタ機能により、後述するA/D変換器25における折り返し雑音が低減する。

[0066] 図2に戻る。

[0067] A/D変換器25は、減算回路24から出力されるアナログの差動信号 V_m をデジタルの信号 D_m に変換する。A/D変換器25には、例えば差動入力方式の $\Delta\Sigma$ 型A/D変換器などを用いることができる。

[0068] 信号処理部26は、A/D変換器25から出力される信号 D_m から、第1交流電圧 V_1 と同じ周波数を持つ交流成分の振幅に比例した信号 D_s を抽出する。信号処理部26は、例えば図2に示すように、第1交流電圧 V_1 と同じ周波数を持つ信号 D_x を信号 D_m に乗算する乗算器261と、乗算器261の乗算結果から交流成分を除去するローパスフィルタ263とを有する。ローパスフィルタ263から出力される信号 D_m は、キャパシタ C_{rg} の静電容量に概ね比例した値を持つ。

[0069] 次に、上述した構成を有する入力装置の動作を説明する。

[0070] 演算増幅器OP1のゲインが十分に高い場合、演算増幅器OP1の反転入力端子と非反転入力端子との電圧差が微小になり、演算増幅器OP1の反転入力端子の電圧は概ね第2交流電圧 V_2 と等しくなる。ここで、演算増幅器OP1の出力端子と反転入力端子との間の経路に設けられた回路(図2の例では帰還キャパシタ C_{ag} と帰還抵抗 R_{ag} の並列回路)を「帰還回路 Z_f 」と呼び、そのインピーダンスを「 Z_f 」で表すものとする、検出信号 V_o は次の式で表される。

[0071]

[数1]

$$V_o = I_s \cdot Z_f + V_2 \quad \dots(1)$$

第1交流電圧 V_1 の駆動周波数における帰還キャパシタ C_{ag} のインピーダンスに比べて帰還抵抗 R_{ag} が十分に大きい場合、検出信号 V_o は次の式で表される。

[0072] [数2]

$$V_o = \frac{I_s}{j\omega C_{ag}} + V_2 \quad \dots(2)$$

他方、検出電極 E_s からグラウンドに流れる交流電流を「 I_1 」、シールド電極 E_a から検出電極 E_s に流れる交流電流を「 I_2 」とすると、駆動電流 I_s は次の式で表される。

[0073] [数3]

$$\begin{aligned} I_s &= I_1 - I_2 \\ &= j\omega \cdot (C_{rg} + C_{rgl})V_2 - j\omega C_{rs} \cdot (V_1 - V_2) \quad \dots(3) \end{aligned}$$

通常、対象物6とグラウンドとの間の静電容量は対象物6と検出電極 E_s との間の静電容量(C_{rg})に比べて十分大きく、対象物6は駆動周波数にお

いて接地しているとみなせる。そのため、式（３）においては、キャパシタ C_{rg} が寄生キャパシタ C_{rgl} と並列接続されているとみなして電流 I_1 を計算している。

[0074] 式（３）を式（２）に代入すると、検出信号 V_o は次の式で表される。

[0075] [数4]

$$V_o = \frac{(C_{rg} + C_{rgl})V_2 - C_{rs}(V_1 - V_2)}{C_{ag}} + V_2 \quad \dots(4)$$

第１交流電圧 V_1 に対する第２交流電圧 V_2 の比を「 K 」とすると、第２交流電圧 V_2 は次の式で表される。

[0076] [数5]

$$V_2 = K \cdot V_1 \quad \dots(5)$$

式（５）を式（４）に代入すると、検出信号 V_o は次の式で表される。

[0077] [数6]

$$V_o = \frac{(C_{rg} + C_{rgl})K \cdot V_1 - C_{rs}(1 - K) \cdot V_1}{C_{ag}} + K \cdot V_1 \quad \dots(6)$$

式（６）は、更に次の式のように変形される。

[0078] [数7]

$$V_o = K \cdot V_1 \left[\frac{C_{rg} + C_{rgl} - C_{rs} \frac{(1-K)}{K}}{C_{ag}} + 1 \right] \quad \dots(7)$$

式（7）から、検出信号 V_o に含まれる寄生キャパシタ C_{rgl} の成分が
消去される条件は、次の式で表される。

[0079] [数8]

$$C_{rgl} = C_{rs} \frac{(1-K)}{K} \quad \dots(8)$$

式（8）から、第1交流電圧 V_1 に対する第2交流電圧 V_2 の比 K を調整
することによって、検出信号 V_o に含まれる寄生キャパシタ C_{rgl} の成分
を消去できることが分かる。

[0080] なお、式（3）において駆動電流 I_s 及びキャパシタ C_{rg} にゼロを代入
すると、式（8）と同様の関係が導かれる。従って、検出電極 E_s に対象物
6が近接していない状態（ $C_{rg} = 0$ ）において駆動電流 I_s がゼロとなる
ように比 K （第2交流電圧 V_2 の振幅）を調整することにより、検出信号 V_o
に含まれる寄生キャパシタ C_{rgl} の成分を消去できることが分かる。こ
れは、キャパシタ C_{rs} を介してシールド電極 E_a から検出電極 E_s に流れ
る交流電流 I_2 と、寄生キャパシタ C_{rgl} を介して検出電極 E_s からグラ
ウンドに流れる交流電流 I_3 とが相殺されるように比 K （第2交流電圧 V_2 の
振幅）を調整することと等価である。

[0081] 式（８）を式（７）に代入すると、検出信号 V_o は次の式で表される。

[0082] [数9]

$$V_o = K \cdot V_1 \left(\frac{C_{rg}}{C_{ag}} + 1 \right) \quad \dots(9)$$

寄生キャパシタ C_{rg} の成分が消去された場合、式（９）から分かるように、検出信号 V_o は、キャパシタ C_{rg} に比例する成分（ $K \cdot V_1 \cdot C_{rg} / C_{ag}$ ）と第２交流電圧 V_2 （ $K \cdot V_1$ ）との和になる。第１交流電圧 V_1 に対する検出信号 V_o のゲインは比 K に比例しており、比 K が小さいほどゲインも小さくなる。

[0083] 第１交流電圧 V_1 に対する第２交流電圧 V_2 の比 K は、第１キャパシタ C_a 及び第２キャパシタ C_b の静電容量により、次の式で表される。

[0084] [数10]

$$K = \frac{C_a}{C_a + C_b} \quad \dots(10)$$

式（１０）を式（７）に代入すると、検出信号 V_o は次の式で表される。

[0085]

[数11]

$$V_o = V_1 \frac{C_a}{C_a + C_b} \left(\frac{C_{rg} + C_{rgl} - C_{rs} \frac{C_b}{C_a}}{C_{ag}} + 1 \right) \quad \dots(11)$$

式（１１）から、検出信号 V_o に含まれる寄生キャパシタ C_{rgl} の成分が消去される条件は、次の式で表される。

[0086] [数12]

$$C_{rgl} = C_{rs} \frac{C_b}{C_a} \quad \dots(12)$$

キャパシタ C_{rs} 及び第１キャパシタ C_a の静電容量は一定であるため、式（１２）の条件を満たす場合、第２キャパシタ C_b の静電容量と寄生キャパシタ C_{rgl} の静電容量とが比例関係にあることが分かる。

[0087] 以上説明したように、本実施形態によれば、検出電極 E_s とシールド電極 E_a との間に形成されるキャパシタ C_{rs} には、第１交流電圧 V_1 と第２交流電圧 V_2 との差に応じた交流電流 I_2 が流れる。第２交流電圧 V_2 の振幅が、検出電極 E_s に近接する対象物６が存在しない状態における駆動電流 I_s がゼロになるように調整された振幅であるため、キャパシタ C_{rs} に流れる交流電流 I_2 は、検出電極 E_s の寄生キャパシタ C_{rgl} に流れる交流電流 I_3 と概ね等しくなる。すなわち、キャパシタ C_{rs} に流れる交流電流 I_2 と寄生キャパシタ C_{rgl} に流れる交流電流 I_3 とが相殺される。これにより、駆動電流 I_s には、寄生キャパシタ C_{rgl} による交流電流が殆ど含

まれなくなる。そのため、電流出力回路23から出力される検出信号 V_o は、寄生キャパシタ C_{rg1} による成分を殆ど含まなくなる。従って、寄生キャパシタ C_{rg1} が存在する場合でも、対象物6と検出電極 E_s との間に形成されるキャパシタ C_{rg} の静電容量を高い感度で精度よく検出できる。

[0088] 本実施形態によれば、第1交流電圧 V_1 を減衰させた電圧が第2交流電圧 V_2 として第2電圧出力回路22から出力される。トランジスタ等の能動素子を含まない減衰器を用いて第2交流電圧 V_2 を生成することにより、第2交流電圧 V_2 のノイズが小さくなるため、キャパシタ C_{rg} の静電容量の検出精度を高めることができる。

[0089] 本実施形態によれば、第1キャパシタ C_a と第2キャパシタ C_b との直列回路に第1交流電圧 V_1 が印加され、第1交流電圧 V_1 に応じた第2交流電圧 V_2 が第2キャパシタ C_b において生じる。これにより、抵抗による減衰器を用いる場合に比べてノイズが小さくなるため、キャパシタ C_{rg} の静電容量の検出精度を高めることができる。

[0090] 本実施形態によれば、第1キャパシタ C_a と第2キャパシタ C_b との静電容量比の調整により、第2交流電圧 V_2 の振幅が調整され、この振幅の調整により、キャパシタ C_{rs} に流れる交流電流 I_2 と寄生キャパシタ C_{rg1} に流れる交流電流 I_3 とが相殺される。そのため、第1キャパシタ C_a 及び第2キャパシタ C_b の静電容量は、寄生キャパシタ C_{rg1} の静電容量に制限されず、比較的大きな値にすることが可能となる。第1キャパシタ C_a 及び第2キャパシタ C_b の静電容量が大きくなることで、静電容量比の設定精度を高めやすくなり、キャパシタ C_{rs} に流れる交流電流 I_2 と寄生キャパシタ C_{rg1} に流れる交流電流 I_3 とを精度よく相殺できる。

[0091] 本実施形態によれば、第2キャパシタ C_b の静電容量値の調整により、第2交流電圧 V_2 の振幅が調整され、この振幅の調整により、キャパシタ C_{rs} に流れる交流電流 I_2 と寄生キャパシタ C_{rg1} に流れる交流電流 I_3 とが相殺される。交流電流(I_2 , I_3)の相殺が成立する場合、式(12)に示すように、第2キャパシタ C_b の静電容量と寄生キャパシタ C_{rg1} の

静電容量とが比例する。例えば、調整のために第2キャパシタ C_b の静電容量を変化させた場合、その変化の範囲と、交流電流(I_2 , I_3)の相殺が成立する寄生キャパシタ C_{rg} の静電容量の範囲とが比例する。従って、交流電流 I_2 と交流電流 I_3 とが相殺されるように第2キャパシタ C_b の静電容量を調整する作業を容易に行うことができる。

[0092] 本実施形態によれば、検出電極 E_s に近接する対象物6が存在しない状態において演算増幅器OP1から検出信号 V_o として出力される交流電圧に相当する基準交流電圧が、減算回路24によって検出信号 V_o から減算される。この減算の結果として得られる信号 V_m は、キャパシタ C_{rg} の静電容量にほぼ比例した振幅を持ち、検出電極 E_s に近接する対象物6が存在しない状態において微小になる。キャパシタ C_{rg} の静電容量がゼロでも検出信号 V_o は第2交流電圧 V_2 に相当する大きな振幅を持つため(式(9))、減算回路24を設けることにより、キャパシタ C_{rg} の静電容量の変化に対応する検出信号 V_o のダイナミックレンジをより大きくすることができる。従って、キャパシタ C_{rg} の静電容量の検出感度を更に高めることができる。

[0093] 本実施形態によれば、減算回路24において検出信号 V_o から減算される基準交流電圧が、第1交流電圧 V_1 を減衰させた電圧であるため、検出信号 V_o に含まれるノイズ成分と基準交流電圧に含まれるノイズ成分との相関性が高くなる。これにより、減算回路24の減算結果として得られる信号 V_m のノイズ成分を減らすことができるため、キャパシタ C_{rg} の静電容量の検出精度を高めることができる。

[0094] なお、上述した実施形態では、寄生キャパシタ C_{rg} の交流電流 I_3 を相殺させるために、シールド電極 E_a と検出電極 E_s との間に形成されるキャパシタ C_{rs} (シールド電極側キャパシタ)が利用されている。このキャパシタ C_{rs} の静電容量は、式(8)に示すように、第1交流電圧 V_1 に対する第2交流電圧 V_2 の比 K の調整値に影響を与える。寄生キャパシタ C_{rg} の静電容量が比較的大きい場合や、キャパシタ C_{rs} の静電容量が比較的小さい場合は、式(8)の関係から、比 K を小さい値にしなくてはならな

い。そうすると、式（９）の関係から、キャパシタ C_{rg} の静電容量に対する検出信号 V_o のゲインが小さくなってしまう。そこで、図４に示す静電容量検出装置２の変形例では、図２に示す静電容量検出装置２と同様の構成に加えて、検出電極 E_s とシールド電極 E_a との間にキャパシタ C_{rsa} が接続されている。キャパシタ C_{rsa} はキャパシタ C_{rs} と並列に接続されるため、実質的にキャパシタ C_{rs} の静電容量値が大きくなったことと等価になる。そのため、この変形例によれば、寄生キャパシタ C_{rgl} の静電容量が大きい場合やキャパシタ C_{rs} の静電容量が小さい場合でも、キャパシタ C_{rg} の静電容量に対する検出信号 V_o のゲインの低下を抑えることができる。

<第２の実施形態>

次に、本発明の第２の実施形態について説明する。図５は、第２の実施形態に係る静電容量検出装置２の構成の一例を示す図である。静電容量検出装置２を含む入力装置の全体の構成は、図１と同じである。

[0095] 図５に示す静電容量検出装置２は、図２に示す静電容量検出装置２における電流出力回路２３を電流出力回路２３Ａに変更したものである。電流出力回路２３Ａは、図２における電流出力回路２３と同様の構成を有するとともに、第１抵抗 R_s を有する。第１抵抗 R_s は、演算増幅器 $OP1$ の反転入力端子と検出電極 E_s との間の経路に設けられる。第１抵抗 R_s は、例えば可変抵抗であり、処理部３の制御によって第１交流電圧 V_1 の駆動周波数が変更されると、この駆動周波数に応じて抵抗値が変更される。

[0096] 図５に示す静電容量検出装置２では、対象物６からキャパシタ C_{rg} を介して入力される信号に対して、電流出力回路２３Ａの演算増幅器 $OP1$ 、第１抵抗 R_s 及び帰還キャパシタ C_{ag} がローパスフィルタを構成する。そのため、対象物６が接地されるグラウンドと静電容量検出装置２のグラウンドとの間に交流のノイズ電圧が重畳しても、電流出力回路２３Ａのローパスフィルタによってノイズ電圧が減衰する。

[0097] 図６は、対象物６から入力される電圧 V_i に対する検出信号 V_o のゲイン

の周波数特性をシミュレーションした結果を示す図であり、第1抵抗 R_s の有無による周波数特性の違いを示す。図6の例では、第1抵抗 R_s を設けることにより100kHzを超える周波数においてゲインが低下しており、ローパスフィルタとして有効に機能することが分かる。

キャパシタ C_{rg} の静電容量に対する検出信号 V_o のゲイン G は、次の式で表される。

[0098] [数13]

$$G = \frac{\partial V_o}{\partial C_{rg}} = \frac{\frac{1}{C_{ag}}}{\left[1 + s \cdot C_{rgt} \cdot R_s\right] \cdot \left[\frac{1}{s \cdot C_{ag} \cdot R_{ag}} + 1\right]} \cdot V_2 \quad \dots(13)$$

式(13)において、「 C_{rgt} 」は「 C_{rg} 」と「 C_{rgl} 」と「 C_{rs} 」の和を示し、「 s 」は複素数を示す。式(13)は、更に次式のように変形することができる。

[0099] [数14]

$$G = \frac{\frac{1}{C_{ag}}}{1 + s \cdot C_{rgt} \cdot R_s + \frac{1}{s \cdot C_{ag} \cdot R_{ag}} + \frac{C_{rgt} \cdot R_s}{C_{ag} \cdot R_{ag}}} \cdot V_2 \quad \dots(14)$$

複素数「 s 」を虚数「 $j\omega$ 」に変更した式(14)において、分母の虚数の項がゼロになる条件が満たされる場合にゲイン G が最大になり、かつ、第2交流電圧 V_2 と検出信号 V_o との間における位相のずれがゼロになる。帰還抵抗 R_{ag} の抵抗値及び帰還キャパシタ C_{ag} の静電容量値は、この条件が満たされるように調整される。この条件が満たされる場合のゲイン G は、

次の式で表される。

[0100] [数15]

$$G = \frac{\frac{1}{C_{ag}}}{1 + \frac{C_{rgt} \cdot R_s}{C_{ag} \cdot R_{ag}}} \cdot V_2 \quad \dots(15)$$

以上説明したように、本実施形態によれば、対象物6を通じて入力される外来ノイズを減衰させることができるため、外来ノイズによる静電容量の検出精度の低下を抑制できる。

[0101] 本実施形態によれば、第1交流電圧V1の駆動周波数に応じて第1抵抗Rsの抵抗値が変更されるため、ローパスフィルタ(OP1, Rs, Cag)のカットオフ周波数を第1交流電圧V1の駆動周波数に応じた適切な周波数に設定することが可能であり、対象物6からのノイズをより効果的に減衰させることができる。

[0102] 本実施形態によれば、帰還抵抗Ragの抵抗値及び帰還キャパシタCagの静電容量値を調整することにより、第1交流電圧V1及び第2交流電圧V2と検出信号Voとの位相差や、キャパシタCrgの静電容量に対する検出信号VoのゲインGを適切に設定することができる。

<第3の実施形態>

次に、本発明の第3の実施形態について説明する。図7は、第3の実施形態に係る静電容量検出装置2の構成の一例を示す図である。静電容量検出装置2を含む入力装置の全体の構成は、図1と同じである。

[0103] 図7に示す静電容量検出装置2は、図2に示す静電容量検出装置2における電流出力回路23を電流出力回路23Bに変更したものである。電流出力回路23Bは、上述した第2の実施形態の電流出力回路23Aにおける帰還抵抗Ragを帰還抵抗Ragzに置き換えたものであり、他の構成は電流出

力回路 23A と同じである。帰還抵抗 R_{agz} は、検出電極 E_s に接続される第 1 抵抗 R_s の一端と演算増幅器 OP1 の出力端子との間の経路に設けられている。

[0104] 図 7 に示す静電容量検出装置 2 では、対象物 6 からキャパシタ C_{rg} を介して入力される信号に対して、電流出力回路 23B の演算増幅器 OP1、第 1 抵抗 R_s 、帰還抵抗 R_{agz} 及び帰還キャパシタ C_{ag} がローパスフィルタを構成する。図 5 の電流出力回路 23A において構成されるローパスフィルタ (OP1, R_s , C_{ag}) は、実数の極を持つフィルタであるのに対し、図 7 の電流出力回路 23B において構成されるローパスフィルタ (OP1, R_s , R_{agz} , C_{ag}) は、複素数の極を持つフィルタである。

[0105] 図 8 は、対象物 6 から入力される電圧 V_i に対する検出信号 V_o のゲインの周波数特性をシミュレーションした結果を示す図であり、図 5 における静電容量検出装置 2 と図 7 における静電容量検出装置 2 との周波数特性の違いを示す。図 7 における静電容量検出装置 2 の周波数特性 (実線) は、図 5 における静電容量検出装置 2 の周波数特性 (点線) に比べてゲインのピークが高くなっている。

[0106] 以上説明したように、本実施形態によれば、ローパスフィルタ (OP1, R_s , R_{agz} , C_{ag}) のゲインの伝達関数における極が複素極となり、極付近の周波数においてゲインが高くなるため、検出感度を更に高めることができる。

<第 4 の実施形態>

次に、本発明の第 4 の実施形態について説明する。図 9 は、第 4 の実施形態に係る静電容量検出装置 2 の構成の一例を示す図である。静電容量検出装置 2 を含む入力装置の全体の構成は、図 1 と同じである。

[0107] 図 9 の例において、センサ部 1 は複数の検出電極 ($E_{s1} \sim E_{s4}$) を有するとともに、検出電極 $E_{s1} \sim E_{s4}$ の静電シールドとして働くシールド電極 $E_{a1} \sim E_{a4}$ を有する。検出電極 $E_{s1} \sim E_{s4}$ には、後述する静電容量検出装置 2 からそれぞれ駆動電流 I_s が供給される。シールド電極 E_a

1～E a 4 には、共通の第 1 交流電圧 V 1 が印加される。なお図 9 の例において、シールド電極 E a 1～E a 4 は検出電極ごとに分かれているが、これらの電極の少なくとも一部が共通化されていてもよい。また検出電極の数は 4 に限定されず、3 以下でも 5 以上でもよい。

[0108] 静電容量検出装置 2 は、検出電極 E s 1～E s 4 の各々について静電容量の検出を行う。図 9 に示す静電容量検出装置 2 は、既に説明した静電容量検出装置 2 と同様な構成（第 1 電圧出力回路 2 1、第 2 電圧出力回路 2 2、減算回路 2 4）を有するとともに、電流出力回路 2 3 C を有する。

[0109] 電流出力回路 2 3 C は、演算増幅器 O P 1 と、帰還回路 Z f と、第 1 スイッチ回路 S W 1 と、第 2 スイッチ回路 S W 2 と、第 4 スイッチ回路 S W 4 とを有する。帰還回路 Z f は、並列に接続された帰還抵抗 R a g と帰還キャパシタ C a g を含む。

[0110] 演算増幅器 O P 1 は、第 2 スイッチ回路 S W 2 を介して検出電極 E s 1～E s 4 の何れかに接続される反転入力端子と、第 2 交流電圧 V 2 が印加される非反転入力端子との電圧差を増幅し、この増幅結果を検出信号 V o として出力する。帰還回路 Z f は、演算増幅器 O P 1 の検出信号 V o の出力端子と共通ノード N c との間の経路に設けられる。第 1 スイッチ回路 S W 1 は、複数の入力ノード N 1～N 4 から 1 つの入力ノードを選択して、共通ノード N c に接続する。第 2 スイッチ回路 S W 2 は、複数の入力ノード N 1～N 4 から第 1 スイッチ回路 S W 1 と同じ 1 つの入力ノードを選択して、演算増幅器 O P 1 の反転入力端子に接続する。入力ノード N i （i は 1 から 4 までの整数を示す。）は、検出電極 E s i に接続される。

[0111] 第 4 スイッチ回路 S W 4 は、複数の入力ノード N 1～N 4 から第 1 スイッチ回路 S W 1 及び第 2 スイッチ回路 S W 2 によって選択されていない入力ノードを選択し、当該選択した入力ノードに第 1 交流電圧 V 1 を印加する。すなわち、第 4 スイッチ回路 S W 4 は、静電容量の検出が行われない検出電極に対して、シールド電極 E a 1～E a 4 と同じ第 1 交流電圧 V 1 を印加する。これにより、静電容量の検出が行われない検出電極と検出対象の検出電極

との間に形成される寄生キャパシタに電流が流れなくなるため、これらの寄生キャパシタの影響が軽減され、静電容量の検出感度及び検出精度が向上する。

[0112] 検出電極 E_{si} の静電容量の検出が行われる場合、第1スイッチ回路 SW_1 は入力ノード N_i を選択して共通ノード N_c に接続し、第2スイッチ回路 SW_2 は入力ノード N_i を選択して演算増幅器 OP_1 の反転入力端子に接続する。これにより、検出電極 E_{si} からみた電流出力回路 $23C$ の構成は、図2における電流出力回路 23 と等価になる。従って、図2に示す静電容量検出装置2と同様の動作により検出信号 V_o が生成される。

[0113] 本実施形態においてスイッチ回路 (SW_1 、 SW_2) に含まれる各スイッチは、MOSトランジスタ等の能動素子によって構成される。能動素子によるスイッチ (アナログスイッチ) は、信号レベルに応じて導通抵抗が変化する非線形性を有する。そのため、スイッチの導通抵抗による電圧降下が大きくなると、導通抵抗の非線形性の影響により、スイッチを通過する信号の歪みが大きくなる。仮に、入力ノード N_i と検出電極 E_{si} との間にスイッチを設けた場合、キャパシタ C_{rs} の静電容量が比較的大きいため (キャパシタ C_{rs} のインピーダンスが比較的小さいため)、スイッチの非線形性による検出信号 V_o の歪みが現れやすくなる。これに対して、本実施形態では、演算増幅器 OP_1 の反転入力端子と出力端子との間の帰還ループ内に第1スイッチ回路 SW_1 及び第2スイッチ回路 SW_2 の各スイッチが設けられている。帰還回路 Z_f の帰還キャパシタ C_{ag} の静電容量は、キャパシタ C_{rs} の静電容量に比べて十分に小さい (例えば数十分の1程度)。そのため、第1スイッチ回路 SW_1 を構成するスイッチの非線形性は、帰還ループ外にスイッチを設ける場合 (入力ノード N_i と検出電極 E_{si} の間の経路にスイッチを設ける場合) に比べて、検出信号 V_o の歪みを生じ難い。また、演算増幅器 OP_1 の反転入力端子のインピーダンスは非常に大きいため、入力ノード N_i と反転入力端子との間に第2スイッチ回路 SW_2 のスイッチを設けることにより、スイッチの非線形性の影響がほとんど生じない。従って、本

実施形態によれば、スイッチ回路（SW1、SW2）を構成するスイッチの非線形性の影響による検出信号 V_o の歪みを効果的に低減できる。

[0114] 図10A～図10Fは、外乱に対する妨害耐性のシミュレーション結果を示す図である。図10A～図10Fの各グラフにおいて、縦軸はSN比を示し、横軸は温度を示す。このSN比は、キャパシタ C_{rg} を介して検出電極にノイズを与えた場合における検出信号 V_o と、このノイズをゼロにした場合における検出信号 V_o との比である。図10A～図10Cのシミュレーションでは、キャパシタ C_{rs} の静電容量が130pFであり、図10D～図10Fのシミュレーションでは、キャパシタ C_{rs} の静電容量が40pFである。また、図10A及び図10Dのシミュレーションでは、ノイズの周波数が駆動周波数の2倍であり、図10B及び図10Eのシミュレーションでは、ノイズの周波数が駆動周波数の3倍であり、図10C及び図10Fのシミュレーションでは、ノイズの周波数が駆動周波数の5倍である。これらのシミュレーションから、スイッチ回路（SW1、SW2）を構成するスイッチを帰還ループ内（演算増幅器OP1の出力端子と反転入力端子の間の経路）に設けることにより、これらのスイッチを帰還ループ外（入力ノード N_i と検出電極 E_{si} の間の経路）に設ける場合に比べて、常温（20℃）でのSN比が5dB程度向上することが分かる。

<第5の実施形態>

次に、本発明の第5の実施形態について説明する。図11は、第5の実施形態に係る静電容量検出装置2の構成の一例を示す図である。静電容量検出装置2を含む入力装置の全体の構成は、図1と同じである。

[0115] 図11に示す静電容量検出装置2は、図9に示す静電容量検出装置2における電流出力回路23Cを電流出力回路23Dに変更したものである。電流出力回路23Dは、上述した第4の実施形態の電流出力回路23C（図9）と同様の構成に加えて、第1抵抗 $R_{s1} \sim R_{s4}$ を有する。第1抵抗 R_{si} は、検出電極 E_{si} と入力ノード N_i との間の経路に設けられる。第1抵抗 R_{si} は、例えば可変抵抗であり、処理部3の制御によって第1交流電圧 V

1の駆動周波数が変更されると、この駆動周波数に応じて抵抗値が変更される。

[0116] 図11に示す静電容量検出装置2では、検出電極 E_{si} の静電容量の検出が行われる場合（第1スイッチ回路 $SW1$ 及び第2スイッチ回路 $SW2$ において入力ノード N_i が選択された場合）、検出電極 E_{si} からみた電流出力回路23Dの構成は、図5における電流出力回路23Aと等価になる。従って、図5に示す静電容量検出装置2と同様に、対象物6を通じて入力される外来ノイズを減衰させることができる。

<第6の実施形態>

次に、本発明の第6の実施形態について説明する。図12は、第6の実施形態に係る静電容量検出装置2の構成の一例を示す図である。静電容量検出装置2を含む入力装置の全体の構成は、図1と同じである。

[0117] 図12に示す静電容量検出装置2は、図11に示す静電容量検出装置2における電流出力回路23Dを電流出力回路23Eに変更したものである。電流出力回路23Eは、上述した第5の実施形態の電流出力回路23D（図11）に第3スイッチ回路 $SW3$ を追加し、帰還抵抗 R_{ag} を帰還抵抗 R_{agz} に変更したものであり、他の構成は電流出力回路23Dと同じである。

[0118] 第3スイッチ回路 $SW3$ は、複数の接続ノード（ $NA1 \sim NA4$ ）から1つの接続ノード NA_i （ i は1から4までの整数を示す。）を選択し、帰還抵抗 R_{agz} を介して演算増幅器 $OP1$ の出力端子に接続する。ただし、接続ノード NA_i は、第1抵抗 R_{si} と検出電極 E_{si} とを接続するノードである。第3スイッチ回路 $SW3$ が接続ノード NA_i を選択する場合、第1スイッチ回路 $SW1$ 及び第2スイッチ回路 $SW2$ は入力ノード N_i を選択する。

[0119] 帰還抵抗 R_{agz} は、第3スイッチ回路 $SW3$ と演算増幅器 $OP1$ の出力端子との間の経路に設けられる。帰還抵抗 R_{agz} は、一方の端子が第3スイッチ回路 $SW3$ に接続され、他方の端子が演算増幅器 $OP1$ の出力端子に接続される。

[0120] 図12に示す静電容量検出装置2では、検出電極 E_{si} の静電容量の検出が行われる場合（第1スイッチ回路 $SW1$ 及び第2スイッチ回路 $SW2$ において入力ノード N_i が選択され、第3スイッチ回路 $SW3$ において接続ノード N_{Ai} が選択された場合）、検出電極 E_{si} からみた電流出力回路23Dの構成は、図7における電流出力回路23Bと等価になる。従って、図7に示す静電容量検出装置2と同様にローパスフィルタのゲインが高くなり、静電容量の検出感度が向上する。

[0121] なお、本発明は上述した実施形態に限定されるものではなく、種々のバリエーションを含んでいる。

[0122] 例えば、上述した実施形態（図2等）では、電流出力回路における演算増幅器の帰還回路として帰還キャパシタ（ C_{ag} ）と帰還抵抗（ R_{ag} ）の並列回路を用いているが、本発明はこれに限定されない。本発明の他の実施形態では、帰還回路として帰還抵抗のみを用いてもよいし、帰還キャパシタのみを用いてもよい。

[0123] 上述した実施形態では、演算増幅器（ $OP1$ ）の帰還ループに設けられた帰還回路（ Z_f ）を介して演算増幅器（ $OP1$ ）から駆動電流（ I_s ）を出力するとともに、演算増幅器（ $OP1$ ）から電圧の検出信号（ V_o ）を出力しているが、本発明はこの例に限定されない。例えば電流出力回路は、駆動電流に比例した電流を出力する電流出力部と、その出力電流を電圧に変換し、電圧の検出信号として出力する電流－電圧変換部とを有してもよい。

[0124] 本発明の入力装置は、指等の操作による情報を入力するユーザーインターフェース装置に限定されない。すなわち、本発明の入力装置は、人体に限定されない種々の物体の近接に応じて変化する検出電極の静電容量に応じた情報を入力する装置に広く適用可能である。

[0125] 本特許出願は2016年12月21日に出願した日本国特許出願第2016-247475号に基づきその優先権を主張するものであり、日本国特許出願第2016-247475号の全内容を本願に援用する。

符号の説明

[0126] 1…センサ部、2…静電容量検出装置、3…処理部、4…記憶部、5…インターフェース部、6…対象物、21…第1電圧出力回路、22…第2電圧出力回路、23, 23A～23E…電流出力回路、24…減算回路、241…全差動増幅器、25…A/D変換器、26…信号処理部、261…乗算器、263…ローパスフィルタ、SW1…第1スイッチ回路、SW2…第2スイッチ回路、SW3…第3スイッチ回路、SW4…第4スイッチ回路、OP1…演算増幅器、Zf…帰還回路、Rag…帰還抵抗、Cag…帰還キャパシタ、Rs, Rs1～Rs4…第1抵抗、Ca…第1キャパシタ、Cb…第2キャパシタ、Crgl…寄生キャパシタ、Es, Es1～Es4…検出電極、Ea, Ea1～Ea4…シールド電極、V1…第1交流電圧、V2…第2交流電圧、Is…駆動電流、Vo…検出信号、N1～N4…入力ノード、NA1～NA4…接続ノード

請求の範囲

- [請求項1] 検出電極に近接する対象物と前記検出電極との間の静電容量を検出する静電容量検出装置であって、
- 前記検出電極に近接して配置されたシールド電極に供給される第1交流電圧を出力する第1電圧出力回路と、
- 周波数と位相が前記第1交流電圧に等しく、かつ、振幅が前記第1交流電圧より小さい第2交流電圧を出力する第2電圧出力回路と、
- 前記検出電極の電圧と前記第2交流電圧との電圧差が小さくなるように前記検出電極へ駆動電流を出力するとともに、当該駆動電流に応じた検出信号を出力する電流出力回路とを有し、
- 前記第2電圧出力回路は、前記検出電極に近接する前記対象物が存在しない状態における前記駆動電流がゼロになるように振幅が調整された前記第2交流電圧を出力する、
- 静電容量検出装置。
- [請求項2] 前記第2電圧出力回路は、前記第1交流電圧を減衰させた電圧を前記第2交流電圧として出力する、
- 請求項1に記載の静電容量検出装置。
- [請求項3] 前記第2電圧出力回路は、第1キャパシタと第2キャパシタとの直列回路を含み、
- 前記第1電圧出力回路は、前記直列回路の両端に前記第1交流電圧を印加し、
- 前記第2キャパシタにおいて前記第1交流電圧に応じた前記第2交流電圧が生じる、
- 請求項2に記載の静電容量検出装置。
- [請求項4] 前記第1キャパシタと前記第2キャパシタとの静電容量比が、前記検出電極に近接する前記対象物が存在しない状態における前記駆動電流がゼロになるように調整された値を持つ、
- 請求項3に記載の静電容量検出装置。

[請求項5] 前記第2キャパシタの静電容量値が調整可能であって、前記第2キャパシタは、前記検出電極に近接する前記対象物が存在しない状態における前記駆動電流がゼロになるように調整された静電容量値を持つ、

請求項4に記載の静電容量検出装置。

[請求項6] 前記電流出力回路は、

前記検出電極に接続される反転入力端子と前記第2交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増幅結果を前記検出信号として出力する演算増幅器と、

前記演算増幅器の前記検出信号の出力端子と前記反転入力端子との間の経路に設けられた帰還キャパシタと、

前記帰還キャパシタと並列に接続された帰還抵抗と、

前記演算増幅器の前記反転入力端子と前記検出電極との間の経路に設けられた第1抵抗とを含む、

請求項1乃至5の何れか一項に記載の静電容量検出装置。

[請求項7] 前記電流出力回路は、

前記検出電極に接続される反転入力端子と前記第2交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増幅結果を前記検出信号として出力する演算増幅器と、

前記演算増幅器の前記検出信号の出力端子と前記反転入力端子との間の経路に設けられた帰還キャパシタと、

前記演算増幅器の前記反転入力端子と前記検出電極との間の経路に設けられた第1抵抗と、

前記検出電極に接続される前記第1抵抗の一端と前記演算増幅器の前記出力端子との間の経路に設けられた帰還抵抗とを含む、

請求項1乃至5の何れか一項に記載の静電容量検出装置。

[請求項8] 前記第1電圧出力回路及び前記第2電圧出力回路は、出力する交流電圧の周波数をそれぞれ変更可能であり、

前記第 1 抵抗は、前記第 1 交流電圧及び前記第 2 交流電圧の周波数に応じて抵抗値が変更される可変抵抗である、

請求項 6 又は 7 に記載の静電容量検出装置。

[請求項 9] 前記帰還キャパシタの静電容量値及び前記帰還抵抗の抵抗値がそれぞれ調整可能である、

請求項 6 乃至 8 の何れか一項に記載の静電容量検出装置。

[請求項 10] 前記電流出力回路は、

前記検出電極に接続される反転入力端子と前記第 2 交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増幅結果を前記検出信号として出力する演算増幅器と、

前記演算増幅器の前記検出信号の出力端子と前記反転入力端子との間の経路に設けられた帰還回路とを含み、

前記検出電極に近接する前記対象物が存在しない状態において前記演算増幅器から前記検出信号として出力される交流電圧に相当する基準交流電圧を前記検出信号から減算する減算回路を有する、

請求項 1 乃至 5 の何れか一項に記載の静電容量検出装置。

[請求項 11] 前記減算回路は、前記検出信号と前記第 1 交流電圧とを入力し、前記第 1 交流電圧を減衰させた電圧である前記基準交流電圧を前記検出信号から減算する、

請求項 10 に記載の静電容量検出装置。

[請求項 12] 前記減算回路は、前記検出信号から前記基準交流電圧を減算した結果を差動信号として出力する、

請求項 11 に記載の静電容量検出装置。

[請求項 13] 前記電流出力回路は、

前記検出電極に接続される反転入力端子と前記第 2 交流電圧が印加される非反転入力端子との電圧差を増幅し、当該増幅結果を前記検出信号として出力する演算増幅器と、

前記演算増幅器の前記検出信号の出力端子と共通ノードとの間の

経路に設けられた帰還回路と、

複数の入力ノードから1つの前記入力ノードを選択して前記共通ノードに接続する第1スイッチ回路と、

前記複数の入力ノードから前記第1スイッチ回路と同じ1つの前記入力ノードを選択して前記反転入力端子に接続する第2スイッチ回路とを含み、

前記複数の入力ノードが、それぞれ異なる前記検出電極に接続される、

請求項1乃至5の何れか一項に記載の静電容量検出装置。

[請求項14]

前記電流出力回路は、前記複数の入力ノードと前記複数の検出電極との間の複数の経路に設けられた複数の第1抵抗を含み、

前記帰還回路は、並列に接続された帰還キャパシタと帰還抵抗とを含む、

請求項13に記載の静電容量検出装置。

[請求項15]

前記電流出力回路は、

前記複数の入力ノードと前記複数の検出電極との間の複数の経路に設けられた複数の第1抵抗と、

前記複数の検出電極と前記複数の第1抵抗とを接続する複数の接続ノードから1つの接続ノードを選択して前記演算増幅器の前記出力端子に接続する第3スイッチ回路と、

前記第3スイッチ回路と前記出力端子との間の経路に設けられた帰還抵抗とを含み、

前記帰還回路は帰還キャパシタを含む、

請求項13に記載の静電容量検出装置。

[請求項16]

前記第1電圧出力回路及び前記第2電圧出力回路は、出力する交流電圧の周波数をそれぞれ変更可能であり、

前記第1抵抗は、前記第1交流電圧及び前記第2交流電圧の周波数に応じて抵抗値が変更される可変抵抗である、

請求項 1 4 又は 1 5 に記載の静電容量検出装置。

[請求項17]

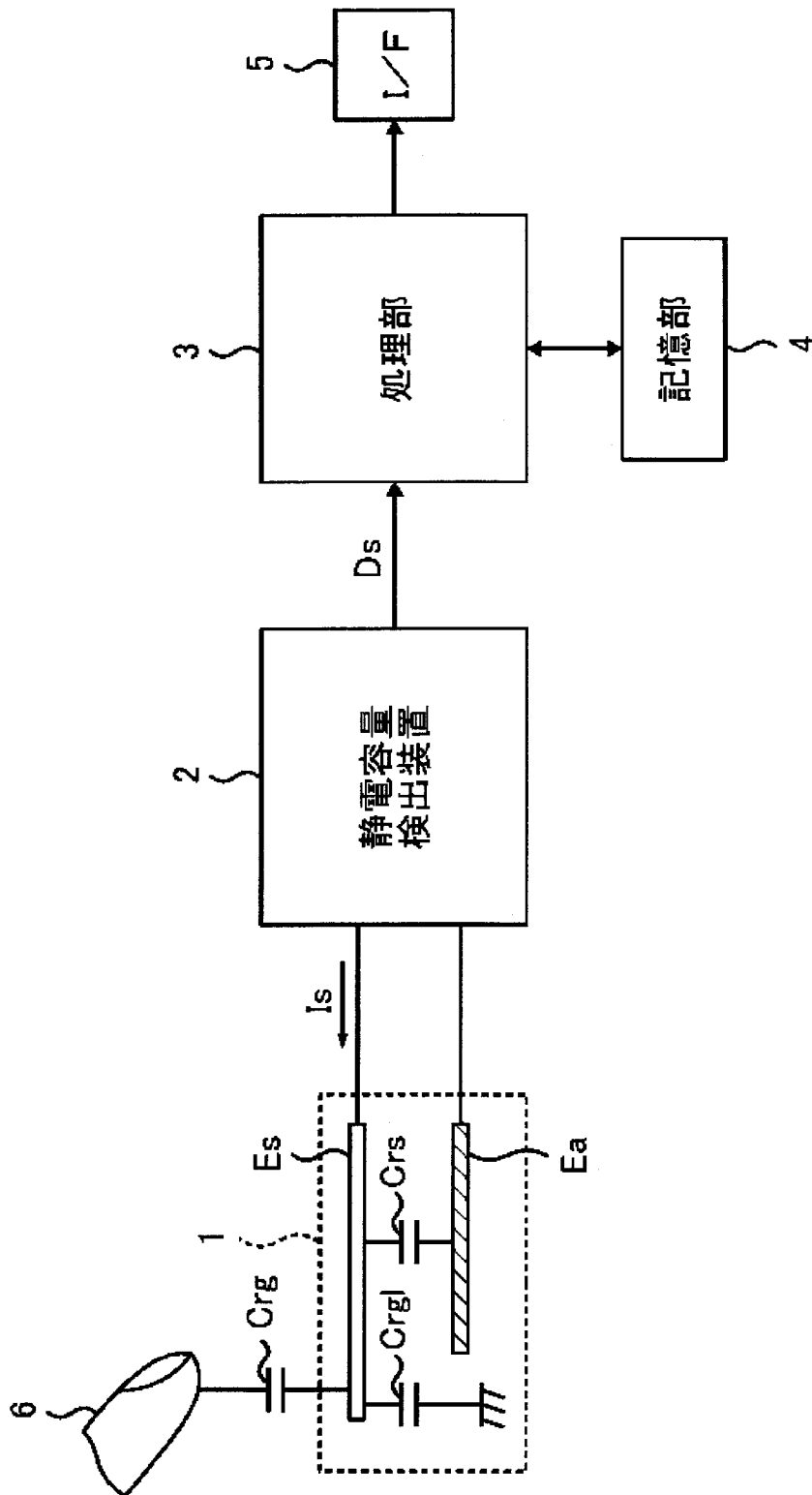
対象物の近接に応じた情報を入力する入力装置であって、

前記対象物の近接に応じて前記対象物との間の静電容量が変化する
少なくとも 1 つの検出電極と、

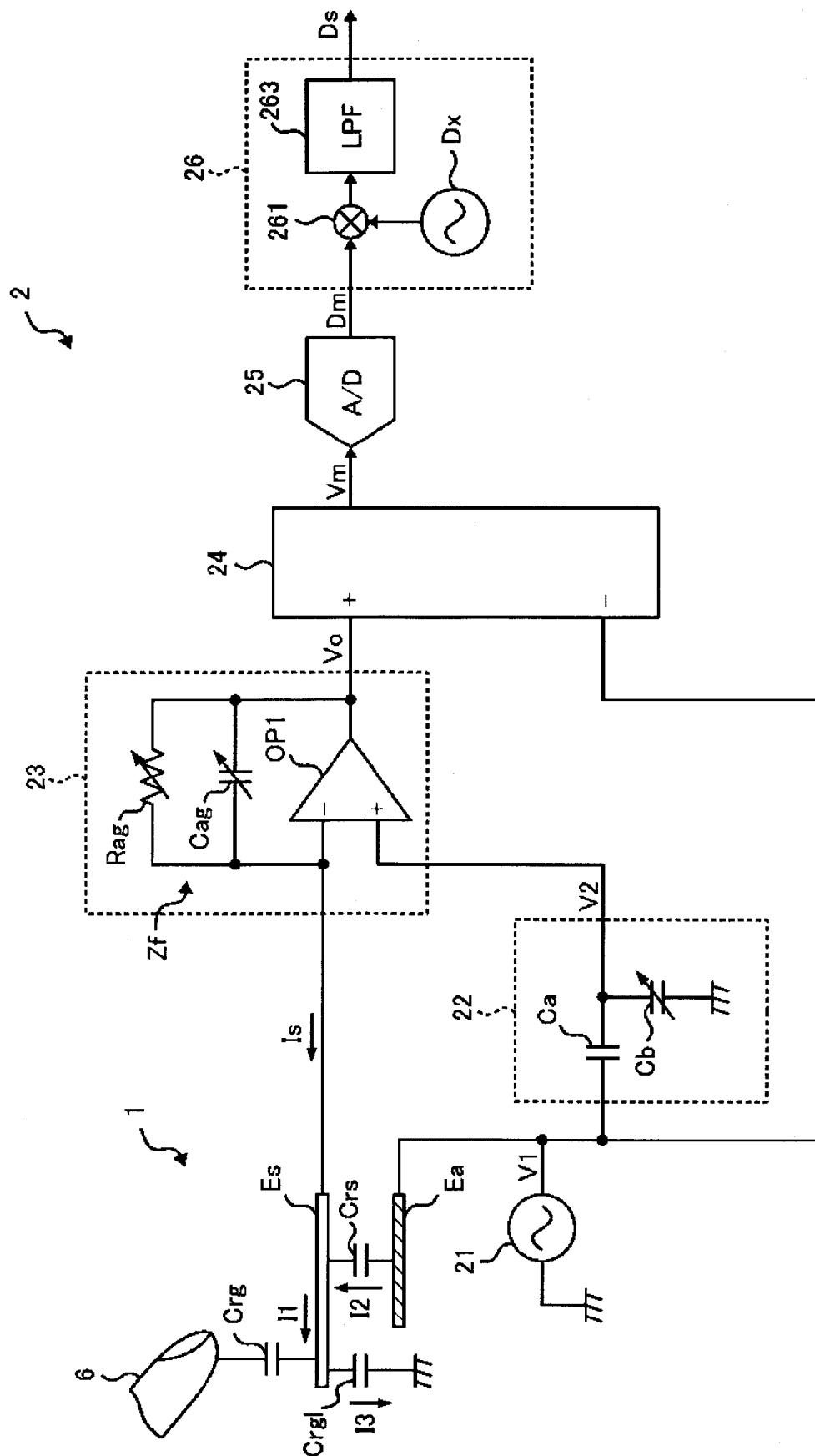
前記検出電極に近接して配置されたシールド電極と、

前記対象物と前記検出電極との間の静電容量を検出する請求項 1 乃
至 1 6 の何れか一項に記載の静電容量検出装置とを有する、
入力装置。

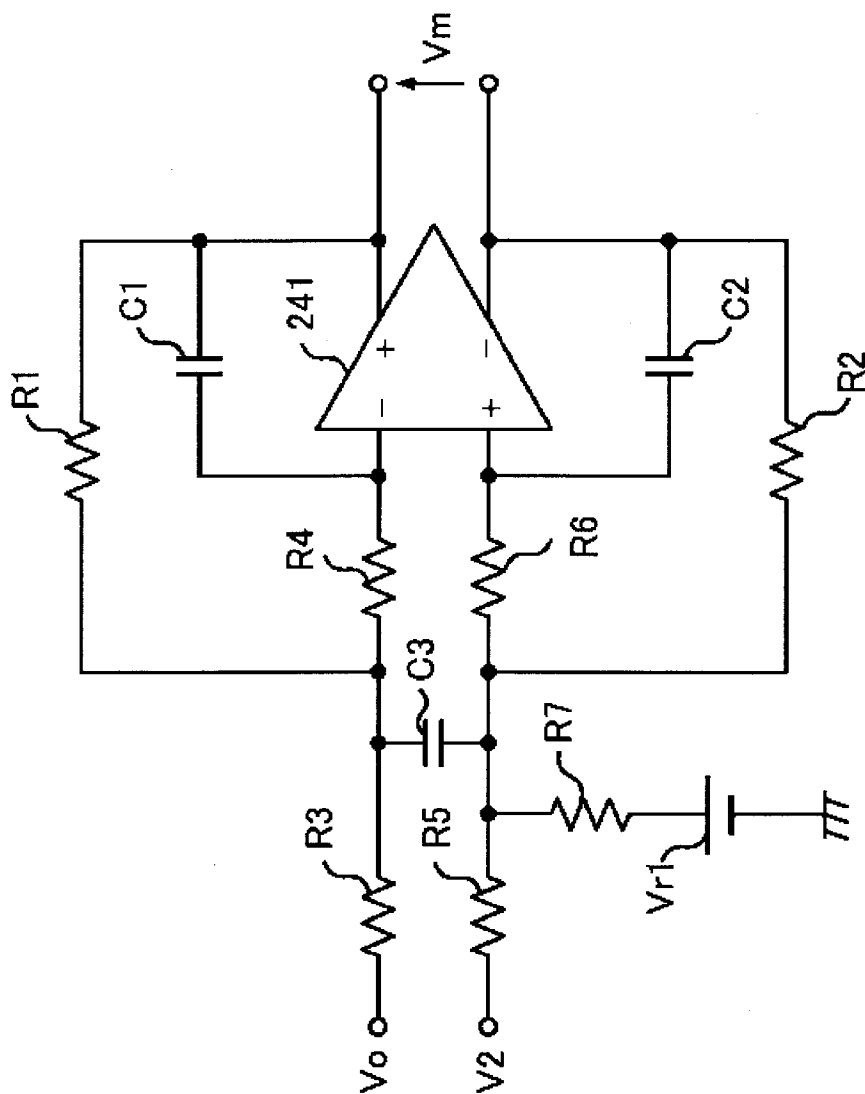
[図1]



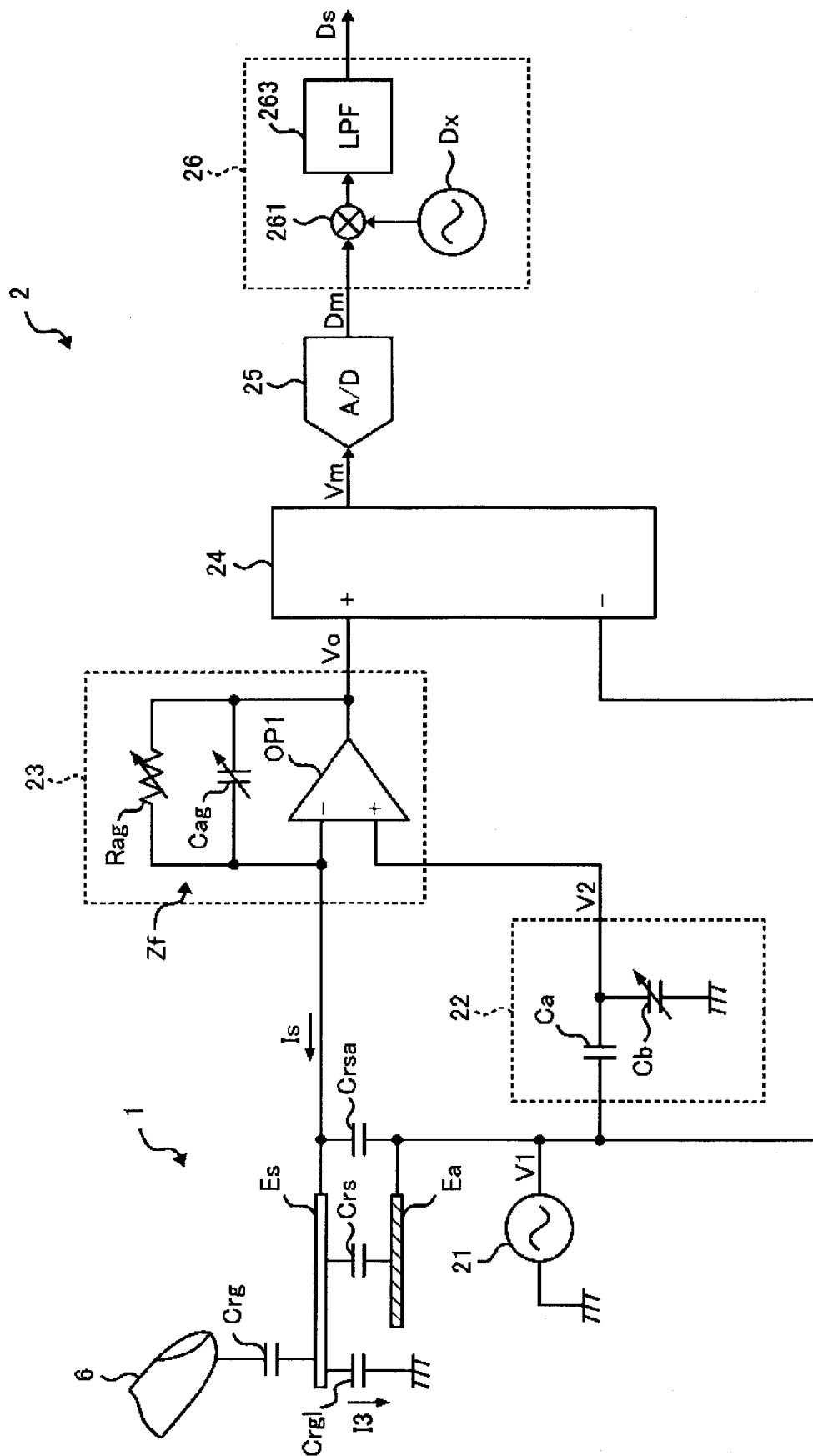
[図2]



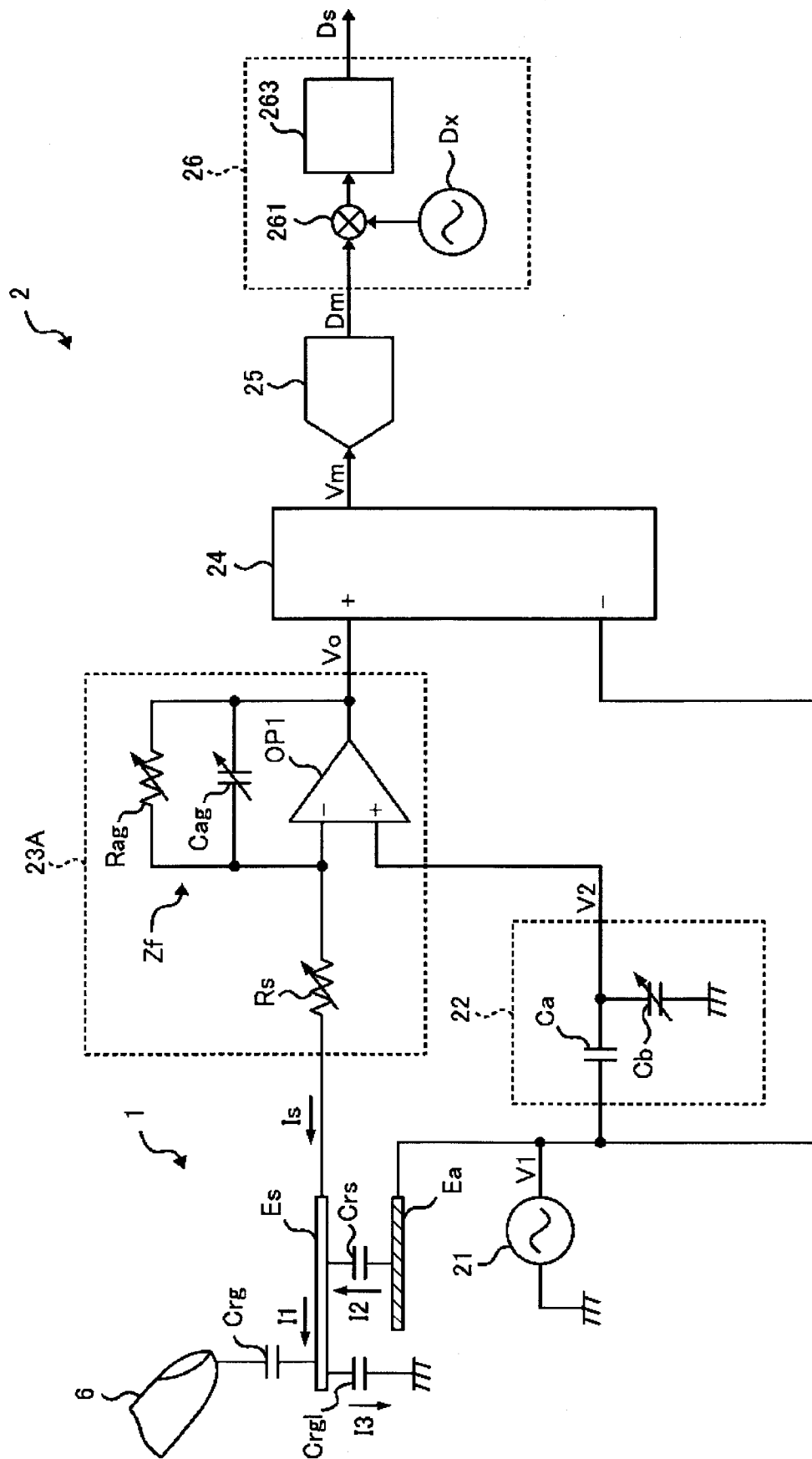
24



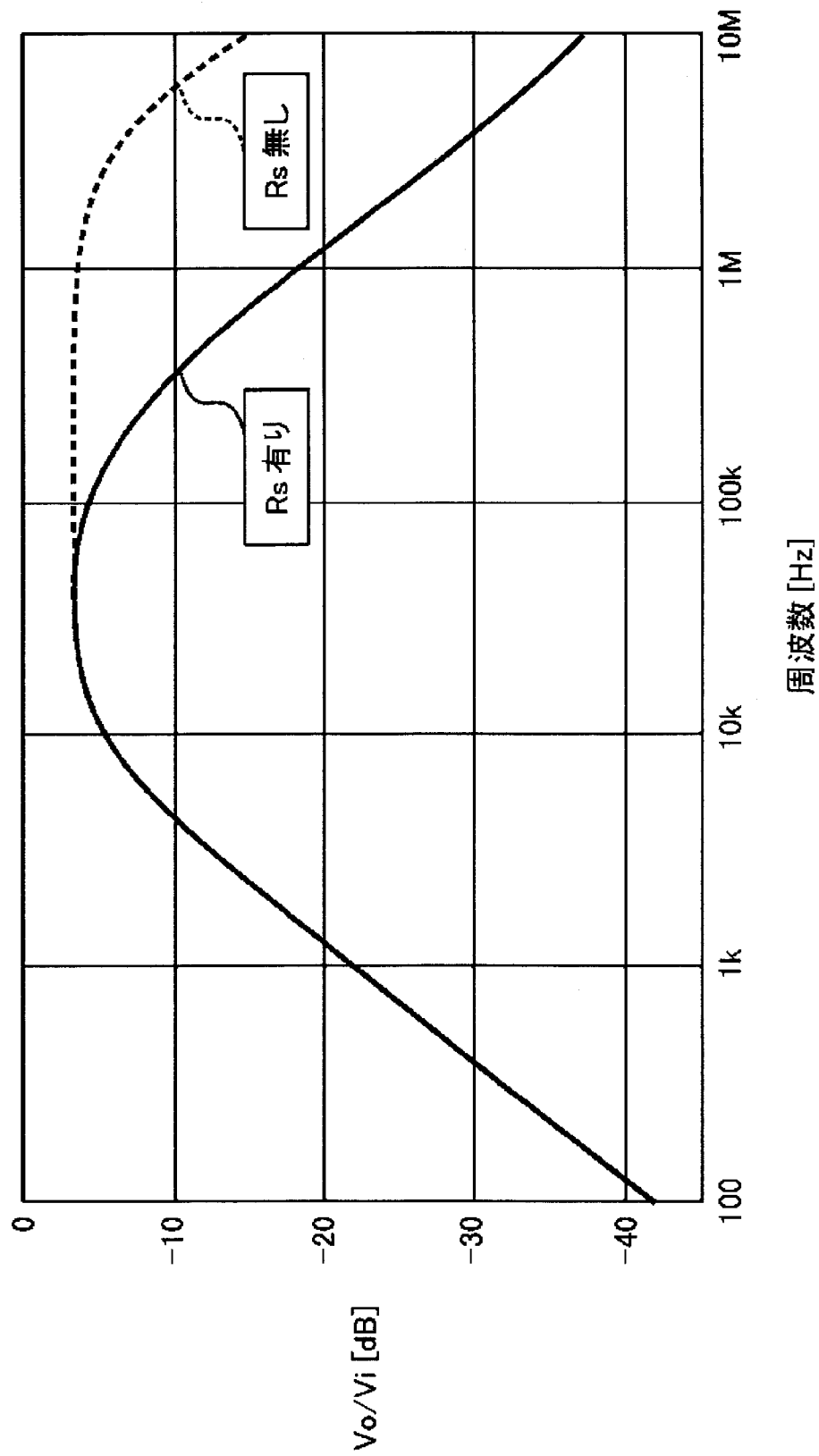
[図4]



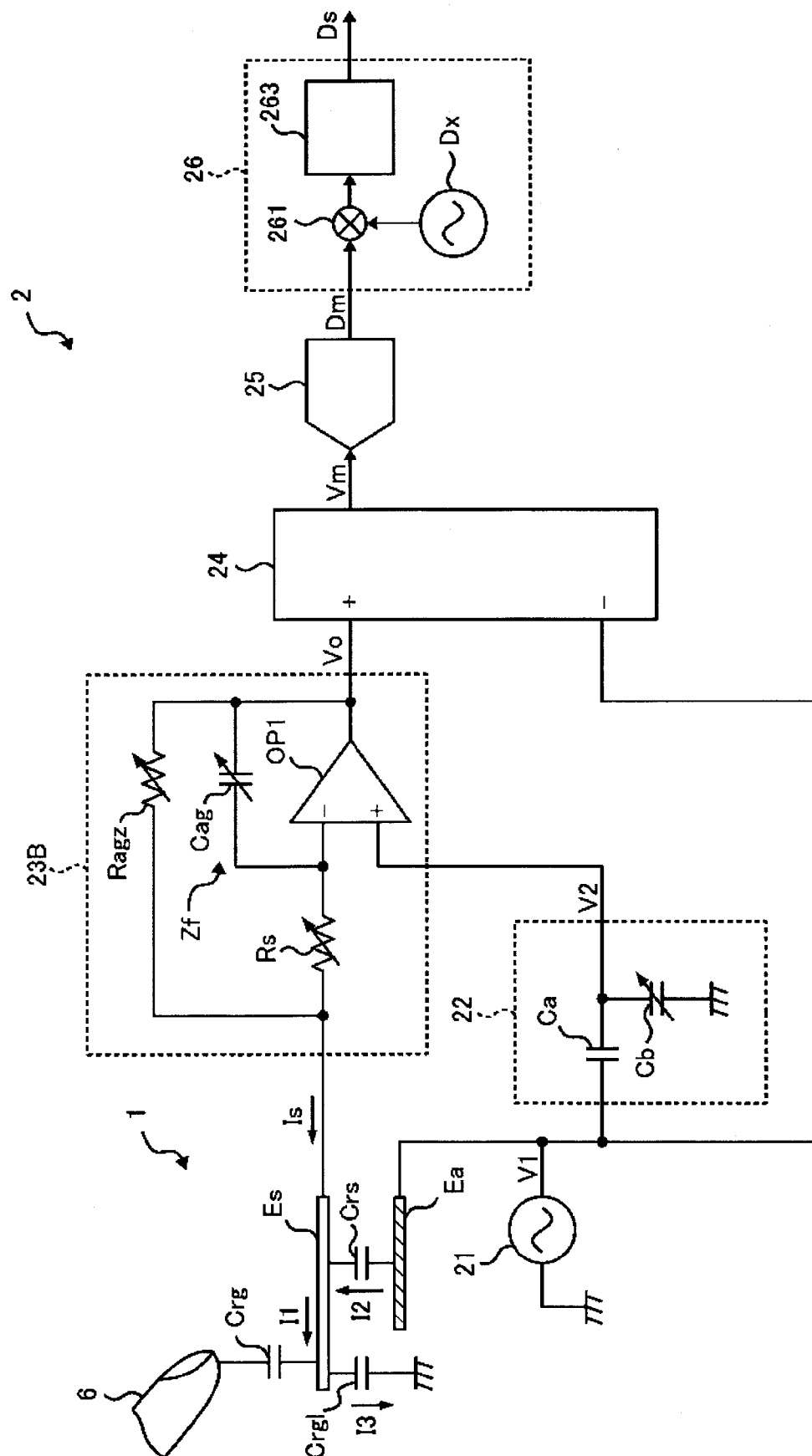
[図5]



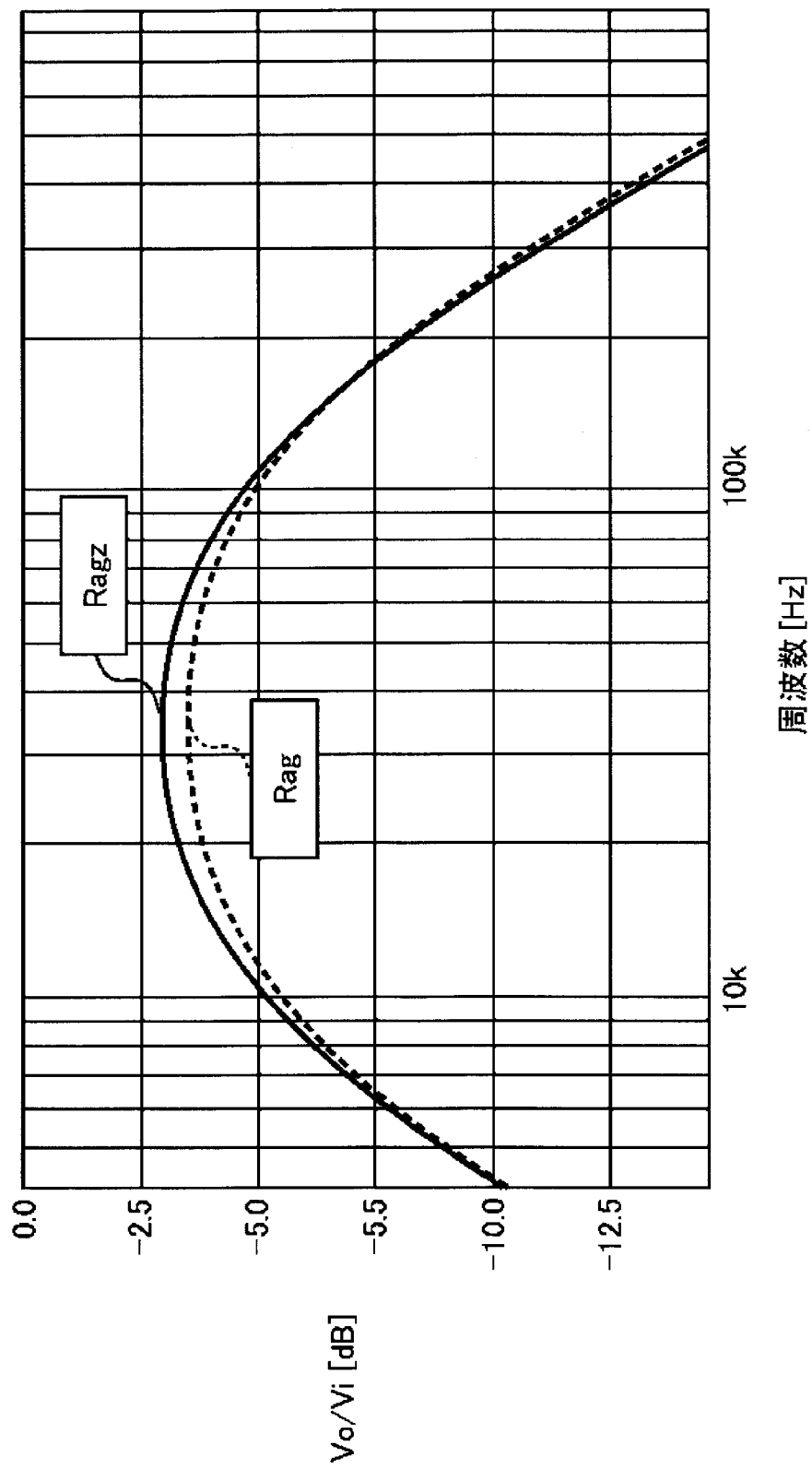
[図6]



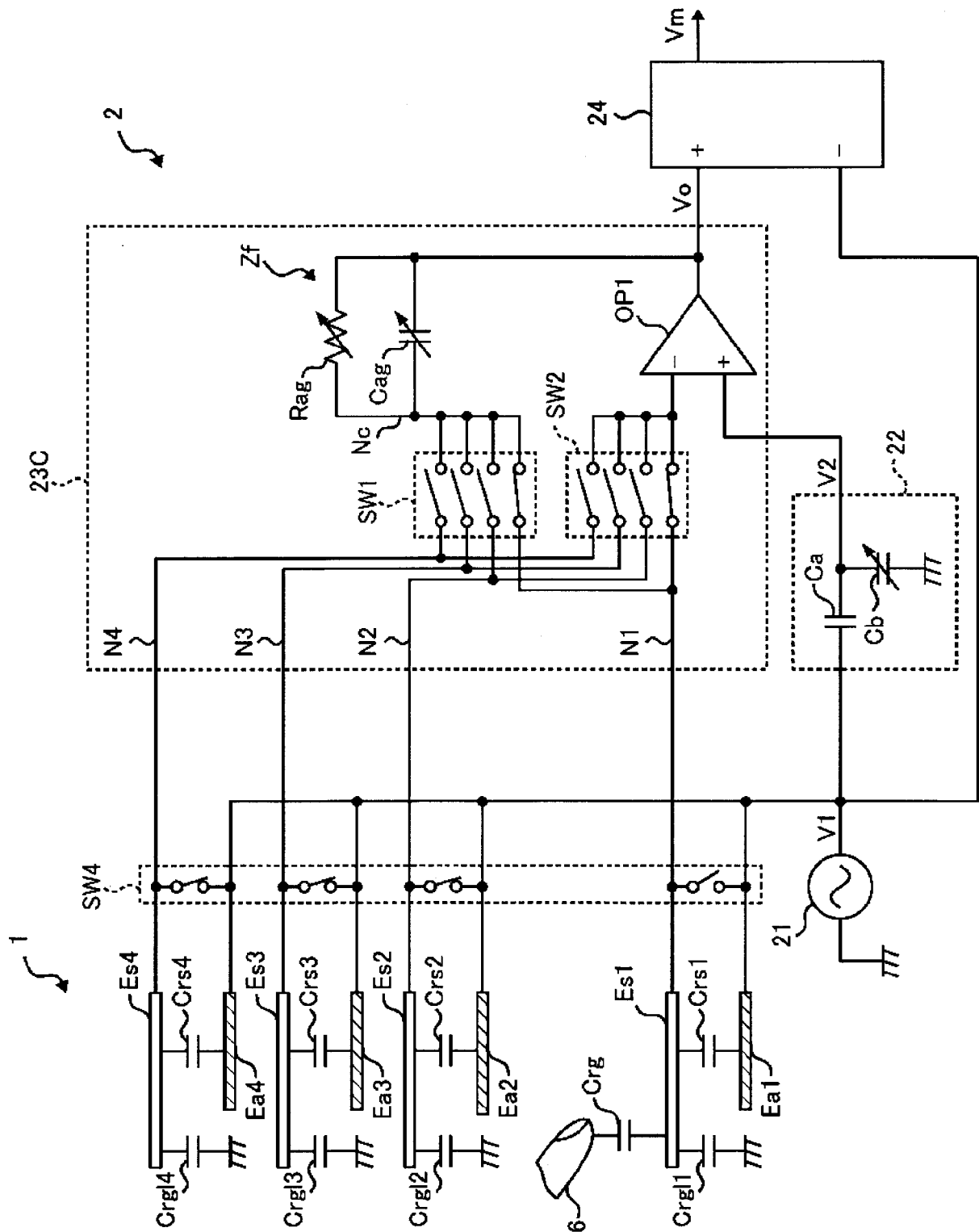
[図7]



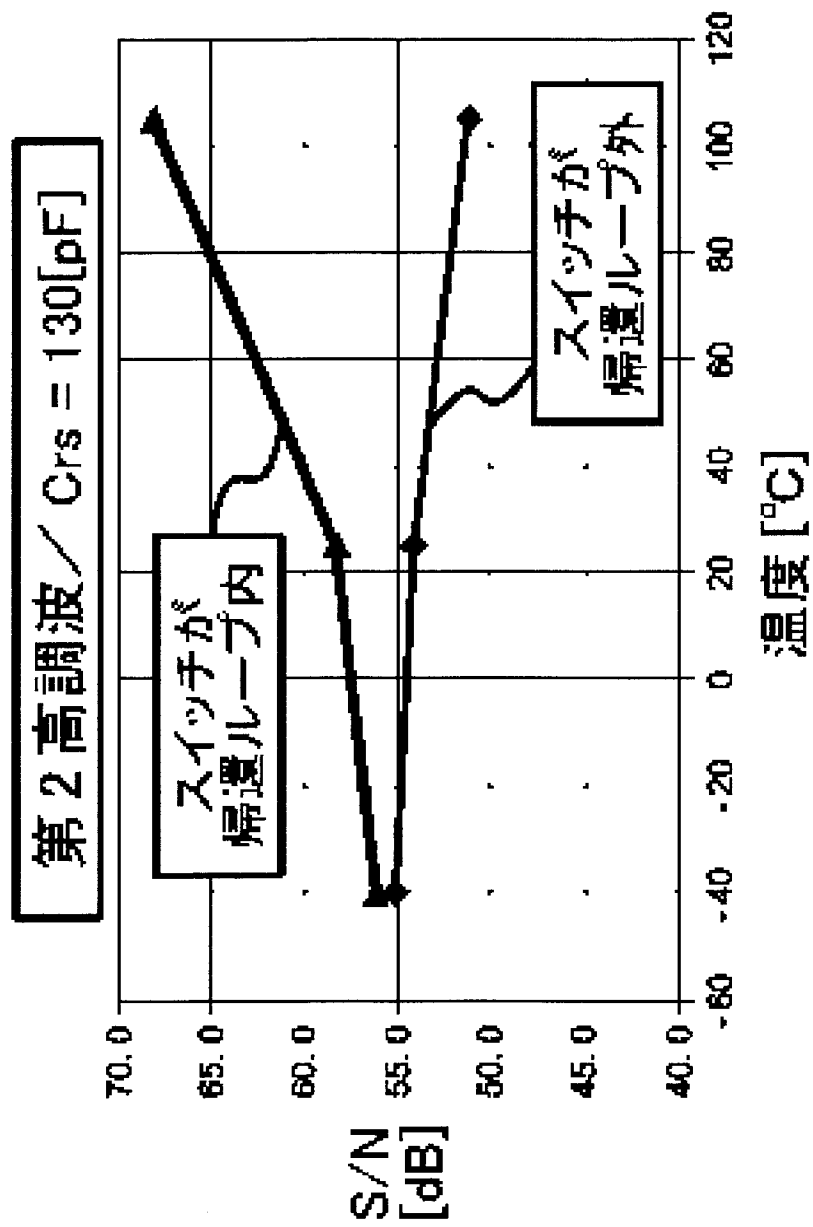
[図8]



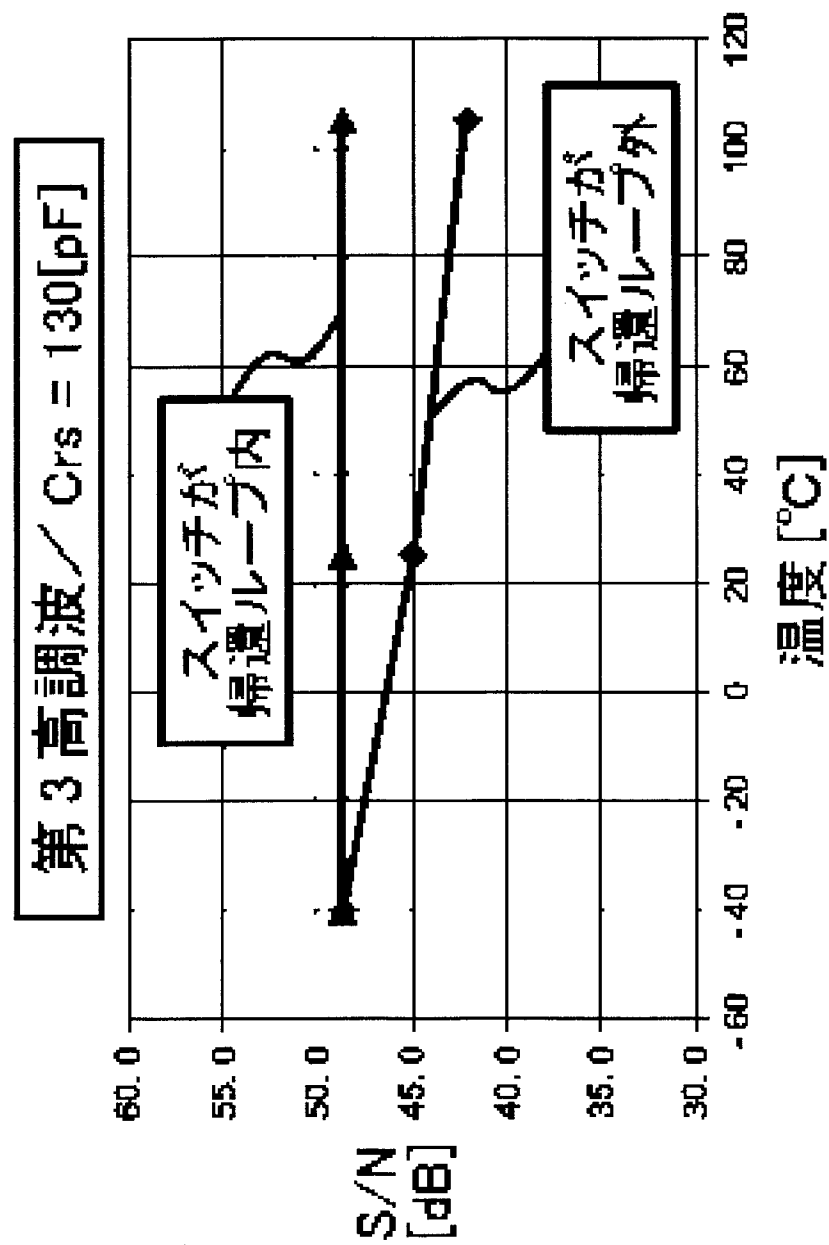
[図9]



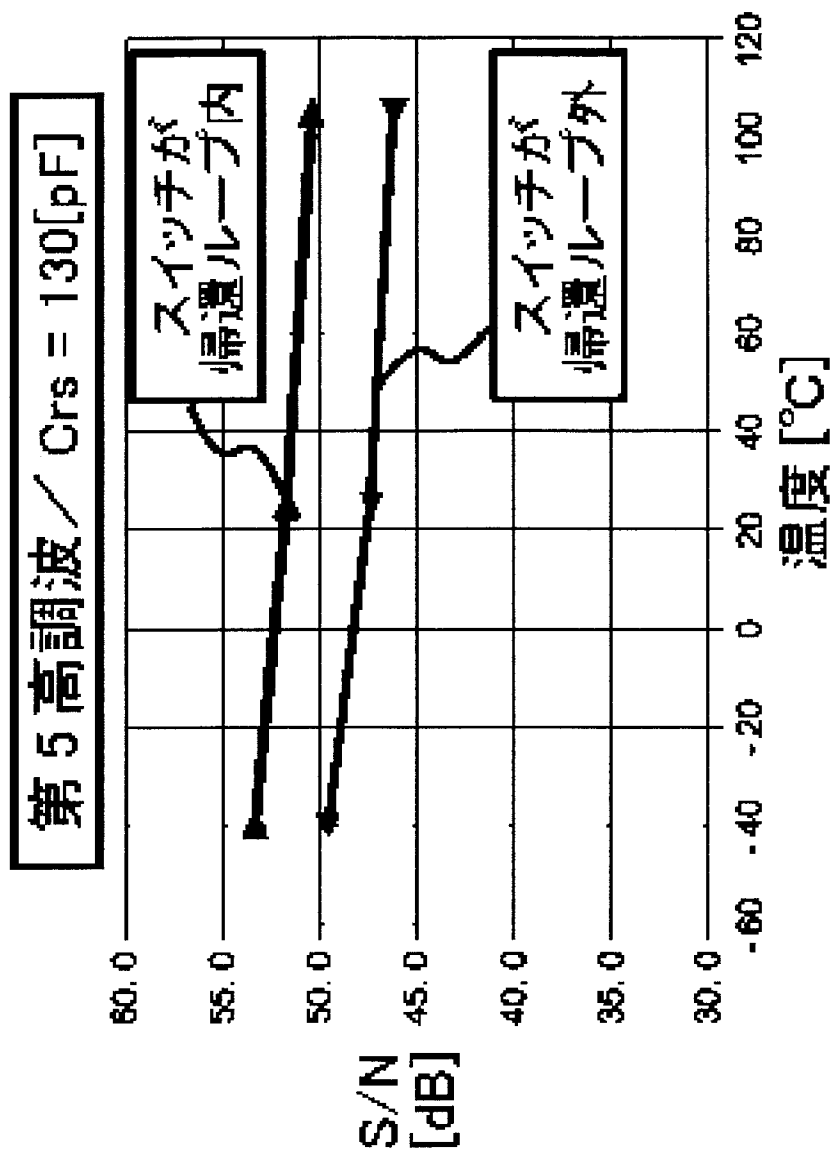
[図10A]



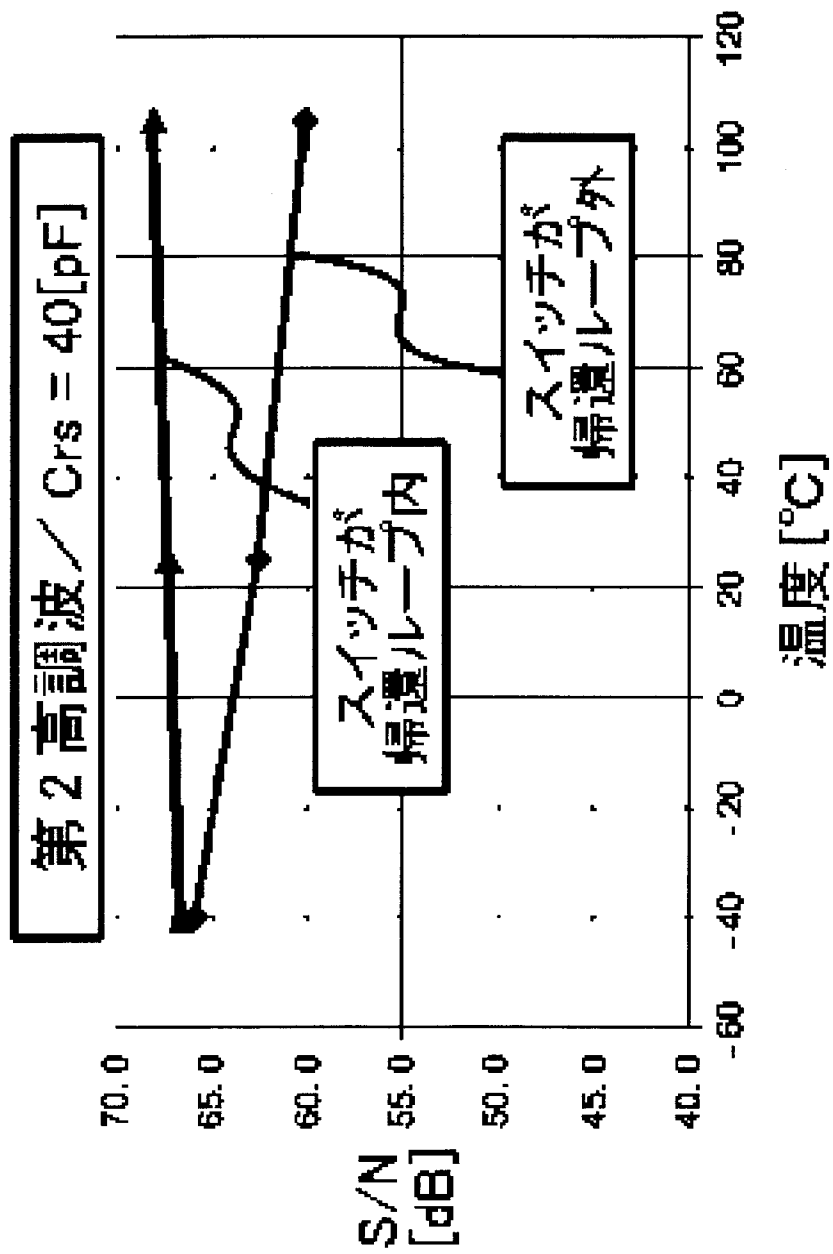
[図10B]



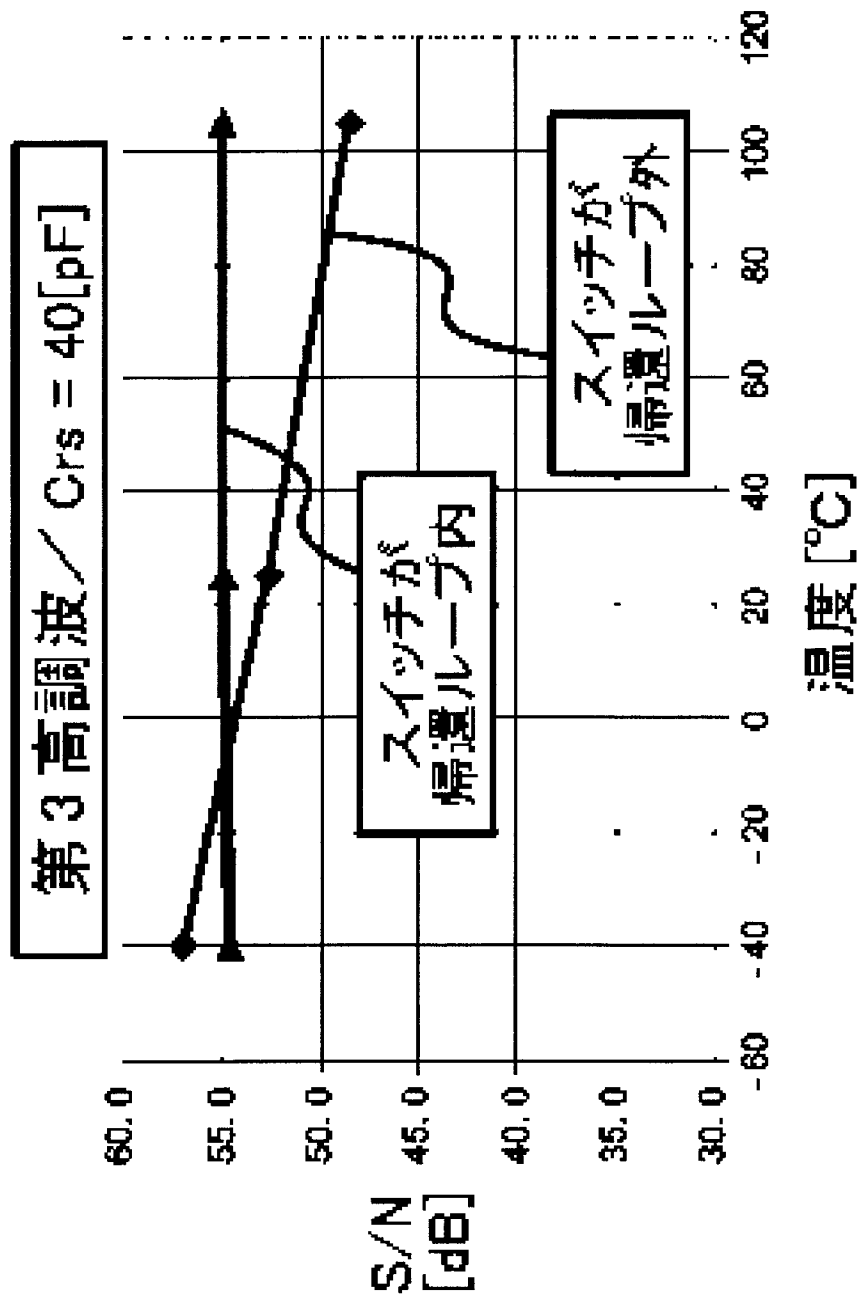
[図10C]



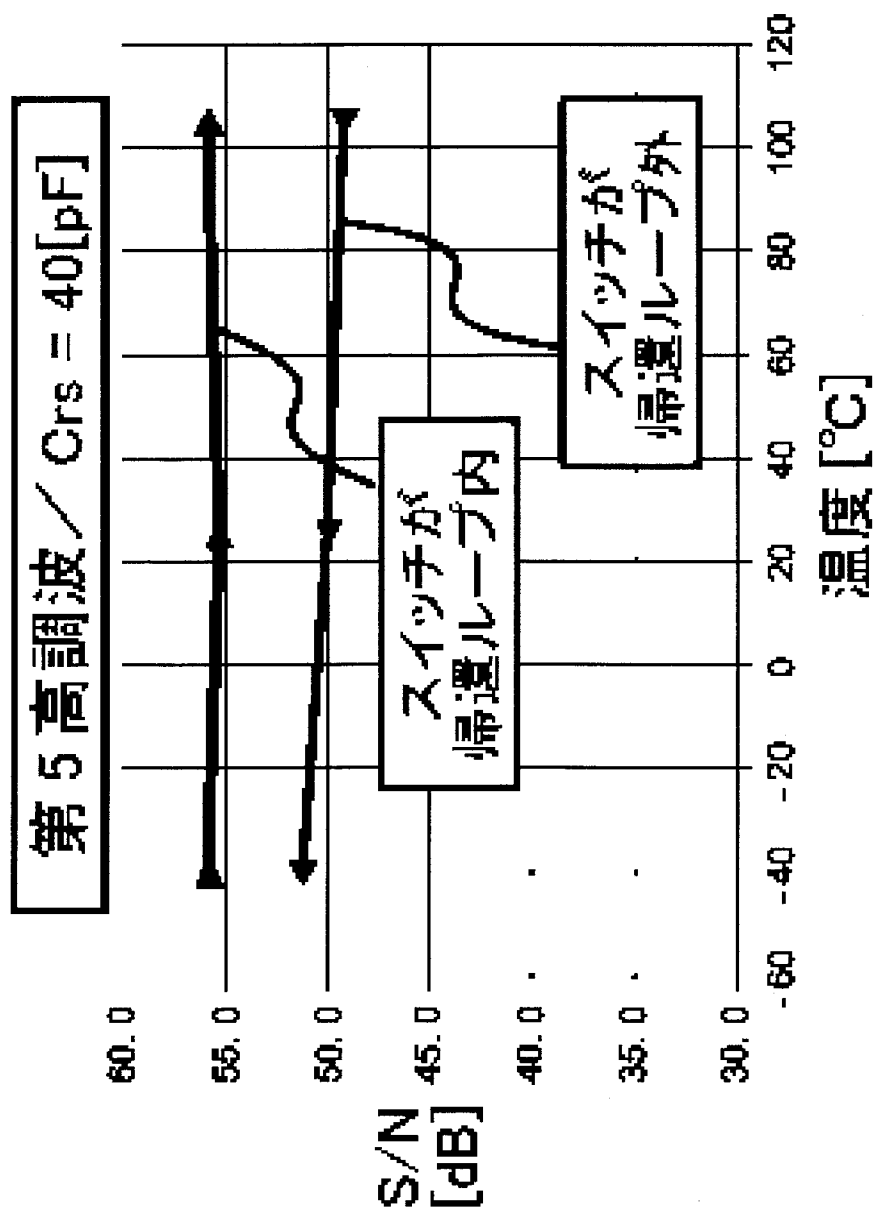
[図10D]



[図10E]



[図10F]



The diagram illustrates a multi-channel system 1 and its feedback loop 2. System 1 consists of four parallel channels, each with an input capacitor C_{rg1} to C_{rg4} , a coupling capacitor C_{rg} , and a network of resistors R_{s1} to R_{s4} and capacitors N_1 to N_4 . The feedback loop 2 includes an operational amplifier $OP1$ with a feedback network of resistors R_{s1} to R_{s4} and capacitors N_1 to N_4 . A voltage divider 22 and a voltage source 24 are also shown.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041125

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G01R27/26 (2006.01) i, G06F3/041 (2006.01) i, G06F3/044 (2006.01) i, H03K17/955 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G01B7/00-7/34, G01D5/24, G01L9/12, G01N27/22, G01R27/26, G06F3/041, G06F3/044, H03K17/955

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/059967 A1 (ALPS ELECTRIC CO., LTD.) 21 April 2016, paragraphs [0032], [0064]-[0066], [0072]-[0087], fig. 7, 10-13 & US 2017/0199598 A1, paragraphs [0057], [0093]-[0095], [0101]-[0114], fig. 7, 10-13 & EP 3208942 A2 & CN 107078738 A	1-17
A	JP 2000-234939 A (YAZAKI CORP.) 29 August 2000, paragraphs [0060]-[0062], fig. 1 (Family: none)	1-17
A	JP 2015-125088 A (MURATA MFG. CO., LTD.) 06 July 2015, paragraphs [0022]-[0024], fig. 1-2 & WO 2015/098893 A1	1-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
05 February 2018 (05.02.2018)

Date of mailing of the international search report
13 February 2018 (13.02.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/041125

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-242370 A (RENESAS ELECTRONICS CORP.) 01 December 2011, paragraphs [0019], [0054], fig. 1-2, 4 & US 2011/0285407 A1, paragraphs [0020], [0058], fig. 1-2, 4	1-17
A	US 9151792 B1 (CYPRESS SEMICONDUCTOR CORPORATION) 06 October 2015, column 4, lines 14-34, fig. 2 & US 2016/0117017 A1	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01R27/26(2006.01)i, G06F3/041(2006.01)i, G06F3/044(2006.01)i, H03K17/955(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01B7/00-7/34, G01D5/24, G01L9/12, G01N27/22, G01R27/26, G06F3/041, G06F3/044, H03K17/955

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2016/059967 A1 (アルプス電気株式会社) 2016.04.21, 段落 0032, 0064-0066, 0072-0087, 図 7, 10-13 & US 2017/0199598 A1, 段落 0057, 0093-0095, 0101-0114, 図 7, 10-13 & EP 3208942 A2 & CN 107078738 A	1-17
A	JP 2000-234939 A (矢崎総業株式会社) 2000.08.29, 段落 0060-0062, 図 1 (ファミリーなし)	1-17
A	JP 2015-125088 A (株式会社村田製作所) 2015.07.06, 段落	1-17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.02.2018

国際調査報告の発送日

13.02.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

荒井 誠

2S

3203

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	0022-0024, 図 1-2 & WO 2015/098893 A1	
A	JP 2011-242370 A (ルネサスエレクトロニクス株式会社) 2011.12.01, 段落 0019, 0054, 図 1-2, 4 & US 2011/0285407 A1, 段落 0020, 0058, 図 1-2, 4	1-17
A	US 9151792 B1 (CYPRESS SEMICONDUCTOR CORPORATION) 2015.10.06, 第 4 欄第 14-34 行, 図 2 & US 2016/0117017 A1	1-17