



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr _____

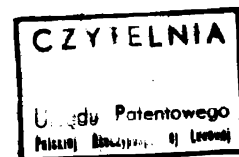
Int. Cl. H03K 5/01

Zgłoszono: 05.03.82 (P. 235324)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 03.01.83

Opis patentowy opublikowano: 30.04.1985



Twórca wynalazku: Jan Gibki

Uprawniony z patentu tymczasowego: Wojskowa Akademia Techniczna
im. Jarosława Dąbrowskiego,
Warszawa (Polska)

Układ do formowania impulsów zegarowych

Przedmiotem wynalazku jest układ do formowania impulsów zegarowych wykorzystywanych do sterowania mikroprocesorów scalonych wielkiej skali integracji. Układy takie znajdują zastosowanie do budowy mikrokomputerów stosowanych do obróbki arytmetycznej informacji i do celów kontrolno-sterujących.

Znane są układy do formowania impulsów zegarowych opisane w publikacji firmowej „M6800 Microkomputer System Design Data”, Motorola 1976, jak również w publikacji „M6800 Exorciser Users Guide”, Motorola 1975. Układy te posiadają generator z rezonatorem kwarcowym wytwarzający impulsy prostokątne o współczynniku wypełnienia równym jednej drugiej z dokładnością do jednego procenta, którego wyjście połączone jest z wejściami pierwszej z czterech kaskadowo połączonych dwuwejściowych bramek, przy czym pierwsza, druga i czwarta są typu NAND, a trzecia jest typu AND, z których każda ma zwarte oba wejścia, a wyjście ostatniej z tych bramek stanowi trzecie wyjście układu, natomiast wyjście trzeciej bramki połączone jest z wejściami piątej dwuwejściowej bramki typu AND, której wyjście połączone jest poprzez pierwszy opornik z równolegle dołączonym do niego pierwszym kondensatorem z bazą pierwszego tranzystora typu n-p-n, którego emiter dołączony jest do masy, a kolektor poprzez drugi opornik połączony jest z drugim wyjściem układu, natomiast wyjście piątej bramki połączone jest poprzez trzeci opornik z równolegle do niego dołączonym drugim kondensatorem z bazą drugiego tranzystora typu p-n-p, którego emiter dołączony jest do dodatniego napięcia zasilającego i poprzez piąty kondensator do masy, a kolektor połączony jest poprzez czwarty opornik z drugim wyjściem układu, a baza drugiego tranzystora dołączona jest poprzez piąty opornik do napięcia zasilania, natomiast do wyjścia piątej bramki dołączone jest jedno z wejść szóstej dwuwejściowej bramki NAND, której drugie wejście połączone jest z wejściami pierwszej bramki, a wyjście połączone jest ze zwartymi wejściami siódmej dwuwejściowej bramki AND, której wyjście połączone jest poprzez szósty opornik z równolegle do niego dołączonym trzecim kondensatorem z bazą trzeciego tranzystora typu n-p-n, którego emiter dołączony jest do masy, a kolektor połączony jest poprzez siódmy opornik z pierwszym wyjściem układu, natomiast wyjście siódmej bramki połączone jest poprzez ósmy opornik z równolegle do niego dołączonym czwartym kondensatorem z bazą czwartego tran-

zystora typu p-n-p, którego emiter dołączony jest do napięcia zasilania, a kolektor poprzez dziewiąty opornik połączony jest z pierwszym wyjściem układu, natomiast baza czwartego tranzystora połączona jest poprzez dziesiąty opornik z napięciem zasilania. Wspólną wadą tych rozwiązań jest konieczność stosowania specjalizowanych układów scalonych, produkowanych wyłącznie przez tę firmę. Dodatkową wadą układu opisanego w publikacji „M6800 Microcomputer System Design Data” jest jego złożoność układowa, gdyż składa się on z 19 elementów i 7 bramek scalonych. Znane są również specjalne układy zegarowe realizowane w technice półprzewodnikowej monolitycznej, jak również w technice hybrydowej, które cechuje duża złożoność układowa i skomplikowana technologia.

Celem wynalazku jest wyeliminowanie tych wad i opracowanie ulepszonego układu do formowania impulsów zegarowych.

Istota wynalazku polega na tym, że układ do formowania impulsów zegarowych wykorzystujący oscylator z rezonatorem kwarcowym i dzielnik częstotliwości przez dwa lub cztery, jest zbudowany tak, że wyjście dzielnika częstotliwości jest przyłączone do wejścia pierwszego z trzech kaskadowo połączonych inwerterów, przy czym wyjście ostatniego z nich jest trzecim wyjściem układu, natomiast wyjście pierwszego inwertera jest połączone dodatkowo przez kondensator do masy, a do wyjścia drugiego inwertera dołączone jest także jedno z wejść pierwszej bramki NAND z otwartym kolektorem oraz wejścia drugiej bramki NAND z otwartym kolektorem, której wyjście stanowi drugie wyjście układu według wynalazku i jest dołączone przez opornik do dodatniego napięcia zasilającego o większej wartości oraz do anody diody, której katoda jest połączona z masą poprzez równolegle połączone opornik i kondensator oraz z katodami dwóch diod, przy czym anoda pierwszej z tych diod jest dołączona do mniejszego dodatniego napięcia zasilającego, a anoda drugiej diody do pierwszego wyjścia układu według wynalazku, natomiast drugie wejście pierwszej bramki NAND połączone jest z wejściem pierwszego inwertera, a jej wyjście jest połączone przez opornik z mniejszym napięciem zasilającym i przez kondensator z masą oraz z wejściem trzeciej bramki NAND z otwartym kolektorem, której wyjście stanowi pierwsze wyjście układu według wynalazku i jest przez opornik dołączone do większego napięcia zasilającego.

Korzystne skutki techniczne wynalazku polegają na tym, że układ do formowania impulsów zegarowych może być zbudowany wyłącznie z oscylatorem kwarcowym i dzielnikiem częstotliwości w oparciu o trzy typowe układy scalone serii TTL — jeden sześciokrotny inwerter, pojedynczy lub podwójny przerzutnik i jeden układ z czterema dwuwejściowymi bramkami z otwartym kolektorem. Układ według wynalazku znacznie upraszcza konstrukcję generatora impulsów zegarowych w porównaniu ze znanymi rozwiązaniami obniżając wymiary układu i jego koszt budowy.

Przedmiot wynalazku jest pokazany na przykładzie wykonania odtworzonym na rysunku przedstawiającym schemat połączeń.

Układ według wynalazku zawiera trzy kaskadowo połączone inwertery I_1 , I_2 , I_3 , przy czym wyjście ostatniego z nich I_3 , jest trzecim wyjściem E układu, natomiast wyjście pierwszego z inwerterów I_1 , jest połączone dodatkowo przez kondensator C_1 , do masy, a do wyjścia drugiego inwertera I_2 , dołączone jest jedno z wejść pierwszej bramki NAND B_1 , z otwartym kolektorem oraz dwa wejścia drugiej bramki NAND B_2 z otwartym kolektorem, której wyjście stanowi drugie wyjście $\emptyset_2$ układu i jest połączone przez opornik R_2 , do dodatniego napięcia zasilającego U_2 , o większej wartości oraz do anody diody D_3 , której katoda jest połączona z masą poprzez równolegle połączone opornik R_3 , i kondensator C_3 , oraz z katodami dwóch diod D_1 , D_2 , przy czym anoda pierwszej z tych diod D_1 , jest dołączona do mniejszego dodatniego napięcia zasilającego U_1 , a anoda drugiej diody D_2 do pierwszego wyjścia $\emptyset_1$ układu, natomiast drugie wejście pierwszej bramki NAND B_1 , połączone jest z wejściem pierwszego inwertera I_1 , a jej wyjście jest połączone przez opornik R_4 z mniejszym napięciem zasilającym U_1 , i przez kondensator C_2 , z masą oraz z wejściami trzeciej bramki NAND B_3 , z otwartym kolektorem, której wyjście stanowi pierwsze wyjście $\emptyset_1$ układu i jest przez opornik R_1 , dołączone do większego napięcia zasilającego U_2 .

Działanie układu polega na tym, że dostarcza na swych wyjściach $\emptyset_1$ i $\emptyset_2$ impulsy zegarowe o parametrach wymaganych dla prawidłowego sterowania mikroprocesorów scalonych oraz na wyjściu E impulsy zegarowe w standardzie TTL, które mogą być wykorzystane do sterowania pomocniczych układów mikrokomputera. W torze złożonym z inwertera I_1 , kondensatora C_1 i inwertera I_2 następuje opóźnienie impulsów z wyjścia dzielnika częstotliwości. Odpowiednio

włączona bramka B_1 zapewnia uzyskanie na jej wyjściu impulsów o współczynniku wypełnienia różnym od jednej drugiej. Prawidłowo dobrane opóźnienie na wyjściu tej bramki gwarantuje, że zbocze narastające impulsu $\emptyset_1$ pojawia się po zaniku impulsu $\emptyset_2$, podobnie narastające zbocze impulsu $\emptyset_2$ pojawia się po zaniku impulsu wyjściowego $\emptyset_1$. Użycie bramek z otwartym kolektorem B_2, B_3 , układu wytwarzającego napięcie odniesienia składającego się z diody D_1 , opornika R_3 i kondensatora C_3 wraz z układami poziomowania R_1, R_2, D_1, D_3 umożliwia uzyskanie amplitudy impulsów $\emptyset_1$ i $\emptyset_2$ równej wartości napięcia zasilającego o mniejszej wartości U_1 .

Zastrzeżenie patentowe

Układ do forsowania impulsów zegarowych wykorzystujący oscylator z rezonatorem kwarcowym i dzielnik częstotliwości przez dwa lub cztery, **znamienny tym**, że wyjście dzielnika częstotliwości jest przyłączone do wejścia (Q) kaskadowo połączonych trzech inwerterów (I_1, I_2, I_3), przy czym wyjście ostatniego z nich (I_3) jest trzecim wyjściem (E) układu według wynalazku, natomiast wyjście pierwszego z inwerterów (I_1) jest połączone dodatkowo przez kondensator (C_1) do masy, a do wyjścia drugiego inwertera (I_2) jest dołączone jedno z wejść pierwszej bramki NAND (B_1) z otwartym kolektorem oraz dwa wejścia drugiej bramki NAND (B_2) z otwartym kolektorem, której wyjście stanowi drugie wyjście ($\emptyset_2$) układu według wynalazku i jest połączone poprzez opornik (R_2) do dodatniego napięcia zasilającego (U_2) o większej wartości oraz do anody diody (D_3) której katoda jest połączona z masą poprzez równolegle połączone opornik (R_3) i kondensator (C_3) oraz z katodami dwóch diod (D_1, D_2), przy czym anoda pierwszej z tych diod (D_1) jest dołączona do mniejszego dodatniego napięcia zasilającego (U_1), a anoda drugiej diody (D_2) do pierwszego wyjścia ($\emptyset_1$) układu według wynalazku, natomiast drugie wejście pierwszej bramki NAND (B_1) połączone jest z wejściem pierwszego inwertera (I_1), a jej wyjście jest połączone przez opornik (R_4) z mniejszym napięciem zasilającym (U_1) i przez kondensator (C_2) z masą oraz z wejściem trzeciej bramki NAND (B_3) z otwartym kolektorem, której wyjście stanowi pierwsze wyjście ($\emptyset_1$) układu według wynalazku i jest przez opornik (R_1) dołączone do większego napięcia zasilającego (U_2).

