



(12)发明专利

(10)授权公告号 CN 106206552 B

(45)授权公告日 2019.02.15

(21)申请号 201610366052.X

(22)申请日 2016.05.27

(65)同一申请的已公布的文献号
申请公布号 CN 106206552 A

(43)申请公布日 2016.12.07

(30)优先权数据
15169491.6 2015.05.27 EP

(73)专利权人 安普林荷兰有限公司
地址 荷兰奈梅亨市

(72)发明人 诸毅 约瑟夫斯·范德赞登
艾乌里·沃洛凯恩
罗伯·马蒂兹·赫里斯

(74)专利代理机构 北京派特恩知识产权代理有限公司 11270
代理人 徐川 姚开丽

(51)Int.Cl.

H01L 23/64(2006.01)

(56)对比文件

JP 特开2001-111364 A,2001.04.20,
US 6424223 B1,2002.07.23,
CN 103681635 A,2014.03.26,
KR 10-0878708 B1,2009.01.08,
US 2009/0096068 A1,2009.04.16,
EP 2388815 A1,2011.11.23,

审查员 汪灵

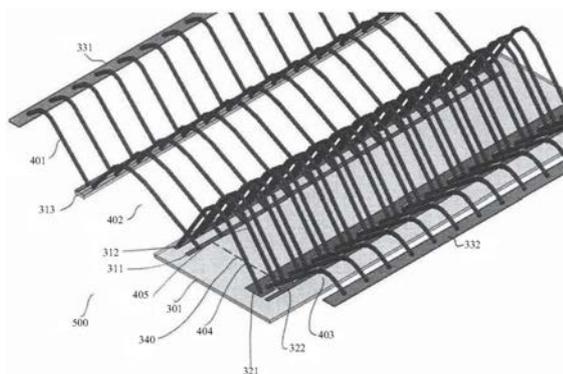
权利要求书2页 说明书12页 附图10页

(54)发明名称

阻抗匹配配置

(57)摘要

提供了一种封装。该封装包括芯片和阻抗匹配网络。芯片具有第一端子和第二端子。阻抗匹配网络被耦合到第二端子并且包括第一电感器和第一电容器。第一电感器包括第一焊线连接和第二焊线连接，第一焊线连接被耦合在第二端子和芯片上的第一焊盘之间，并且第二焊线连接被耦合在第一焊盘和第二焊盘之间，第二焊盘被耦合到第一电容器。



1. 一种封装,包括:
集成电路芯片,具有第一端子和第二端子;
第一封装引线,被耦合到所述第一端子;
第二封装引线,被耦合到所述第二端子;以及
阻抗匹配网络,被耦合到所述第二端子并且包括第一电感器和第一电容器,其中,所述第一电容器是被布置在所述集成电路芯片上的集成的电容器;
其中,所述第一电感器包括第一焊线连接和第二焊线连接,所述第一焊线连接被耦合在所述第二端子和所述集成电路芯片上的第一焊盘之间,所述第二焊线连接被耦合在所述第一焊盘与被耦合到所述第一电容器的第二焊盘之间;
其中,所述第一焊线连接和所述第二焊线连接被邻近地布置;
其中,所述第一焊盘被布置在所述集成电路芯片上介于所述第一封装引线和所述第二端子之间,
其中,所述第一焊线连接和所述第二焊线连接被布置使得在操作期间,由所述第一焊线连接和所述第二焊线连接所承载的瞬时电流沿相反的方向流动。
2. 根据权利要求1所述的封装,其中,所述第一焊线连接和所述第二焊线连接处于所述集成电路芯片的表面上方。
3. 根据权利要求1或2所述的封装,其中,在所述第一端子和所述第二端子之间存在定向轴,并且所述第一焊线连接和所述第二焊线连接基本上沿着所述定向轴来定向。
4. 根据权利要求1或2所述的封装,其中,所述第一焊盘被包括在第一焊盘条中,并且其中,所述第二焊盘被包括在第二焊盘条中,其中,所述第一端子和所述第二端子各自沿着第一方向延伸,并且其中,所述第一焊盘条和所述第二焊盘条被平行于所述第一方向布置。
5. 根据权利要求1或2所述的封装,其中,所述第二焊盘位于所述集成电路芯片上介于所述第二端子和所述第二封装引线之间,或者其中,所述第二焊盘位于所述集成电路芯片上使得所述第二端子被布置在所述第二焊盘和所述第二封装引线之间。
6. 根据权利要求1或2所述的封装,其中,所述封装进一步包括被耦合在所述第二端子和所述第二封装引线之间的第三焊线连接。
7. 根据权利要求6所述的封装,其中,所述第一焊线连接中的每个第一焊线连接与所述第二焊线连接中的相应第二焊线连接相关联从而形成焊线连接对,并且所述焊线连接对进一步与所述第三焊线连接之一相关联。
8. 根据权利要求7所述的封装,其中,所述第二焊盘和所述第二端子相对于彼此进行布置使得对于每个焊线连接对,将所述第三焊线连接耦合到所述第二端子的点被间插在将所述第一焊线连接耦合到所述第二端子的点与将所述第二焊线连接耦合到所述第二焊盘的点之间。
9. 根据权利要求7所述的封装,其中,所述第二焊盘和所述第二端子被相间交错。
10. 根据权利要求9所述的封装,其中,所述第二端子和所述第二焊盘被相间交错使得对于每个焊线连接对,将所述第一焊线连接耦合到所述第二端子的点与将所述第二焊线连接耦合到所述第二焊盘的点对齐。
11. 根据权利要求1或2所述的封装,其中,所述第一电感器是分路电感器。
12. 根据权利要求1或2所述的封装,其中,所述第一电容器是直流去耦电容器。

13. 根据权利要求1或2所述的封装,其中,焊线连接包括一个或多个焊线。

阻抗匹配配置

技术领域

[0001] 本公开涉及阻抗匹配,具体涉及阻抗匹配电路的配置。

背景技术

[0002] 被加工在集成电路芯片上的功能电路可以受益于阻抗匹配。阻抗匹配可以调整功能电路的输入和/或输出阻抗以便调整该电路的特性,例如,功率传输或信号反射。例如,在射频(RF)系统中,将这些输入的输入阻抗与负载阻抗相匹配减少了信号反射。功能电路因此可以被设计得具有阻抗匹配电路。这些阻抗匹配电路可以被包括在封装中。换言之,阻抗匹配电路可以在封装芯片之前被耦合到该芯片。经由被包括在该封装中的阻抗匹配电路,所得到的集成电路封装的引线可以被内部地耦合到芯片的端子。

[0003] 尽管理论上可以设计阻抗匹配电路,但是阻抗匹配电路的物质实现会导致引入缺陷。例如,阻抗匹配电路的物质实施可以导致在各部件之间发生的互感耦合、或各部件之间的其他非理想交互。

[0004] 存在用于实现减轻至少一些非理想交互的封装中阻抗匹配电路的余地。

发明内容

[0005] 根据第一方面,提供了一种封装,该封装包括:芯片,诸如集成电路芯片,芯片具有第一端子和第二端子;以及阻抗匹配网络,被耦合到第二端子并且包括第一电感器和第一电容器,其中,第一电容器优选为被布置在芯片上的集成的电容器;其中,第一电感器包括第一焊线连接和第二焊线连接,第一焊线连接被耦合在第二端子和芯片上的第一焊盘之间,第二焊线连接被耦合在第一焊盘与被耦合到第一电容器的第二焊盘之间。第一焊线连接和第二焊线连接优选被邻近地布置。

[0006] 第一焊线连接可以被配置为承载第一方向上的电流并且第二焊线连接被配置为承载第二方向上的电流。例如,第一焊线连接和第二焊线连接可以被配置为使得在操作期间,由这些各个连接所承载的瞬时电流沿相反的方向流动。第一焊线连接和第二焊线连接可以处于芯片的表面上方。在第一端子和第二端子之间可以存在定向轴,并且第一焊线连接和第二焊线连接可以基本上沿着轴来定向。

[0007] 第一焊盘可以被包括在第一焊盘条中,并且第二焊盘可以被包括在第二焊盘条中,其中,第一端子和第二端子各自优选沿着第一方向延伸,并且其中,第一焊盘条和第二焊盘条被平行于第一方向布置。

[0008] 封装可以进一步包括:被耦合到第一端子的第一封装引线;以及被耦合到第二端子的第二封装引线。第一焊盘可以位于芯片上介于第二端子和第一封装引线之间。第二焊盘可以位于芯片上介于第二端子和第二封装引线之间,或者第二焊盘位于芯片上使得第二端子被布置在第二焊盘和第二封装引线之间。

[0009] 封装可以进一步包括被耦合在第二端子和第二封装引线之间的第三焊线连接。第一焊线连接中的每个第一焊线连接可以与第二焊线连接中的相应第二焊线连接相关联从

而形成焊线连接对,并且焊线连接对可以进一步与第三焊线连接之一相关联。

[0010] 第二焊盘和第二端子可以相对于彼此进行布置使得对于每个焊线连接对,将第三焊线连接耦合到第二端子的点被间插在将第一焊线连接耦合到第二端子的点与将第二焊线连接耦合到第二焊盘的点之间。第二焊盘和第二端子可以被相间交错。第二端子和第二焊盘可以被相间交错使得对于每个焊线连接对,将第一焊线连接耦合到第二端子的点与将第二焊线连接耦合到第二焊盘的点对齐。

[0011] 第一电感器可以是分路电感器。第一电容器可以是直流去耦电容器。焊线连接可以包括一个或更多个焊线。阻抗匹配网络可以被用于芯片上的功能电路。封装可以包括至少一个其他芯片。芯片可以包括多个其他功能电路。第一焊线连接中的每个第一焊线连接可以与第二焊线连接中的相应第二焊线连接相关联从而形成焊线连接对。焊线连接对可以进一步与第三焊线连接之一相关联。封装可以进一步包括被耦合到第一端子的第四焊线连接。

[0012] 第一焊盘可以位于第一端子和第一封装引线之间。第四焊线连接中的每个可以与相应的焊线连接对相关联并且可以被间插在相应的焊线连接对的焊线连接之间。封装可以进一步包括另一阻抗匹配电路,该另一阻抗匹配电路被耦合到第一端子并且包括第二电感器和第二电容器。第二电感器可以被耦合在第一端子和第二电容器之间。第二电容器可以进一步被耦合到地。第四焊线连接可以形成第二电感器。封装可以包括第五焊线连接,第五焊线连接被耦合在第一封装引线和第二电容器之间。

[0013] 第二电感器和第二电容器可以被集成在芯片上。第一封装引线可以经由其他焊线连接而被耦合到集成的电感器。第一端子可以是输入端子并且第二端子可以是输出端子。第一焊线连接和第二焊线连接可以是平行的。第一焊线连接和第二焊线连接可以是对称的。第一焊线连接和第二焊线连接可以被配置为承载基本上方向相反的电流。电流可以是输出阻抗匹配线路的分路电流。

[0014] 分别由第一焊线连接和第二焊线连接生成的磁场可以至少部分地彼此抵消。第一电感器的电感可以至少部分地由第一焊线连接和第二焊线连接的形状来确定。第一焊线连接和第二焊线连接可以形成相应的回路。第一电感器的电感可以至少部分地通过由第一焊线连接制成的回路的形状和由第二焊线连接制成的回路的形状上的差异来决定。功能电路可以是晶体管,第一端子可以是晶体管的固有栅极,并且第二端子可以是晶体管的固有漏极。晶体管可以是横向扩散金属氧化物半导体。

[0015] 根据第二方面,提供了一种封装,该封装包括:多个芯片,每个芯片包括功能线路以及第一端子和第二端子;以及用于芯片中的每个的相应的阻抗匹配电路,每个阻抗匹配电路被耦合到相应的第二端子并且包括分路电感器和电容器;其中,该相应的分路电感器各自包括:被耦合在芯片的第一端子和芯片上的焊盘之间的第一分路焊线连接、以及被耦合在焊盘和电容器之间的第二分路焊线连接。

[0016] 根据第三方面,提供了一种RF功率放大器封装,该RF功率放大器封装包括:芯片,芯片包括功率放大器线路以及第一端子和第二端子;以及阻抗匹配电路,阻抗匹配电路被耦合到相应的第二端子并且包括分路电感器和电容器;其中,分路电感器包括:被耦合在芯片的第一端子和芯片上的焊盘之间的第一分路焊线连接、以及被耦合在焊盘和电容器之间的第二分路焊线连接。

附图说明

- [0017] 将仅通过示例的方式、参照附图来描述实施例,在附图中:
- [0018] 图1是阻抗匹配线路的示例示意图;
- [0019] 图2是图1的示意图的物质实现;
- [0020] 图3示出了封装的示例;
- [0021] 图4是示出了根据另一示例的阻抗匹配线路的示意图;
- [0022] 图5示出了图4的线路的物质实现;
- [0023] 图6示出了图5的物质实现的侧视图;
- [0024] 图7示出了图5的物质实现的顶视图;
- [0025] 图8示出了根据另一示例的阻抗匹配线路的物质实现;
- [0026] 图9示出了根据另一示例的阻抗匹配线路的物质实现;以及
- [0027] 图10示出了多器件封装的示例。
- [0028] 将理解到,对于特征来说,跨越多于一个附图,类似的参考标号指示类似的特征。

具体实施方式

[0029] 图1示出了可以被实现在封装100中的、被耦合到阻抗匹配线路121和122的芯片上功能线路(on-die functional circuitry) 201的示例示意图。芯片上线路201包括输入端子111和输出端子112以用于将芯片上线路耦合到另一线路,例如封装中阻抗匹配线路121和122。封装中线路121和122进一步包括输入引线131和输出引线132以用于将该封装中线路耦合到该封装外部的另一线路。

[0030] 在该示例中,芯片上线路被示出为晶体管201,晶体管201具有第一端子111和第二端子112以用于将该晶体管耦合到芯片外(off die)线路。第一端子111可以将晶体管201耦合到输入阻抗匹配线路121。第二端子112可以将晶体管201耦合到输出阻抗匹配线路122。该示例中的输入阻抗匹配线路121、输出阻抗匹配线路122被分别耦合到第一封装引线131和第二封装引线132。第一封装引线131和第二封装引线132可以将封装中线路201、121和122耦合到封装外部的线路。

[0031] 在该示例中,输入阻抗匹配电路121包括第一电感器212、第二电感器211和预匹配电容器213。第一电感器212被耦合在封装引线131和节点214之间。第二电感器212被耦合在节点214和芯片110的端子111之间。预匹配电容器213被耦合在节点214和诸如地的参考电压之间。

[0032] 输出阻抗匹配电路122可以由分路电感器网络来提供。分路电感器网络122可以包括第一或分路电感器211、直流(dc)去耦电容器222和第二电感器223。第一电感器或分路电感器221可以被耦合在端子112(在该情况下,端子112是晶体管201的漏极端子)和去耦电容器222之间。去耦电容器222可以被耦合在第一电感器221和诸如地的参考端子之间。第二电感器223可以被耦合在端子112和封装引线132之间。

[0033] 阻抗匹配线路(诸如图1中描绘的阻抗匹配线路)可以在物理上被实现在封装中以便实现阻抗匹配。

[0034] 图2示出了图1的封装中线路100的物理实现的示例。图2示出了通过多个焊线连接

211、212、221和223而被耦合在一起的芯片200、封装引线131和132以及电容器222和213。焊线连接中的每个可以包括一个或更多个焊线并且可以提供与电感器211、212、221和223对应的电感。

[0035] 利用预匹配电容器213、第一电感器211和第二电感器212来实现输入阻抗匹配电路121。通过引线131和电容器213之间的多个焊线连接211来提供第一电感器211。通过电容器213和芯片200的输入端子111之间的多个焊线连接212来提供第二电感器212。

[0036] 利用去耦电容器222、分路电感器221和第二电感器223来实现输出阻抗匹配网络122。通过输出芯片端子112和电容器222之间的多个焊线连接来提供第一或分路电感器221。通过输出芯片端子112和封装引线132之间的多个焊线连接来提供第二电感器223。

[0037] 在图2的示例中,通过焊线连接来提供电感。然而,对由焊线连接所提供的电感的贡献可以由焊线连接外部的因素来做出。例如,可以由匹配电路的无源部件和/或焊线附近的磁场来做出贡献。

[0038] 例如,在图2的实现中,对电感的电位贡献可以由输出电抗匹配线路122的第二电感器223和分路电感器221之间的互耦来做出。在该情况下,例如,由于阻抗匹配线路的物质实现的布局,导致磁耦合可以发生在形成分路电感器221的焊线连接和形成焊线连接223的焊线连接之间,焊线连接223将第二芯片端子112耦合到第二引线132。这可以例如导致该线路中的附加互感。

[0039] 参照图1,该互感(未示出)可以在示意图中等价地表示为芯片的第二端子112处的串联电感器。在分路电感器221变为有效之前,该互感可以将输出阻抗转变为更低水平的输出阻抗。引入这样的互感可能使阻抗匹配线路不太有效。

[0040] 在一些实例中阻抗匹配线路的效率还可能由于功能线路的输出阻抗的无功部分的增加而受到限制。参照图2,为了达到期望的电感水平,形成分路电感器221的焊线连接可能需要特定量的空间以形成与期望的电感对应的回路。形成这样的回路所需要的空间可以确定引线132和端子112之间的焊线连接223的长度。这使得焊线连接223可以覆盖引线132和端子112之间的距离而同时允许用于221的回路的空间。焊线连接223可以形成如下电感:该电感对从封装100的外部看到的阻抗有很大的虚部($j\omega L$)贡献。在一些实现中,输出阻抗的高无功部分可以对功能线路(诸如宽带功率放大器)设计有负面影响。

[0041] 在另一示例中,阻抗匹配线路的效率可能由于焊线连接到芯片相应端子之间的电感耦合而受到限制。再次参照图2,在一些情况下,电感耦合可以发生在到第一端子111的焊线连接(形成电感器212)和到第二端子112的焊线连接(形成分路电感器211)之间。这在输入阻抗匹配线路和输出阻抗匹配线路之间创建了电感耦合。该耦合可能使芯片200上的功能线路(例如,该芯片上的任何晶体管)的稳定状况复杂化。

[0042] 因此将理解到,就阻抗匹配线路的效果而言,对阻抗匹配线路的物质实现感兴趣。

[0043] 本公开的实施例目的在于提供分路电感器和焊线布置的配置。

[0044] 在实施例,分路电感器可以被放置在芯片的表面之上。分路电感器可以包括多个第一焊线连接,多个第一焊线连接被耦合在芯片的输出端子和第一焊盘之间。分路电感器可以进一步包括多个第二焊线连接,多个第二焊线连接被耦合在第一焊盘和第二焊盘之间。输出端子可以位于输出封装引线和第一焊盘之间,使得分路电感器被放置在芯片的表面之上。输出端子可以进一步处于第一焊盘和第二焊盘之间。

[0045] 第一焊线连接可以承载第一方向上的分路电流,并且第二焊线连接可以承载第二方向上的分路电流,其中第二方向与第一方向基本上相反。由第一焊线连接和第二焊线连接实现的磁场因此可以被汇聚在第一焊线连接和第二焊线连接之间的区域中。这可以从芯片的有源区中移开磁场汇聚。

[0046] 具体地,第一焊线连接中的每个可以与第二焊线连接之一成对,其中该对中的每个焊线连接承载基本上相反方向上的分路电流。分路电流流过分路电感器而创建的磁场可以被汇聚在该焊线连接对之间的区域中。该焊线连接对可以包括第一焊线连接之一和第二焊线连接之一。

[0047] 在其他实施例中,第三焊线连接可以被耦合在输出端子和输出封装引线之间。第三焊线连接中的每个可以被间插在相应的焊线连接对中的第一焊线连接和第二焊线连接之间。具体地,对于每个焊线连接对,将第三焊线连接耦合到输出端子的相应点可以被间插在将第一焊线连接耦合到输出端子的点和将第二焊线连接耦合到第二焊盘的点之间。在一些实施例中,这样的间插可以是由于第二焊盘和输出端子的相间交错的配置而导致的。

[0048] 图3示出了其中可以实现一些实施例的封装300的示例。

[0049] 封装300包括芯片301,芯片301具有芯片上功能线路、输入封装引线331和输出封装引线332。封装300进一步包括输入阻抗匹配线路310和输出阻抗匹配线路320。芯片301的芯片上线路可以经由第一端子311和第二端子321而被耦合到芯片301外部的线路。芯片301进一步包括第一焊盘312和第二焊盘322。第一焊盘312和第二焊盘322可以提供到芯片301外部的线路的进一步的耦合。

[0050] 第一焊盘312、第二焊盘322和第二端子321可以处于芯片的表面上。第二端子321可以位于第一焊盘312和输出封装引线332之间。在该示例中,第一焊盘312位于第一或输入封装引线331和第二端子321之间。第二焊盘322位于第二或输出封装引线322和第二端子321之间。在其他示例中,第二或输出端子321可以位于第一焊盘312和第二焊盘322之间。

[0051] 在图3中,输入阻抗匹配线路310被设置在第一端子311和第一封装引线331之间,并且输出阻抗匹配线路320被设置在第二端子321、第二封装引线332之间并且在芯片表面之上在第一焊盘312和第二端子321和第二焊盘322之间。输入阻抗匹配线路310可以包括第一电容器313。

[0052] 从第一端子311到第二端子321的横跨芯片301表面的线可以被视为限定第一定向轴340。定向轴340可以提供用于分路电感器的定向。

[0053] 图4是示出了在一些实施例中可以提供的输入和输出阻抗匹配电路的示例的示意性图。图4示出了包括芯片上功能线路301的封装300的简化示意图。将理解到,图3和图4中的类似特征由类似参考标号来指示。

[0054] 图4示出了具有第一或输入端子311和第二或输出端子321的功能芯片上线路301。图4的封装300包括第一或输入封装引线331和第二或输出封装引线332。输入阻抗匹配线路310被耦合在第一封装引线331和第一端子311之间,并且输出阻抗匹配线路320被耦合在第二端子321和第二封装引线332之间。

[0055] 阻抗匹配线路310、320可以例如包括诸如焊线、电容器和电感器的无源部件。这些无源部件可以被布置以便与芯片301的芯片上线路的阻抗匹配。在一些示例中,阻抗匹配线路310、320可以与芯片301交叠,因为阻抗匹配部件中的一些可以被集成在芯片上。例如,芯

片301可以包括集成的电感器或者包括作为集成部件的电容器313。

[0056] 图4的输入阻抗匹配线路310包括被耦合在输入封装引线331和预匹配电容器313之间的第一电感器401。第二电感器402被耦合在预匹配电容器313和输入端子311之间。

[0057] 输出阻抗匹配线路320包括被耦合在输出端子321和地之间的分路电感器和直流去耦电容。分路电感器可以包括被耦合在输出端子321和第一焊盘312之间的第一电感器404、以及被耦合在第一焊盘312和第二焊盘322之间的第二电感器405。第一电容器406可以被提供在第一焊盘312和地之间。直流去耦电容可以由被耦合在第二焊盘322和地之间的第二电容407来形成。输出阻抗匹配电路320可以进一步包括被耦合在第二封装引线332和输出端子321之间的第三电感器403。

[0058] 在该示例中,芯片上功能电路包括晶体管301,晶体管301具有被耦合到输入端子311的栅极端子、被耦合到输出端子321的漏极端子和被耦合到诸如地的参考电压的源极端子。晶体管301已被描绘为横向扩散金属氧化物半导体(LDMOS)功率晶体管,然而,将理解到,该芯片上线路可以是其他类型的功能电路,并且可以相应地调整匹配线路。

[0059] 在图4的示例中,晶体管301的输入阻抗可以由晶体管301的输入电容形成。输入阻抗匹配线路310可以形成低通预匹配网络,该低通预匹配网络提供由与预匹配电容器313和第二电感器402串联的晶体管301的该输入电容(未明确示出)形成的谐振电路。第一电感器401可以表示预匹配电容器313和第一封装引线331之间的焊线连接的电感。

[0060] 晶体管301的输出阻抗可以由晶体管301的输出阻抗(未示出)来形成。在输出阻抗匹配电路320中,晶体管301的输出电容可以与通向地(经由直流去耦电容器407)的分路电感404、405形成并联谐振。形成分路电感的电感器404和405因此可以针对晶体管301的输出电容(完全地或部分地)提供补偿。在该示例中,目的是增加从封装外部看到的阻抗并且因此影响晶体管的可操作带宽。第一电感器403可以表示第二封装引线332和芯片端子321之间的焊线连接的电感。

[0061] 输入和输出阻抗匹配网络的物质实现可以影响周围环境对该电路的影响。例如,焊线与其他焊线的物质邻近可以导致焊线之间的寄生电感和/或相互磁耦合。图5示出了根据本公开的实施例的焊线连接相对于封装的其他部件的物质布置。

[0062] 图5示出了封装500,封装500包括芯片301、输入封装引线331、输出封装引线332和电容器313。芯片301包括第一芯片端子311、第二芯片端子321、第一焊盘312和第二焊盘322。第一焊盘312和第二焊盘322可以被提供在芯片301的表面上。在该示例中,焊盘312和322与端子311和312被提供在芯片的同一表面上。

[0063] 输入阻抗匹配线路被布置在输入封装引线331和输入端子311之间。在该示例中,形成第一电感器401的多个第一焊线连接被耦合在输入封装引线331和电容器313之间。形成第二电感器402的焊线连接被耦合在电容器313和第一端子311之间。

[0064] 输出阻抗匹配线路被布置在输出封装引线332和输出端子321之间。输出阻抗匹配线路包括被布置在输出端子321和第二焊盘322之间的分路电感器。分路电感器包括被耦合在输出端子321和第一焊盘312之间的、形成第一电感器404的多个第一焊线连接。分路电感器可以进一步包括被耦合在第一焊盘312和第二焊盘322之间的、形成第二电感器405的第二焊线连接。

[0065] 芯片301可以进一步包括被耦合到第一焊盘312的第一被集成电容器406(未示

出)。在一些实施例中,第一焊盘可以是第一被集成电容器406的第一端子。芯片301可以进一步包括被耦合到第二焊盘322的第二被集成电容器407。在一些实施例中,第二焊盘322可以是第二被集成电容器的第一端子。

[0066] 形成第三电感器403的多个第三焊线连接被耦合在芯片的输出封装引线332和输出端子321之间。第三焊线连接403可以包括被耦合在输出封装引线332和输出端子321之间的多个焊线连接。

[0067] 在图5中示出定向轴340。轴340沿着从输出端子321到输入端子311的直线。轴340描绘了分路电感器404、405的定向轴。第一焊线连接404和第二焊线连接405在芯片的表面之上沿着定向轴前进。

[0068] 在图6中示出图5的封装500的侧视图。图6示出了输入封装引线331、输出封装引线332、芯片301和电容器313。芯片301包括输入端子311、输出端子321、第一焊盘312和第二焊盘322。输入阻抗匹配线路310可以被布置在输入端子311和输入封装引线331之间。输出阻抗匹配线路320可以被布置在输出封装引线和输出端子之间以及在芯片301的表面之上。图6进一步示出了由输入端子和输出端子之间的直线形成的定向轴340。定向轴340可以限定用于分路电感器404、405的焊线连接的定向轴。

[0069] 输入阻抗匹配线路310可以包括焊线连接401和402。将理解到,图6是侧视图并且焊线连接401和402中的每个的仅一个焊线连接被示出。输出阻抗匹配线路320可以包括如下分路电感器:该分路电感器包括被放置在芯片301的表面之上的第一焊线连接404和第二焊线连接405。输出阻抗匹配线路320可以进一步包括第三焊线连接403。再次,将理解到,图6是在侧视图中,并且焊线连接404和405中的每个的仅一个焊线连接被示出。

[0070] 如能够从图5和图6中看到的那样,由焊线连接404和405形成的分路电感器被放置在芯片的表面之上。分路电感器从输出端子321前进到第一焊盘312,然后到第二焊盘322。焊盘和输出端子处于芯片的表面上并且被布置使得输出端子321处于第一焊盘和输出封装引线332之间。在该示例中,输出端子321也位于第一焊盘312和第二焊盘322之间。在一些实施例中,第一焊盘312可以位于输入封装引线331和输出端子321之间。

[0071] 分路电感器的第一焊线连接404可以被放置在从输出端子321到第一焊盘312的第一方向上,并且第二焊线连接405可以被放置在从第一焊盘312到第二焊盘322的第二方向上。第一焊线连接404可以被配置为承载第一方向上的分路电流并且第二焊线连接405可以被配置为承载第二方向上的分路电流。在该示例中,第一焊线连接404和第二焊线连接405的各个焊线连接是平行的,并且第一方向与第二方向基本上相反。

[0072] 在图6的示例中,由第一焊线连接404中的每个焊线连接形成的回路和由第二焊线连接405中的每个焊线连接形成的回路可以是类似的,因为它们可以是平行的和/或对称的。这由图6中的焊线连接404和405的单个侧面示出。在一些实施例中,焊线连接的回路形状和长度可以是类似的以允许由那些焊线连接生成的所得到的磁场是形状类似的。然而,将理解到,所得到的场将与穿过焊线连接的分路电流的方向不同。

[0073] 在一些实施例中,例如,在图5和图6中示出,输入阻抗匹配电路310的第二焊线连接402可以在其到第一焊盘312的耦合点的附近与相应的焊线连接404和405交叠。附加地,在一些实施例中,将第一焊线连接404耦合到输出端子321的相应点和将第二焊线连接405耦合到第二焊盘322的相应点可以被对齐。在该情况下,第二焊盘322和输出端子321可以被

相间交错。附加地,在一些实施例中,第三焊线连接403中的每个可以被间插在形成用于分路电感器的电流路径的焊线连接对之间。该对焊线连接可以包括第一焊线连接404之一和第二焊线连接405之一。

[0074] 图7示出封装500的顶视图。图7示出了输出封装引线332和芯片301,芯片301具有输入端子311、输出端子321、第一焊盘312和第二焊盘322。输出阻抗匹配线路320的分路电感器包括第一焊线连接404a和404b以及第二焊线连接405a和405b,第一焊线连接404a和404b被耦合在输出端子321和第一焊盘312之间,第二焊线连接405a和405b被耦合在第一焊盘312和第二焊盘322之间。第二焊盘322可以被耦合到被集成在芯片301上的电容器407。第一焊盘312可以被耦合到被集成在芯片301上的第一电容器406。第三焊线连接403可以被耦合在输入封装引线332和输入端子321之间。

[0075] 输入阻抗匹配电路310包括被耦合到输入端子312的焊线连接402a和402b。将理解到,未示出输入封装引线和/或预匹配电容器。

[0076] 分路电感器包括第一焊线连接404a和404b以及第二焊线连接405a和405b。第一焊线连接404a、404b中的每个可以与第二焊线连接405a、405b之一相关联,并且可以形成焊线连接对以提供用于分路电感器的电流路径。例如,第一焊线连接404的焊线连接404a可以与第二焊线连接405的焊线连接405a成对。分路电流的一部分可以在从输出端子321到第一焊盘312的第一方向上沿着焊线连接404a流动。分路电流的该部分然后可以在从第一焊盘312到第二焊盘322的第二方向上流过焊线连接405a。

[0077] 例如,第一焊线连接404可以包括多个焊线连接,该多个焊线连接包括焊线连接404a和404b,并且第二焊线连接405可以包括多个焊线连接,该多个焊线连接包括焊线连接405a和405b。在图7的示例中,形成焊线连接404的一部分的焊线连接404a和404b与形成焊线连接405的一部分的相应焊线连接405a和405b成对。分路电流的一部分可以被分路穿过每对,例如,分路电流的一部分可以从输出端子分路穿过焊线连接404a,然后穿过焊线连接405a。分路电流的另一部分可以被分路穿过焊线连接404b并且回来穿过焊线连接405b。

[0078] 焊线对404a、404b和405a、405b中的每个可以与第三焊线连接403之一附加地相关联。在一些示例中,焊线连接对可以附加地与焊线连接402之一相关联。

[0079] 图7的焊线连接404b和405b示出了焊线连接404和405的焊线连接对的布置的一个示例。将理解到,每个焊线连接对可以被类似地布置。焊线连接404b和405b是形成分路电感的两个焊线连接。第一焊线连接404b被耦合在输出端子321和第一焊盘312之间。第二焊线连接405b被耦合在第一焊盘312和第二焊盘322之间。第一焊线连接404b包括焊线连接404b和输出端子321之间的耦合点702。第二焊线连接405b包括焊线连接405b和第二焊盘322之间的耦合点703。在一些实施例中,耦合点702和703可以被对齐。

[0080] 点702和703可以被对齐使得第一焊线连接404和第二焊线连接405在芯片的表面上基本上横贯相同的距离。当然将理解到,焊线连接仍可以是不同长度的,如在一些实施例中,焊线连接的回路形状可以是不同的。

[0081] 形成第三焊线连接403的一部分的第三焊线连接403b可以被间插在焊线连接404b的耦合点702和焊线连接405b的耦合点703之间。换言之,具有输出端子321的第三焊线连接403b的耦合点701可以被间插在第一焊线连接404b的耦合点702和第二焊线连接405b的耦合点703之间。例如,耦合点701可以处于耦合点702和耦合点703之间。在一些示例中,耦合

点701 (以及因此焊线连接403b) 可以基本上等距离地位于耦合点702和703 (以及因此焊线连接404b和405) 之间。将理解到, 在一些实施例中, 每对焊线连接都由形成第三焊线连接403的一部分的焊线连接所间插。

[0082] 该间插和/或对齐可以通过第二焊盘322和输出端子321的相间交错来实现。换言之, 第二焊盘322和输出端子321可以被提供有互补地塑形的凸部和凹部和/或在形状上有相反的关系。

[0083] 在图7的示例中, 第二焊盘322和输出端子321具有互补的方波形状。然而, 将理解到, 第二焊盘322和输出端子321可以有任何适当可替换的形状。例如, 第二焊盘322可以具有方形、三角形或正弦波形, 并且输出端子321可以有相反的形状。可以实现有助于焊线连接耦合点701、702和703的间插的任何适当的和互补的形状。

[0084] 当在操作时, 电流可以从输出端子321起被分路或传导穿过分路电感器并且经由耦合到第二焊盘的电容器407到地。第一焊线连接404在从输出端子321到第一焊盘312的方向上传导电流。第二焊线连接405在从第一焊盘312到第二焊盘322的方向上传导电流。电流然后传递穿过被耦合到第二焊盘322的电容器407到地。第三焊线连接403在从输出端子321到输出封装引线332的方向上传导电流。

[0085] 分路电感器的第一焊线连接404的电流流动方向和分路电感器的第二焊线连接405的电流流动方向是相反的方向但是大小相等。所创建的磁场的大部分可以被视为被涵盖在组成分路电感器的每两个成对的焊线连接404b和405b之间的区域内。这可以从分路电感器404、405下方的有源芯片移开磁场的影响。焊线连接404和405的焊线连接对中的每个之间的磁场的汇聚可以从邻近的器件移开磁耦合的影响。这可以具有器件隔离的效果。

[0086] 在一些实施例中, 在引线焊线连接403的焊线连接 (与焊线连接对404b和405b相关联) 位于距该对的第一焊线连接404b和第二焊线连接405b基本上等距离的情况下, 来自一个焊线连接404b的互耦效应可以被来自另一个焊线连接405b的互耦所抵消。

[0087] 在一些实施例中, 电容器407可以被集成在芯片301上。在该情况下, 输出端子321和输出封装引线332之间的距离可以在物质上更小, 这是由于去除了外部电容器。附加地, 分路电感器在芯片表面上的部署可以允许更短的引线焊线连接。

[0088] 在图7中, 第一焊盘312被描绘为包括多个焊盘部分, 其中, 每个部分被提供以耦合一对焊线。在一些实施例中, 各焊盘部分可以被耦合在一起, 例如, 电气地或者通过电阻性耦合。在一个示例中, 各焊盘部分可以被电阻性地耦合以企图使各邻近的焊盘部分之间的电压电势相等。

[0089] 将理解到, 前面描述了与图4的输出阻抗网络有关的实施例。然而, 将理解到, 输出阻抗网络的这样的物质实现可以与各种各样的阻抗网络相兼容。在前面, 在图5中给出了示出阻抗匹配网络310的示例实现。在该示例中, 输入阻抗匹配电路310的焊线连接402可以被间插在相应的焊线连接对各焊线连接之间。

[0090] 然而, 将理解到, 可以使用输入阻抗匹配网络的不同实现。例如, 在一些情况下, 预匹配电容器313可以被省略, 并且输入端子311可以通过焊线连接而被耦合到输入封装引线331。在另一示例中, 由焊线连接402提供的电感器可以被集成到芯片上。图8示出了这样的示例。

[0091] 图8的封装800包括芯片801、输入封装引线331和输出封装引线332。芯片801包括

集成的预匹配电容器313和集成的电感器402。多个焊线连接401被耦合在输入封装引线331和被耦合到集成的预匹配电容器313的输入焊盘之间。输入焊盘331还可以被耦合到集成的电感器402。电感器402可以被耦合到芯片上功能线路301的输入端子。该耦合可以在芯片内部发生。

[0092] 将理解到,可以如每个之前的实施例那样布置输出阻抗匹配线路320。例如,第一焊盘312可以位于芯片801的表面上,并且输出端子321可以被布置在第一焊盘312和输出封装引线332之间。

[0093] 在该示例中,除了形成分路电感器的各对焊线连接404、405的效果之外,集成的电感器402的磁场也可以基本上垂直于分路电感器404、405和/或焊线连接401的任何磁场。这可以调整这些部件之间的耦合。

[0094] 然而,将理解到,尽管讨论了输入阻抗匹配电路的实现的示例,但是可以实现任何适当的输入阻抗匹配网络。分路电感器221的各对焊线连接的效果可以独立于输入阻抗匹配电路的实现。

[0095] 将理解到,由分路电感器提供的电感的值可以依赖于各种各样的参数。例如,焊线连接的电感可以由组成每个连接的焊线的数量、长度、形状和属性中的一个或多个来确定。例如,在一些情况下,可以期望将焊线连接的电感最小化,并且因此,焊线连接的配置将被设置以企图将由焊线连接提供的电感最小化。在其他情况下,焊线连接的所期望的电感可以依赖于芯片200上的功能线路201的输入和输出阻抗,并且可以相应地选择焊线连接的配置。

[0096] 在一些实施例中,分路电感器的焊线连接404和405可以被调整以提供期望的电感值。例如,对焊线连接404和405的回路形状进行调整可以影响焊线连接404和405之间的互感。

[0097] 图9给出了封装900布置的示例,其中,已经通过改变每个焊线连接的回路形状和/或长度来调整分路电感器的各对焊线连接之间的互感和/或耦合。

[0098] 图9示出了输出封装引线332、芯片301,芯片301具有输入端子311、输出端子321、第一焊盘312和第二焊盘322。图9还示出了输入阻抗匹配电路侧上的第一焊线连接401和第二焊线连接402、以及输出阻抗匹配电路侧上的第一焊线连接904、第二焊线连接905和第三焊线连接403。将理解到,类似的参考标号指示类似的特征。

[0099] 输出阻抗匹配线路的分路电感器包括第一焊线连接904和第二焊线连接905,第一焊线连接904被耦合在输出端子321和第一焊盘312之间,第二焊线连接905被耦合在第一焊盘312和第二焊盘322之间。

[0100] 在图9的示例中,由形成第一焊线连接904的一部分的每个焊线连接所形成的回路的形状可以不同于由形成第二焊线连接905的一部分的每个焊线连接所形成的回路的形状。第一焊线连接904的形状与第二焊线连接905的形状之间的关系可以被设置为期望的或预定的电感和/或耦合。附加地或替换地,将第一焊线连接404中的每个耦合到输出端子321的点、将第二焊线连接905中的每个与第二焊盘322耦合的点、以及将第三焊线连接403中的每个与输出端子321耦合的点可以不被对齐以调整电感和/或耦合效应。类似地,将第二焊线连接402中的每个耦合到输入端子311的点、以及将第一焊线连接404和第二焊线连接405中的每个耦合到第一焊盘312的点可以不被对齐以调谐电感和/或耦合效应。

[0101] 将理解到,图9仅示出了输入阻抗匹配电路的一个示例,并且在其他实施例中可以使用任何适当的输入阻抗匹配线路。将理解到,阻抗匹配电路的属性将由芯片上线路的属性和要求来确定。

[0102] 尽管前面关注于单个功能电路的阻抗匹配电路的实现,但是将理解到,各实施例可以被按比例增加为包括多个器件的封装。图10中示出双器件封装的示例。例如,根据各实施例的阻抗匹配电路可以被提供用于被集成在该封装中的每个器件。在一些实施例中,这些器件中的每个可以包括多个功能线路。

[0103] 图10示出包括两个芯片的被封装的器件的示例,芯片具有相应的输入和输出阻抗匹配线路。封装1000包括第一芯片301a和第二芯片301b。每个芯片与相应的输入阻抗匹配线路310a、310b和输出阻抗匹配线路320a和320b相关联。封装1000包括输入封装引线331和输出封装引线332。

[0104] 焊线连接1403a被耦合在输出封装引线332和第一芯片301a的输出端子321a之间。焊线连接1401a被耦合在输入封装引线331和第一芯片301a的预匹配电容器313之间。焊线连接1402a被耦合在预匹配电容器313和第一芯片311a的输入端子311之间。

[0105] 分路电感器被耦合在输出端子321、第一焊盘312和第二焊盘322之间。分路电感器包括被耦合在输出端子321和第一焊盘312之间的第一焊线连接、以及被耦合在第一焊盘312和第二焊盘322之间的第二焊线连接。第二芯片301b包括类似的部件。

[0106] 尽管将理解到,本公开的实施例可以是能被应用于各种各样的芯片上功能线路的,但是在前面晶体管电路(例如,晶体管301)已经被用作示例。在该示例中,根据实施例的输出阻抗匹配网络被耦合到晶体管301的漏极,并且输出阻抗匹配电路被耦合到晶体管的栅极,晶体管具有被耦合到地的源极。利用诸如焊线、电感器和/或电容器的无源部件来设计输入和输出阻抗匹配电路以提供期望的阻抗匹配。在与晶体管301有关的示例中,该阻抗匹配特定于晶体管的功能性。在特定示例中,晶体管可以是射频(RF)功率晶体管,并且更特定地,横向扩散金属氧化物半导体(LDMOS)。

[0107] 前面提及了将焊线连接404和405耦合到电容器406的第一焊盘312以及用于将分路电感器的第一和第二焊线连接404、405耦合到电容器407的第二焊盘322。将理解到,焊盘指的是至少在芯片表面上的、可以有助于对集成的或其他形式的各部件进行耦合的电导体区域。在示例中,第一焊盘312被塑形为导体条以便提供适合用于将焊线连接404、405耦合到电容器406的区域。将理解到,在一些实施例中,第二焊盘可以被塑形为焊条。在一些实施例中第一焊盘312可以被实现为多个分离的焊盘部分,每个分离的焊盘部分用来将焊线连接404之一与焊线连接405之一耦合。

[0108] 在前面,芯片表面之上的焊线已经被描述为沿着定向轴。在一些情况下,例如,由于焊线上的无意的或偶然的弯曲,导致焊线可以略微偏离该轴,然而,将理解到,焊线可以基本上沿着定向轴。在各图中轴340已经被举例说明为第一端子311和第二端子321之间的直线,并且被示出为垂直于第一和第二端子。将理解到,这仅是通过示例的方式,并且在一些实施例中,该轴可以不垂直于端子。例如,该轴可以按一个角度前进到第一端子,沿着直线,按互补角度前进到第二端子。轴340可以举例说明芯片表面之上的第一端子和第二端子之间的线。

[0109] 在前面,术语被耦合已经被用于描述焊线连接和端子、焊盘或引线之间的关系。将

理解到,术语被耦合在该上下文中可以指的是焊线连接和端子、焊盘和/或引线之间的物质和/或电气耦合。在说明书中已经对磁耦合或互耦(例如,焊线连接之间的互耦)进行参照。将理解到,该互耦被领会成与物质或电耦合截然不同。

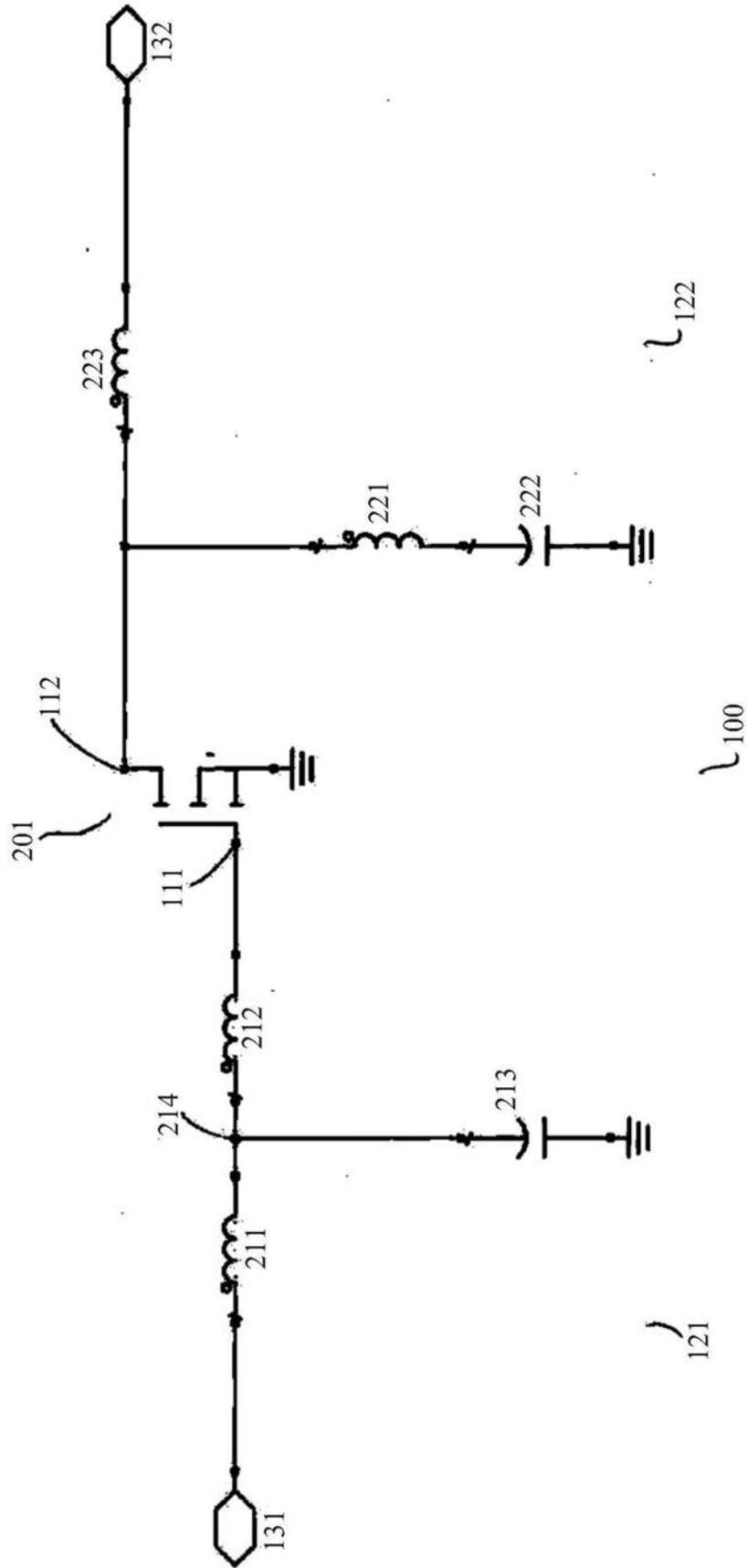


图1

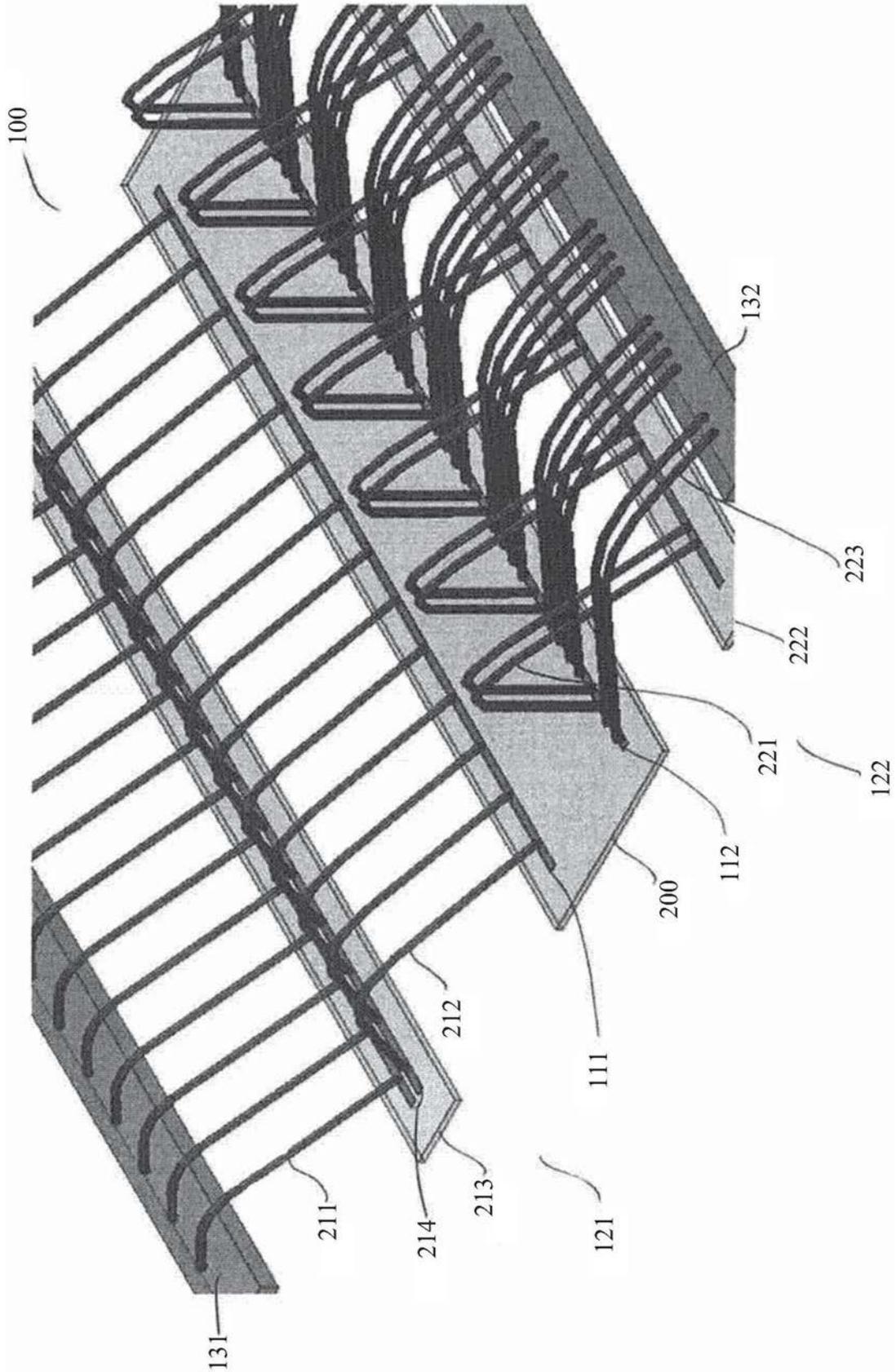


图2

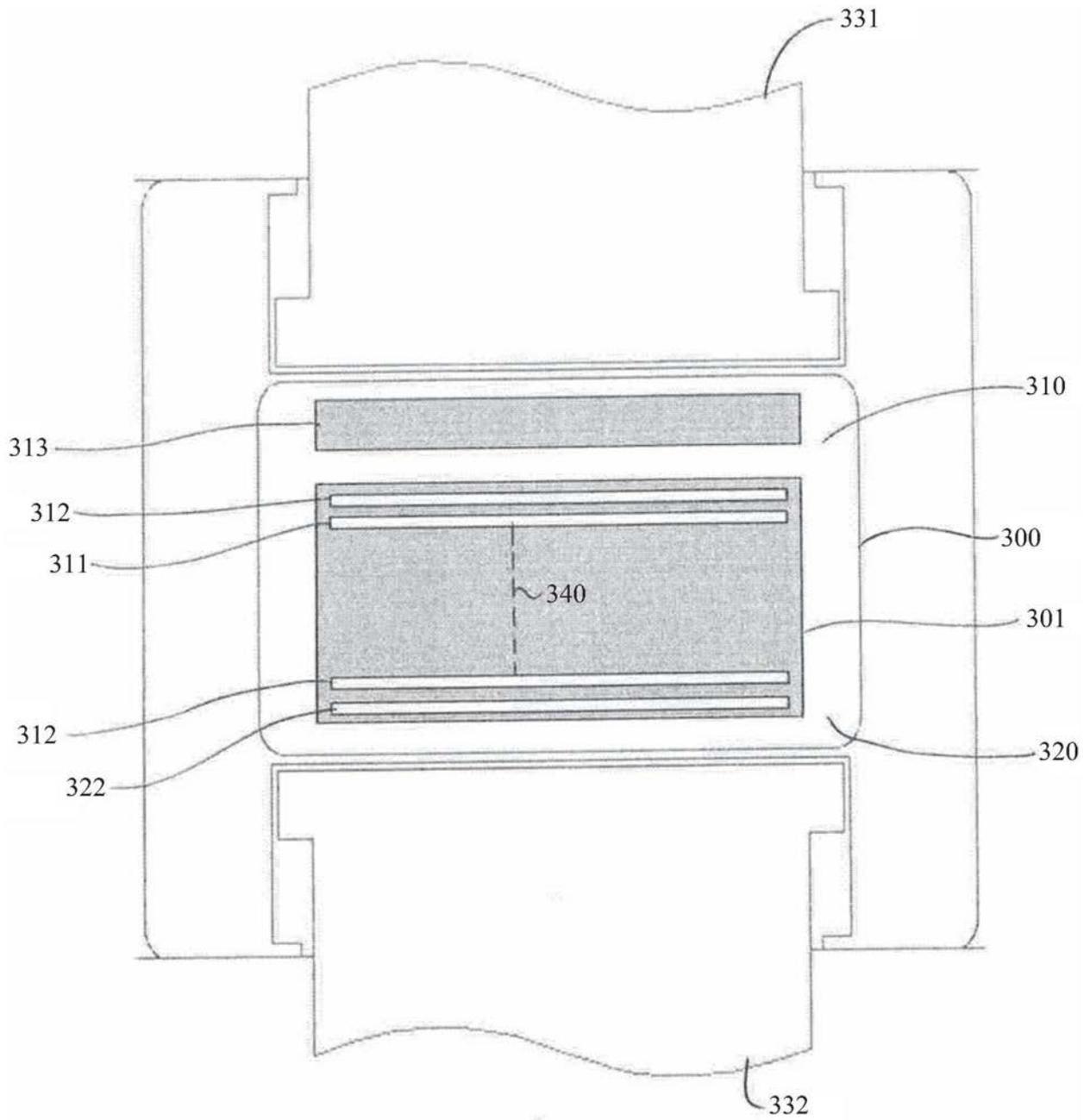


图3

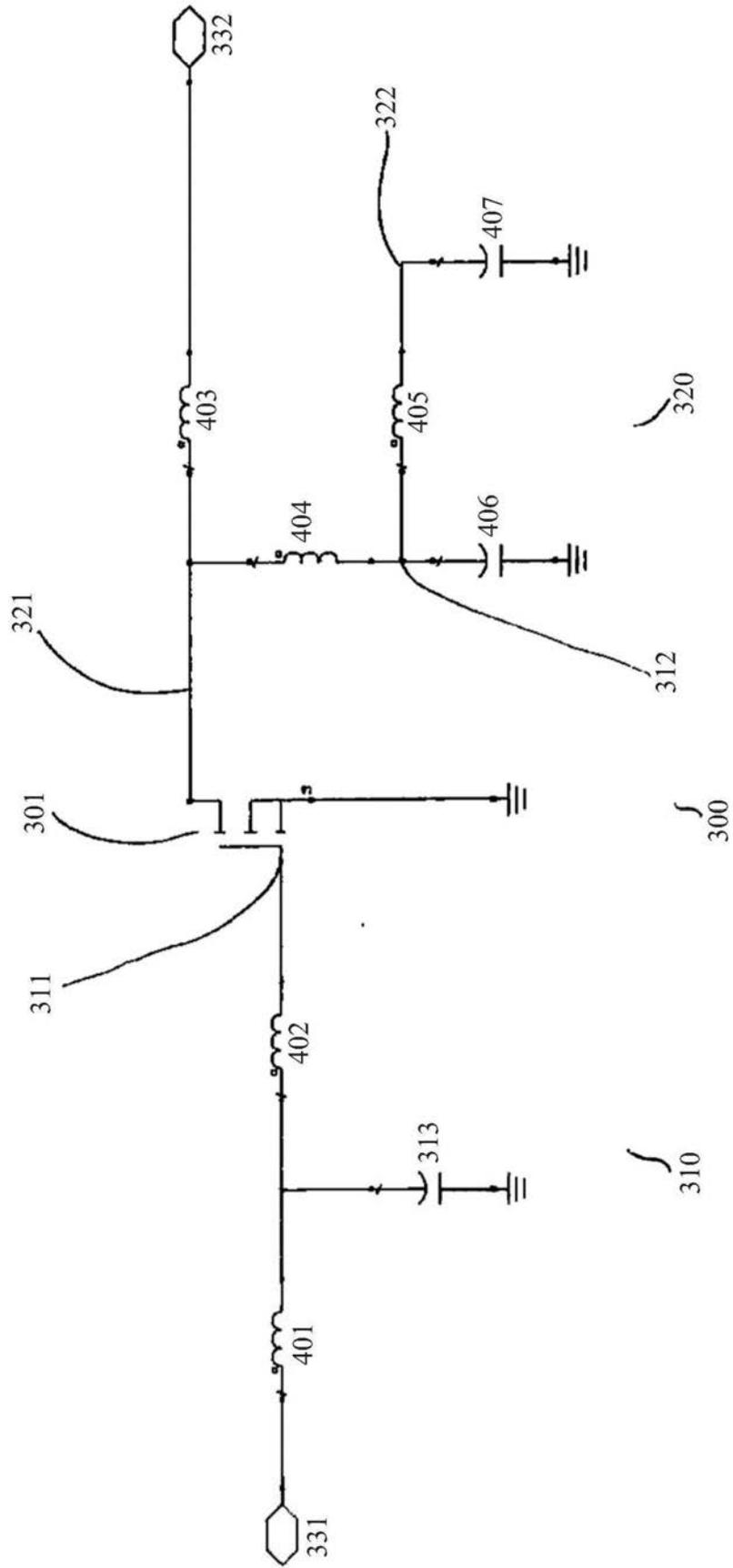


图4

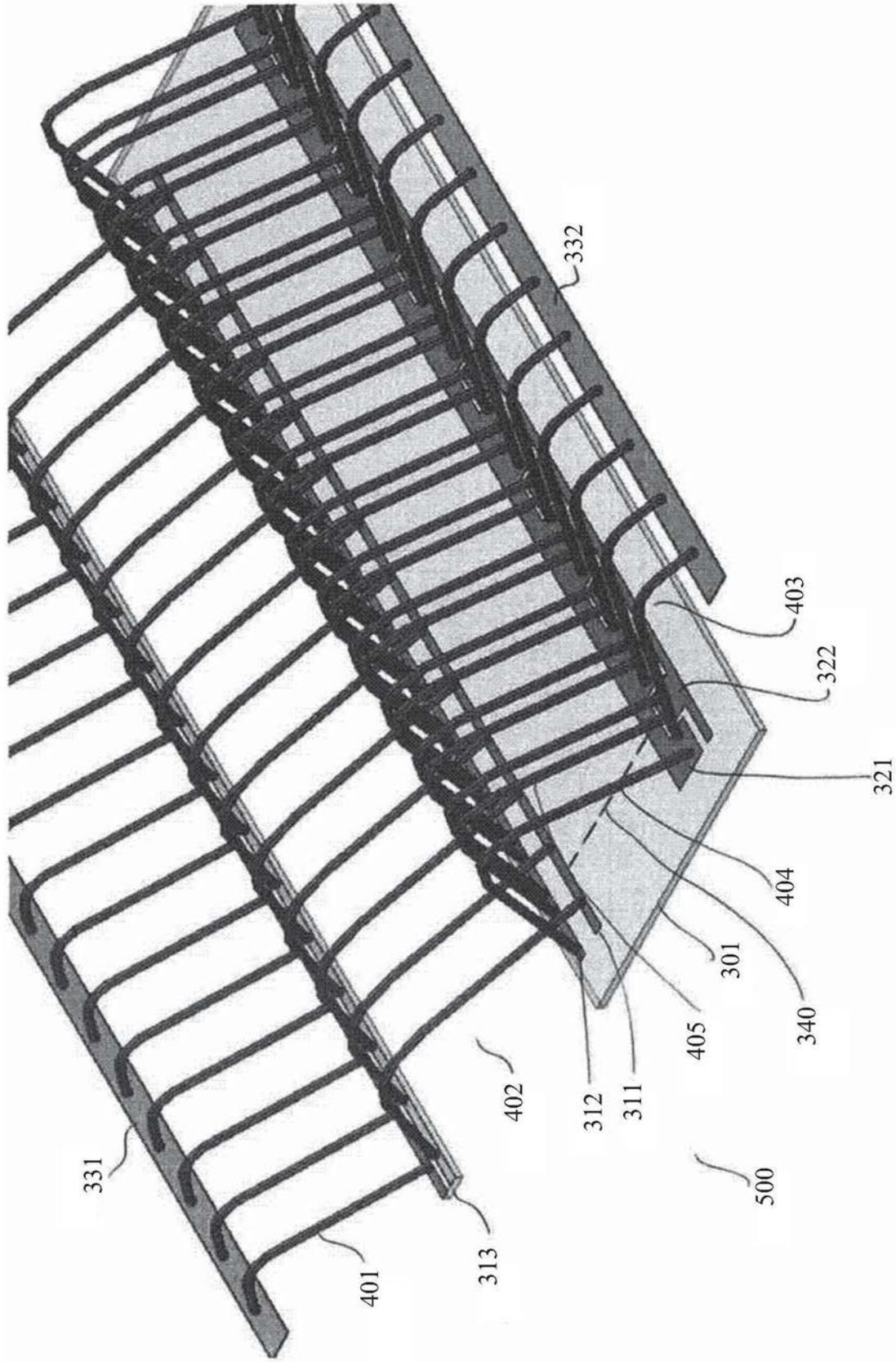


图5

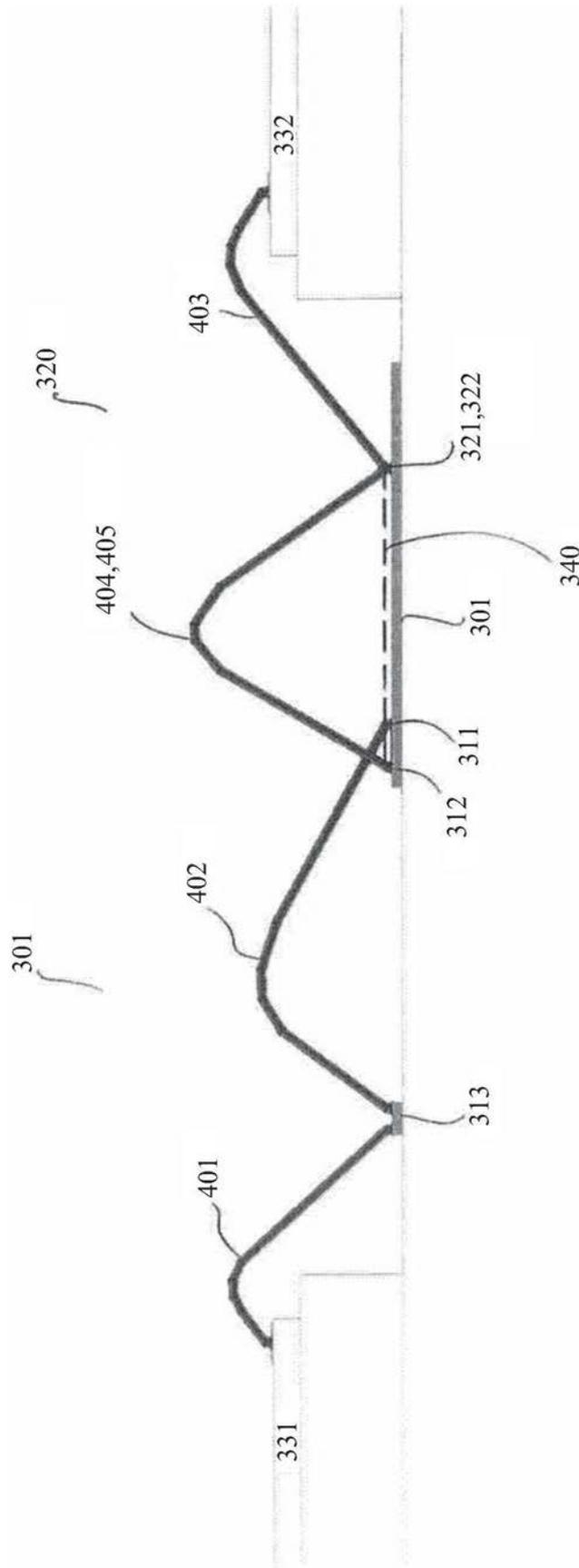


图6

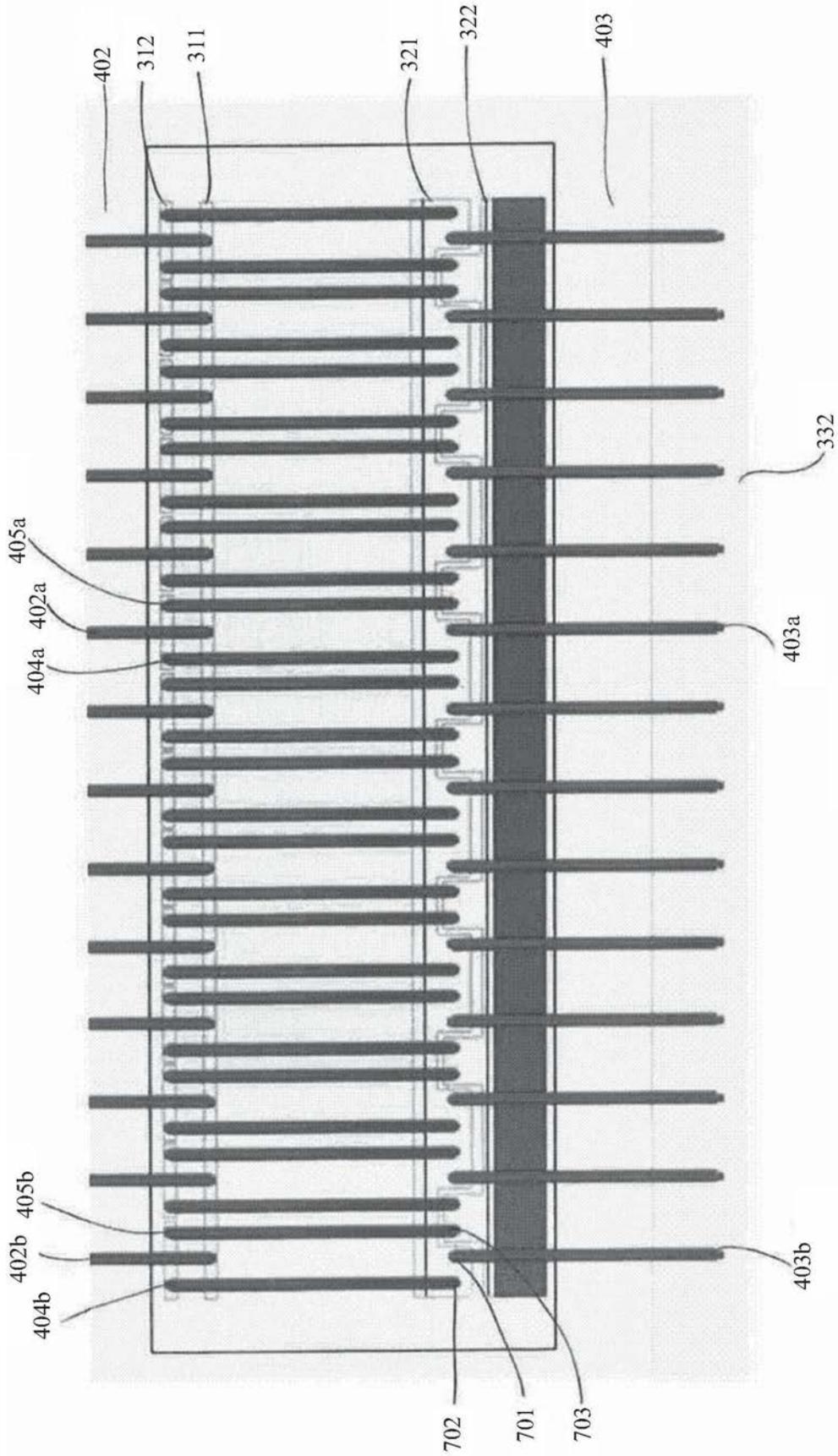


图7

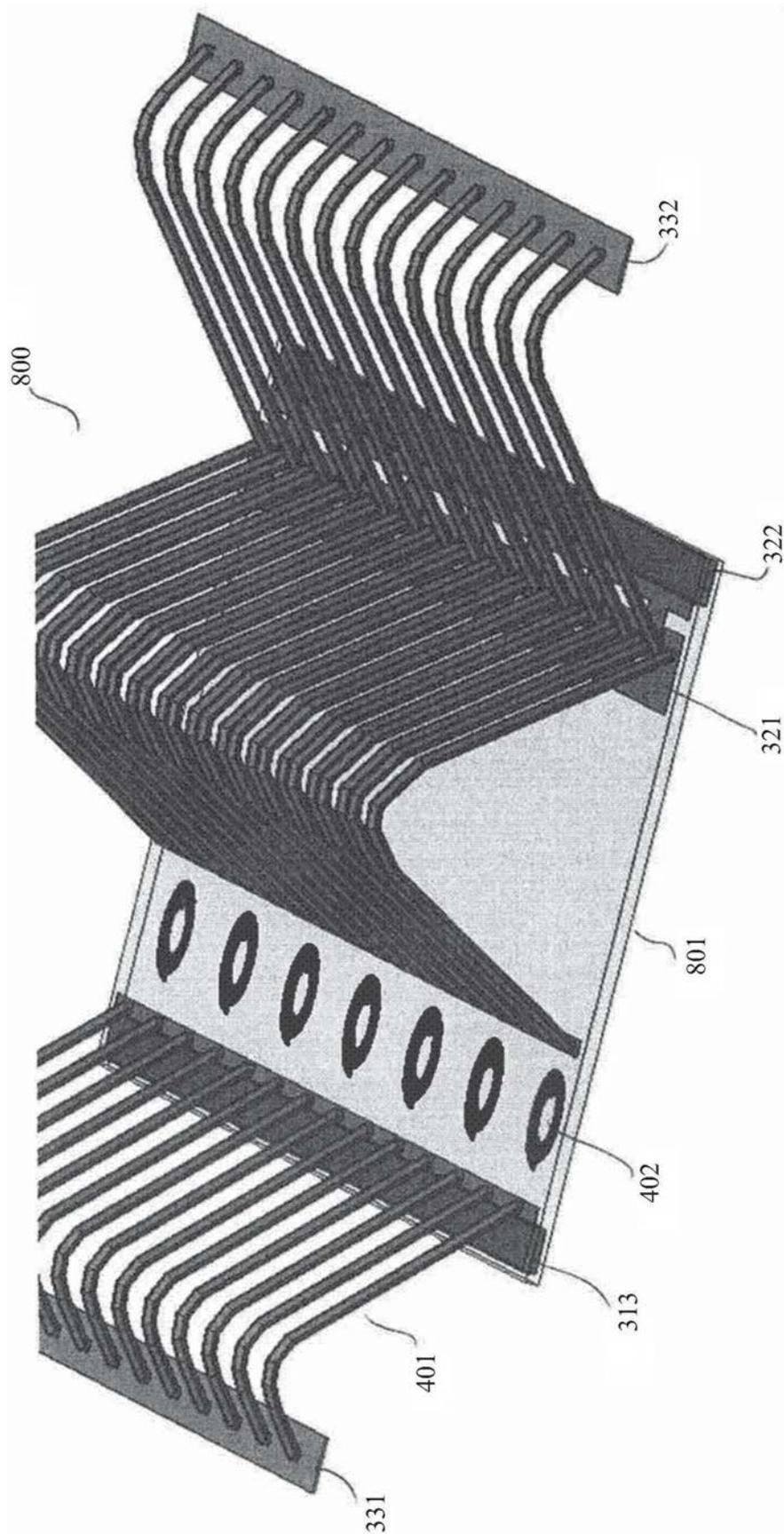


图8

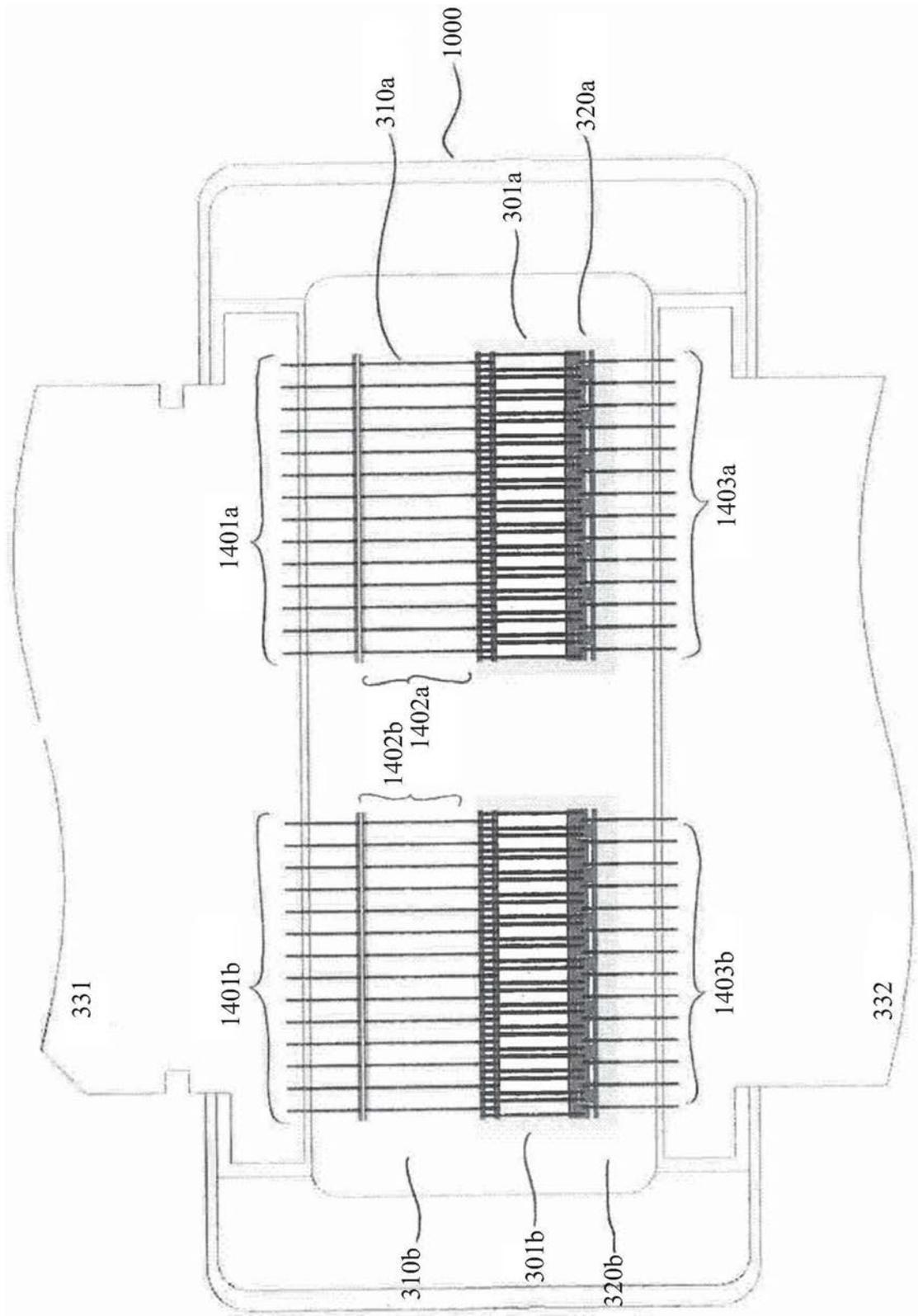


图10