



(12) 发明专利

(10) 授权公告号 CN 102187401 B

(45) 授权公告日 2014. 06. 18

(21) 申请号 200980140915. X

(51) Int. Cl.

(22) 申请日 2009. 10. 27

G11C 16/22(2006. 01)

(30) 优先权数据

12/260, 188 2008. 10. 29 US

(56) 对比文件

CN 1926636 A, 2007. 03. 07, 全文.

US 5594686 A, 1997. 01. 14, 全文.

(85) PCT国际申请进入国家阶段日

2011. 04. 14

US 4975883, 1990. 12. 04, 全文.

(86) PCT国际申请的申请数据

PCT/US2009/062156 2009. 10. 27

审查员 树奇

(87) PCT国际申请的公布数据

W02010/053749 EN 2010. 05. 14

(73) 专利权人 密克罗奇普技术公司

地址 美国亚利桑那州

(72) 发明人 戴维·弗朗西斯·米图斯

布鲁斯·爱德华·比彻姆

塞缪尔·亚历山大

埃扎那·H·阿贝拉

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 孟锐

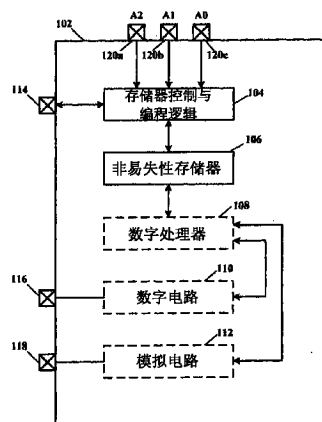
权利要求书2页 说明书4页 附图4页

(54) 发明名称

在非易失性存储器中防止无意的永久写保护

(57) 摘要

可在用于集成电路装置的不同编程功能的不同电压电平之间建立输入电压范围,因此实施非操作的保护区(“安全区”)以促进防止无意的不可逆编程操作,例如,所述装置中的非易失性可编程存储器的永久写保护。



1. 一种具有非易失性可编程存储器的集成电路装置,其包含:

非易失性存储器;

存储器控制与编程逻辑,其耦合到所述非易失性存储器且适于将数据写入到所述非易失性存储器,其中,所述存储器控制与编程逻辑用于根据提供给至少一个多功能输入连接的电压来判断是否执行永久写保护功能或临时写保护功能,以及判断是否不能够实现所述永久写保护以及临时写保护;

至少一个多功能输入连接,其耦合到所述存储器控制与编程逻辑,其中所述至少一个多功能输入连接用于实现对写入到所述非易失性存储器的数据的永久写保护或临时写保护;

其中,

当所述至少一个多功能输入连接上的所述电压小于第一电压值时,启用所述永久写保护,及

当所述至少一个多功能输入连接上的所述电压大于第二电压值时,启用所述临时写保护,所述第二电压值大于所述第一电压值;且

其中,当所述至少一个多功能输入连接上的所述电压等于或大于所述第一电压值且小于或等于所述第二电压值时不能够实现所述写保护。

2. 根据权利要求 1 所述的集成电路装置,其中所述第一电压值大致等于比电源电压高约 0.5 伏。

3. 根据权利要求 1 所述的集成电路装置,其中所述第二电压值大致等于比电源电压高约 4.8 伏。

4. 根据权利要求 1 所述的集成电路装置,其中所述第二电压值大致等于约 7 伏。

5. 根据权利要求 1 所述的集成电路装置,其中所述永久写保护包含编程永久写保护熔丝。

6. 根据权利要求 1 所述的集成电路装置,其中所述临时写保护包含编程临时写保护熔丝。

7. 根据权利要求 1 所述的集成电路装置,其中所述存储器控制与编程逻辑包含:

编程电平检测电路,其中所述编程电平检测电路确定

所述至少一个多功能输入连接上的所述电压何时小于所述第一电压值,

所述至少一个多功能输入连接上的所述电压何时等于或大于所述第一电压值且小于或等于所述第二电压,及

所述至少一个多功能输入连接上的所述电压何时大于所述第二电压;及

逻辑,其用于依据所述至少一个多功能输入连接上的所述电压而允许所述永久写保护、不允许所述永久及所述临时写保护及允许所述临时写保护。

8. 根据权利要求 1 所述的集成电路装置,其进一步包含耦合到所述非易失性存储器的数字处理器。

9. 根据权利要求 8 所述的集成电路装置,其进一步包含耦合到所述数字处理器的若干数字电路及至少一个数字输入-输出连接。

10. 根据权利要求 8 所述的集成电路装置,其进一步包含耦合到所述数字处理器的若干模拟电路及至少一个模拟输入-输出连接。

11. 根据权利要求9所述的集成电路装置,其中所述至少一个数字输入-输出连接为多功能输入-输出连接。

12. 根据权利要求10所述的集成电路装置,其中所述至少一个模拟输入-输出连接为多功能输入-输出连接。

13. 一种用于防止集成电路装置中的非易失性可编程存储器的无意的永久写保护的方法,其包含:

根据施加到集成电路装置的多个多功能输入连接上的电压,判断是否执行永久写保护功能或临时写保护功能,以及判断是否不能够实现所述永久写保护以及临时写保护;

将所述集成电路装置的多功能输入连接的输入上的所述电压与第一及第二电压值相比较,其中所述第二电压值大于所述第一电压值;

如果所述多功能输入连接的所述输入上的所述电压小于所述第一电压值,那么允许所述集成电路装置中的可编程存储器的永久写保护;

如果所述多功能输入连接的所述输入上的所述电压大于所述第二电压值,那么允许所述集成电路装置中的所述可编程存储器的临时写保护;及

如果所述多功能输入连接的所述输入上的所述电压等于或大于所述第一电压值且小于或等于所述第二电压,那么不允许所述可编程存储器的写保护。

## 在非易失性存储器中防止无意的永久写保护

### 技术领域

[0001] 本发明涉及具有可编程非易失性存储器的集成电路装置,且更特定来说涉及实现临时及永久写保护的可编程非易失性存储器。

### 背景技术

[0002] 具有非易失性存储器的集成电路装置可将所述装置的操作参数、操作程序及/或固定数据存储在该非易失性存储器中。所述非易失性存储器可受到写保护,以便防止对其中的内容的未经授权及/或疏忽的改变。若干种方式可供用于写保护非易失性存储器且在本文中统称作“写保护熔丝”。非易失性存储器可实施两种类型的写保护熔丝:a)允许用户清除功能(停用写保护)的临时写保护熔丝,及b)将非易失性存储器永久地置于写保护模式中而用户不能够清除所述永久写保护的永久写保护熔丝。因此,一旦装置已经编程且受到永久的写保护,那么此后不能够更改装置程序。

[0003] 通常,集成电路装置将具有可用于所述集成电路的正常操作或对其的编程操作的多功能引脚(外部连接)。所述多功能引脚可进一步表征为需要不同电压电平,例如使用比操作电压高的电压来执行半永久或永久编程操作。

[0004] 根据串行存在检测(SPD)电可擦除且可编程只读存储器(EEPROM)的JEDEC固态技术协会规范,当尝试使用SWP(软件写保护)来编程临时写保护熔丝时,如果所述装置的A0地址引脚上的高电压VHV并非处于足够高以完成所述临时写保护(SWP)命令的电压,那么所述装置将设定其永久写保护熔丝,例如,改为执行永久软件写保护(PSWP)命令。此导致所述装置受到永久的写保护,且如果必须对所述装置实施程序改变及/或校正则将需要物理上取代所述装置。

[0005] 参照图5,其描绘与用于执行临时写保护(SWP)及永久软件写保护(PSWP)命令的现有技术外部多功能输入-输出连接相关联的电压与逻辑电平表。当尝试使用SWP命令编程临时写保护(熔丝)时,如果施加到A0输入连接的VHV电平不充足,那么集成电路装置将疏忽地编程永久写保护(熔丝),即,改为执行PSWP命令。此使所述集成电路装置受到永久写保护。

### 发明内容

[0006] 因此,需要防止不期望的编程操作(例如,永久写保护)因各种编程功能的限度电压公差而疏忽地发生。根据本发明的教导,可在用于集成电路装置的不同编程功能的不同电压电平之间建立范围(例如,“窗口”),因此实施非操作的保护区(“安全区”)以促进防止无意的不可逆编程操作,例如永久写保护。

[0007] 根据本发明的具体实例性实施例,一种具有非易失性可编程存储器的集成电路装置,其包含:非易失性存储器;存储器控制与编程逻辑,其耦合到所述非易失性存储器且适于将数据写入到所述非易失性存储器;至少一个多功能输入连接,其耦合到所述存储器控制与编程逻辑,其中所述至少一个多功能输入用于实现对写入到所述非易失性存储器的所

述数据的写保护；其中所述写保护包含当所述至少一个多功能输入上的电压小于第一电压值时的永久写保护及当所述至少一个多功能输入上的所述电压大于第二电压值时的临时写保护，所述第二电压值大于所述第一电压值；且其中当所述至少一个多功能输入上的所述电压等于或大于所述第一电压值且小于或等于所述第二电压值时不能够实现所述写保护。

[0008] 根据本发明的另一具体实例性实施例，一种用于防止集成电路装置中的非易失性可编程存储器的无意的永久写保护的方法包含：将集成电路装置的多功能输入连接的输入上的电压与第一及第二电压值相比较，其中所述第二电压值大于所述第一电压值；如果所述多功能输入连接的所述输入上的所述电压小于所述第一电压值，那么允许所述集成电路装置中的可编程存储器的永久写保护；如果所述多功能输入连接的所述输入上的所述电压大于所述第二电压值，那么允许所述集成电路装置中的所述可编程存储器的临时写保护；及如果所述多功能输入连接的所述输入上的所述电压等于或大于所述第一电压值且小于或等于所述第二电压值，那么不允许所述可编程存储器的写保护。

### 附图说明

[0009] 结合附图参照以下说明可更全面地理解本发明，附图中：

[0010] 图 1 是在集成电路封装上具有至少一个外部多功能输入-输出连接的集成电路装置的示意性框图；

[0011] 图 2 是根据本发明的具体实例性实施例的用于实施所述至少一个外部多功能连接的非操作窗口的逻辑电路的示意图；

[0012] 图 3 是根据本发明的教示的图 2 中所示电路的各种电压电平输入与逻辑输出的关系表；

[0013] 图 4 是根据本发明的教示的与图 1 的集成电路装置及图 2 中所示的电路相关联的电压与逻辑电平表；及

[0014] 图 5 是与用于执行临时写保护 (SWP) 及永久软件写保护 (PSWP) 命令的现有技术外部多功能输入-输出连接相关联的电压与逻辑电平表。

[0015] 尽管本发明易于作出各种修改及替代形式，但在图式中是显示并在本文中详细描述其具体实例性实施例。然而，应理解，本文对具体实例性实施例的说明并非打算将本发明限定于本文所揭示的特定形式，而是相反，本发明打算涵盖所附权利要求书所界定的所有修改及等效形式。

### 具体实施方式

[0016] 现在参照图式，其示意性地图解说明具体实例性实施例的细节。图式中，相同的元件将由相同的编号表示，且类似的元件将由带有不同小写字母后缀的相同编号表示。

[0017] 参照图 1，其描绘在集成电路封装上具有至少一个外部多功能输入-输出连接的集成电路装置的示意性框图。集成电路装置 102 包含存储器控制与编程逻辑 104、非易失性存储器 106 及外部连接，例如连接 114 及 120 等。所述外部连接中的至少一者（例如，连接 120c）可以是多功能输入、输出或输入-输出连接。根据本发明的教示，所述至少一个多功能连接可具有一级及二级功能，例如（举例来说但不限于）：地址选择输入（一级）；及非易

失性存储器临时及永久两种写保护（二级），（例如）以设定用于非易失性存储器 106 的程序内容的可擦除及不可擦除保护的“熔丝”。

[0018] 集成电路装置 102 可进一步包含处理器 108、数字电路 110 及 / 或模拟电路 112。外部输入及 / 或输出连接 116 及 118 分别耦合到数字电路 110 及模拟电路 112。

[0019] 参照图 2，其描绘根据本发明的具体实例性实施例的用于实施至少一个外部多功能连接的非操作窗口的逻辑电路的示意图。外部连接 114、120a、120b 及 120c 具有可结合对所编程非易失性存储器 106 进行编程及写保护而使用的二级功能。根据本发明的教导，组合的逻辑门 204 至 216 代表一个具体实例性实施例，且本发明的范围内涵盖可使用任何逻辑设计，数字逻辑设计的技术人员依据本发明的益处将易于了解。

[0020] 参照图 3，其描绘根据本发明的教导的图 2 中所示电路的各种电压电平输入与逻辑输出的关系表。出于说明性目的揭示的是以下电压值： $V_{IH}$ ，最小 =  $0.7 * V_{dd}$ ； $V_{IL}$ ，最大 =  $0.3 * V_{dd}$ ； $V_{IH}$ ，最大 =  $V_{dd} + 0.5$  伏； $V_{HH}$ ，最小 = 7 伏；且  $V_{dd}$  是电源电压。本发明的范围内涵盖可使用其它电压值及其关系且此在本发明的范围及意图内。

[0021] 在表 3(a) 中，当 hv\_en 信号线 222 处于逻辑“0”时，out\_hv 信号线 220 对于施加到多功能 A0 输入（连接 120c）的所有电压值总是处于逻辑“0”。当多功能 A0 输入（连接 120c）上的电压大于或等于  $V_{IH}$  最小时，out\_lv 信号线 218 遵循 in\_lv 信号线 228 处于逻辑“1”；且当多功能 A0 输入（连接 120c）上的电压小于或等于  $V_{IL}$  最大时处于逻辑“0”。

[0022] 在表 3(b) 中，当 hv\_en 信号线 222 处于逻辑“1”时，in\_lv 信号线 228 在多功能 A0 输入（连接 120c）上的电压大于或等于  $V_{IH}$  最小时处于逻辑“1”；且在多功能 A0 输入（连接 120c）上的电压小于或等于  $V_{IL}$  最大时处于逻辑“0”。in\_sz（安全区）信号线 226 将在多功能 A0 输入（连接 120c）上的电压小于  $V_{IH}$  最大时处于逻辑“1”，且在多功能 A0 输入（连接 120c）上的电压大于或等于  $V_{IH}$  最大时处于逻辑“0”。in\_hv 信号线 224 将在多功能 A0 输入（连接 120c）上的电压大于或等于  $V_{HH}$  最小时处于逻辑“1”，且在多功能 A0 输入（连接 120c）上的电压小于  $V_{HH}$  最小时处于逻辑“0”。

[0023] 当多功能 A0 输入（连接 120c）上的电压小于或等于  $V_{IL}$  最大或小于  $V_{HH}$  最小且大于或等于  $V_{IH}$  最大时，out\_lv 信号线 218 将处于逻辑“0”。当多功能 A0 输入（连接 120c）上的电压大于  $V_{HH}$  最小或小于  $V_{IH}$  最大且大于或等于  $V_{IH}$  最小时，out\_lv 信号线 218 将处于逻辑“1”。

[0024] 当多功能 A0 输入（连接 120c）上的电压大于或等于  $V_{HH}$  最小时，out\_hv 信号线 220 将处于逻辑“1”；且当多功能 A0 输入（连接 120c）上的电压小于  $V_{HH}$  最小时处于逻辑“0”。与逻辑门 204 到 216 组合使用信号线 222、224、226 及 228 创建禁止任何形式的写保护的“安全区”。根据此具体实例性实施例，所述安全区将是当多功能 A0 输入（输入 120c）上的电压小于  $V_{HH}$  最小但大于或等于  $V_{IH}$  最大时。

[0025] 参照图 4，其描绘根据本发明的教导的与图 1 的集成电路装置及图 2 中所示的电路相关联的电压与逻辑电平表。图 2 的上述逻辑从而在  $V_{HH}$  最小与  $V_{IH}$  最大之间创建安全区，其中临时 (SWP) 存储器写保护或永久 (PSWP) 存储器写保护两者均不能发生。当多功能 A0 输入（连接 120c）上的电压大于  $V_{HH}$  最小时，临时 (SWP) 存储器写保护可发生，且当多功能 A0 输入（连接 120c）上的电压小于  $V_{IH}$  最大时，永久 (PSWP) 存储器写保护可发生。因此，根据本发明的教导，疏忽的永久 (PSWP) 存储器写保护不能够意外地发生。

[0026] 虽然已参照本发明的实例性实施例来描绘、描述及界定本发明的实施例,但此类参照并不意味着限定本发明,且不应推断出存在此限定。所揭示的标的物能够在形式及功能上具有大量修改、替代及等效形式,受益于本发明的所属领域的技术人员将会联想到此等修改、替代及等效形式。所示及所述的本发明各实施例仅作为实例,而并非对本发明范围的穷尽性说明。

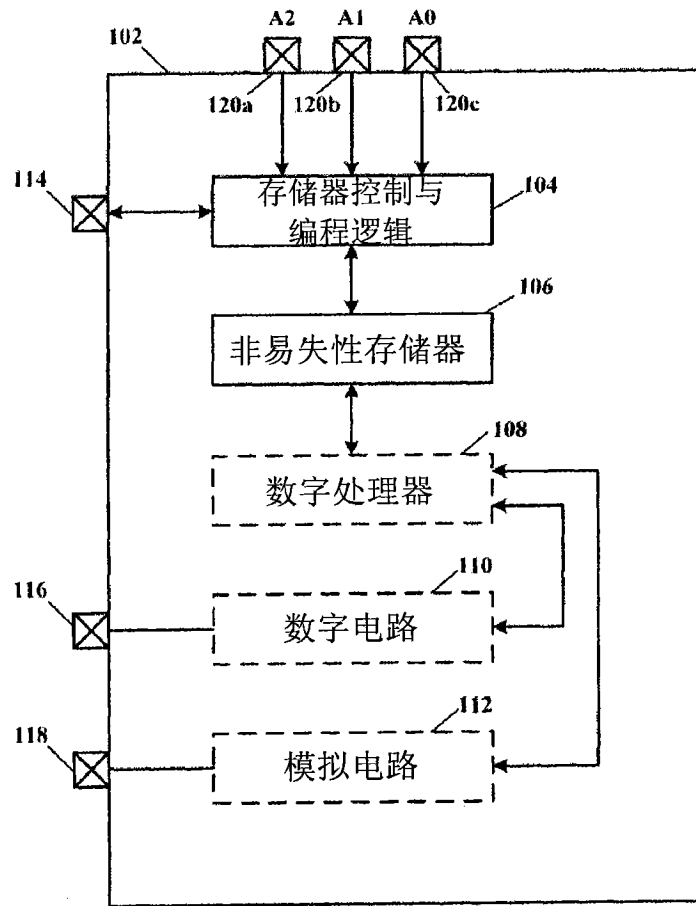


图 1



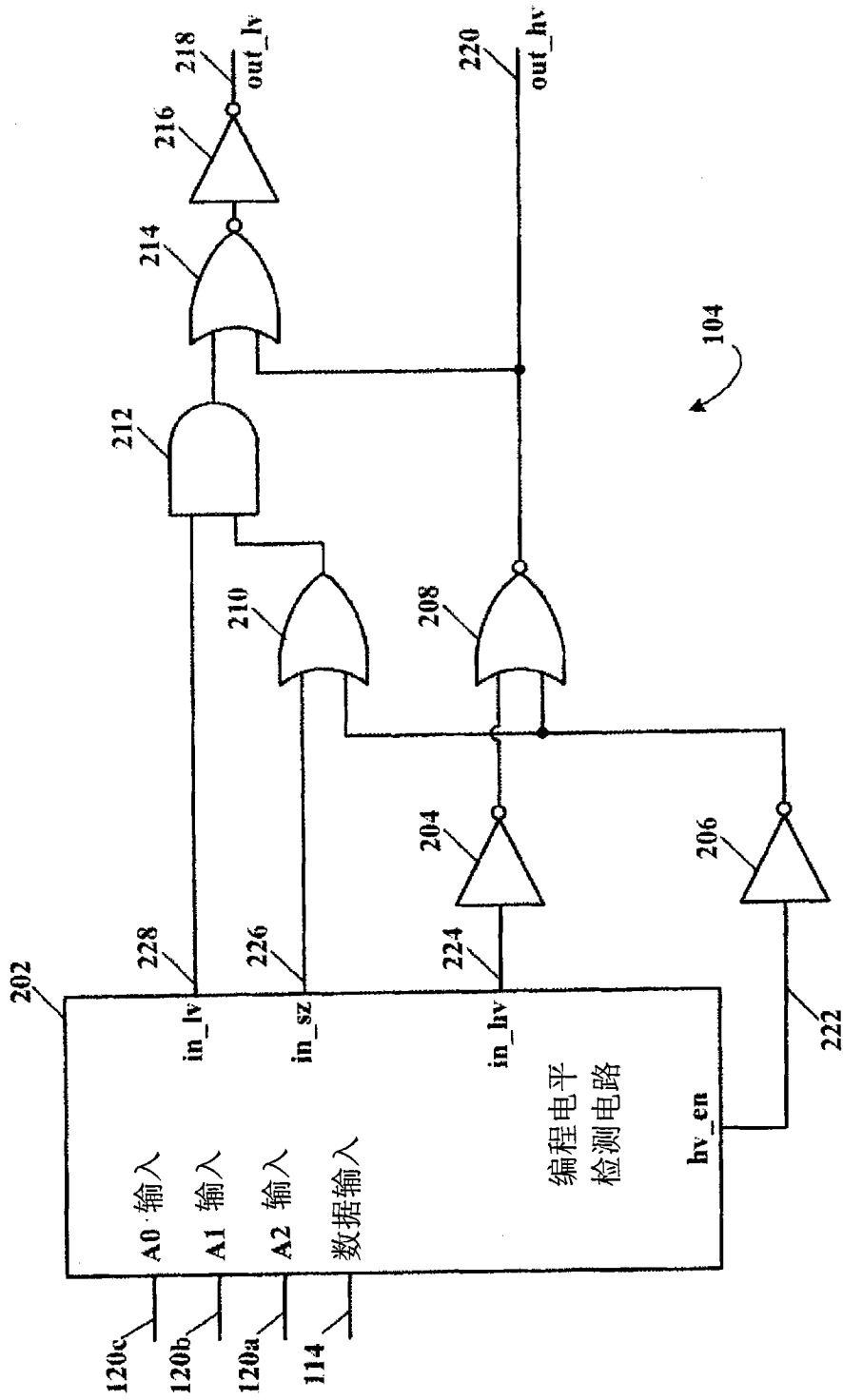
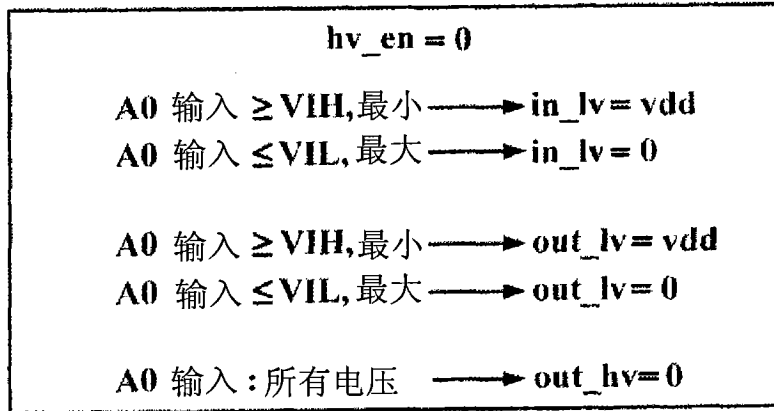


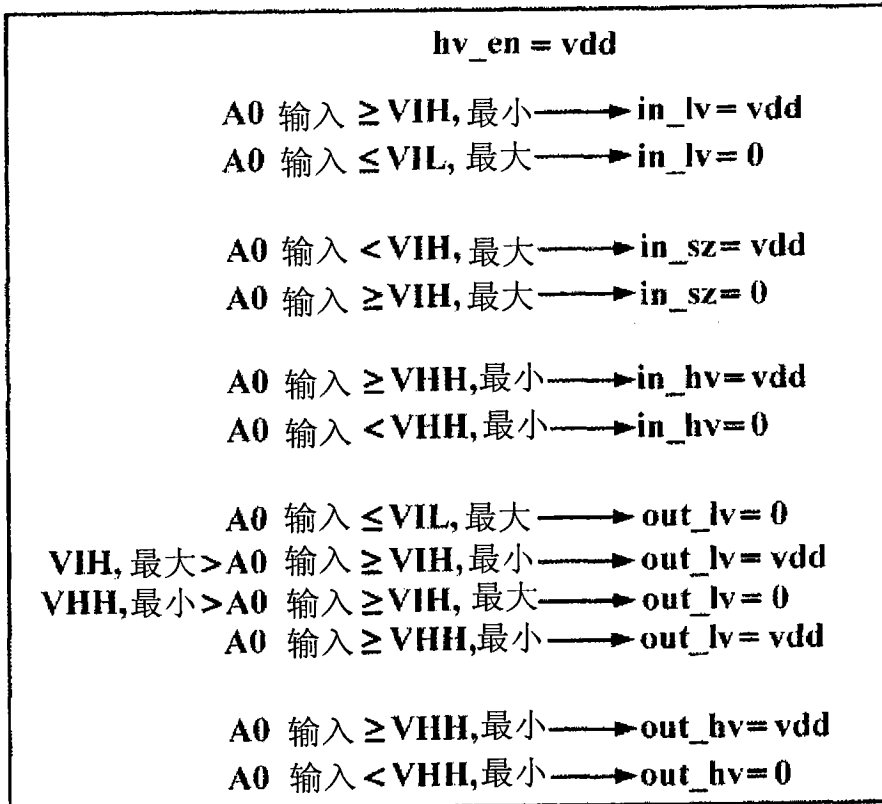
图 2

$V_{IH}$ , 最小 =  $0.7 * V_{dd}$   
 $V_{IL}$ , 最大 =  $0.3 * V_{dd}$

$V_{HH}$ , 最小 = 7 伏  
 $V_{IH}$ , 最大 =  $V_{dd} + 0.5$  伏



(a)



(b)

图 3

地址引脚			控制字节								
命令	A2	A1	A0	B7	B6	B5	B4	B3	B2	B1	B0
软件写保护	VSS	VSS	> V <sub>HH</sub> 最小	0	1	1	0	0	0	1	0
无熔丝操作	VSS	VSS	安全区	0	1	1	0	0	0	1	0
永久软件写保护	A2	A1	< V <sub>IH</sub> 最大	0	1	1	0	A2	A1	A0	0

图 4

地址引脚			控制字节								
命令	A2	A1	A0	B7	B6	B5	B4	B3	B2	B1	B0
软件写保护	VSS	VSS	V <sub>HV</sub>	0	1	1	0	0	0	1	0
永久软件写保护	A2	A1	A0	0	1	1	0	A2	A1	A0	0

符号	参数	测试条件	最小	最大	单位
VHV	SA0 高电压	VHV-V <sub>DDSD</sub> ≥ 4.8 V	7	10	V

图 5(现有技术)