

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 11 日(11.12.2014)



(10) 国際公開番号

WO 2014/196223 A1

- (51) 国際特許分類:
H01L 27/06 (2006.01) H01L 27/04 (2006.01)
H01L 21/329 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/866 (2006.01)
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2014/053038
- (22) 国際出願日: 2014 年 2 月 10 日(10.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-117036 2013 年 6 月 3 日(03.06.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: 荻野 栄治(OGINO, Eiji).
- (74) 代理人: 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK (HARAKENZO WORLD PATENT & TRADE-

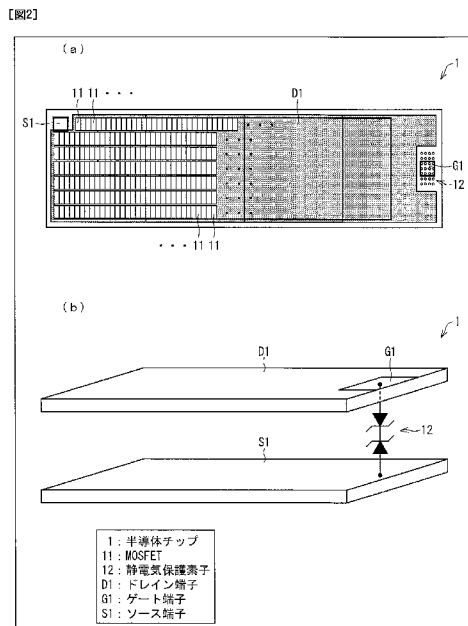
MARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR CHIP AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体チップおよび半導体装置



1... SEMICONDUCTOR CHIP
11... MOSFET
12... ELECTROSTATIC-DISCHARGE PROTECTION ELEMENT
D1... DRAIN TERMINAL
G1... GATE TERMINAL
S1... SOURCE TERMINAL

(57) Abstract: The present invention provides a MOSFET gate terminal (G1) and drain terminal (D1) on one surface of a semiconductor chip (1), provides a source terminal (S1) on the other surface thereof, and is equipped with an electrostatic-discharge protection element (12) having one end thereof connected to the gate terminal (G1) and the other end thereof connected to the source terminal (S1). As a result, it is possible to reduce chip size and improve electrostatic-discharge properties in a semiconductor chip having a MOSFET.

(57) 要約: MOSFETのゲート端子(G1)およびドレイン端子(D1)を半導体チップ(1)の一方の面側に設け、ソース端子(S1)を他方の面側に設け、一端側がゲート端子(G1)に接続され、他端側がソース端子(S1)に接続された静電気保護素子(12)を備える。これにより、MOSFETを有する半導体チップにおいて、静電耐圧特性を向上させるとともにチップサイズを低減できる。

WO 2014/196223 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体チップおよび半導体装置

技術分野

[0001] 本発明は、M O S F E T（酸化金属半導体電界効果トランジスタ）を有する半導体チップおよび半導体装置に関するものである。

背景技術

[0002] 従来、ゲート酸化膜を静電破壊から保護するための静電気保護素子（E S D（Electro-Static Discharge）保護素子）を備えたM O S F E Tが知られている。

[0003] 例えば、特許文献1には、ゲート電極とソース電極との間に双方向ツェナーダイオードを接続し、さらに、ゲート電極に抵抗を接続したM O S F E Tが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：日本国公開特許公報「特開2008-78579号公報（2008年4月3日公開）」

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記特許文献1の技術では、ゲート電極およびソース電極が半導体チップの上面側に設けられており、静電気保護素子としての双方向ツェナーダイオードが単一層のポリシリコン膜で形成されているので、半導体チップのチップ面積が増大してしまうという問題がある。

[0006] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、M O S F E Tを有する半導体チップにおいて、静電耐圧特性を向上させるとともにチップサイズを低減することにある。

課題を解決するための手段

[0007] 本発明の一態様にかかる半導体チップは、M O S F E Tを有する半導体チ

ップであって、上記MOSFETのゲート端子およびドレイン端子が当該半導体チップの一方の面側に設けられ、上記MOSFETのソース端子が当該半導体チップの他方の面側に設けられており、一端側が上記ゲート端子に接続され、他端側が上記ソース端子に接続された静電気保護素子を備えていることを特徴としている。

発明の効果

[0008] 上記の構成によれば、静電気保護素子を設けることにより、静電耐圧特性を向上させ、ゲート絶縁膜の静電気（ESD（Electro-Static Discharge））による劣化を効果的に防止することができる。また、MOSFETのゲート電極を半導体チップの一方の面側に設け、ソース電極を他方の面側に設けることにより、これら両電極を接続する静電気保護素子を当該半導体チップにおける厚さ方向のスペースを有効に用いて配置することができる。これにより、半導体チップの面内方向のサイズを低減し、半導体チップの小型化を図ることができる。

図面の簡単な説明

[0009] [図1]本発明の一実施形態にかかる半導体チップの構成を示す回路図である。
[図2]図1に示した半導体チップの構成を示す説明図である。
[図3]図1に示した半導体チップに備えられるMOSFETの構成を示す説明図である。
[図4]図1に示した半導体チップに備えられる静電気保護素子の構成を示す説明図である。
[図5]図1に示した半導体チップの変形例を示す回路図である。
[図6]本発明の他の実施形態にかかる半導体装置の構成を示す回路図である。
[図7]図6に示した半導体装置に備えられる半導体チップの構成を示す説明図である。
[図8]図6に示した半導体装置に備えられる半導体チップの構成を示す説明図である。
[図9]図6に示した半導体装置の変形例を示す回路図である。

[図10]図6に示した半導体装置の変形例を示す回路図である。

[図11]図1に示した半導体チップに備えられる静電気保護素子の変形例を示す説明図である。

発明を実施するための形態

[0010] 〔実施形態1〕

本発明の一実施形態について説明する。

[0011] 図1は本実施形態にかかる半導体チップ1の回路図であり、図2は半導体チップ1の概略構成を示す説明図である。

[0012] 図1に示したように、半導体チップ1は、互いに並列に接続された多数のMOSFET11からなるMOSFET群10を備えており、MOSFET群10のソース端子（各MOSFET11のソース電極）は半導体チップ1のソース端子S1に接続され、ドレイン端子（各MOSFET11のドレイン電極）は半導体チップ1のドレイン端子D1に接続され、ゲート端子（各MOSFET11のゲート電極）は半導体チップ1のゲート端子G1に接続されている。また、半導体チップ1のゲート端子G1とソース端子S1との間には、静電気保護素子12が接続されている。

[0013] なお、各MOSFET11は、図2の（a）に示すように、半導体チップ1の面内方向に沿ってマトリクス状に配置され、互いに並列に接続されている。また、図2の（b）に示したように、ゲート端子G1およびドレイン端子D1は半導体チップ1の一方の面に設けられており、ソース端子S1は半導体チップ1の他方の面に設けられている。

[0014] 図3は、MOSFET11の構成を示す説明図である。この図に示すように、MOSFET11は、P型シリコン基板13、P型シリコン基板13上に形成されたP型半導体層14、P型半導体層14の一部に不純物イオンを注入することにより形成されたN⁺領域（N型拡散領域、ドレイン領域）15およびN⁺領域（N型拡散領域、ソース領域）16、P型半導体層14上に形成されたゲート絶縁膜17、ゲート絶縁膜17上に形成されたゲート電極19、N⁺領域15に接続されたドレイン電極18、およびN⁺領域16に接続

されたソース電極20を備えた横方向拡散MOS（LDMOS（Laterally diffused MOS））構造のNチャネル型MOSFETである。

[0015] なお、ドレイン電極18およびゲート電極19は半導体チップ1の一方の面側に形成されており、ソース電極20はP型シリコン基板13およびP型半導体層14に設けられたトレンチ部21を介して半導体チップ1の一方の面側から他方の面側に例えば金属等の導電部材によって接続されている。

[0016] 静電気保護素子12としては、図1に示したように、1対のツェナーダイオードのカソード電極同士を接続することにより形成した双方向ツェナーダイオードからなり、一端側がゲート端子G1に接続され、他端側がソース端子S1に接続されている。

[0017] 図4は、静電気保護素子12の構成例を示す説明図である。この図に示すように、静電気保護素子12は、P型シリコン基板13上にN型拡散領域（DN領域）43およびP型半導体領域44が形成されており、P型半導体領域44内にP⁺領域（P型拡散領域）45、NHV領域（ドリフト形成用のN型拡散領域）46、P⁺（P型拡散領域）領域47が基板面内方向に沿って所定の間隔を隔てて形成され、P型半導体領域44を覆うように酸化物層（OXIDE層）48が形成されている。また、酸化物層48に設けられたコンタクトホールを介してP⁺領域45およびP⁺領域47に金属配線層（M1層）49および金属配線層（M2層）50がそれぞれ接続されている。なお、金属配線層49は半導体チップ1のゲート端子G1（各MOSFET11のゲート端子）に接続され、金属配線層50は半導体チップ1のソース端子S1（各MOSFET11のソース端子）に接続されている。

[0018] なお、静電気保護素子12の耐圧特性は、MOSFET11のゲート端子G1に印加される電圧に応じて適宜設定すればよい。例えば、MOSFET11のゲート端子G1に対する印加電圧の仕様が±20Vである場合、耐圧電圧が±20Vよりも大きくなるように静電気保護素子12を形成すればよい。静電気保護素子12の耐圧特性は、例えば、（i）P⁺領域45、47とNHV領域46との間隔、あるいは（ii）N型拡散領域（DN領域）43

の濃度を制御することにより調整できる。具体的には、P⁺領域45、47とNHV領域46との間隔を広くするほど静電気保護素子12のブレークダウン電圧が増大し、N型拡散領域43の濃度を低くするほど静電気保護素子12のブレークダウン電圧が増大する。

[0019] また、静電気保護素子12の構成は、双方向ツェナーダイオードを実現できる構成であればよく、図4に示した構成に限るものではない。

[0020] 例えば、図11の(a)に示すように、P型シリコン基板13上に形成されたP型半導体層14内に、P型シリコン基板13側から順にDP領域(P型拡散領域)22、NW領域(N型ウェル領域)23、NHV領域(N型拡散領域)24、およびP⁺領域(P型拡散領域)25が積層された構成の静電気保護素子12を用いてもよい。このように、図11の(a)の例では、半導体チップ1の基板面法線方向に積層された複数の半導体領域からなる複数段のPN接合を備えた双方向ツェナーダイオードが形成されている。

[0021] また、図11の(b)に示すように、P型シリコン基板13上に形成されたP型半導体層14に第1NHV領域(N型拡散領域)26および第2NHV領域(N型拡散領域)27を形成し、第1NHV領域26にN⁺領域28を形成し、第2NHV領域27にN⁺領域29およびP⁺領域30を形成した構成の双方向ツェナーダイオードを用いてもよい。

[0022] また、図11の(c)に示すように、P型シリコン基板13上に形成されたP型半導体層14に第1NHV領域(N型拡散領域)31および第2NHV領域(N型拡散領域)32を形成し、第1NHV領域31にN⁺領域33およびP⁺領域34を形成し、第2NHV領域32にN⁺領域35およびP⁺領域36を形成した構成の双方向ツェナーダイオードを用いてもよい。

[0023] また、本実施形態では、1対のツェナーダイオードのカソード電極同士を接続することにより形成した双方向ツェナーダイオードを用いているが、これに限るものではない。例えば、図5に示すように、1対のツェナーダイオードのアノード電極同士を接続した双方向ツェナーダイオードを用いてもよい。

[0024] 以上のように、本実施形態にかかる半導体チップ1は、基板13の一方の面側に形成されたMOSFET11を有する半導体チップであって、MOSFET11のゲート端子G1（ゲート電極19）およびドレイン端子D1（ドレイン電極18）が基板13の一方の面側に設けられ、MOSFET11のソース端子S1（ソース電極20）が基板13の他方の面側に設けられており、一端側がゲート端子G1（ゲート電極19）に接続され、他端側がソース端子S1（ソース電極20）に接続された静電気保護素子12を備えている。

[0025] これにより、ゲート電極とソース電極との間に接続される静電気保護素子12を、当該半導体チップ1における基板面法線方向のスペースを有効に利用して配置することができる。したがって、ゲート酸化膜の静電破壊を防止するとともに、上述した特許文献1のようにゲート電極およびソース電極を基板の一方の面側に設け、これら両電極を単一層からなる双方向ツェナーダイオードを用いて接続する場合に比べて、半導体チップの基板面平行方向のサイズを低減し、半導体チップの小型化を図ることができる。

[0026] なお、本実施形態では、本発明をNチャネル型MOSFETに適用する場合について説明したが、本発明の適用対象はこれに限るものではなく、Pチャネル型MOSFETにも適用できる。この場合、Pチャネル型MOSFETの各半導体層の構成は特に限定されるものではなく、従来から公知のPチャネル型MOSFETを用いることができる。

[0027] [実施形態2]

本発明の他の実施形態について説明する。なお、説明の便宜上、実施形態1と同様の機能を有する部材については実施形態1と同じ符号を付し、その説明を省略する。

[0028] 図6は本実施形態にかかる半導体装置100の回路図であり、図7は半導体装置100に備えられる半導体チップ1bの概略構成を示す説明図である。また、図8は、半導体装置100を上方から見た平面図である。

[0029] 図6に示すように、半導体装置100は、半導体チップ1b、半導体チッ

プ2、ゲート端子G3、ソース端子S3、およびド레인端子D3を備えている。

[0030] 半導体チップ1bは、実施形態1に示した半導体チップ1に加えて、基板の一方の面側（ゲート端子G1（ゲート電極19）およびド레인端子D1（ド레인電極18）が形成されている側）に設けられた第2ソース端子S1bと、ソース端子S1と第2ソース端子S1bとを接続するように設けられた、双方向ツェナーダイオードからなる第2静電気保護素子42とを備えている。また、半導体チップ1bのソース端子S1は半導体装置100のソース端子S3に接続され、半導体チップ1bのゲート端子G1は半導体装置100のゲート端子G3に接続され、半導体チップ1bのド레인端子D1は半導体チップ2のソース端子S2に接続され、第2ソース端子S1bは半導体チップ2のゲート端子G2に接続されている。半導体チップ1bにおけるその他の構成は実施形態1で示した半導体チップ1と略同様である。なお、第2静電気保護素子42の構成は特に限定されるものではなく、例えば、静電気保護素子12と同様のものを用いることができる。

[0031] 半導体チップ2は、MOSFET41を備えており、このMOSFET41のゲート端子G2は半導体チップ1bの第2ソース端子S1bに接続され、ソース端子S2は半導体チップ1bのド레인端子D1に接続され、ド레인端子D2は半導体装置100のド레인端子D3に接続されている。すなわち、半導体チップ2のMOSFET41は、半導体チップ1bの各MOSFET11に対してカスコード接続されている。なお、MOSFET41の構成は特に限定されるものではなく、従来から公知の構成からなるMOSFETを用いることができる。

[0032] 以上のように、本実施形態にかかる半導体装置100は、実施形態1で示した半導体チップ1に加えて、半導体チップ1のMOSFET群10（各MOSFET11）に対してカスコード接続されたMOSFET41を備えている。これにより、MOSFET11のド레인電圧の変化を低減し、ミラー効果による帰還容量の影響を小さくすることができる。

[0033] また、本実施形態にかかる半導体装置 100 は、半導体チップ 1b のソース端子 S1 と MOSFET 41 のゲート端子 G2 との間に双方向ツェナーダイオードからなる第 2 静電気保護素子 42 を備えている。これにより、静電気によって MOSFET 41 のゲート酸化膜が破壊されることを防止できる。

[0034] また、本実施形態では、上記の第 2 静電気保護素子 42 を半導体チップ 1b における基板 13 の一方の面に設けている。これにより、第 2 静電気保護素子 42 を、半導体チップ 1b における基板面法線方向のスペースを有効に利用して配置することができる、半導体チップ 1b のチップサイズを低減して半導体装置 100 の小型化を図ることができる。

[0035] なお、本実施形態では、第 2 静電気保護素子 42 が半導体チップ 1b に備えられている構成について説明したが、これに限るものではない。例えば、図 9 に示すように第 2 静電気保護素子 42 を半導体チップ 1b および半導体チップ 2 の外部に配置してもよく、図 10 に示すように第 2 静電気保護素子 42 を半導体チップ 2 に配置してもよい。なお、第 2 静電気保護素子 42 を半導体チップ 1b に設けない場合、半導体チップ 1b に代えて、実施形態 1 と同様の半導体チップ 1 を用いればよい。

[0036] [まとめ]

本発明の態様 1 にかかる半導体チップは、MOSFET を有する半導体チップであって、上記 MOSFET のゲート端子およびドレイン端子が当該半導体チップの一方の面側に設けられ、上記 MOSFET のソース端子が当該半導体チップの他方の面側に設けられており、一端側が上記ゲート端子に接続され、他端側が上記ソース端子に接続された静電気保護素子を備えていることを特徴としている。

[0037] 上記の構成によれば、静電気保護素子を設けることにより、静電耐圧特性を向上させ、ゲート絶縁膜の静電気（ESD（Electro-Static Discharge））による劣化を効果的に防止することができる。また、MOSFET のゲート電極を半導体チップの一方の面側に設け、ソース電極を他方の面側に設けるこ

とにより、これら両電極を接続する静電気保護素子を、当該半導体チップにおける厚さ方向のスペースを有効に用いて配置することができる。これにより、上述した特許文献1のようにゲート電極およびソース電極を半導体チップの一方の面側に設け、これら両電極を単一層からなる双方向ツェナーダイオードを用いて接続する場合に比べて、半導体チップの面内方向のサイズを低減し、半導体チップの小型化を図ることができる。

[0038] 本発明の態様2にかかる半導体装置は、上記態様1において、上記ソース端子は、当該半導体チップに設けられたトレンチ部を介して上記MOSFETのソース領域に接続されている構成である。

[0039] 上記の構成によれば、半導体チップの一方の面側に設けられたMOSFETのソース領域と、他方の面側に設けられたソース端子とを接続するための配線の長さを短くし、半導体チップをさらに小型化することができる。

[0040] 本発明の態様3にかかる半導体装置は、上記態様1または2において、上記静電気保護素子は、複数段のPN接合を有する双方向ツェナーダイオードである構成としてもよい。

[0041] 上記の構成によれば、静電気保護素子を容易に形成することができる。なお、上記双方向ツェナーダイオードは、半導体チップの厚さ方向に沿って配置された複数の半導体層からなるPN接合を有する構成であってもよい。この場合、半導体チップの厚さ方向のスペースを有効に利用して双方向ツェナーダイオードを配置することができるので、半導体チップのサイズをより小さくすることができる。

[0042] 本発明の態様4にかかる半導体装置は、上記態様1から3のいずれかにおいて、上記MOSFETは、横方向拡散MOS構造を有している構成である。

[0043] 上記の構成によれば、ゲート電極が基板の一方の面側に形成され、ソース電極が基板の他方の面側に形成された半導体装置を容易に製造することができる。

[0044] 本発明の態様5にかかる半導体装置は、上記態様1から4のいずれかにお

いて、上記双方向ツェナーダイオードは、一対のツェナーダイオードにおける互いのカソード電極同士またはアノード電極同士が接続された構成である。

[0045] 上記の構成によれば、静電気保護素子としての双方向ツェナーダイオードを容易に形成することができる。

[0046] 本発明の一態様にかかる半導体装置は、上記したいずれかの半導体チップと、上記MOSFETに接続された第2MOSFETを有する第2半導体チップと、第2静電気保護素子とを備え、上記第2MOSFETのゲート端子は上記第2静電気保護素子を介して上記MOSFETのソース端子に接続され、上記第2MOSFETのソース端子は上記各MOSFETのドレイン端子に接続されていることを特徴としている。

[0047] 上記の構成によれば、上記半導体チップのMOSFETと上記第2半導体チップの第2MOSFETとがカスコード接続された半導体装置を形成することができる。また、半導体チップのサイズを低減できるので、半導体装置のサイズを低減できる。

[0048] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

産業上の利用可能性

[0049] 本発明は、MOSFETを有する半導体装置およびその製造方法に適用できる。

符号の説明

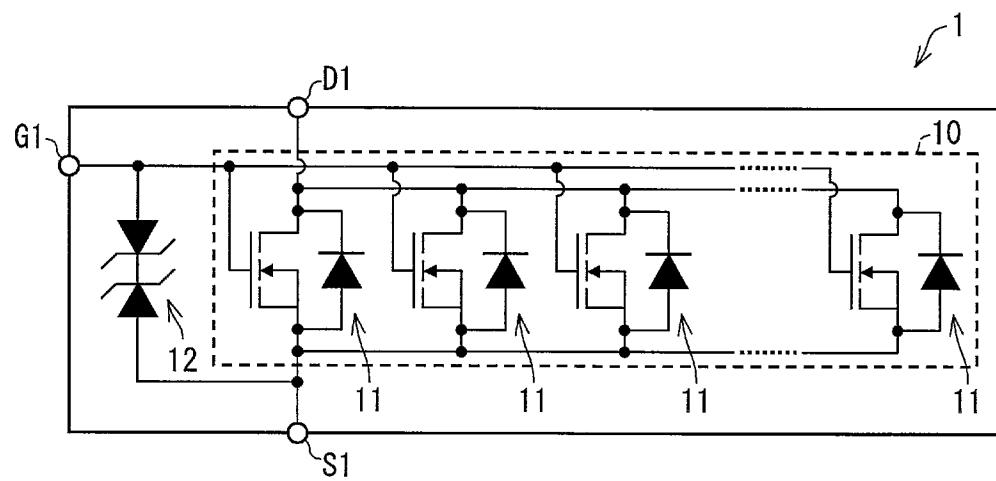
- [0050] 1, 1b 半導体チップ
2 半導体チップ（第2半導体チップ）
10 MOSFET群
11 MOSFET

- 1 2 静電気保護素子
- 1 3 P型シリコン基板（基板）
- 1 7 ゲート絶縁膜
- 1 8 ドレイン電極
- 1 9 ゲート電極
- 2 0 ソース電極
- 2 1 トレンチ部
- 4 1 M O S F E T
- 4 2 第2静電気保護素子
- 1 0 0 半導体装置
- D 1 ～ D 3 ドレイン端子
- G 1 ～ G 3 ゲート端子
- S 1 ～ S 3 ソース端子
- S 1 b 第2ソース端子

請求の範囲

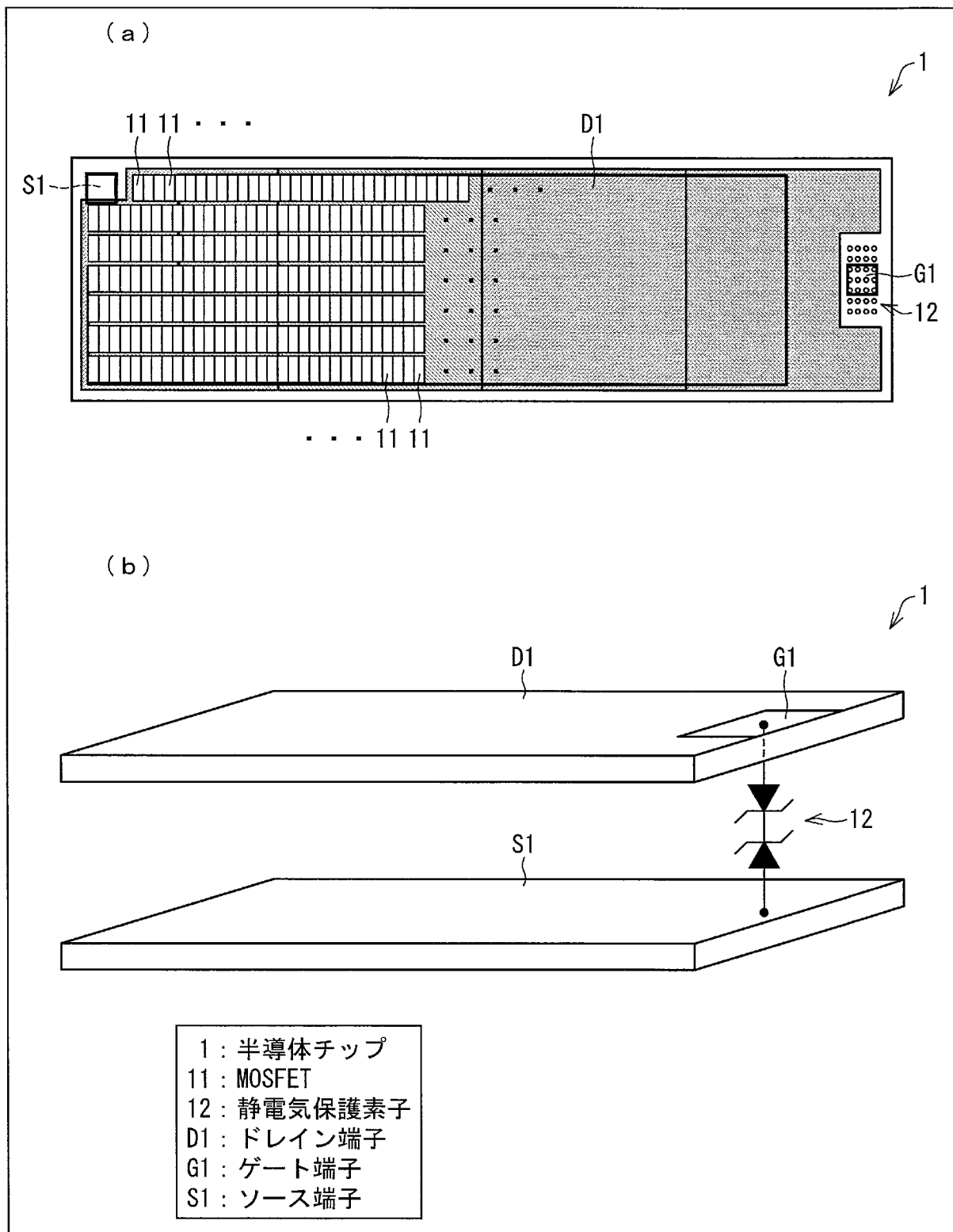
- [請求項1] M O S F E Tを有する半導体チップであって、
 上記M O S F E Tのゲート端子およびドレイン端子が当該半導体チップの一方の面側に設けられ、
 上記M O S F E Tのソース端子が当該半導体チップの他方の面側に設けられており、
 一端側が上記ゲート端子に接続され、他端側が上記ソース端子に接続された静電気保護素子を備えていることを特徴とする半導体チップ。
- [請求項2] 上記ソース端子は、当該半導体チップに設けられたトレンチ部を介して上記M O S F E Tのソース領域に接続されていることを特徴とする請求項1に記載の半導体チップ。
- [請求項3] 上記静電気保護素子は、複数段のP N接合を有する双方向ツェナーダイオードであることを特徴とする請求項1または2に記載の半導体チップ。
- [請求項4] 上記M O S F E Tは、横方向拡散M O S構造を有していることを特徴とする請求項1から3のいずれか1項に記載の半導体チップ。
- [請求項5] 請求項1から4のいずれか1項に記載の半導体チップと、
 上記M O S F E Tに接続された第2 M O S F E Tを有する第2半導体チップと、
 第2静電気保護素子とを備え、
 上記第2 M O S F E Tのゲート端子は上記第2静電気保護素子を介して上記M O S F E Tのソース端子に接続され、上記第2 M O S F E Tのソース端子は上記各M O S F E Tのドレイン端子に接続されていることを特徴とする半導体装置。

[図1]

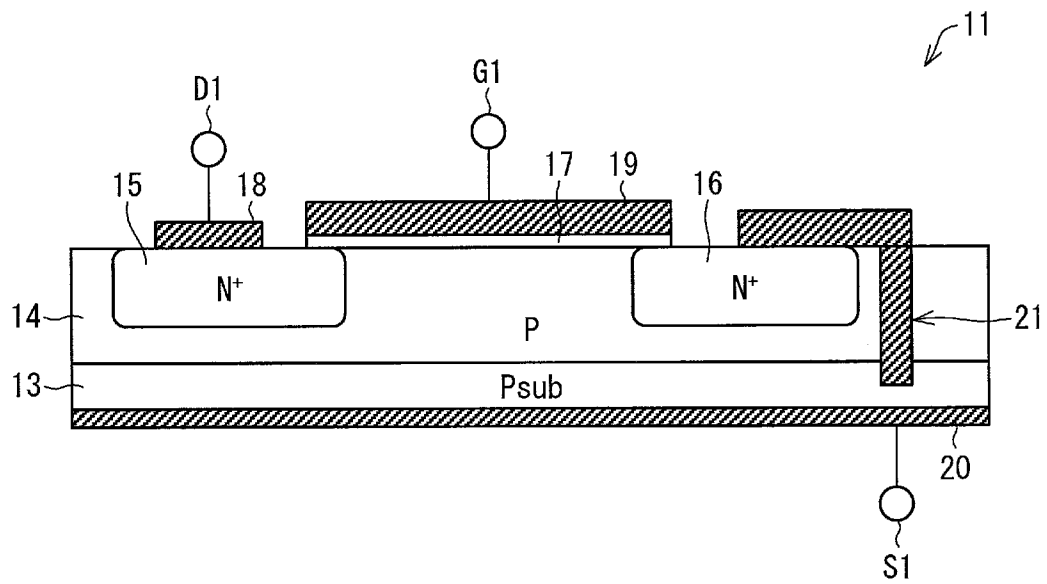


- 1 : 半導体チップ
- 10 : MOSFET群
- 11 : MOSFET
- 12 : 静電気保護素子
- D1 : ドレイン端子
- G1 : ゲート端子
- S1 : ソース端子

[図2]

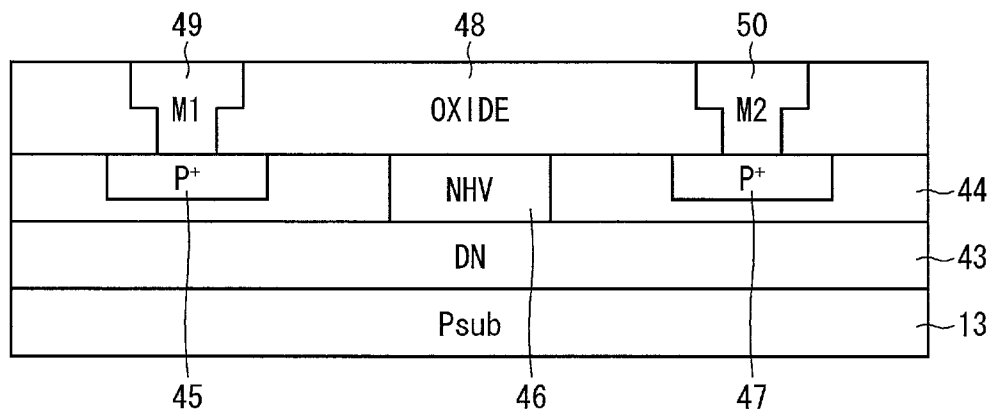


[図3]



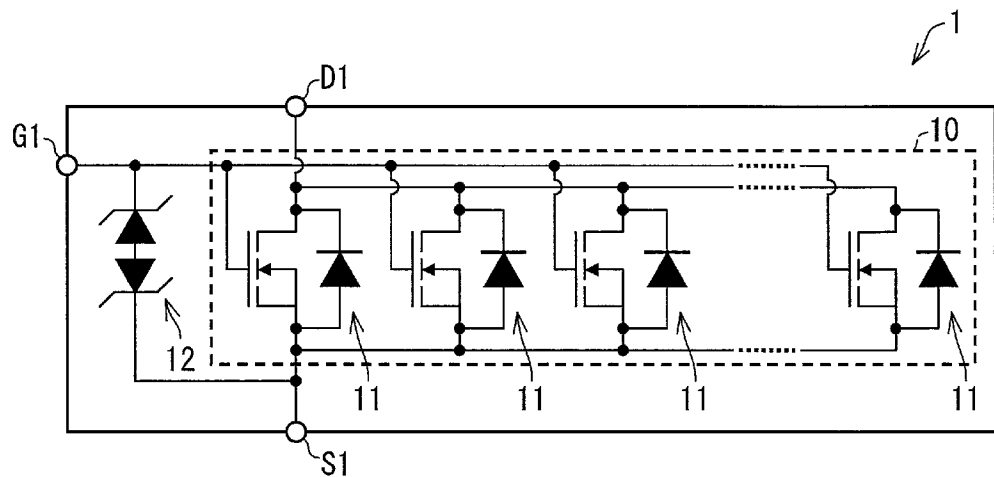
- 11 : MOSFET
- 13 : P型シリコン基板
- 14 : P型半導体層
- 15 : N⁺領域
- 16 : N⁺領域
- 17 : ゲート絶縁膜
- 18 : ドレイン電極
- 19 : ゲート電極
- 20 : ソース電極
- 21 : トレンチ部
- D1 : ドレイン端子
- G1 : ゲート端子
- S1 : ソース端子

[図4]



- 13 : P型シリコン基板
 43, 46 : N型拡散領域
 44 : P型半導体領域
 45, 47 : P型拡散領域
 48 : 酸化物層
 49, 50 : 金属配線層

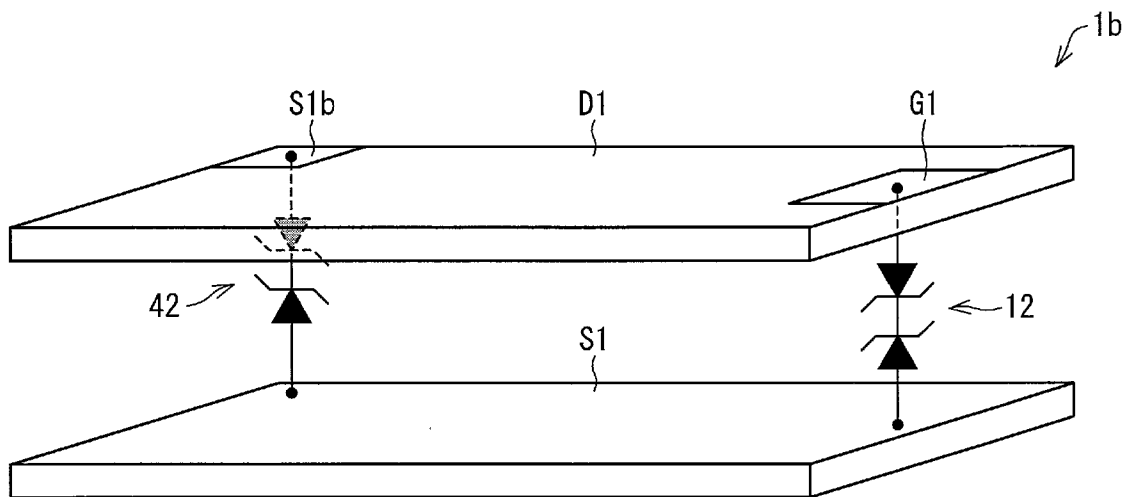
[図5]



- 1 : 半導体チップ
 10 : MOSFET群
 11 : MOSFET
 12 : 静電気保護素子
 D1 : ドレイン端子
 G1 : ゲート端子
 S1 : ソース端子

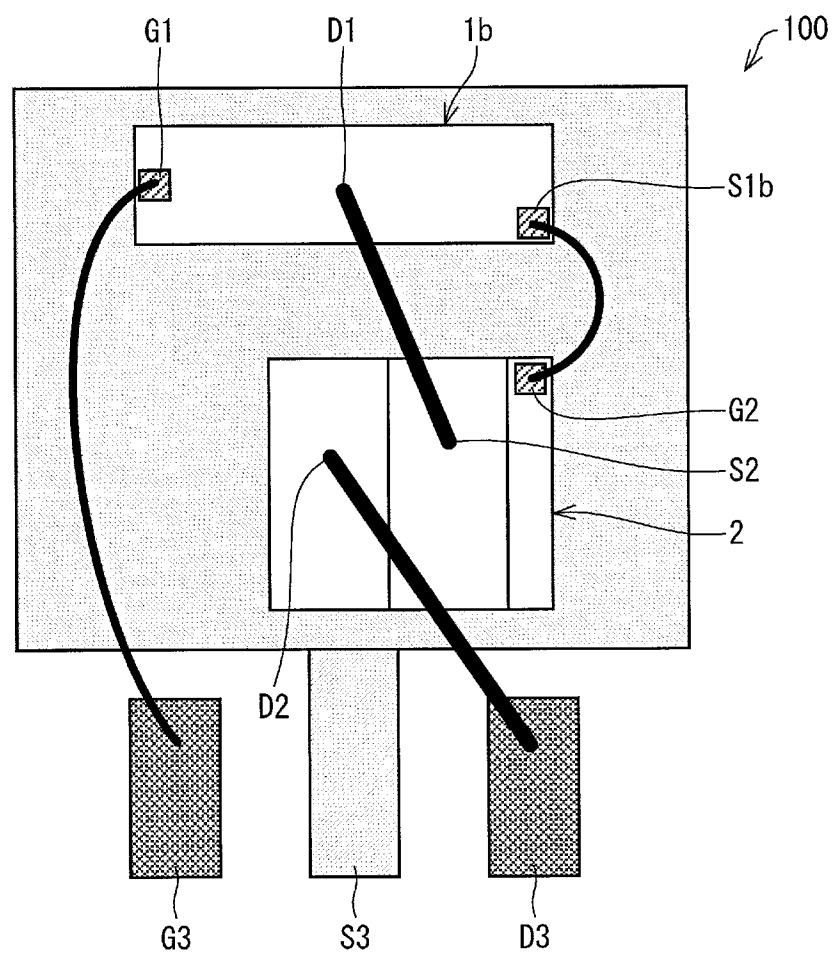
- 1b, 2 : 半導体チップ
11 : MOSFET
12 : 静電気保護素子
41 : MOSFET
42 : 第2静電気保護素子
100 : 半導体装置
D1, D2, D3 : ドレイン端子
G1, G2, G3 : ゲート端子
S1, S2, S3 : ソース端子
S1b : 第2ソース端子

[図7]



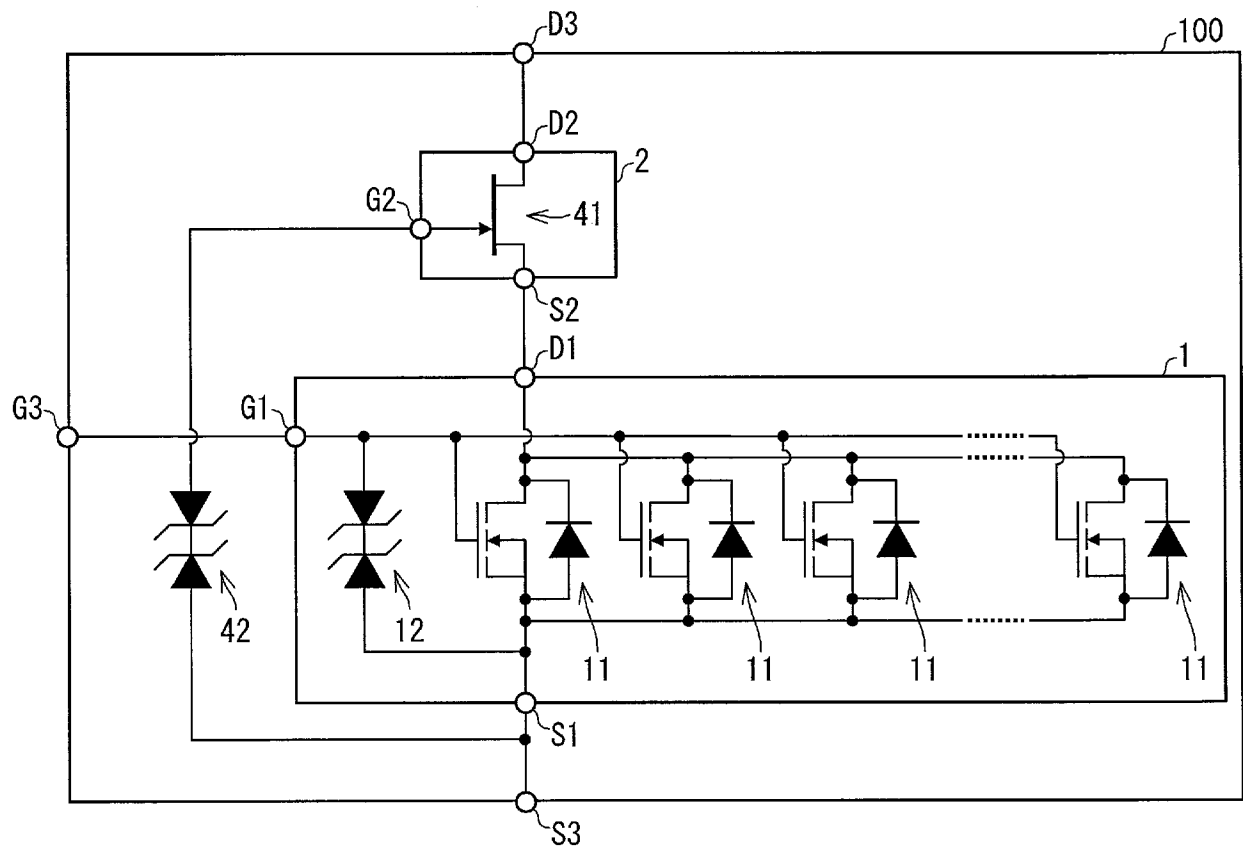
- 1b : 半導体チップ
12 : 静電気保護素子
42 : 第2静電気保護素子
D1 : ドレイン端子
G1 : ゲート端子
S1 : ソース端子
S1b : 第2ソース端子

[図8]



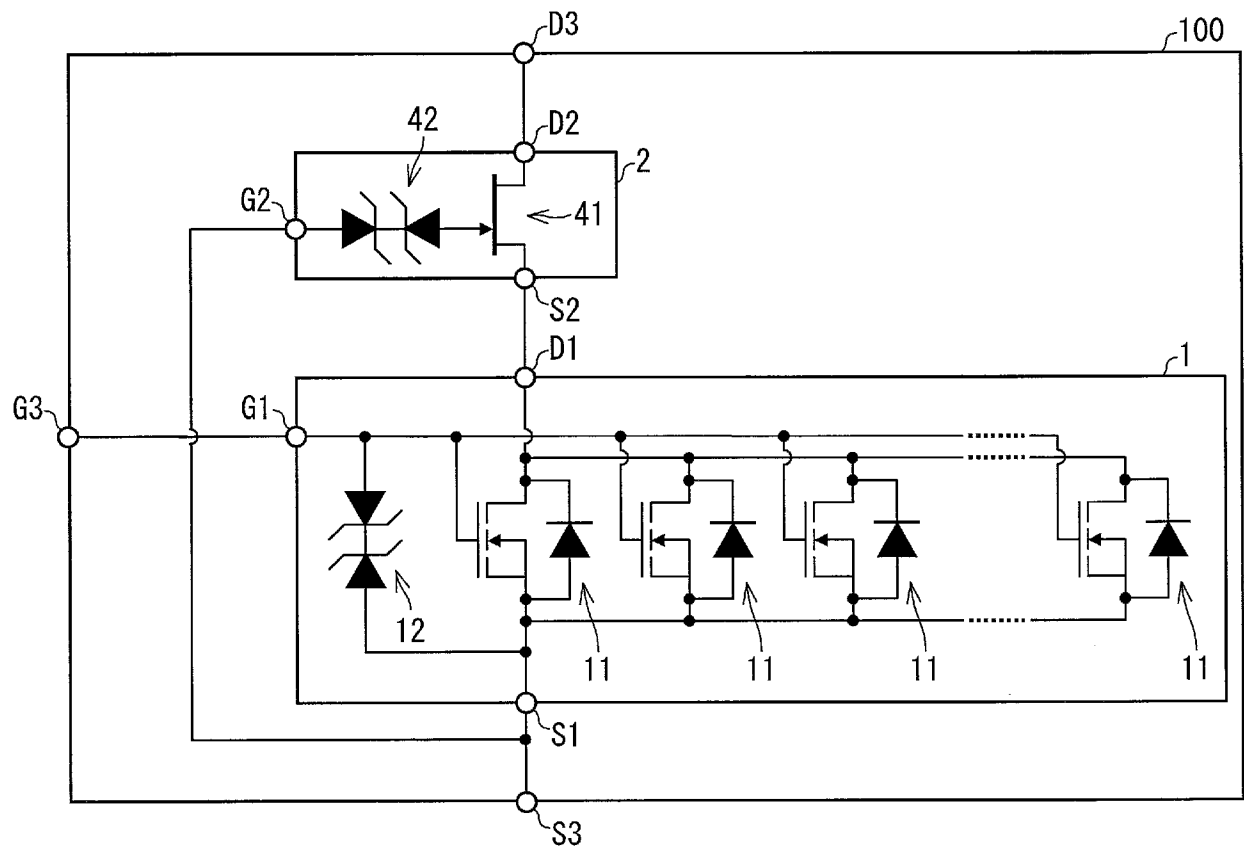
- | |
|---------------------|
| 1b, 2 : 半導体チップ |
| 100 : 半導体装置 |
| D1, D2, D3 : ドレイン端子 |
| G1, G2, G3 : ゲート端子 |
| S2, S3 : ソース端子 |
| S1b : 第2ソース端子 |

[図9]



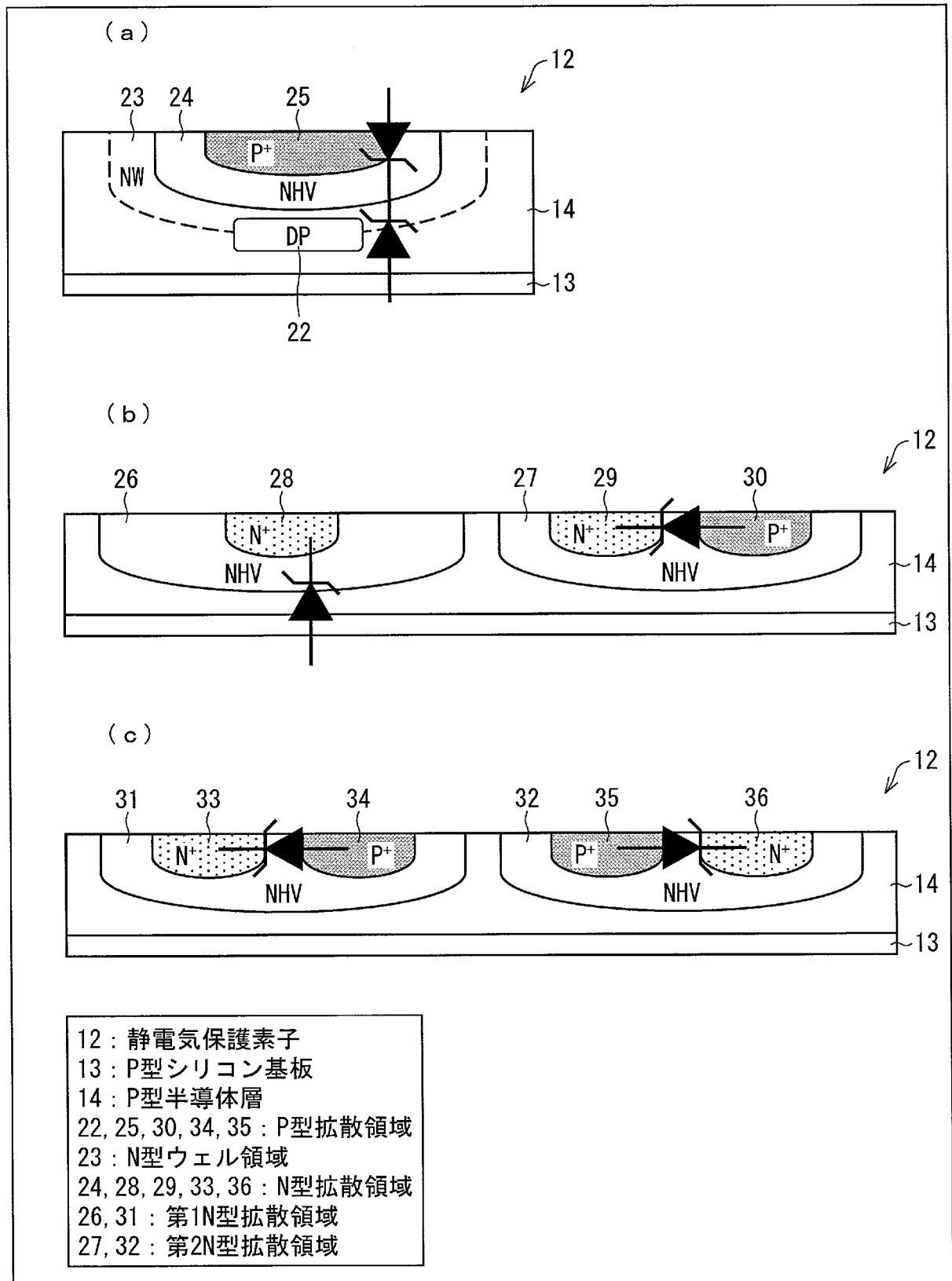
- 1, 2 : 半導体チップ
 11 : MOSFET
 12 : 静電気保護素子
 41 : MOSFET
 42 : 第2静電気保護素子
 100 : 半導体装置
 D1, D2, D3 : ドレイン端子
 G1, G2, G3 : ゲート端子
 S1, S2, S3 : ソース端子

[図10]



- 1, 2 : 半導体チップ
 11 : MOSFET
 12 : 静電気保護素子
 41 : MOSFET
 42 : 第2静電気保護素子
 100 : 半導体装置
 D1, D2, D3 : ドレイン端子
 G1, G2, G3 : ゲート端子
 S1, S2, S3 : ソース端子

[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053038

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/06(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i,
H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/78(2006.01)i,
H01L29/866(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/06, H01L21/329, H01L21/336, H01L21/822, H01L27/04, H01L29/78,
H01L29/866

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-93505 A (Sanyo Electric Co., Ltd.), 06 April 2006 (06.04.2006), paragraphs [0002] to [0006]; fig. 7 (Family: none)	1-5
Y	JP 2006-73655 A (Toshiba Corp.), 16 March 2006 (16.03.2006), paragraphs [0022], [0029] to [0033]; fig. 4 & US 2006/0044772 A1	1-5
Y	JP 2010-225930 A (Toshiba Corp.), 07 October 2010 (07.10.2010), paragraphs [0038] to [0042]; fig. 4 (Family: none)	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 April, 2014 (23.04.14)

Date of mailing of the international search report
13 May, 2014 (13.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/053038

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-64883 A (Fuji Electric Device Technology Co., Ltd.), 26 March 2009 (26.03.2009), paragraphs [0001] to [0004]; fig. 12, 13 (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/06(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i,
H01L27/04(2006.01)i, H01L29/78(2006.01)i, H01L29/866(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/06, H01L21/329, H01L21/336, H01L21/822, H01L27/04, H01L29/78, H01L29/866

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-93505 A（三洋電機株式会社）2006.04.06, 段落【0002】 - 【0006】, 図7（ファミリーなし）	1-5
Y	JP 2006-73655 A（株式会社東芝）2006.03.16, 段落【0022】, 【0029】 - 【0033】, 図4 & US 2006/0044772 A1	1-5
Y	JP 2010-225930 A（株式会社東芝）2010.10.07, 段落【0038】 - 【0042】, 図4（ファミリーなし）	5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 4 . 2 0 1 4

国際調査報告の発送日

1 3 . 0 5 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4 0 5 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-64883 A (富士電機デバイステクノロジー株式会社) 2009.03.26, 段落【0001】 - 【0004】, 図 12, 13 (ファミリーなし)	1-5