

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/778

H03K 17/00



[12] 发 明 专 利 说 明 书

专利号 ZL 02122846.9

[45] 授权公告日 2005 年 12 月 21 日

[11] 授权公告号 CN 1233042C

[22] 申请日 2002.6.7 [21] 申请号 02122846.9

[30] 优先权

[32] 2001.6.8 [33] JP [31] 173495/01

[71] 专利权人 三洋电机株式会社

地址 日本大阪府

[72] 发明人 浅野哲郎 榊原干人

审查员 樊晓东

[74] 专利代理机构 中国专利代理(香港)有限公司

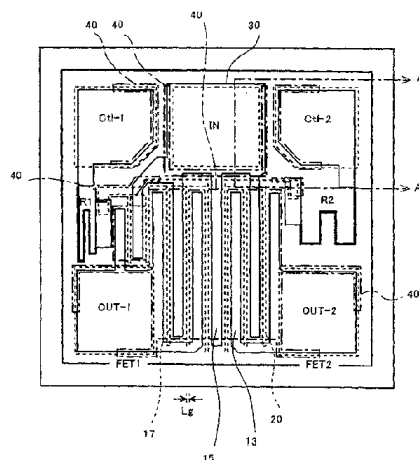
代理人 刘宗杰 叶恺东

权利要求书 2 页 说明书 11 页 附图 7 页

[54] 发明名称 化合物半导体开关电路装置

[57] 摘要

虽然省略旁路 FET 后大幅度地缩小了开关电路的芯片尺寸,但在扩展 FET 的栅宽的要求中,必须再次增加芯片尺寸。通过用 n+ 型杂质扩散区形成电阻并在邻接的衬垫和布线层下也形成 n+ 型杂质扩散区,可使各自的间隔减少到 4 微米。通过使曲折的电阻的配置的宽度变窄以有效地利用空间,在控制端子与输出端子之间配置全部的电阻和 FET 的一部分,可在同一芯片尺寸的原有状态下增加 FET 的栅宽。



1. 一种化合物半导体开关电路装置, 其中, 在沟道区的表面上形成设置了源电极、栅电极和漏电极的第1和第2FET, 将两FET的源电极或漏电极作为共用输入端子, 将两FET的漏电极或源电极作为第1和第2输出端子, 具有连接到上述两FET的栅电极上的第1和第2控制端子和分别连接上述两FET的栅电极与上述两控制端子的第1和第2电阻, 对两FET的栅电极施加控制信号, 使上述第1FET或上述第2FET导通, 在上述共用输入端子与上述第1输出端子之间或在上述共用输入端子与上述第2输出端子之间形成信号路径, 其特征在于:

减少至少一方的上述电阻的占有面积, 在空闲的区域中设置上述一方的FET的一部分。

2. 如权利要求1中所述的化合物半导体开关电路装置, 其特征在于:

将上述一方的FET定为上述信号路径的发送侧, 将另一方的FET用作上述信号路径的接收侧。

3. 如权利要求1或2中所述的化合物半导体开关电路装置, 其特征在于:

使至少一方的上述电阻的曲折的间隔变窄, 来减少占有面积。

4. 如权利要求1或2中所述的化合物半导体开关电路装置, 其特征在于:

在对应于上述一方的控制端子的衬垫与对应于输出端子的衬垫之间配置上述FET的一部分, 使该FET的栅宽增加。

5. 如权利要求1或2中所述的化合物半导体开关电路装置, 其特征在于:

上述电阻是将一种导电型的杂质扩散到衬底中而设置的高浓度区。

6. 如权利要求5中所述的化合物半导体开关电路装置, 其特征在于:

上述电阻互相邻接的分离距离为 $5\mu\text{m}$ 以下。

7. 如权利要求1或2中所述的化合物半导体开关电路装置, 其特征在于:

用扩散了一种导电型杂质的高浓度区形成上述电阻，在与上述共用输入端子、控制端子和输出端子对应的衬垫周围端部之下或衬垫的整个面之下或上述两 FET 的布线层周围端部之下或布线层的整个面之下设置扩散了其它一种导电型杂质的高浓度区。

- 5 8. 如权利要求 7 中所述的化合物半导体开关电路装置，其特征在于：

上述全部的高浓度区互相邻接的分离距离为 $5\mu\text{m}$ 以下。

9. 如权利要求 5 或 7 中所述的化合物半导体开关电路装置，其特征在于：

- 10 使用源区和漏区的扩散区作为上述高浓度区。

化合物半导体开关电路装置

技术领域

5 本发明涉及特别是用于高频开关用途的化合物半导体开关电路装置，特别是涉及用于 2.4GHz 频带以上的化合物半导体开关电路装置。

背景技术

在携带电话机等移动体通信装置中，大多使用了 GHz 频带的微波，在天线的切换电路或发送接收的切换电路等中，大多使用切换
10 这些高频信号用的开关元件（例如，特开平 9-181642 号）。作为该元件，因为处理高频的缘故，大多使用采用砷化镓（GaAs）的场效应晶体管（以下，称为 FET），伴随于此，对上述开关电路本身进行了集成化的单片微波集成电路（MMIC）正在得到进展。

图 4(A) 示出了 GaAs FET 的剖面图。在非掺杂的 GaAs 衬底 1
15 的表面部分上形成掺杂的 N 型的沟道区 2，在沟道区 2 的表面上配置进行肖特基接触的栅电极 3，在栅电极 3 的两侧配置了与 GaAs 进行欧姆接触的源、漏电极 4、5。在该晶体管中，利用栅电极 3 的电位在正下方的沟道区 2 内形成耗尽层，由此来控制源电极 4 与漏电极 5 之间的沟道电流。

20 图 4(B) 示出了使用了 GaAs FET 的被称为 SPDT(单刀双掷 Single Pole Double Throw) 的化合物半导体开关电路装置的原理的电路图。

第 1 和第 2 FET1、FET2 的源（或漏）连接到共用输入端子 IN 上，各 FET1、FET2 的栅经电阻 R1、R2 连接到第 1 和第 2 控制端子 Ct1-1、Ct1-2 上，而且，各 FET 的漏（或源）连接到第 1 和第 2 输出端子 OUT1、OUT2 上。施加到第 1 和第 2 控制端子 Ct1-1、Ct1-2
25 上的信号是互补信号，被施加了高电平的信号的 FET 导通，将施加到输入端子 IN 上的信号传递给某一方的输出端子。以防止高频信号经栅电极相对于成为交流接地的控制端子 Ct1-1、Ct1-2 的直流电位漏泄出来的目的而配置了电阻 R1、R2。

30 在图 5 中示出这样的化合物半导体开关电路装置的等效电路图。在微波中，以特性阻抗 50Ω 为基准，各端子的阻抗用 $R1 = R2 = R3 = 50\Omega$ 来表示。此外，如果将各端子的电位定为 V1、V2、V3，则用以

下的式子来表示插入损耗 (Insertion Loss) 和隔离度 (Isolation)。

$$\text{Insertion Loss} = 20\log (V_2/V_1) [\text{dB}]$$

这是从共用输入端子 IN 朝向输出端子 OUT1 传送信号时的插入损耗,

5
$$\text{Isolation} = 20\log (V_3/V_1) [\text{dB}]$$

这是从共用输入端子 IN 起在与输出端子 OUT2 之间的隔离度 (Isolation)。在化合物半导体开关电路装置中, 要求尽可能减少上述的插入损耗 (Insertion Loss), 提高隔离度 (Isolation), 串联地插入到信号路径中的 FET 的设计是重要的。使用 GaAs FET 作为该 FET 的原因是, 因为 GaAs 的电子迁移率比 Si 的电子迁移率高, 故电阻小, 可谋求低损耗, 因为 GaAs 衬底是半绝缘性衬底, 故适合于信号路径间的高隔离度化。另一方面, GaAs 衬底的价格比 Si 衬底的价格贵, 如果能用 Si 来制造 PIN 二极管那样的等效的器件, 则 GaAs 在成本竞争方面处于劣势。

15 在这样的化合物半导体开关电路装置中, 由于 FET 的沟道区 2 的电阻 R 如下式来表示:

$$R = 1/en\mu S [\Omega]$$

e: 电子电荷量 ($1.6 \times 10^{-19} \text{C/cm}^3$)

20 n: 电子载流子浓度

μ : 电子迁移率

S: 沟道区的剖面面积 (cm^2)

故为了尽可能减小电阻 R, 将沟道宽度设计成尽可能大, 使沟道区的剖面面积起到主要作用, 减小了插入损耗 (Insertion Loss)。

为此, 由栅电极 3 和沟道区 2 形成的肖特基接触引起的电容分量变大, 从此处开始, 高频的输入信号发生漏泄, 使隔离度 (Isolation) 恶化。为了避免这一点而设置了旁路 FET 以谋求隔离度 (Isolation) 的改善, 由于芯片尺寸变大, 成本提高, 故发展到置换为硅这样的廉价的芯片, 导致了丧失市场的结果。

因此, 开发了省略旁路 FET 以实现芯片的缩减的开关电路。

图 6 是示出栅宽为 400 微米的化合物半导体开关电路装置的电路

图。将第 1FET1 和第 2FET2 的源电极（或漏电极）连接到共用输入端子 IN 上，将 FET1 和 FET2 的栅电极分别经电阻 R1、R2 连接到第 1 和第 2 控制端子 Ct1-1、Ct1-2 上，而且，各 FET1 和 FET2 的漏电极（或源电极）连接到第 1 和第 2 输出端子 OUT1、OUT2 上。施加到第 1 和第 2 控制端子 Ct1-1、Ct1-2 上的信号是互补信号，被施加了高电平的信号的一侧的 FET 导通，将施加到输入端子 IN 上的信号传递给某一方的输出端子。以防止高频信号经栅电极相对于成为交流接地的控制端子 Ct1-1、Ct1-2 的直流电位漏泄出来的目的而配置了电阻 R1、R2。

图 6 中示出的电路是与在图 4 (B) 中示出的使用了 GaAs FET 的被称为 SPDT (单刀双掷 Single Pole Double Throw) 的化合物半导体开关电路装置的原理的电路大致相同的电路结构，将 FET1 和 FET2 的栅电极的栅宽 W_g 设计成 400 微米。使栅宽 W_g 比以往的栅宽 W_g 小这一点意味着增加 FET 的导通电阻，而且，通过减小栅电极的面积 ($L_g \times W_g$)，意味着栅电极与沟道区的肖特基结产生的寄生电容变小，在电路工作方面产生了大的差别。

图 7 示出了对该化合物半导体开关电路装置进行了集成化的化合物半导体芯片的 1 例。

在 GaAs 衬底上，在中央部上配置进行开关的 FET1 和 FET2，将电阻 R1、R2 连接到 FET 的栅电极上。此外，在衬底的周边设置了与输出端子 OUT1、OUT2、控制端子 Ct1-1、Ct1-2 对应的衬垫 (pad)。再有，用点线示出的第 2 层的布线是与各 FET 的栅电极形成时同时形成的栅金属层 (Ti/Pt/Au) 20，用实线示出的第 3 层的布线是进行各元件的连接和衬垫的形成的衬垫金属层 (Ti/Pt/Au) 30。在第 1 层衬底上进行欧姆接触的欧姆金属层 (AuGe/Ni/Au) 10 形成各 FET 的源电极、漏电极和各电阻两端的取出电极，在图 7 中，由于与衬垫金属层重叠，故未图示。

从图 7 可明白，构成部件只是与 FET1、FET2、电阻 R1、R2、共用输入端子 IN、输出端子 OUT1、OUT2、控制端子 Ct1-1、Ct1-2 对应的衬垫，由最小构成部件来构成。

此外，由于用栅宽为 400 微米来形成 FET1 (FET2 也相同)，故可减小芯片尺寸。即，在用一点划线包围的长方形的沟道区 12 中形

成图 7 中示出的 FET1。从下侧延伸的锯齿状的 2 条第 3 层衬垫金属层 30 是连接到输出端子 OUT1 上的源电极 13 (或漏电极), 在其下有用第 1 层欧姆金属层 10 形成的源电极 14 (或漏电极)。此外, 从上侧延伸的锯齿状的 2 条第 3 层衬垫金属层 30 是连接到共用输入端子 IN 上的漏电极 15 (或源电极), 在其下有用第 1 层欧姆金属层 10 形成的漏电极 14 (或源电极)。将该两电极配置成啮合锯齿的形状, 在其间在沟道区 12 上以 3 条锯齿形状配置了用第 2 层栅金属层 20 形成的栅电极 17。从上侧延伸的正中间的锯齿的的漏电极 13(或源电极)在 FET1 和 FET2 中被共用, 有助于进一步的小型化。在此, 栅宽为 400 微米的意思指的是 FET 的锯齿状的栅电极 17 的栅宽的总和分别是 400 微米。

其结果, 可将上述化合物半导体芯片的尺寸容纳于 $0.31\text{mm} \times 0.31\text{mm}^2$ 内。这意味着与现有的使用了旁路 FET 的情况的化合物半导体芯片尺寸相比, 可大幅度地缩小尺寸。

图 8 (A) 中示出放大了图 7 中示出的 FET1 的部分的平面图。在该图中, 在用一点划线包围的长方形的区域是在衬底 11 中形成的沟道区 12。从左侧延伸的锯齿状的 4 条第 3 层衬垫金属层 30 是连接到输出端子 OUT1 上的源电极 13 (或漏电极), 在其下有用第 1 层欧姆金属层 10 形成的源电极 14 (或漏电极)。此外, 从右侧延伸的锯齿状的 4 条第 3 层衬垫金属层 30 是连接到共用输入端子 IN 上的漏电极 15 (或源电极), 在其下有用第 1 层欧姆金属层 10 形成的漏电极 16 (或源电极)。将该两电极配置成啮合锯齿的形状, 在其间在沟道区 12 上以锯齿形状配置了用第 2 层栅金属层 20 形成的栅电极 17。

图 8 (B) 中示出该 FET 的一部分的剖面图。在衬底 11 中设置 n 型的沟道区 12 和在其两侧形成源区 18 和漏区 19 的 n+ 型杂质扩散区, 在沟道区 12 上设置栅电极 17, 在 n+ 型杂质扩散区上设置用第 2 层栅金属层 20 形成的漏电极 14 和源电极 16。再者, 如上所述, 在其上设置用第 3 层衬垫金属层 30 形成的漏电极 13 和源电极 15, 进行了各元件的布线等。

关于该开关电路, 在 2.4GHz 以上的高频频带中, 因使栅宽窄到 400 微米引起的插入损耗 (Insertion Loss) 是很微小的, 可知隔离度 (Isolation) 依存于 FET 的寄生电容而被改善, 通过优先地设计隔离

度，只要是 400 微米的栅宽 W_g ，就确保了 20dB 以上的隔离度 (Isolation)。

在图 7 中示出了实际的图形的化合物半导体开关电路装置中，将 FET1 和 FET2 设计成栅长 L_g 等于 0.5 微米、栅宽 W_g 等于 400 微米，控制沟道条件，以便具有不同的 I_{dss} ，通过将 FET1 和 FET2 分别作为发送侧用和接收侧用，确保了在发送侧使插入损耗 (Insertion Loss) 为 0.60dB、在发送侧、接收侧使隔离度 (Isolation) 为 20dB。该特性可作为使用了包含蓝牙 (以无线方式互相连接携带电话机、笔记本 PC、携带信息终端、数码相机等外围装置、使移动环境、商业环境提高的通信规格) 的 2.4GHz 频带 ISM Band (工业、科学和医用频带) 的频谱发送通信的应用领域中的 RF 开关而有效地利用。

这样，通过省略旁路 FET、而且将栅宽定为 400 微米，可大幅度地减少芯片尺寸。但是，用户的要求是多种多样的，在为了实现更大的最大线性输入功率的增加或隔离度的减少等而扩展 FET 的栅宽的情况下，图 7 中示出的 FET 的尺寸变大，结果，存在芯片尺寸变大的可能性。

但是，现在，硅半导体芯片的性能的提高也是惊人的，在高频频带中的利用的可能性越来越大。在以往，难以将硅芯片用于高频频带，故利用了高价的化合物半导体芯片，但如果硅半导体的利用的可能性增加，则当然晶片价格高的化合物半导体芯片在价格竞争方面处于劣势。为此，存在缩减芯片尺寸以抑制成本的必然性，芯片尺寸的减少是不可避免的。

发明内容

本发明是鉴于上述的各种情况而作成的，其目的在于提供一种能克服所述缺陷的化合物半导体开关电路装置。

本发明是一种化合物半导体开关电路装置，其中，在沟道区的表面上形成设置了源电极、栅电极和漏电极的第 1 和第 2 FET，将两 FET 的源电极或漏电极作为共用输入端子，将两 FET 的漏电极或源电极作为第 1 和第 2 输出端子，具有连接到上述两 FET 的栅电极上的第 1 和第 2 控制端子和分别连接上述两 FET 的栅电极与上述两控制端子的第 1 和第 2 电阻，对两 FET 的栅电极施加控制信号，使上述第 1 FET 或上述第 2 FET 导通，在上述共用输入端子与上述第 1 输出端子之间

或在上述共用输入端子与上述第 2 输出端子之间形成信号路径，其特征在于：减少至少一方的上述电阻的占有面积，在空闲的区域中设置上述一方的 FET 的一部分。通过在以往存在裕量的配置了电阻的区域中配置电阻的全部和 FET 的一部分，可在同一芯片尺寸中增加 FET 的栅宽。

附图说明

图 1 是说明本发明用的电路图。

图 2 是说明本发明用的平面图。

图 3 是说明本发明用的剖面图。

图 4 是说明现有例用的 (A) 剖面图、(B) 电路图。

图 5 是说明现有例用的等效电路图。

图 6 是说明现有例用的电路图。

图 7 是说明现有例用的平面图。

图 8 是说明现有例用的 (A) 平面图、(B) 剖面图。

具体实施方式

以下，参照图 1 至图 3 说明本发明的实施例。

图 1 是示出本发明的化合物半导体开关电路装置的电路图。将第 1FET1 和第 2FET2 的源电极（或漏电极）连接到共用输入端子 IN 上，将 FET1 和 FET2 的栅电极分别经电阻 R1、R2 连接到第 1 和第 2 控制端子 Ct1-1、Ct1-2 上，而且，各 FET1 和 FET2 的漏电极（或源电极）连接到第 1 和第 2 输出端子 OUT1、OUT2 上。施加到第 1 和第 2 控制端子 Ct1-1、Ct1-2 上的信号是互补信号，被施加了高电平的信号的一侧的 FET 导通，将施加到输入端子 IN 上的信号传递给某一方的输出端子。以防止高频信号经栅电极相对于成为交流接地的控制端子 Ct1-1、Ct1-2 的直流电位漏泄出来的目的而配置了电阻 R1、R2。

图 1 中示出的电路是与在图 4 (B) 中示出的使用了 GaAs FET 的被称为 SPDT（单极双摆幅 Single Pole Double Throw）的化合物半导体开关电路装置的原理的电路大致相同的电路结构，大的不同点是，第 1，这样来进行设计，即，成为发送侧（ON 侧）的 FET1 的栅电极的 r_1 为 500 微米，成为接收侧（OFF 侧）的 FET2 的栅电极的 r_2 为 400 微米以下。

在发送侧（ON 侧）FET 中，由于只有 I_{dss} 与最大线性输入功率

有关，故尽可能控制作为沟道区的离子注入条件的杂质浓度和加速电压，以增加 I_{dss} 。再者，通过将 r_{11} 定为比接收侧（OFF 侧）大的 500 微米，在发送侧（ON 侧）进一步增加 I_{dss} 。即，可使在栅宽 400 微米下不够的最大线性输入功率得到提高。

5 同时，对于接收侧（OFF 侧）FET，能耐受最大线性输入功率（不使高频信号漏泄出来）这一点也是重要的。即，如果不满足在发送侧（ON 侧）FET 中能输出最大线性功率的能力和在接收侧（OFF 侧）中能耐受最大线性输入功率的能力的任一项，则结果作为开关电路就不能输出最大线性功率。因此，在接收侧（OFF 侧），降低夹断电压
10 以便具有能耐受最大线性输入功率的能力。

即，通过将成为发送侧（ON 侧）的 FET 的栅宽定为 500 微米，成为接收侧（OFF 侧）的 FET 的栅宽定为 400 微米，作为在传送率高的无线 LAN 中采用的开关电路，可实现 22dBm 的最大线性功率的输入。再者，在本发明中重要之点是，即使增大 FET 以增加最大线
15 性输入功率，与使用 400 微米的情况相比，芯片尺寸也不变。

图 2 示出了对本发明的化合物半导体开关电路装置进行了集成化的化合物半导体芯片的 1 例。

在 GaAs 衬底上，在中央部上配置进行开关的 FET1 和 FET2，将电阻 R1、R2 连接到 FET 的栅电极上。此外，在衬底的周边设置了
20 与输出端子 OUT1、OUT2、控制端子 Ct1-1、Ct1-2 对应的衬垫。再有，用点线示出的第 2 层的布线是与各 FET 的栅电极形成时同时形成的栅金属层（Ti/Pt/Au）20，用实线示出的第 3 层的布线是进行各元件的连接和衬垫的形成的衬垫金属层（Ti/Pt/Au）30。在第 1 层衬底上进行欧姆接触的欧姆金属层（AuGe/Ni/Au）10 形成各 FET 的源
25 电极、漏电极和各电阻两端的取出电极，在图 2 中，由于与衬垫金属层重叠，故未图示。

从图 2 可明白，构成部件只是与 FET1、FET2、电阻 R1、R2、共用输入端子 IN、输出端子 OUT1、OUT2、控制端子 Ct1-1、Ct1-2 对应的衬垫，由最小构成部件来构成。

30 由于对于 FET2 来说，与图 7 相同，故省略说明，但在 FET1 中，从下侧延伸的锯齿状的 3 条第 3 层衬垫金属层 30 是连接到输出端子 OUT1 上的源电极 13（或漏电极），在其下有用第 1 层欧姆金属层 10

形成的源电极 14 (或漏电极)。此外, 从上侧延伸的锯齿状的 3 条第 3 层衬垫金属层 30 是连接到共用输入端子 IN 上的漏电极 15 (或源电极), 在其下有用第 1 层欧姆金属层 10 形成的漏电极 14 (或源电极)。将该两电极配置成啮合锯齿的形状, 在其间在沟道区 12 上以 5 条锯齿形状配置了用第 2 层栅金属层 20 形成的栅电极 17。再有, 从上侧延伸的正中间的锯齿的的漏电极 13 (或源电极) 在 FET1 和 FET2 中被共用, 有助于进一步的小型化。栅宽为 500 微米的意思指的是 FET 的锯齿状的栅电极 17 的栅宽的总和是 500 微米。

此外, 通过减少电阻 R1 的占有面积、在空闲的区域中扩展地配置 FET1, 可使 FET1 的栅宽增加。

电阻 R1、R2 是 n+ 型杂质扩散区, 与源和漏区的形成同时地被形成。此外, 在共用输入端子衬垫、控制端子 Ct1-1 衬垫、Ct1-2 衬垫、输出端子 OUT1 衬垫、OUT2 衬垫和两 FET 的栅电极的周围端部之下, 也设置了由一点划线所示那样的 n+ 型杂质扩散区 (在栅电极的周围端部中与栅电极重叠, 未图示)。在此, 也可不仅在周围端部、而且在各衬垫和两 FET 的栅电极之下的整个面上设置 n+ 型杂质扩散区。这些 n+ 型杂质扩散区与源和漏区的形成同时地被形成这些 n+ 型杂质扩散区与电阻 R1、R2 互相邻接的部分的分离距离为 4 微米。

其原因虽然在后面叙述, 但利用该 n+ 型杂质扩散区, 可使与互相邻接的各衬垫、布线层和电阻的分离距离接近于可确保 20dBm 的隔离度的极限值附近的 4 微米。虽然电阻 R1 曲折地被配置, 但其邻接的电阻 R1 相互间的间隔也可接近于 4 微米。

如果电阻 R1 能互相接近于 4 微米的分离距离而曲折地分布, 则由此在构成了裕量的区域中、在与 FET1 的周围配置的控制端子 Ct1-1 和输出端子 OUT1 对应的衬垫之间, 可扩展 100 微米地配置 FET1 的栅电极、源电极和漏电极。与 FET2 一侧相比可明白, 通过减少电阻 R1 的占有面积、有效地利用空间来配置电阻 R1 的全部和 FET1 的一部分, 既可使栅宽为 500 微米, 又可在与栅宽为 400 微米的 FET2 为同一的面积中进行配置。即, 可容纳于与现有的两 FET 都采用了 400 微米的栅宽的 FET 的开关电路为同一的芯片尺寸内。

接着, 说明大幅度地缩小各衬垫与布线层和电阻的分离距离的情

况。

为了确保规定的隔离度所必要的分离距离来设置各衬垫、布线层和电阻。即,在化合物半导体开关电路装置中所要求的隔离度为 20dB 以上,从实验上看,如果有 4 微米的分离距离,则对于确保 20dB 以上的隔离度来说是足够的。

虽然其理论根据还是不足的,但现在因为将半绝缘 GaAs 衬底作为绝缘基板来考虑,故可认为耐压是无限大。但是,如果进行实测,则可知耐压是有限的。因此,耗尽层在半绝缘 GaAs 衬底中延伸,由于与高频信号对应的耗尽层距离的变化的缘故,如果到达耗尽层邻接的电极,则可认为在此处发生高频信号的漏泄。但是,如果在邻接的图形的邻接的一侧的周围端部上设置 n+ 型杂质扩散区并将该分离距离定为 4 微米,则推断了对于确保 20dB 以上的隔离度是足够的。此外,即使在电磁场模拟中,如果设置了约 4 微米的分离距离,则可知在 2.4GHz 下能得到约 40dB 的隔离度。

在图 3 中示出图 2 的 A-A 线的剖面图。关于共用输入端子的衬垫,如图 3 中所示,在衬底 11 中设置沿其周围端部设置的 n+ 型杂质扩散区 40 (在图 2 中用一点划线示出)。此外,在用栅金属层 20 形成的布线层 42 的周围端部之下,也在衬底 11 中设置 n+ 型杂质扩散区 40,隔离了布线层 42 和衬垫与衬底 11。该 n+ 型杂质扩散区 40 可设置在衬垫和布线层正下方的整个面上,有防止对衬垫施加的高频信号经衬底 11 传递给布线层 42 的作用即可。此外,在图 3 中示出的是共用输入端子的衬垫部分,但控制端子 Ct1-1、Ct1-2 和输出端子 OUT1、OUT2 的衬垫部分也是同样的结构。

以防止高频信号经栅电极相对于成为交流接地的控制端子 Ct1-1、Ct1-2 的直流电位漏泄出来的目的而配置了电阻 R1、R2。但是,如果控制端子 Ct1-1、Ct1-2 的衬垫与布线层 42 过分接近,则高频信号在从布线层 42 扩展的耗尽层中直接传递给控制端子 Ct1-1、Ct1-2 的衬垫,布线层 42 的高频信号漏泄到成为交流接地的控制端子 Ct1-1、Ct1-2 中。在布线层 42 下设置的 n+ 型杂质扩散区 40 的耗尽层从布线层 42 扩展到衬底,防止高频信号漏泄到邻接的图形中。

由于在各衬垫和布线层 42 下的衬底 11 的表面上设置了 n+ 型杂质扩散区 40,电阻 R1 和 R2 也用 n+ 型杂质扩散区 40 来形成,故与

没有掺杂的衬底 11 (虽然是半绝缘性的, 但衬底电阻值为 $1 \times 10^7 \Omega \cdot \text{cm}$) 表面不同, 杂质浓度变高 (离子种类为 29Si^+ , 浓度为 $1 \sim 5 \times 10^8 \text{cm}^{-3}$)。由此, 由于没有朝向各衬垫、布线层 42、电阻延伸的耗尽层, 故通过将邻接的衬垫、布线层、电阻相互的分离距离定为 4 微米, 可充分地确保隔离度为 20dB。

此外, 从图 2 可明白, 关于共用输入端子 IN 的衬垫, 除了上边外, 沿 3 边设置了 n+ 型杂质扩散区 40, 关于输出端子 OUT1、OUT2 的衬垫, 留下 GaAs 衬底的角部的一部分, 沿 4 边以 C 字状设置了 n+ 型杂质扩散区 40, 关于控制端子 Ct1-1、Ct1-2 的衬垫, 除了 GaAs 衬底的角部的一部分和与电阻 R1、R2 的部分外, 沿变形的五角形的 4 边以 C 字状设置了 n+ 型杂质扩散区 40。不设置 n+ 型杂质扩散区 40 的部分都是面对 GaAs 衬底的周围端部的部分, 即使耗尽层扩展, 与邻接的衬垫也有足够的分离距离, 是高频信号的漏泄不成为问题的部分。

因而, 由于 5 个衬垫占了半导体芯片的接近一半的部分, 故如果采用表面的布线层的结构, 则可将布线层和电阻配置到衬垫附近, 可扩展半导体芯片内的空间。即, 在芯片尺寸相同的情况下, 可增加 FET 的栅宽。

其结果, 可将本发明的化合物半导体芯片的尺寸容纳于 $0.31 \times 0.31 \text{mm}^2$ 内。该尺寸是与现有的采用了具有 400 微米的栅宽的 FET 的开关电路的化合物半导体芯片的尺寸相同的芯片尺寸。

由于 FET1 和 FET2 的放大图和剖面结构与图 8 中示出的现有的 FET 的放大图和剖面结构相同, 故省略其说明。此外, 在本发明的实施例中, 作为本发明的构成要素的 FET 是沟道区的浓度和加速电压等的沟道形成条件或栅宽不同的 FET, 但关于 FET 的特性, 不限于在此示出的特性。此外, FET 的特性也可以相同。

此外, 在本发明的实施例中, 说明了关于一方的 FET 的配置, 但也可以对于两方的 FET 来实施。

再者, 可与全部源和漏区形成的同时形成 n+ 型杂质扩散区, 也可以是利用另外的工序形成的区域。再者, 也可以是分别由不同的工序形成的 n+ 型杂质扩散区。

如以上所详细地叙述的那样, 按照本发明可得到以下的各种效

果。

第 1, 通过在 n+ 型杂质扩散区中设置电阻, 在占据半导体芯片尺寸的近一半的部分的衬垫正下方和 FET 的布线层下或各自的周围端部上设置 n+ 型杂质扩散区, 可使衬垫、布线层和电阻分别邻接的分离距离狭窄到能确保规定的隔离度的极限。由此, 由于能将曲折了的电阻 R1 相互邻接的分离距离配置成接近于 4 微米, 故可减少配置电阻的占有面积。即, 可有效地利用该部分的空间, 可将 FET1 的栅电极、源电极和漏电极的一部分以及电阻 R1 的全部配置在与在 FET1 的周围配置的控制端子 Ct1-1 和输出端子 OUT1 对应的衬垫之间。

即使与 FET2 一侧比较也可明白, 通过有效地利用电阻部分的空间来配置电阻 R1 的全部和 FET1 的一部分, 既可以是使栅宽为 500 微米以增加 Idss 的 FET1, 又可在与栅宽为 400 微米的 FET2 为同一的面积中进行配置。即, 具有可将能得到 22dBm 的最大线性输入功率的开关电路容纳于与现有的两 FET 都采用了 400 微米的栅宽的 FET 的开关电路为同一的芯片尺寸内的优点。

第 2, 如上所述, 通过实现最小构成部件、衬垫和布线层与电阻的分离距离的缩小, 可实现半导体芯片尺寸的缩小, 也可大幅度地提高与硅半导体芯片的价格竞争力。此外, 由于能减小芯片尺寸, 故可安装在比现有的小型封装体 (MCP6 大小为 $2.1\text{mm} \times 2.0\text{mm} \times 0.9\text{mm}$) 更小型的封装体 (SMCP 大小为 $1.6\text{mm} \times 1.6\text{mm} \times 0.75\text{mm}$) 内。

第 3, 在本发明的化合物半导体开关电路装置中, 由于能设计成省略旁路 FET, 故最小构成部件由与 FET1、FET2、电阻 R1、R2、共用输入端子 IN、输出端子 OUT1、OUT2、控制端子 Ct1-1、Ct1-2 对应的衬垫来构成, 具有能由最小构成部件来构成的优点。

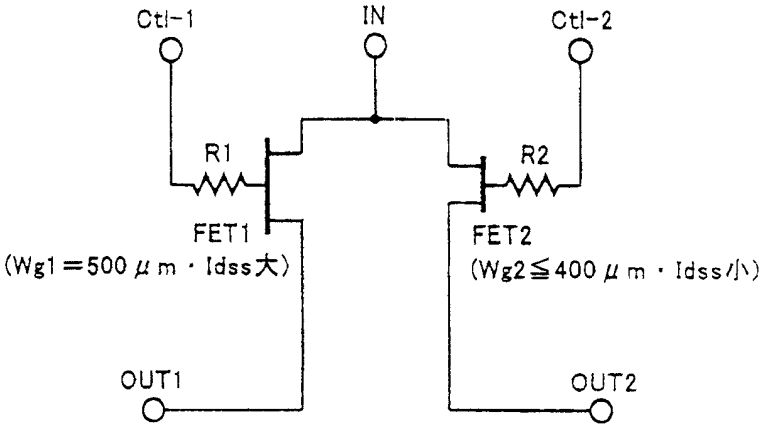


图 1

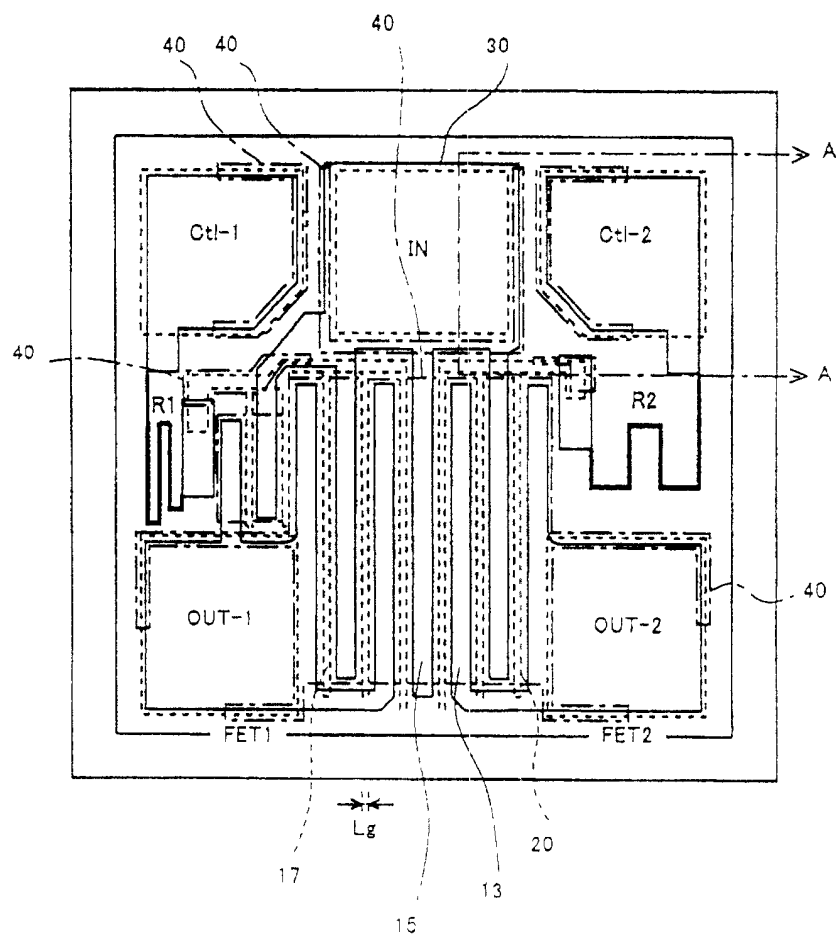


图 2

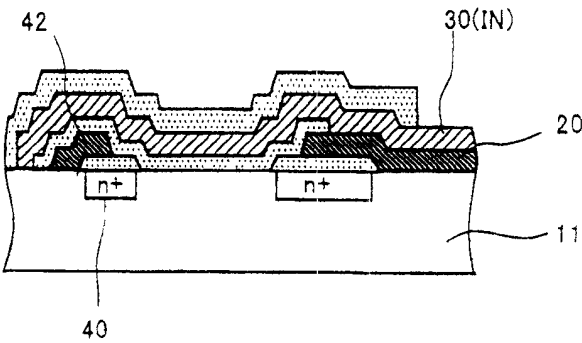


图 3

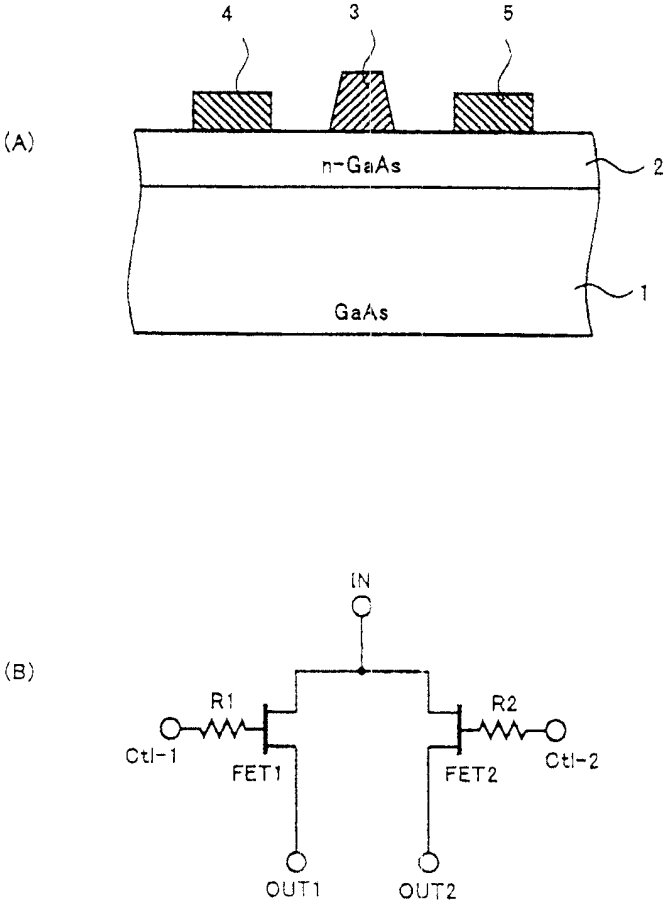


图 4

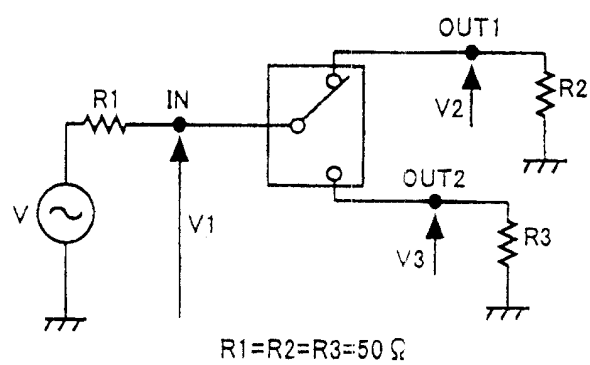


图 5

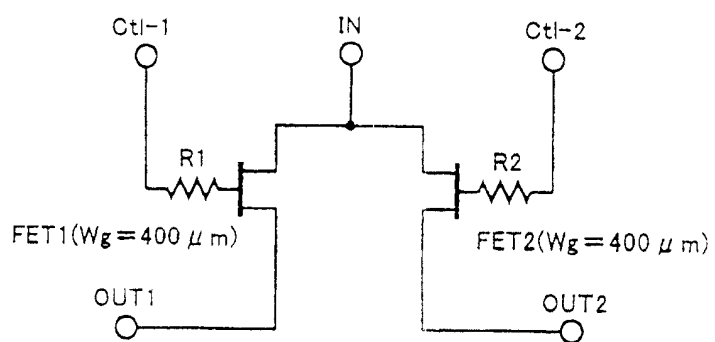


图 6

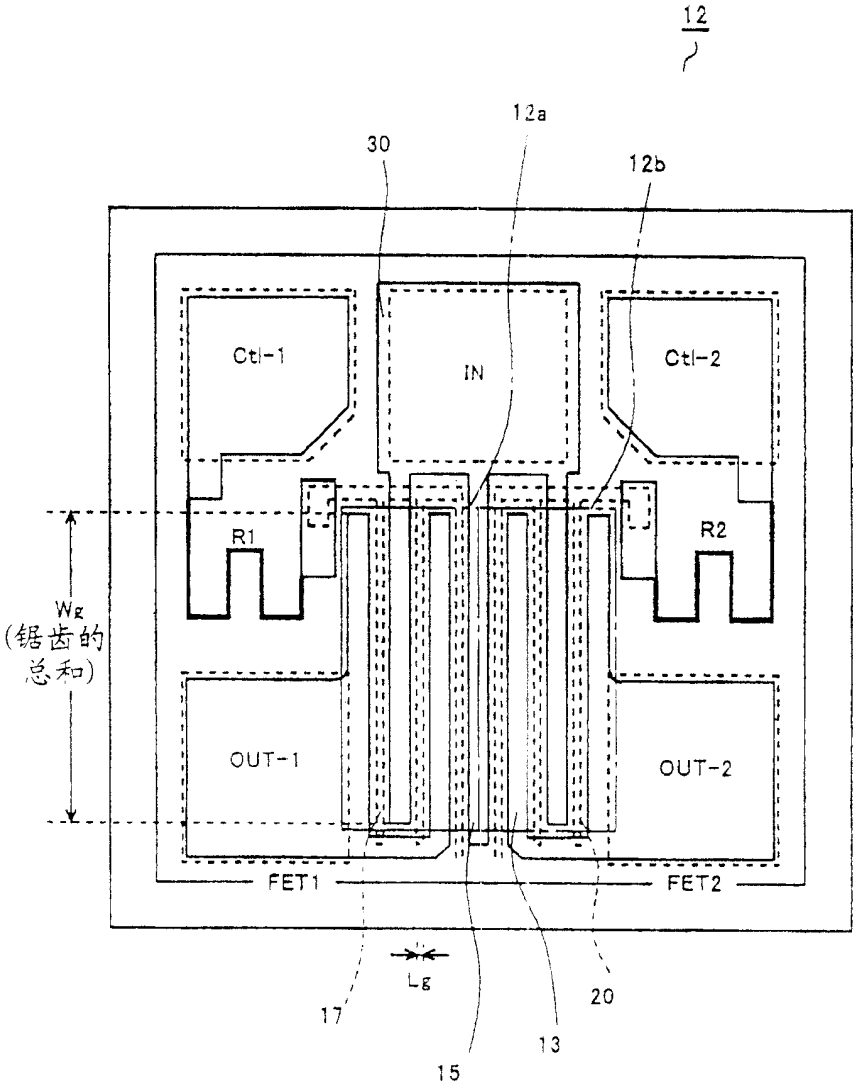


图 7

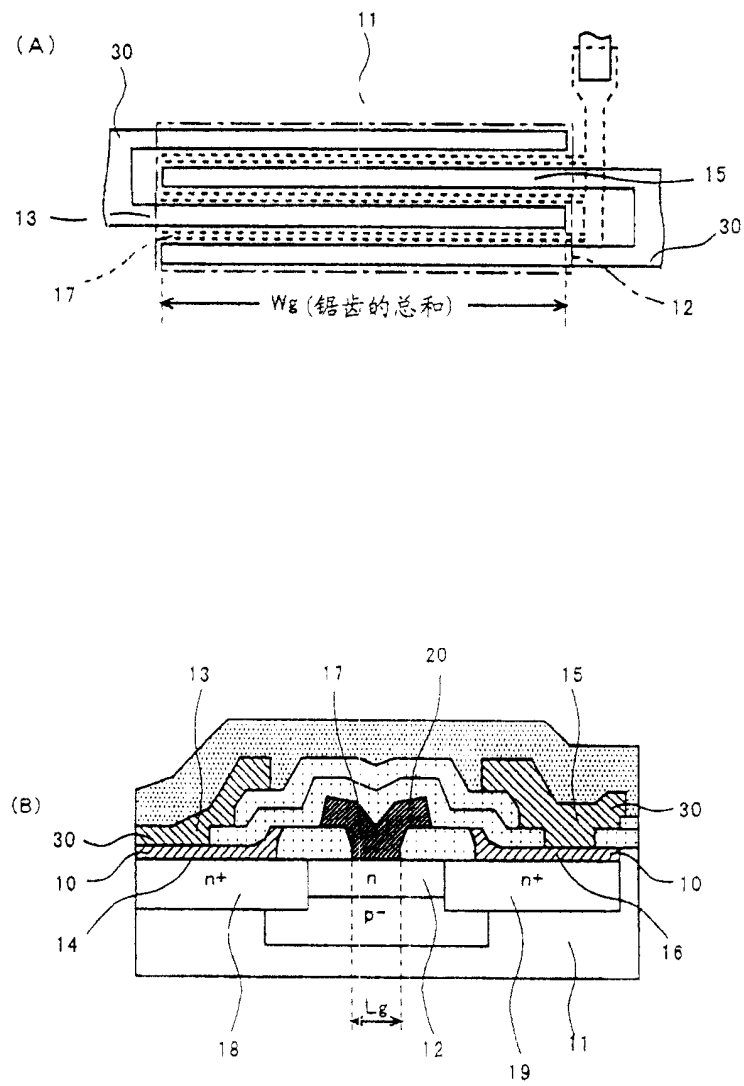


图 8