

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年6月19日(2008.6.19)

【公開番号】特開2006-12163(P2006-12163A)

【公開日】平成18年1月12日(2006.1.12)

【年通号数】公開・登録公報2006-002

【出願番号】特願2005-179948(P2005-179948)

【国際特許分類】

G 0 6 F 9/38 (2006.01)

G 0 6 F 9/30 (2006.01)

G 0 6 F 9/34 (2006.01)

【F I】

G 0 6 F 9/38 3 1 0 X

G 0 6 F 9/38 3 1 0 G

G 0 6 F 9/38 3 7 0 B

G 0 6 F 9/38 3 7 0 C

G 0 6 F 9/30 3 7 0

G 0 6 F 9/34 3 3 0

【手続補正書】

【提出日】平成20年5月1日(2008.5.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

実行するための命令を選択及びデコードする命令ロジックと、  
前記命令によって指定されたオペレーションを遂行する実行ロジックと、  
前記命令からのレジスタ識別子を使用して参照されるレジスタ・データを記憶する複数の  
のレジスタと、

を含み、

前記複数のレジスタが複数のレベルとして編成され、

前記複数のレベルが、

(a) 第 1 のアクセス待ち時間及び第 1 の数のレジスタを有する第 1 レベルと、

(b) 第 2 のアクセス待ち時間及び第 2 の数のレジスタを有し、前記第 2 のアクセス待ち時間が前記第 1 のアクセス待ち時間よりも長く、前記第 2 の数のレジスタが前記第 1 の数のレジスタよりも多い、第 2 レベルとを含み、

前記実行ロジックへの入力に対して、前記第 1 レベルのレジスタからの出力及び前記第 2 レベルのレジスタからの出力のいずれか 1 つを選択するための実行入力選択ロジックを含む、

デジタル・データ処理装置。

【請求項 2】

前記第 1 レベルの前記レジスタに含まれたレジスタ・データが前記第 2 レベルの前記レジスタに含まれたレジスタ・データのサブセットである、請求項 1 に記載のデジタル・データ処理装置。

【請求項 3】

前記第 1 レベルの各レジスタが、前記第 2 レベルのレジスタの複数の個別のサブセット

における対応するサブセットのレジスタの内容を記憶し、前記対応するサブセットのレジスタが前記第 2 レベルの複数のレジスタを含む、請求項 2 に記載のデジタル・データ処理装置。

【請求項 4】

前記第 1 レベルの唯一のレジスタが前記第 2 レベルの前記レジスタの前記対応するサブセットのそれぞれに対応する、請求項 3 に記載のデジタル・データ処理装置。

【請求項 5】

前記第 1 レベルの前記レジスタの各々が、最近参照された前記第 2 レベルのレジスタの対応するサブセットのレジスタの内容を記憶する、請求項 4 に記載のデジタル・データ処理装置。

【請求項 6】

前記レジスタ識別子の各々が N ビットからなり、前記第 1 レベルの前記レジスタが前記レジスタ識別子の M ビット部分を使用してアクセスされる（但し、 $N > M > 1$ ）、請求項 1 に記載のデジタル・データ処理装置。

【請求項 7】

前記第 1 レベルの各レジスタは、該レジスタをアクセスする際に使用される前記レジスタ識別子の M ビット部分の値と等しい値をその M ビット部分に有する複数のレジスタ識別子により各々参照される複数の前記第 2 レベルのレジスタのサブセットのうちのいずれかのレジスタの内容を記憶する、請求項 6 に記載のデジタル・データ処理装置。

【請求項 8】

前記第 1 レベルの前記レジスタに書き込むために前記実行ロジックに生成された複数の結果の 1 つを選択するための結果選択ロジックを更に含み、

前記結果選択ロジックが前記第 2 レベルの前記レジスタの少なくとも 1 つの出力を入力として更に受ける、請求項 1 に記載のデジタル・データ処理装置。

【請求項 9】

命令の選択されたシーケンスに対する前記第 1 レベルのレジスタからの出力をディセーブルするために前記実行入力選択ロジックを制御する、請求項 1 に記載のデジタル・データ処理装置。

【請求項 10】

前記実行入力選択ロジックの制御は、前記第 1 レベルのレジスタの参照において検出された無効データの比率を動的に監視し、監視結果に基づいて行う、請求項 9 に記載のデジタル・データ処理装置。

【請求項 11】

前記第 1 レベルのレジスタからの出力が有効である場合に前記出力を選択し、前記第 1 レベルのレジスタからの出力が有効でない場合に前記第 2 レベルのレジスタからの出力を選択するように前記実行入力選択ロジックを制御する、請求項 1 に記載のデジタル・データ処理装置。

【請求項 12】

前記命令ロジックが、実行のための命令を複数のスレッドから同時に選択及びデコードし、

前記複数のレジスタが複数のレジスタ・セットを含み、前記レジスタ・セットの各々が前記複数のスレッドにおけるそれぞれのスレッドに対応し且つ前記第 1 レベルのレジスタ及び前記第 2 レベルのレジスタを含む、

請求項 1 に記載のデジタル・データ処理装置。

【請求項 13】

前記命令ロジックが単一のクロック・サイクルにおいて実行するための複数の命令をディスパッチすることができる、請求項 1 に記載のデジタル・データ処理装置。

【請求項 14】

複数の汎用レジスタとスカラ・データを処理するための実行ロジックとを有する実行ユニットと、

複数のオペランド・セットに関するオペレーションを並行して遂行するためのベクトル処理サブユニットと、

を更に含み、

前記ベクトル処理サブユニットが複数のレベルとして編成された前記複数のレジスタを含む、請求項 1 に記載のデジタル・データ処理装置。

【請求項 15】

単一の半導体チップとして具現化される、請求項 1 に記載のデジタル・データ処理装置。

【請求項 16】

命令を含むデータを記憶するためのメモリと、

前記メモリからの命令を実行するための少なくとも 1 つのプロセッサと、

を含み、

前記プロセッサが、

(a) 実行するための命令を選択及びデコードする命令ロジックと、

(b) 前記命令によって指定されたオペレーションを遂行する実行ロジックと、

(c) 前記命令からのレジスタ識別子を使用して参照されるレジスタ・データを記憶する複数のレジスタと、

を含み、

前記複数のレジスタが複数のレベルとして編成され、

前記複数のレベルが、

(i) 第 1 のアクセス待ち時間及び第 1 の数のレジスタを有する第 1 レベルと、

(ii) 第 2 のアクセス待ち時間及び第 2 の数のレジスタを有し、前記第 2 のアクセス待ち時間が前記第 1 のアクセス待ち時間よりも長く、前記第 2 の数のレジスタが前記第 1 の数のレジスタよりも多い、第 2 レベルとを含み、

前記実行ロジックへの入力に対して、前記第 1 レベルのレジスタからの出力及び前記第 2 レベルのレジスタからの出力のいずれか 1 つを選択するための実行入力選択ロジックを含む、

コンピュータ・システム。

【請求項 17】

前記第 1 レベルの前記レジスタに含まれたレジスタ・データが前記第 2 レベルの前記レジスタに含まれたレジスタ・データのサブセットである、請求項 16 に記載のコンピュータ・システム。

【請求項 18】

前記第 1 レベルの各レジスタが、前記第 2 レベルのレジスタの複数の個別のサブセットの対応するサブセットのレジスタの内容を記憶し、前記対応するサブセットのレジスタが前記第 2 レベルの複数のレジスタを含む、請求項 17 に記載のコンピュータ・システム。

【請求項 19】

前記第 1 レベルの唯一のレジスタが前記第 2 レベルの前記レジスタの前記対応するサブセットのそれぞれに対応する、請求項 18 に記載のコンピュータ・システム。

【請求項 20】

前記第 1 レベルの前記レジスタの各々が、最近参照された前記第 2 レベルのレジスタの対応するサブセットのレジスタの内容を記憶する、請求項 19 に記載のコンピュータ・システム。

【請求項 21】

前記レジスタ識別子の各々が N ビットからなり、前記第 1 レベルの前記レジスタが前記レジスタ識別子の M ビット部分を使用してアクセスされる（但し、 $N > M > 1$ ）、請求項 16 に記載のコンピュータ・システム。

【請求項 22】

前記第 1 レベルの各レジスタは、該レジスタをアクセスする際に使用される前記レジスタ識別子の M ビット部分の値と等しい値をその M ビット部分に有する複数のレジスタ識別

子により各々参照される複数の前記第 2 レベルのレジスタのサブセットのうちのいずれかのレジスタの内容を記憶する、請求項 2 1 に記載のコンピュータ・システム。

【請求項 2 3】

前記プロセッサが、前記第 1 レベルの前記レジスタに書き込むために前記実行ロジックに生成された複数の結果の 1 つを選択するための結果選択ロジックを更に含み、前記結果選択ロジックが、前記第 2 レベルの前記レジスタの少なくとも 1 つの出力を入力として更に受ける、請求項 1 6 に記載のコンピュータ・システム。

【請求項 2 4】

前記プロセッサが、命令の選択されたシーケンスに対する前記第 1 レベルのレジスタからの出力をディセーブルするために前記実行入力選択ロジックを制御する、請求項 1 6 に記載のコンピュータ・システム。

【請求項 2 5】

前記実行入力選択ロジックの制御は、前記第 1 レベルのレジスタの参照において検出された無効データの比率を動的に監視し、監視結果に基づいて行う、請求項 2 4 に記載のコンピュータ・システム。

【請求項 2 6】

前記プロセッサは、前記第 1 レベルのレジスタからの出力が有効である場合に前記出力を選択し、前記第 1 レベルのレジスタからの出力が有効でない場合に前記第 2 レベルのレジスタからの出力を選択するように前記実行入力選択ロジックを制御する、請求項 1 6 に記載のコンピュータ・システム。

【請求項 2 7】

前記命令ロジックが、実行のための命令を複数のスレッドから同時に選択及びデコードし、

前記複数のレジスタが複数のレジスタ・セットを含み、前記レジスタ・セットの各々が前記複数のスレッドにおけるそれぞれのスレッドに対応し且つ前記第 1 レベルのレジスタ及び前記第 2 レベルのレジスタを含む、

請求項 1 6 に記載のコンピュータ・システム。

【請求項 2 8】

複数のプロセッサを含み、

前記プロセッサの各々が、

( a ) 実行するための命令を選択及びデコードする命令ロジックと、

( b ) 前記命令によって指定されたオペレーションを遂行する実行ロジックと、

( c ) 前記命令からのレジスタ識別子を使用して参照されるレジスタ・データを記憶する複数のレジスタと、

を含み、

前記複数のレジスタが複数のレベルとして編成され、

前記複数のレベルが、

( i ) 第 1 のアクセス待ち時間及び第 1 の数のレジスタを有する第 1 レベルと、

( ii ) 第 2 のアクセス待ち時間及び第 2 の数のレジスタを有し、前記第 2 のアクセス待ち時間が前記第 1 のアクセス待ち時間よりも長く、前記第 2 の数のレジスタが前記第 1 の数のレジスタよりも多い、第 2 レベルとを含み、

前記実行ロジックへの入力に対して、前記第 1 レベルのレジスタからの出力及び前記第 2 レベルのレジスタからの出力のいずれか 1 つを選択するための実行入力選択ロジックを含む、

コンピュータ・システム。

【請求項 2 9】

前記メモリに含まれたデータの選択的部分を一時的に記憶するためのキャッシュ・メモリを更に含む、請求項 1 6 に記載のコンピュータ・システム。