



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 196 54 738 B4 2004.11.11**

(12)

Patentschrift

(21) Aktenzeichen: **196 54 738.5**
 (22) Anmeldetag: **30.12.1996**
 (43) Offenlegungstag: **03.07.1997**
 (45) Veröffentlichungstag
 der Patenterteilung: **11.11.2004**

(51) Int Cl.7: **H01L 21/8238**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:
67325/95 29.12.1995 KR

(71) Patentinhaber:
LG Semicon Co., Ltd., Cheongju,
Chungcheongbuk, KR

(74) Vertreter:
WUESTHOFF & WUESTHOFF Patent- und
Rechtsanwälte, 81541 München

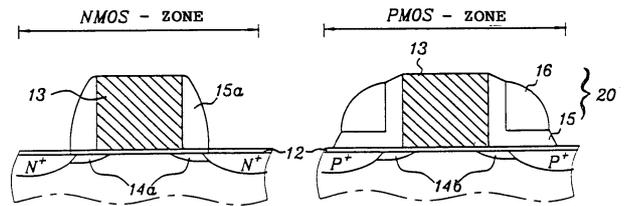
(72) Erfinder:
Son, Jeong-Hwan, Daejon, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 41 26 747 C2
DE 41 10 645 A1
US 56 54 212
US 45 77 391
EP 05 38 054 A1

(54) Bezeichnung: **Verfahren zum Herstellen einer Halbleitervorrichtung**

(57) Hauptanspruch: Verfahren zum Herstellen einer Halbleitervorrichtung, mit folgenden Schritten:

- A) Erzeugen eines Gateisolierfilmes (12) auf einem Halbleitersubstrat (11), das einen ersten und einen zweiten Bereich aufweist,
- B) Erzeugen von ersten und zweiten Gateelektroden (13) in dem ersten bzw. zweiten Bereich auf dem Substrat (11),
- C) Erzeugen einer ersten leitenden Fremdstoffzone (14a) niedriger Konzentration in dem ersten Bereich an den Seiten der ersten Gateelektrode (13),
- D) Erzeugen einer zweiten leitenden Fremdstoffzone (14b) niedriger Konzentration in dem zweiten Bereich an den Seiten der zweiten Gateelektrode (13),
- E) Erzeugen eines ersten Isolierfilmes (15) auf dem Substrat (11) mit den darauf angeordneten ersten und zweiten Gateelektroden (13) und eines zweiten Isolierfilmes (16), der im Vergleich zu dem ersten Isolierfilm (15) eine unterschiedliche Ätzselektivität aufweist, auf dem ersten Isolierfilm (15),
- F) Strippen des zweiten Isolierfilmes (16) in dem ersten Bereich, wobei die unterschiedliche Ätzselektivität des ersten und des zweiten Isolierfilms...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf ein Verfahren zum Herstellen einer Halbleitervorrichtung, das insbesondere eine Kurzkanaleigenschaft zu verbessern und das Ansteuervermögen für den elektrischen Strom der Vorrichtung zu steigern vermag, indem die Dicke von Seitenwand-Abstandsgliedern, die an den Seiten eines Polysilicium-Gates in nMOS- und pMOS-Bereichen ausgebildet sind, verschieden gestaltet wird.

[0002] Da gewöhnlich in einer schwach dotierten Drain- (im folgenden als LDD bezeichnet) pMOS-Vorrichtung die Diffusion von p^+ stärker ist als diejenige von n^+ , verschwindet ein dünner p^- -LDD-Bereich aufgrund einer lateralen Diffusion von p^+ , und es wird ein tiefer Übergang gebildet, was zu einer Verschlechterung einer Kurzkanaleigenschaft einer Halbleitervorrichtung führt.

Stand der Technik

[0003] Ein Herstellungsverfahren für eine Halbleitervorrichtung zur Verbesserung der Kurzkanaleigenschaft der Halbleitervorrichtung und zur Steigerung des Ansteuervermögens für einen elektrischen Strom wurde jüngst veröffentlicht (VLSI Symposium 1991, Seiten 85 und 86). Wie in **Fig. 1** gezeigt ist, wird nach der Bildung eines Gateoxidfilms **2** auf einem vorbereiteten Teil eines Halbleitersubstrates **1** Polysilicium auf dem Gateoxidfilm **2** abgeschieden, um ein Gatemuster in den nMOS- und pMOS-Bereichen durch einen Photolithographieprozeß zu bilden. Dann werden n- und p-LDD-Bereiche **4a**, **4b** mittels einer Ionenimplantation erzeugt, wobei die Gates **3** in den nMOS- und pMOS-Bereichen als Masken verwendet werden. Dann wird ein Isolierfilm auf das Halbleitersubstrat **1** einschließlich der nMOS- und pMOS-Bereiche aufgetragen und geätzt, um Seitenwand-Abstandselemente **5a** an den Seiten der Gates in den nMOS- bzw. pMOS-Bereichen zu erzeugen.

[0004] Sodann wird ein n^+ -Bereich in dem Halbleitersubstrat **1** erzeugt, indem eine Ionenimplantation in dem nMOS-Bereich allein vorgenommen wird. Sodann wird ein Isolierfilm auf dem Halbleitersubstrat **1** aufgetragen, und anschließend werden Seitenwand-Abstandselemente **5b** an den Seiten des Gates **3** in dem pMOS-Bereich erzeugt. Das heißt, an den Seiten des Gates **3** in dem pMOS-Bereich werden dickere Seitenwand-Abstandselemente im Vergleich zu den Seitenwand-Abstandselementen an den Seiten des Gates **3** in dem nMOS-Bereich gebildet. Sodann werden die p^+ -Bereiche in dem Halbleitersubstrat **1** erzeugt, indem eine Ionenimplantation in dem pMOS-Bereich allein vorgenommen wird.

[0005] Wenn jedoch, wie in **Fig. 2** gezeigt ist, das

herkömmliche Herstellungsverfahren für eine Halbleiterspeichervorrichtung zur Fertigung einer DRAM-Vorrichtung mit einem Zellentrisistor angewandt wird, verhindern dicke Seitenwand-Abstandselemente die Durchführung einer Ionenimplantation zum Erzeugen eines n^+ -Bereiches und die Herstellung eines selbstjustierten Kontaktloches, weshalb es schwierig ist, dieses Verfahren zum Fertigen einer hochintegrierten DRAM-Vorrichtung in der Zukunft einzusetzen.

[0006] Das US-Patent US 4 577 391 beschreibt ein Verfahren zur Herstellung von CMOS-Halbleitern das es erlaubt, Seitenwandabstandselemente an den Seiten der Gate Elektroden in einem nMOS-Bereich und einem pMOS-Bereich eines solchen Halbleiters mit unterschiedlicher Dicke auszubilden. Mit diesem Verfahren soll die Injektion energiereicher Elektronen im nMOS-Bereich reduziert sowie eine definierte räumliche Zuordnung von Gate-Elektroden und Source-Elektroden im pMOS-Bereich gewährleistet werden. Hierfür ist es notwendig, die Seitenwandabstandselemente an der Gate-Elektrode im nMOS-Bereich dicker auszugestalten als an der Gate-Elektrode im pMOS-Bereich. Bei dem beschriebenen Verfahren wird über dem nMOS- und dem pMOS-Bereich ein gleichförmiger Isolierfilm einer ersten vorbestimmten Schichtdicke erzeugt, der dann durch naßchemisches Ätzen nur im pMOS-Bereich auf eine zweite gewünschte Schichtdicke reduziert wird. Durch reaktives Ionenätzen wird dann dieser gleichförmige Isolierfilm der zweiten gewünschten Schichtdicke im pMOS-Bereich entfernt, außer an den Seiten der Gate-Elektroden im pMOS-Bereich, um so erste Seitenwandabstandselemente an dieser Gate-Elektrode zu erzeugen. Die maximale Dicke der ersten Seitenwandabstandselemente entspricht der zweiten vorbestimmten Schichtdicke. Nachdem der Dotiervorgang im pMOS-Bereich abgeschlossen ist, wird der gleichmäßige Isolierfilm im nMOS-Bereich durch reaktives Ionenätzen entfernt, außer an den Seiten der Gate-Elektrode im nMOS-Bereich, um so zweite Seitenwandabstandselemente an dieser Gate-Elektrode zu erzeugen. Die maximale Dicke der zweiten Seitenwandabstandselemente entspricht der ersten vorbestimmten Schichtdicke. Auf diese Weise wird erreicht, daß die ersten Seitenwandabstandselemente an der Gate-Elektrode im pMOS-Bereich eine geringere Dicke haben, als die zweiten Seitenwandabstandselemente an der Gate-Elektrode im nMOS-Bereich. Bei dem Verfahren können Reste des gleichmäßigen Isolierfilms im Bereich zwischen den beiden Gate-Elektroden zurückbleiben.

[0007] Die DE 41 10 645 A1 offenbart ein Verfahren zur Herstellung von CMOS-Halbleitern, deren Seitenwandabstandselemente an den Gate-Elektroden im pMOS-Bereich dicker sind als die Seitenwandabstandselemente im nMOS-Bereich. Auf diese Weise soll die Kurzkanaleigenschaft eines pMOS-Halblei-

ters verbessert werden. Hierzu wird auf dem nMOS-Bereich und pMOS-Bereich gleichzeitig ein gleichmäßiger Isolierfilm erzeugt, der in beiden Bereichen durch reaktives Ionenätzen entfernt wird, außer im Bereich an den Seiten beider Gate-Elektroden, um so Seitenwandabstandselemente gleicher Dicke an beiden Gate-Elektroden zu erzeugen. Nachdem der nMOS-Bereich entsprechend dotiert wurde, wird nur im pMOS-Bereich ein zweiter Isolierfilm aufgetragen, der dann, abgesehen von dem Bereich an der Seite der Gate-Elektrode im pMOS-Bereich, durch reaktives Ionenätzen entfernt wird, um so zweite Seitenwandabstandselemente auf den ersten Seitenwandabstandselementen der Gate-Elektrode im pMOS-Bereich zu erzeugen. Auf diese Weise werden an der Gate-Elektrode des pMOS-Bereiches Seitenwandabstandselemente erzeugt, die aus dem ersten und dem zweiten Isolierfilm bestehen.

[0008] In ähnlicher Weise können mit dem in der DE 41 26 747 C2 beschriebenen Verfahren CMOS-Halbleiter hergestellt werden, deren Gate-Elektroden Seitenwandabstandselemente haben, die im pMOS-Bereich dicker als im nMOS-Bereich sind. Zusätzlich sollen bei diesem Verfahren unterschiedlich dicke Seitenwandabstandselemente an den Gate-Elektroden im nMOS- und pMOS-Bereich erzeugt werden, deren Unterschied proportional zum Unterschied zwischen der Diffusionsgeschwindigkeit der Störstellen im pMOS-Bereich und im nMOS-Bereich ist.

[0009] Das in der US 5 654 212 offenbarte Verfahren basiert auf einem anderen Ansatz, um die Seitenwandabstandselemente an den Gateelektroden im nMOS-Bereich und pMOS-Bereich eines Halbleiters unterschiedlich dick auszugestalten. Dabei wird ein Siliziumfilm über dem nMOS-Bereich und dem pMOS-Bereich erzeugt, der anschließend anisotrop geätzt wird, um Seitenwandabstandselemente gleicher Dicke an den beiden Gate-Elektroden in den Bereichen zu erhalten. Anschließend wird der nMOS-Bereich durch Ionenimplantation entsprechend dotiert. In einem weiteren Schritt werden die Seitenwandabstandselemente in beiden Bereichen oxidiert, um sie auf diese Art gezielt zu vergrößern. Aufgrund dieser Vergrößerung der Seitenwandabstandselemente kann der pMOS-Bereich in entsprechender Weise so dotiert werden, daß die Kurzkanaleigenschaften des so hergestellten Halbleiters verbessert werden. Im Gegensatz zu den oben beschriebenen Verfahren haben die Seitenwandabstandselemente im nMOS-Bereich und pMOS-Bereich bei jedem einzelnen Schritt des dort offenbarten Verfahrens die gleiche Dicke, wobei die Dicke sich zwischen den einzelnen Verfahrensschritten ändert. Auf diese Weise kann die Dotierung des nMOS-Bereiches und des pMOS-Bereiches zwar in gewünschter Weise durchgeführt werden, jedoch sind die Dicken der Seitenwandabstandselemente im nMOS- und im pMOS-Bereich des hergestellten Halbleiters

gleich dick.

Aufgabenstellung

[0010] Es ist Aufgabe der vorliegenden Erfindung, ein Verfahren zum Herstellen einer Halbleitervorrichtung bereitzustellen, das die Erzeugung von unterschiedlich dicken Seitenwand-Abstandselemente verbessert, insbesondere hinsichtlich dazwischen liegender Intervalle.

[0011] Zur Lösung dieser Aufgabe sieht die vorliegende Erfindung ein Verfahren mit den Merkmalen des Patentanspruches 1 vor.

[0012] Bevorzugte Ausführungsbeispiele der Erfindung ergeben sich aus den Unteransprüchen.

Ausführungsbeispiel

[0013] Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

[0014] Fig. 1 eine Darstellung zur Erläuterung eines Herstellungsverfahrens für eine Halbleitervorrichtung gemäß dem Stand der Technik,

[0015] Fig. 2 eine Darstellung, die die Anwendung des herkömmlichen Herstellungsverfahrens für eine Halbleitervorrichtung auf die Fertigung einer DRAM-Vorrichtung veranschaulicht,

[0016] Fig. 3A bis 3C Darstellungen, die ein Herstellungsverfahren für eine Halbleitervorrichtung gemäß der vorliegenden Erfindung veranschaulichen, und

[0017] Fig. 4 eine Darstellung, die die Anwendung des erfindungsgemäßen Herstellungsverfahrens für eine Halbleitervorrichtung auf die Fertigung einer DRAM-Vorrichtung veranschaulicht.

[0018] Anhand der beigefügten Zeichnungen wird nunmehr ein Herstellungsverfahren für eine Halbleitervorrichtung gemäß der Erfindung näher beschrieben.

[0019] Die Fig. 3A bis 3C sind Darstellungen, die das erfindungsgemäße Herstellungsverfahren für eine Halbleitervorrichtung veranschaulichen.

[0020] Zunächst wird, wie in Fig. 3A gezeigt ist, ein Gateoxidfilm **12** auf dem Halbleitersubstrat **11** gebildet, und ein Muster für ein Polysilizium-Gate **13** wird in jedem der nMOS- und pMOS-Bereiche, die als erste bzw. zweite Bereiche dienen, durch einen Photolithographie-Prozess erzeugt. Sodann wird im ersten Bereich ein erster Fremdstoff-Drainbereich **14a** niedriger Dichte (d. h. ein n⁻-LDD-Bereich) durch eine Ionenimplantation erzeugt, und sodann wird im zweiten

Bereich ein zweiter Fremdstoff-Drainbereich **14b** niedriger Dichte (d. h. ein p⁻-LDD-Bereich) durch eine Ionenimplantation erzeugt. Anschließend wird ein CVD-Oxidfilm (CVD = chemische Dampfabcheidung), der als ein erster Isolierfilm **15** dient, auf dem Halbleitersubstrat **11** einschließlich der ersten und zweiten Bereiche abgeschieden oder aufgetragen, und sodann wird ein CVD-Nitridfilm, der als ein zweiter Isolierfilm **16** dient, aufgetragen.

[0021] Wie in **Fig. 3B** gezeigt ist, wird ein (nicht gezeigter) Photoresistfilm auf den zweiten Isolierfilm **16** geschichtet, und nach Festlegen des ersten Bereiches und Ausführen eines photolithographischen Prozesses wird der erste Bereich belichtet oder freigelegt. Der zweite Isolierfilm **16** in dem ersten Bereich wird gestriipt bzw. abgestreift, indem ein anisotropes Ätzen vorgenommen wird, wobei der (nicht gezeigte) Photoresistfilm als eine Maske herangezogen ist.

[0022] Wie in **Fig. 3C** gezeigt ist, wird das anisotrope Ätzen auf dem ersten Isolierfilm in dem ersten Bereich vorgenommen, was zur Bildung von Seitenwand-Abstandselementen **15a** an den Seiten des Polysilicium-Gates **13** in dem ersten Bereich führt, und danach wird durch Ionenimplantation eine erste leitende Fremdstoffzone hoher Konzentration (n⁺) in dem Halbleitersubstrat **11** erzeugt. Sodann wird ein (nicht gezeigter) Photoresistfilm wieder auf die ersten und zweiten Bereiche geschichtet, und durch Ausführen eines photolithographischen Prozesses wird der zweite Bereich freigelegt. Unter Verwendung des (nicht gezeigten) Photoresistfilmes als eine Maske wird ein anisotropes Ätzen durchgeführt, was zu der Erzeugung von Seitenwand-Abstandselementen führt, die aus dem zweiten Isolierfilm **16** auf dem ersten Isolierfilm **15** an den Seiten des Polysilicium-Gates **13** zusammengesetzt sind, und der erste Isolierfilm **15** wird geätzt, indem als eine Maske der (nicht gezeigte) Photoresistfilm und der zweite Isolierfilm **16** verwendet werden, und folglich werden Seitenwand-Abstandselemente, die aus dem ersten Isolierfilm **15** aufgebaut sind, zwischen den Seiten des Polysilicium-Gates **13** und den Seitenwand-Abstandselementen, die aus dem zweiten Isolierfilm **16** aufgebaut sind, erzeugt, was zu der Bildung von Isolierfilm-Seitenwand-Abstandselementen **20** mit einem Doppelaufbau führt. Sodann wird durch eine Ionenimplantation eine zweite leitende Fremdstoffzone hoher Konzentration (p⁺) in dem Halbleitersubstrat **11** erzeugt.

[0023] Um selektiv ein dickes Abstandselement in dem pMOS-Bereich zu bilden, kann, wie oben beschrieben ist, gemäß dem Herstellungsverfahren für eine Halbleitervorrichtung ein CVD-Nitridfilm abgeschieden werden, und ein Photolithographieprozeß kann weiterhin darauf ausgeführt werden.

[0024] **Fig. 4** zeigt die Struktur eines Zellentransistors, wenn das Herstellungsverfahren für die Fertigung einer DRAM-Vorrichtung angewandt wird. Da in dem angrenzenden Zellentransistorbereich jedes Seitenwand-Abstandselement **15a**, **20** so gebildet ist, daß ein regelmäßiges Intervall dazwischen liegt, können eine Ionenimplantation und ein selbstjustierter Kontaktprozeß vorgenommen werden. Daher kann das Herstellungsverfahren auf den 256M-DRAM-Herstellungsprozeß für zukünftige Speichervorrichtungen angewandt werden.

[0025] Um mit dem erfindungsgemäßen Herstellungsverfahren für eine Halbleitervorrichtung die Eigenschaften bzw. Kennlinien einer pMOS-Vorrichtung zu verbessern, muß das Seitenwand-Abstandselement um 50 bis 100 nm dicker sein als dasjenige einer nMOS-Vorrichtung.

[0026] Gemäß dem erfindungsgemäßen Verfahren für eine Halbleitervorrichtung wird durch Verwenden eines Oxidfilmes/eines Nitridfilmes, die eine hervorragende Ätzselektivität gegenüber einem Nassätzen haben, ein Doppelseitenwand-Abstandselement in einem pMOS-Bereich allein erzeugt, und nach Strippen des Nitridfilmes in dem nMOS-Bereich durch Trockenätzen wird selektiv ein dickes Seitenwand-Abstandselement in dem pMOS-Bereich allein erzeugt. Wenn dieses Verfahren auf den herkömmlichen Fertigungsprozeß für eine DRAM-Vorrichtung angewandt wird, können dadurch Ionenimplantationen wirksam ohne Zellentransistor-Überlappung erhalten werden.

Patentansprüche

1. Verfahren zum Herstellen einer Halbleitervorrichtung, mit folgenden Schritten:

- A) Erzeugen eines Gateisolierfilmes (**12**) auf einem Halbleitersubstrat (**11**), das einen ersten und einen zweiten Bereich aufweist,
- B) Erzeugen von ersten und zweiten Gateelektroden (**13**) in dem ersten bzw. zweiten Bereich auf dem Substrat (**11**),
- C) Erzeugen einer ersten leitenden Fremdstoffzone (**14a**) niedriger Konzentration in dem ersten Bereich an den Seiten der ersten Gateelektrode (**13**),
- D) Erzeugen einer zweiten leitenden Fremdstoffzone (**14b**) niedriger Konzentration in dem zweiten Bereich an den Seiten der zweiten Gateelektrode (**13**),
- E) Erzeugen eines ersten Isolierfilmes (**15**) auf dem Substrat (**11**) mit den darauf angeordneten ersten und zweiten Gateelektroden (**13**) und eines zweiten Isolierfilmes (**16**), der im Vergleich zu dem ersten Isolierfilm (**15**) eine unterschiedliche Ätzselektivität aufweist, auf dem ersten Isolierfilm (**15**),
- F) Strippen des zweiten Isolierfilmes (**16**) in dem ersten Bereich, wobei die unterschiedliche Ätzselektivität des ersten und des zweiten Isolierfilms (**15**, **16**) ausgenutzt wird,

G) Erzeugen von ersten Seitenwand-Abstandselementen (**15a**) an den Seiten der ersten Gateelektrode (**13**) durch Durchführen eines anisotropen Ätzens des ersten Isolierfilms (**15**) in dem ersten Bereich,
 H) Erzeugen einer ersten leitenden Fremdstoffzone hoher Konzentration in dem ersten Bereich an den Seiten der ersten Gateelektrode (**13**) mit den ersten Seitenwand-Abstandselementen (**15a**),
 I) Erzeugen von zweiten Seitenwand-Abstandselementen (**20**) aus dem ersten und dem zweiten Isolierfilm (**15, 16**) an den Seiten der zweiten Gateelektrode (**13**) durch Durchführen eines anisotropen Ätzens des ersten und des zweiten Isolierfilms (**15, 16**) in dem zweiten Bereich, und
 J) Erzeugen eines zweiten leitenden Fremdstoffbereiches hoher Konzentration in dem zweiten Bereich an den Seiten der zweiten Gateelektrode (**13**) mit den zweiten Seitenwand-Abstandselementen (**20**).

zweiten Isolierfilms (**16**) mittels des Photoresistfilmes als Maske, und
 – Erzeugen von Seitenwand-Abstandselementen aus dem ersten Isolierfilm (**15**) zwischen den Seiten der zweiten Gateelektrode (**13**) und den Seitenwand-Abstandselementen aus dem zweiten Isolierfilm (**16**) durch Ätzen des ersten Isolierfilmes (**15**), indem der Photoresistfilm und der zweite Isolierfilm (**16**) als Maske verwendet werden.

7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die zweiten Seitenwand-Abstandselemente (**20**) um 50 bis 100 nm dicker als die ersten Seitenwand-Abstandselemente (**15a**) sind.

Es folgen 3 Blatt Zeichnungen

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß
 – der erste Isolierfilm (**15**) aus einem Oxidfilm aufgebaut ist,
 – und der zweite Isolierfilm (**16**) aus einem Nitridfilm aufgebaut ist.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß
 – der erste Isolierfilm (**15**) aus einem Nitridfilm aufgebaut ist, und
 – der zweite Isolierfilm (**16**) aus einem Oxidfilm aufgebaut ist.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß
 – der erste leitende Fremdstoff ein n-Typ-Fremdstoff ist, und
 – der zweite leitende Fremdstoff ein p-Typ-Fremdstoff ist.

5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß nach dem Schritt E)
 – ein Photoresistfilm auf dem zweiten Isolierfilm (**16**) erzeugt wird,
 – der Photoresistfilm in dem ersten Bereich gestrippt wird, und
 – ein anisotropes Ätzen des zweiten Isolierfilms (**16**) mittels des Photoresistfilmes als Maske durchgeführt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Schritt I) umfaßt:
 – Erzeugen eines weiteren Photoresistfilmes auf dem ersten und zweiten Bereich,
 – Freilegen des zweiten Bereichs durch einen photolithographischen Prozess,
 – Erzeugen von Seitenwand-Abstandselementen aus dem zweiten Isolierfilm (**16**) auf dem ersten Isolierfilm (**15**) an den Seiten der zweiten Gateelektrode (**13**) durch Durchführen eines anisotropen Ätzens des

FIG. 1

STAND DER TECHNIK

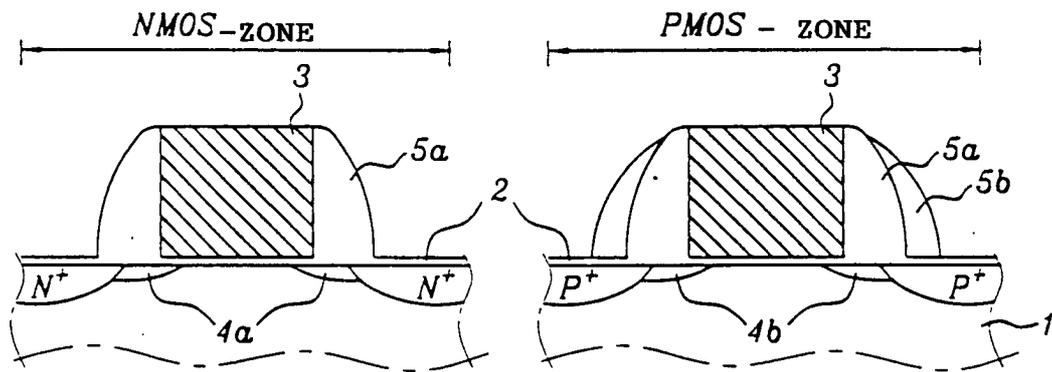


FIG. 2

STAND DER TECHNIK

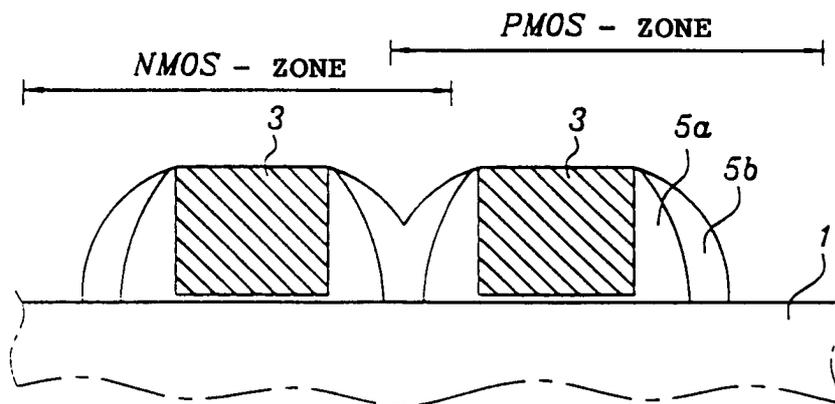


FIG. 3A

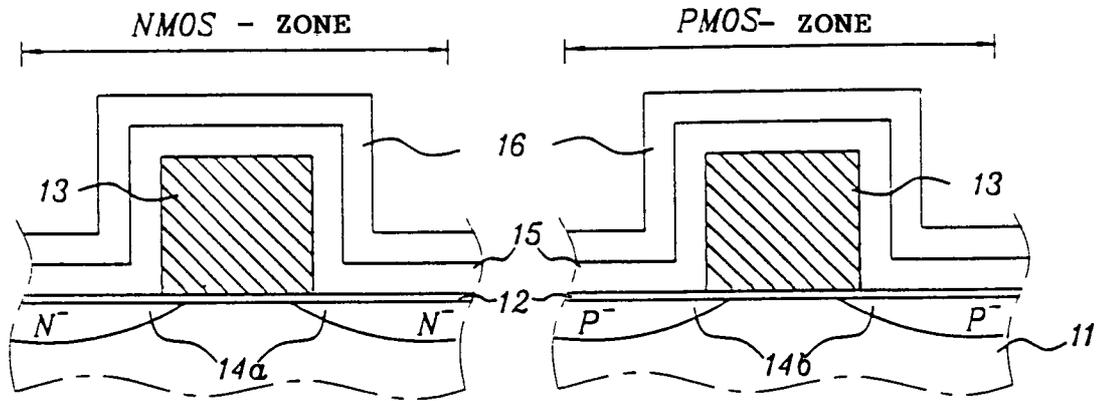


FIG. 3B

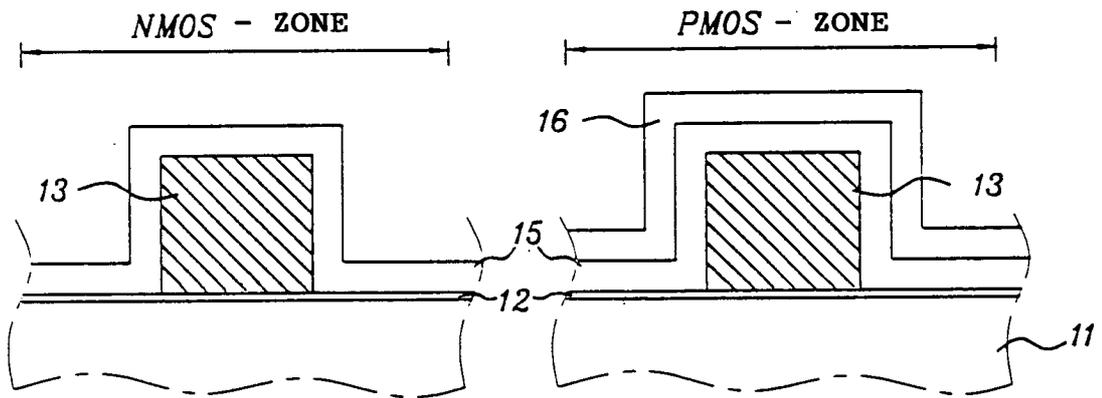


FIG. 3C

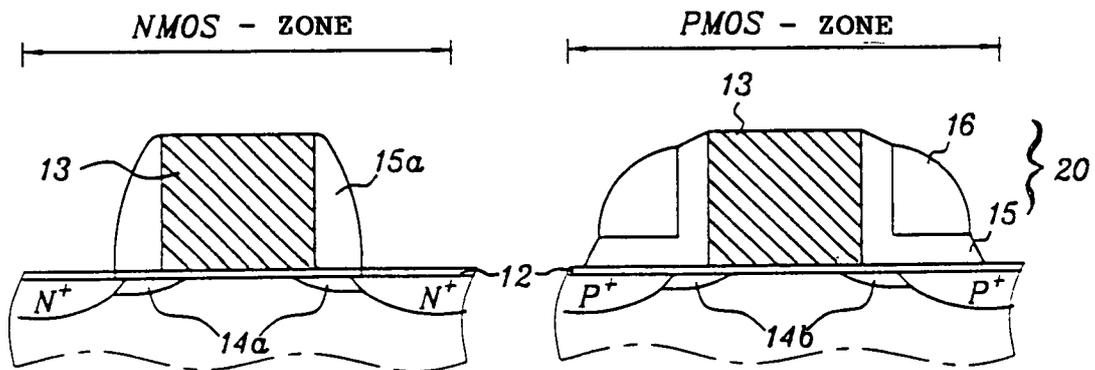


FIG. 4

