



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월09일 10-0690421 2007년02월27일
---	-------------------------------------	--

(21) 출원번호	10-2004-7001367	(65) 공개번호	10-2006-0033692
(22) 출원일자	2004년01월30일	(43) 공개일자	2006년04월19일
심사청구일자	2004년07월13일		
번역문 제출일자	2004년01월30일		
(86) 국제출원번호	PCT/US2003/003352	(87) 국제공개번호	WO 2003/069658
국제출원일자	2003년02월04일	국제공개일자	2003년08월21일

(30) 우선권주장                    10/073,562                    2002년02월11일                    미국(US)

(73) 특허권자                    인터내셔널 비지니스 머신즈 코포레이션  
미국 뉴욕 아몬크 뉴 오차드 로드 (우 : 10504)

(72) 발명자                    추재오  
미국 11040 뉴욕주 맨하셋 웰보르네 레인 44

이스마일칼레드  
이집트 기자 무한테신 아단 스트리트 14 아파트먼트 #21

(74) 대리인                    김진환

심사관 : 여덕호

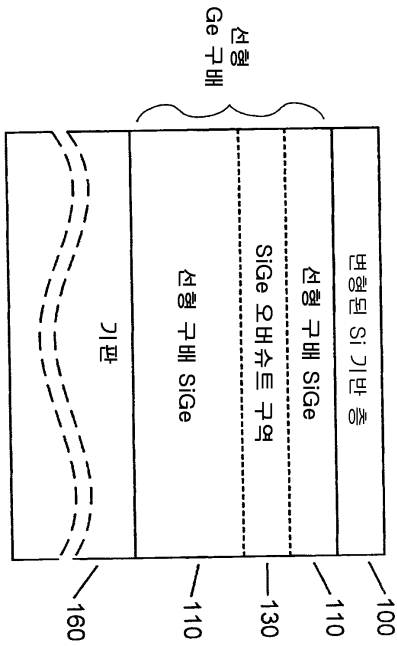
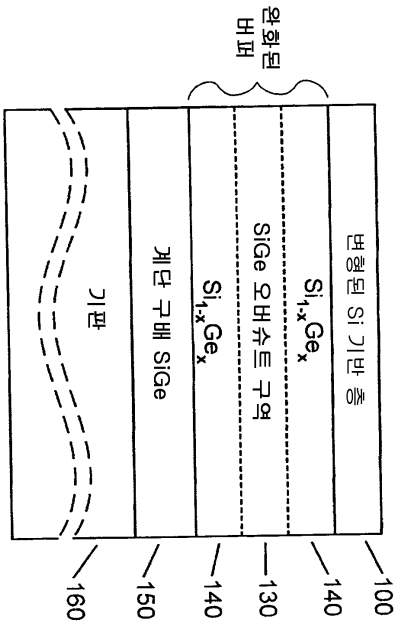
전체 청구항 수 : 총 18 항

(54) 변형된 Si 기반 층, 이의 제조 방법, 다수의 디바이스 및 전자 시스템

(57) 요약

본 발명은 변형된 Si 기반 층을 제조하는 방법 및 이 층 내에 구축된 다수의 디바이스 및 이러한 층을 포함하는 전자 시스템을 제공한다. 상기 방법은 기판 상에 SiGe 층을 에피택셜적으로 성장시키는 단계와, 이 SiGe 층 내에서 변하는 Ge 농도를 생성하는 단계를 포함한다. SiGe 층에서의 Ge 농도는 독특한 Ge 오버슈트 구역을 포함하며, 이 구역에서 Ge 농도는 급격하게 크게 증가한다. 이실리콘 기반 층은 SiGe 층 상으로 에피택셜적으로 증착되며, 이로써 실리콘 기반 층은 인장력으로 변형된다. 이어서, 변형된 Si 기반 층, 통상적으로 Si 또는 SiGe인 이 층은 다른 벌크 기판 또는 절연체로 전사될 수 있다.

대표도



**특허청구의 범위**

**청구항 1.**

변형된 Si 기반 층(a strained Si based layer)을 제조하는 방법에 있어서,

기판 상에 SiGe 층을 에피택셜적으로 성장시키는 단계—상기 단계에서, Ge 농도는 상기 SiGe 층의 두께 방향으로 변하고, 상기 Ge 농도는 상기 기판과의 계면에서 제 1 값을 가지며 상기 SiGe 층의 전체 두께 면에서 제 2 값을 갖고, 상기 Ge 농도의 상기 제 2 값은 상기 Ge 농도의 상기 제 1 값보다 크며, 상기 SiGe 층은 Ge 오버슈트 구역(a Ge overshoot zone)을 내장하고, 상기 Ge 오버슈트 구역은 제 3의 Ge 농도 값을 가지며, 상기 제 3 값은 상기 제 2 값보다 큼—와,

상기 SiGe 층 상에 상기 실리콘 기반의 층을 에피택셜적으로 증착하는 단계와,

상기 변형된 Si 기반 층을 제 2 기관상으로 전사하는 단계를 포함하는  
변형된 Si 기반 층 제조 방법.

**청구항 2.**

삭제

**청구항 3.**

삭제

**청구항 4.**

삭제

**청구항 5.**

삭제

**청구항 6.**

삭제

**청구항 7.**

제 1 항에 있어서,

상기 기관은 Si 웨이퍼인

변형된 Si 기반 층 제조 방법.

**청구항 8.**

제 7 항에 있어서,

상기 Si 웨이퍼의 표면에 다공성 층을 생성하는 단계를 포함하는

변형된 Si 기반 층 제조 방법.

**청구항 9.**

제 7 항에 있어서,

상기 Si 웨이퍼의 표면 상에 다공성 하위표면 층(a porous subsurface layer)을 생성하는 단계를 포함하는

변형된 Si 기반 층 제조 방법.

**청구항 10.**

제 1 항에 있어서,

상기 변형된 Si 기반 층의 두께는 5 nm 내지 30 nm인

변형된 Si 기반 층 제조 방법.

### 청구항 11.

제 1 항에 있어서,

상기 방법의 단계들은 AICVD 시스템에서 수행되는

변형된 Si 기반 층 제조 방법.

### 청구항 12.

삭제

### 청구항 13.

삭제

### 청구항 14.

삭제

### 청구항 15.

삭제

### 청구항 16.

제 1 항에 있어서,

상기 제 2 기판은 Si 웨이퍼인

변형된 Si 기반 층 제조 방법.

### 청구항 17.

제 1 항에 있어서,

상기 제 2 기판은 그의 표면 상에 절연층을 가지며,

상기 절연 표면 층은 상기 층 전사 단계 동안 상기 변형된 Si 기반 층을 수용하는

변형된 Si 기반 층 제조 방법.

### 청구항 18.

삭제

### 청구항 19.

삭제

## 청구항 20.

절연체 상에 변형된 Si 기반 층을 제조하는 방법에 있어서,

기판 상에 SiGe 층을 에피택셜적으로 성장시키는 단계—상기 단계에서, Ge 농도는 상기 SiGe 층의 두께 방향으로 변하고, 상기 Ge 농도는 상기 기판과의 계면에서 제 1 값을 가지며 상기 SiGe 층의 전체 두께 면에서 제 2 값을 갖고, 상기 Ge 농도의 상기 제 2 값은 상기 Ge 농도의 상기 제 1 값보다 크며, 상기 SiGe 층은 Ge 오버슈트 구역을 내장하고, 상기 Ge 오버슈트 구역은 제 3의 Ge 농도 값을 가지며, 상기 제 3 값은 상기 제 2 값보다 큼—와,

상기 SiGe 층 상에 상기 실리콘 기반의 층을 에피택셜적으로 증착하는 단계와,

상기 변형된 Si 기반 층을 상기 절연체 상으로 전사하는 단계를 포함하는

변형된 Si 기반 층 제조 방법.

## 청구항 21.

제 1 항 또는 제 20 항에 있어서,

상기 SiGe 층에서 상기 변하는 Ge 농도는 두 개의 영역을 가지며, 상기 두 개의 영역 중 한 개의 영역은 계단 구배형 Ge 농도 영역이며 나머지 영역은 평탄한 Ge 농도를 갖는 완화된 버퍼 영역이며, 상기 계단 구배형 영역은 상기 기판과의 상기 계면에서 시작하고, 상기 완화된 버퍼 영역은 상기 계단 구배형 영역의 상부 상에서 성장하며,

상기 Ge 오버슈트 구역은 상기 완화된 버퍼 영역 내에 내장되는

변형된 Si 기반 층 제조 방법.

## 청구항 22.

제 1 항 또는 제 20 항에 있어서,

상기 SiGe 층에서 상기 변하는 Ge 농도는 선형 구배 농도이며,

상기 Ge 오버슈트 구역은 상기 선형 구배 농도 영역 내에 내장되고,

상기 Ge 오버슈트 구역은 상기 기판보다도 상기 SiGe의 전체 두께 면에 더 가깝게 존재하는

변형된 Si 기반 층 제조 방법.

## 청구항 23.

제 1 항 또는 제 20 항에 있어서,

상기 변형된 Si 기반 층은 실리콘 층인

변형된 Si 기반 층 제조 방법.

## 청구항 24.

제 1 항 또는 제 20 항에 있어서,  
상기 변형된 Si 기반 층은 SiGe 층인  
변형된 Si 기반 층 제조 방법.

#### 청구항 25.

제 1 항 또는 제 20 항에 있어서,  
상기 변형된 Si 기반 층은 탄소를 5 % 까지 포함하는  
변형된 Si 기반 층 제조 방법.

#### 청구항 26.

제 1 항 또는 제 20 항에 있어서,  
상기 층 전사 단계는 ELTRAN 프로세스인  
변형된 Si 기반 층 제조 방법.

#### 청구항 27.

제 1 항 또는 제 20 항에 있어서,  
상기 층 전사 단계는 본딩, CMP 폴리싱 및 백에칭 프로세스인  
변형된 Si 기반 층 제조 방법.

#### 청구항 28.

제 1 항 또는 제 20 항에 있어서,  
상기 층 전사 단계는 Smart-Cut 프로세스인  
변형된 Si 기반 층 제조 방법.

#### 청구항 29.

제 17 항 또는 제 20 항에 있어서,  
상기 절연체는 실리콘 산화물, 실리콘 질화물, 알루미늄 산화물, 리튬 니오베이트, 로우 k 물질, 하이 k 물질 또는 상기 절연 물질들의 두 개 이상의 조합인  
변형된 Si 기반 층 제조 방법.

청구항 30.  
삭제

청구항 31.  
삭제

청구항 32.  
삭제

청구항 33.  
삭제

청구항 34.  
삭제

청구항 35.  
삭제

청구항 36.  
삭제

청구항 37.  
삭제

청구항 38.  
삭제

청구항 39.  
삭제

청구항 40.  
삭제

청구항 41.  
삭제

청구항 42.  
삭제

청구항 43.  
삭제

청구항 44.  
삭제

청구항 45.  
삭제

청구항 46.

삭제

청구항 47.

삭제

청구항 48.

삭제

청구항 49.

삭제

청구항 50.

삭제

청구항 51.

삭제

청구항 52.

삭제

청구항 53.

삭제

청구항 54.

삭제

청구항 55.

삭제

청구항 56.

삭제

청구항 57.

삭제

청구항 58.

삭제

청구항 59.

삭제

청구항 60.

삭제

청구항 61.

삭제

청구항 62.

삭제

명세서



## 기술분야

본 발명은 마이크로 전자 장치의 변형된 Si 기반 층(strained Si based layers)을 제조하는 방법에 관한 것이다. 또한, 본 발명은 이러한 변형된 층을 상이한 기관들 및 절연 물질 상으로 전사시키는 방법에 관한 것이다. 본 발명은 또한 이러한 변형된 Si 기반 층들로 구성된 디바이스 및 이 디바이스로 구축된 전자 시스템에 관한 것이다.

## 배경기술

오늘날의 집적 회로는 반도체로 형성된 광대한 양의 트랜지스터를 포함한다. 신뢰성을 증가시키고 성능을 개선하기 위해서 보다 소형의 디바이스를 구축하는 것이 중요한 문제이다. 그러나, 디바이스가 축소됨에 따라 집적 회로 기술은 보다 복잡해지며, 한 세대의 디바이스에서 다음 세대의 디바이스로의 예상되는 성능 향상을 유지하는 데에는 새로운 방법이 필요하다. 이는 마이크로 전자 소자의 주요한 반도체 물질 즉 실리콘과 연관되며 보다 광범위하게는 실리콘 기반 물질과 연관된다. 이러한 물질로 유망한 물질은 다양한 SiGe 혼합물 및 가령 탄소와의 다른 조합물이다. 디바이스 성능을 나타내는 것 중 가장 중요한 것 중 하나는 캐리어 이동도이다. 딥 서브마이크론 세대(deep submicron generation)의 디바이스에서 캐리어 이동도를 높게 유지하는 것은 매우 어려운 일이다. 보다 양호한 캐리어 이동도를 성취하는 유망한 방법은 디바이스 제조 시에 가공되지 않은 물질(raw material) 역할을 하는 반도체를 근소하게 수정하는 것이다. 인장력으로 변형된 실리콘은 우수한 캐리어 특성을 갖는다는 것이 이미 알려져 있으며 지금도 더 연구되고 있다. UHV-CVD에 의해 성장된 Si/SiGe 헤테로구조물 내에서 성장한 실리콘 층은 벌크 실리콘에 걸쳐서 개선된 전달 능력 즉 개선된 캐리어 이동도를 갖는다. 특히, 전자 이동도의 90 내지 95 % 향상이 벌크 실리콘 n-MOS 이동도에 비해서 변형된 실리콘 채널 n-MOS(금속 산화물 반도체 트랜지스터, 실리콘 전계 효과 트랜지스터(FET)에 대해서 역사적 의미를 갖는 명칭)에서 성취되었다. 마찬가지로, 홀 캐리어 이동도의 30-35% 향상이 벌크 실리콘 p-MOS에 비해서 변형된 실리콘 채널 p-MOS에서 성취되었다. 그러나, 마이크로 전자 소자의 매우 높아진 요구 사항을 만족시키기 충분하게 높은 결정 품질을 갖는, 즉 디스로케이션 및 다른 결함이 존재하지 않는 인장력으로 변형된 실리콘 또는 SiGe 층을 생성하기는 매우 어렵다.

그러나, 충분하게 우수한 품질 및 높은 캐리어 이동도를 갖는 물질을 성취할 수 있다면, 그 아래에 존재하는 기관이 문제의 원인이 될 수 있는데 이는 이 기관이 그 표면 상의 우수한 품질의 물질 내부로 도입되는 결함들의 원천이기 때문이다. 문제가 되는 다른 잠재 분야는 표면 상의 활성 디바이스와 반도체 기관 간의 상호작용이다. 그 아래에 존재하는 반도체 기관은 인장력으로 변형된 우수한 품질의 디바이스 층이 부여할 수 있는 장점을 전적으로 획득하는 데 한계로서 작용하는 특징부를 생성할 수 있다. 종종 오늘날의 최신 디바이스들은 절연층에 의해서 반도체 기관과 분리된 반도체 층에서 동작한다. 이러한 기술은 SOI(Si-on-insulator)로서 알려져 있다. SOI 물질을 생성하는 표준 방법은 SIMOX 프로세스로 지칭된다. 이 방법은 높은 에너지로 반도체 내부에 높은 도즈량의 산소 이온을 주입하는 단계를 포함하며, 이를 어닐링하면 산소는 반도체 표면 아래에서 산화물 층을 형성한다. 이러한 방식으로 상부 반도체 층은 기관의 벌크로부터 분리된다. 그러나, 이러한 SIMOX 프로세스는 높은 이동도를 갖는 변형된 층을 생성하는데 있어서 적합하지 않는 문제를 가지고 있다.

## 발명의 개요

본 발명의 목적은 통상적인 Si 웨이퍼인 기관 상에 높은 결정 품질을 갖는 실리콘 기반의 인장력으로 변형된 반도체 층을 생성하는 방법을 제공하는 것이다. 또한, 본 발명은 이 실리콘 기반의 인장력으로 변형된 반도체 층이 통상적으로는 다른 Si 웨이퍼인 다른 기관으로 다시 전사되는 방법을 개시하는데, 이 다른 기관은 그 상에 변형된 실리콘 기관이 생성되었던 이전의 기관보다 높은 결정 품질을 갖는다. 또한, 본 발명의 다른 목적은 절연체 층의 상부 상에 실리콘 기반의 인장력으로 변형된 반도체 층을 전사하는 방법을 제공하는데, 이로써 실리콘 기반의 인장력으로 변형된 반도체 층은 초고성능 디바이스를 구축하는 데 적합하게 된다.

이러한 주제와 관련된 수 많은 특허 및 간행물이 존재한다. 이들은 변형된 반도체 층의 몇몇 측면 및 층 전사의 몇몇 측면 및 절연체 상에 변형된 반도체 층을 생성하는 요소를 포함한다. 그러나, 이들 중 그 어떤 것도 본 발명의 모든 범위를 포함하지는 않는다.

가령, Ek 등에게 허여된 미국 특허 제 5,461,243 호 "Substrate for Tensilely Strained Semiconductor"는 한 층과 이 층 상에 성장한 다른 층을 변형하고 SiO<sub>2</sub> 층 상의 바닥 실리콘 박층을 슬라이딩(sliding)하는 것을 개시한다. 그러나, 이 특허는 본 발명을 개시하지 않는다.

본 명세서에서 참조로서 인용되는, J.Chu 및 K.Ismail에게 허여된 미국 특허 제 5,906,951 호 "Strained Si/SiGe layers on Insulator"에서, 두 개의 변형된 채널을 생성하기 위해서 증착된 다양한 층들이 존재한다. 그러나, 이 특허는 본 발명을 개시하지 않는다.

본 명세서에서 참조로서 인용되는 2000년 9월 29일에 출원된 D. F. Canaperi 등에 의한 미국 특허 출원 일련 번호 09/675,840 "Preparation of Strained Si/SiGe on Insulator by Hydrogen Induced Layer Transfer Technique" (IBM 문서 번호: YOR920000345US1)은 변형된 층 증착 및 수소 유도 층 전사(스마트컷:smartcut)를 가르치지만 본 발명을 개시하지 않는다.

본 명세서에서 참조로서 인용되는 미국 특허 제 5,659,187 호 "Low Defect Density/arbitrary Lattice Constant Heteroepitaxial Layers"은 구배된 SiGe 층의 형성을 개시한다.

다음의 특허 및 출원은 변형된 반도체 층 형성 및 이 층 전사에 대한 참조 사항을 포함하고 있다. 본 명세서에서 참조로서 인용되는 2000년 9월 29일에 출원된 D. F. Canaperi 등에 의한 미국 특허 출원 일련 번호 09/675,841 "A Method of Wafer Smoothing for Bonding Using Chemo-Mechanical Polishing(CMP)" (IBM 문서 번호: YOR920000683US1)은 웨이퍼 본딩을 준비하기 위해 표면 거칠기를 감소시키는 표면 폴리싱을 개시한다. 본 명세서에서 참조로서 인용되는 2000년 10월 19일에 출원된 J.O.Chu 등에 의한 미국 특허 출원 일련 번호 09/692,606 "Layer Transfer of Low Defect SiGe Using an Etch-back Process"(IBM 문서 번호: YOR920000344US1)은 완화된 SiGe 층을 생성하고 이 층 전사를 위해서 백에칭 프로세스를 사용하는 방법을 개시한다. 본 명세서에서 참조로서 인용되는 J.Chu 등에 의한 미국 특허 제 5,963,817 호 "Bulk and Strained Silicon on Insulator Using Local Selective Oxidation"은 층 전사 프로세스에서 국부 선택적 산화를 사용하는 방법을 개시한다.

본 발명의 모든 실시예에서, 증착된 층들은 Ge 농도, 결함 밀도, 도펀트 농도, 변형 상태, 성장 또는 증착 방향과 같은 특성을 변화시킨다. 표면과 평행한 방향으로 모든 층들은 균일하다. 따라서, 가령 Ge 농도와 같은 양의 어느 정도 변화가 발생한다면, 두께 방향에서의 변화를 의미한다. "전체 두께 면(full thickness)"라는 용어는 층 전체가 증착 또는 성장되는 경우에 층의 표면 또는 계면을 지칭한다.

본 발명의 통상적인 실시예는 표준 Si 웨이퍼 또는 기판에서 시작된다. 몇몇 경우, 이 기판은 층 증착 단계 이후에 실행될 층 전사 프로세스를 용이하게 하기 위해서 그 상에서 이미 수행된 준비 단계들을 가질 수 있다. 이러한 준비 단계는 가령 이른바 ELTRAN(Epitaxial Layer TRANSfer, Canon K.K.의 등록된 상표) 프로세스와 연관되어 다공성 층을 생성하는 것이다. 이 ELTRAN 프로세스는 본 명세서에서 참조로서 인용되는 T.Yonehara 등에게 허여된 미국 특허 제 5,371,037 호 "Semiconductor Member and Process for Preparing Semiconductor Member"에서 개시된다. 계단 구배형 SiGe 층이 증착된다. Ge 농도의 계단식 구배는 본 명세서에서 참조로서 인용되는 LeGoues 등에 허여된 미국 특허 제 5,659,187 호 "Low Defect Density/arbitrary Lattice Constant Heteroepitaxial Layers"에 개시된다. 이의 목적은 디스로케이션이 상부 표면에 침투하지 않으면서 격자 상수를 점진적으로 변화시키는 것이다. 다음에, 완화된 SiGe 버퍼가 증착되며 이 버퍼는 본 발명에서는 유일한 Ge 오버슈트 층(overshoot layer)을 내장한다. 이 완화된 버퍼는 에피택셜 막들을 생성하는 프로세스에서 있어서 공통적이며 격자 파라미터 부정합으로 인해서 증착된 막에서는 큰 변형이 존재한다. Ge 농도가 일정한 이 버퍼는 디스로케이션 및 다른 격자 결함이 계단 구배형 층에서 표면 상의 관심 영역 층으로 침투하는 확률을 감소시키기 충분한 두께를 갖는다. 이 완화된 버퍼에서의 Ge 농도는 계단 구배된 영역의 최종 단계에서의 Ge 농도와 동일하다.

본 발명에서 본질적으로 완화된 버퍼는 Ge 오버슈트 층 또는 구역을 포함한다. 이 구역은 완화된 버퍼에서의 Ge 농도의 증가 레벨 이상의 레벨로 Ge 농도가 급격하게 증가하는 특성을 갖는다. Ge 오버슈트 층의 두께는 완화된 버퍼 두께의 일부이다. Ge 오버슈트 층은 통상적으로 이 버퍼의 상부 중간에 배치되는데 즉 최종 변형된 Si 기반 층을 접촉하는 버퍼의 단부 층에 인접하여 배치된다. 이 오버슈트 층으로 인해서 SiGe 버퍼의 완벽한 완화가 성취된다. 또한, 이 층은 격자 결함에 대한 싱크(sink) 역할을 한다. Ge 오버슈트 층의 다른 역할은 층 전사 단계에서 발견되며 여기서 오버슈트 층은 선택적 에칭 또는 선택적 산화에 있어서 선택성 목적을 위해서 기능한다.

이 완화된 버퍼 층 다음에 최종 Si 또는 SiGe(낮은 Ge 농도) 층이 증착되고 이 층에서 고성능 디바이스가 구축될 수 있다. 이 층은 Ge 오버슈트 층을 포함하고 있는 완화된 버퍼 층으로 인해서 실제적으로 결함을 가지지 않는다. 에피택셜 층 상의 이 최종 Si 기반 층은 높은 Ge 농도 완화된 버퍼 표면과 순수한 실리콘 또는 거의 Ge가 존재하지 않는 낮은 Ge 농도의 고성능 디바이스 층 간의 격자 부정합으로 인해서 인장력으로 변형된다.

본 발명의 다른 실시예에서 평탄형 Ge 농도 버퍼 층에 앞선 층인 계단 구배형 SiGe 층이 선형 구배를 갖는 SiGe 층으로 대체된다. 이 층의 Ge 농도는 기판과의 계면에서는 제로이며 층의 전체 두께 면에서는 소정의 값을 갖는다. 이의 목적은 상부 표면에 디스로케이션을 침투시키지 않으면서 격자 상수를 점진적으로 변화시키기 위함이다. 계단 구배형 실시예에서처럼, 여기에서도 필수적으로 선형 구배를 갖는 SiGe 층은 Ge 오버슈트 층 또는 구역을 내장한다. 이 구역은 선형 구배 층에서의 Ge 농도의 증가 레벨 이상의 레벨로 Ge 농도가 급격하게 증가하는 특성을 갖는다. Ge 오버슈트 층의 두께는 선형 구배 층의 두께의 일부이다. Ge 오버슈트 층은 통상적으로 이 선형 구배 층의 상부 중간에 배치되는데 즉 최종 변형된 Si 기반 층을 접촉하는 선형 구배 층의 단부 층에 인접하여 배치된다. 이 오버슈트 층으로 인해서 SiGe 선형 구배 층의 완벽한 완화가 성취된다. 또한, 이 층은 격자 결함에 대한 싱크(sink) 역할을 한다. Ge 오버슈트 층의 다른 역할은 층 전사 단계에서 발견되며 여기서 오버슈트 층은 선택적 에칭 또는 선택적 산화에 있어서 선택성 목적을 위해서 기능한다.

이 선형 구배 층 다음에 최종 Si 또는 SiGe(낮은 Ge 농도) 층이 증착되고 이 층에서 고성능 디바이스가 구축될 수 있다. 이 층은 Ge 오버슈트 층을 포함하고 있는 선형 구배 층으로 인해서 실제적으로 결함을 가지지 않는다. 에피택셜 층 상의 이 최종 Si 기반 층은 높은 Ge 농도의 선형 구배 층의 표면과 순수한 실리콘 또는 거의 Ge가 존재하지 않는 낮은 Ge 농도의 고성능 디바이스 층 간의 격자 부정합으로 인해서 인장력으로 변형된다.

다음부터는 이 실리콘 기반 변형된 층을 지지하는 두 층 구조물 실시예들은 지지 구조물로서 지칭될 것이다. 따라서, 용어 지지 구조물은 완화된 버퍼 실시예에서는 계단 구배 구조물을 의미하거나 선형 구배 실시예에서는 선형 구배 구조물을 의미한다.

바람직한 실시예에서 변형된 Si 기반 층의 생성의 모든 단계는 UHV CVD 프로세서 및 바람직하게는 AICVD 시스템에 의해서 수행되는데, 이 AICVD 시스템은 본 명세서에서 참조로서 인용되는 J.Chu 등에 의한 미국 특허 제 6,013,134 호 "Advance Integrated Chemical Vapor Deposition(AICVD) for Semiconductor Devices"에서 개시된다. 이 AICVD 시스템은 또한 실리콘 기반 변형된 층 프로세스 및 이 변형된 Si 기반 층 내의 구조물의 제조에서도 인 시츄(in-situ)적으로 사용될 수 있다. UHV-CVD 방법 및 특히 AICVD 시스템은 오늘날의 기술의 큰 직경의 8 인치 또는 10 인치 Si 웨이퍼를 처리하는 데 적합하며 또는 차 세대의 표준이 될 직경의 웨이퍼를 처리하는데 적합하다. UHV-CVD는 처리될 웨이퍼 및 층의 직경에 대해서 어떤 한계도 부여하지 않는다. 그러나, 본 기술 분야의 당업자는 또한 다른 UHV-CVD 방법이 요구된 변형된 Si 웨이퍼를 제조하는데 사용될 수도 있음을 이해할 것이다. 이러한 방법들은 LP(저압력) CVD 또는 급속 열적 CVD(RT-CVD)이다.

인장력으로 변형된 Si 기반 층은 통상적인 CMOS 또는 바이폴라 디바이스 처리에 있어서 적합한 실리콘 층 구조물 내에서의 홀 및 전자의 이동도를 증가시킨다. 완화된 25% SiGe 헤테로구조물 상에서 성장한 변형된 실리콘 층으로 구성된 긴 채널 MOS 디바이스는 약  $1000 \text{ cm}^2/\text{Vs}$ 의 전자 이동도 및  $200 \text{ cm}^2/\text{Vs}$  이상의 높은 필드 홀 이동도를 생성하며 이는 벌크 실리콘 MOS에서의 전자 이동도 및 홀 이동도에 비해 각기 약 95 % 및 35 % 증가를 나타낸다.

몇몇 실시예에서, 모든 층들은 탄소를 작은 분율로 포함하며 이 탄소는 도펀트 확산을 지연시키는 역할을 한다. 다른 실시예에서, 탄소는 오직 상부의 인장력으로 변형된 Si 기반 층 내부로만 도입된다. 이 실시예에서, 상부의 인장력으로 변형된 층은  $\text{Si}_{1-b-c}\text{Ge}_b\text{C}_c$ 이며 여기서 b 및 c는 분율로서 주어지는 게르마늄 농도 및 탄소의 농도이다.

본 발명의 몇몇 실시예에서, 실리콘 기반의 인장력으로 변형된 반도체 층이 제 2 기판, 가장 통상적으로는 다른 실리콘 기판으로 전사된다. 이 제 2 기판은 변형된 Si 기반 층이 그 상에 생성되었던 지지 구조물보다 높은 결정 품질을 가질 수 있다. 또한, 제 2 기판은 열전도 측면에서 유리한데 그 이유는 이 기판이 변형된 Si 기반 층과 가까이 접촉하고 있기 때문이다. 다른 실시예에서는 실리콘 기반의 인장력으로 변형된 층은 절연층 상으로 전사되며 이로써 이 실리콘 기반의 인장력으로 변형된 반도체 층은 초고성능 디바이스를 구축하는데 적합하게 된다.

일단 적합한 층 스택이 준비되고 그 상부 상에는 높은 품질의 인장력으로 변형된 층이 존재하면, 이 층을 반도체 기판 또는 절연체 상으로 전사시킬 수 있다. 여기서, 절연체는 통상적으로 Si 웨이퍼의 상부 상의 실리콘 이산화물과 같은 절연막이다. 절연체 또는 반도체 기판으로 전사시키는 여러가지 방법이 본 기술 분야에서 알려진 바와 같이 수행될 수 있다. 이 기술 중 하나는 미국 특허 출원 번호 09/675,840에서 기술된 바와 같은 SmartCut(SOITEC사의 등록 상표)이다. 다른 실시예에서, 층 전사는 본 명세서에서 참조로서 인용되는 T.Yonehara 등에게 허여된 미국 특허 제 5,371,037 호 "Semiconductor Member and Process for Preparing Semiconductor Member"에서 개시되는 이른바 ELTRAN (Epitaxial Layer TRANSfer, Canon K.K.의 등록된 상표)이다. 다른 실시예에서 층 전사는 가령 미국 특허 출원 번호 09/

692,606에 개시된 CMP 폴리싱 및 백에칭 프로세스에 의해서 성취될 수 있다. 미국 특허 출원 번호 09/692,606의 프로세스와 본 발명의 층 전사 프로세스 간의 차이점은 Ge 오버슈트 층이 그 자체로 에칭 정지층 구실을 할 수 있으면서 미국 특허 출원 번호 09/692,606에서 기술된 강한 B 도펀트 층 역시 본 발명의 실시예에서 도입될 수 있다는 것이다.

본 발명의 이러한 특징 및 다른 특징은 다음의 첨부 도면과 상세한 설명을 참조하면 분명해질 것이다.

### 발명의 상세한 설명

도 1은 실리콘 기반의 인장력으로 변형된 층을 생성하는 층 스택을 도시한다. 도 1a는 계단 구배형 방식을 도시한다. 통상적으로 Si 웨이퍼인 반도체 기판(160)에서 층 스택이 시작된다. 몇몇 실시예에서 이 기판은 층 증착 단계 이후에 수행되는 층 전사 프로세스를 용이하게 하기 위해서 그의 표면 또는 하위표면 상에 실리콘 다공성 층을 갖도록 이미 수행되는 준비 단계를 가질 수 있다. "다공성 층 하위표면"은 표면 상에 다공성 층을 생성한 후에 다공성 층의 표면을 재결정화함으로써 생성되며, 이로써 수 마이크로미터 이하의 크기로 다공성 층 하위표면을 배치시킬 수 있다. 계단 구배형 SiGe 층(150)은 기판 표면을 적합하게 세정한 후에 UHV-CVD(초고진공 화학 기상 증착) 장치에 의해서 증착된다. 통상적인 실시예에서, 4 내지 5 단계가 존재하며 각 단계에서 Ge 농도는 대략 5% 만큼 증가된다. 각 단계에서의 층의 두께는 50nm 내지 300nm이며 각 단계에서의 층의 두께는 보다 높은 Ge 농도와 함께 증가된다. 최종 단계에서의 Ge 농도는 완화된 버퍼(140)의 농도이다. 층(140)은 종래 기술의 완화된 버퍼를 형성한다. 일정한 Ge 농도  $x$ 는 통상적으로 이 층들에서 20 내지 30 % 범위에서 존재한다. 모든 층(140)의 층 두께는 1 내지 2  $\mu\text{m}$ 이다. 본 발명에서, 완화된 버퍼는 Ge 오버슈트 층 또는 구역(130)을 포함한다. 이 오버슈트 구역에서 Ge 농도  $x$ 는 5 내지 10 % 만큼 급격하게 증가한다. 이 오버슈트 층의 두께는 10 nm 내지 50nm 이다. 이 오버슈트 층은 장점을 많이 가지고 있다. 이 층은 상부의 민감한 변형된 층으로 격자 결함이 거의 전달되지 않게 하는 싱크 역할을 한다. 이 오버슈트 층은 층 전사 단계에서 선택성을 돕는다. 오버슈트 층(130)은 선택적인 에칭 정지 층일 수 있거나 에칭 증진 층 또는 산화 특히 HIPOX 산화가 신속하게 수행되는 층일 수 있다. 증착될 최종 층이 본 발명의 목적이며, 이 층은 우수한 결정 품질을 갖는 인장력으로 변형된 Si 기반 층(100)이다. 변형의 크기는 그 하부에 존재하는 층(140)의 조성 및 두께에 의존하며 실리콘 기반 층 자체의 조성에도 의존한다. 비교적 높은 게르마늄 농도 층(140)은 실리콘 기반 상부 층보다 큰 격자 이격 거리를 가지기 때문에 인장 변형이 발생한다. 이 층(100)의 두께는 통상적으로는 5nm 내지 30nm이며 바람직하게는 10nm 내지 15nm이다. 몇몇 실시예에서 변형된 Si 기반 층(100)은 간단하게 순수한 실리콘이다. 다른 바람직한 실시예에서, 이 층은 통상적으로 10% 이하의 게르마늄 농도를 갖는 SiGe 층이다. 변형된 Si 기반 층(100)은 5 % 이하의 농도로 탄소를 포함할 수 있다. 이 탄소의 주요한 역할은 이후의 디바이스 제조 단계 동안 이 층에서의 도펀트 확산을 줄이는 것이다. 탄소는 모든 증착된 층(150,140,130,100) 내에 포함될 수 있다.

도 1b는 도 1a에서 도시된 바와 같은 동일한 타입의 실리콘 기반의 변형된 층을 도시하지만 여기에서는 그의 제조가 선형 구배 방식으로 구현된다. 이 실시예에서, 계단 구배형 층 및 완화된 버퍼는 선형 구배 농도의 Ge 층으로 대체된다. 여기에서도, 통상적으로 Si 웨이퍼인 반도체 기판(160)으로 스택이 시작된다. 몇몇 실시예에서 이 기판은 층 증착 단계 이후에 수행되는 층 전사 프로세스를 용이하게 하기 위해서 그의 표면 또는 하위표면 상에 실리콘 다공성 층을 갖도록 이미 수행되는 준비 단계를 가질 수 있다. 선형 구배 농도의 Ge 층(110)은 기판 표면을 적합하게 세정한 후에 UHV-CVD(초고진공 화학 기상 증착) 장치에 의해서 증착된다. Ge 농도는 기판과 인접하고 있는 층의 바닥에서는 거의 제로이며 도 1a의 완화된 버퍼의 농도와 유사한 Ge 농도 즉 20 내지 30 %에 이른다. 모든 층(110)의 층 두께는 1 내지 3  $\mu\text{m}$ 이다. 본 발명에서, 이 선형 구배의 Ge 농도 층은 Ge 오버슈트 층 또는 구역(130)을 포함한다. 이 오버슈트 구역에서 Ge 농도  $x$ 는 5 내지 10 % 만큼 급격하게 증가하는데 이 선형 구배 Ge 농도 층이 층(100)과 접촉하고 있는 부분에서 Ge 농도가 최대값이다. 이 오버슈트 층의 두께는 10 nm 내지 50nm 이다. 이 오버슈트 층은 선형 구배 영역의 전체 두께 면 근처에서 통상적으로는 층(100)과의 계면으로부터 500 nm 이하의 구역에서 배치된다. 이 오버슈트 층은 장점을 많이 가지고 있다. 이 층은 상부의 민감한 변형된 층으로 격자 결함이 거의 전달되지 않게 하는 싱크 역할을 한다. 이 오버슈트 층은 층 전사 단계에서 선택성을 돕는다. 오버슈트 층(130)은 선택적인 에칭 정지 층일 수 있거나 에칭 증진 층 또는 산화 특히 HIPOX 산화가 신속하게 수행되는 층일 수 있다. 계단 구배 방식의 도 1에서와 같이, 최종의 에피택셜하게 증착되는 층이 본 발명의 목적이며, 이 층은 우수한 결정 품질을 갖는 인장력으로 변형된 Si 기반 층(100)이다. 이 층(100)의 두께는 통상적으로는 5nm 내지 30nm이며 바람직하게는 10nm 내지 15nm이다. 몇몇 실시예에서 변형된 Si 기반 층(100)은 간단하게 순수한 실리콘이다. 다른 바람직한 실시예에서, 이 층은 통상적으로 10% 이하의 게르마늄 농도를 갖는 SiGe 층이다. 변형된 Si 기반 층(100)은 5 % 이하의 농도로 탄소를 포함할 수 있다. 탄소는 모든 증착된 층(110,130,100) 내에 포함될 수 있다.

도 2는 층 전사의 다양한 실시예 및 단계를 도시한다. 도 2a는 벌크 기판으로의 웨이퍼 본딩을 도시한다. 변형된 Si 기반 층을 새로운 기판 즉 통상적으로 다른 Si 웨이퍼로 전사하는 것은 여러 장점이 있다. 이 다른 Si 웨이퍼는 이전에 변형된 Si 기반 층이 그 상에 생성되었던 기판보다도 보다 높은 결정 품질을 갖는데, 그 이유는 변형된 Si 기반 층 아래의 높은 Ge 농도 층이 매우 높은 순도의 Si 웨이퍼보다 많은 결정 결함을 포함하기 때문이다. 영역(280), 즉 지지 구조물은 실리콘 기반

의 변형된 층(100)을 제조하기 위한 두 개의 상술된 실시예 중 하나인데, 즉 층들(150,140,130)의 계단 구배형 실시예의 스택 또는 층들(110,130)의 선형 구배 실시예의 스택이다. 변형된 Si 기반 층(100)은 기판(230)과 밀접하게 접촉하게 된다(200). 그 표면들이 본딩에 충분한 소량의 양의 물 및 산화물을 포함하기 때문에 위와 같은 밀접한 접촉 본딩이 발생한다. 이 본딩 후에 제 1 기판(160) 및 모든 층(150,140,130) 모두는 종래 기술에서 알려진 바와 같이 제거되며 이로써 층(100)이 높은 결정 품질의 기판(230)에 부착된다. 원하지 않는 층들의 이러한 제거 방식은 도 2b와 관련하여 다음에 보다 상세하게 설명될 것이며 본 기술 분야에서는 수 많은 실시예를 가지고 있다.

도 2b는 절연층으로의 전사 후의 CMP 및 백에칭 단계들을 도시한다. 도 1b의 층 스택 상에 절연체(210)가 성장 또는 증착된다. 바람직한 실시예에서, 이 절연체는 변형된 층(100) 상에서 성장한 산화물 층이다. 이 절연체(210)는 다른 절연체 층(220)과 밀접하게 접촉하게 된다(200). 여기서, 제 2 절연체 층(220)은 다른 기판(230) 상에서 성장 또는 증착된다. 그러나, 몇몇 실시예에서 이 절연체 층(210 또는 220)의 성장은 생략될 수 있다. 기판(230)은 통상적으로 Si 웨이퍼이다. 이 단계는 본 명세서에서 참조로서 인용되는 2000년 9월 29일에 출원된 D. F. Canaperi 등에 의한 미국 특허 출원 번호 09/675,841 "A Method of Wafer Smoothing for Bonding Using Chemo-Mechanical Polishing(CMP)" (IBM 문서 번호: YOR920000683US1)에 개시된다. 실리콘 이산화물 이외에, 층(210 또는 220)의 다른 바람직한 절연체 물질은 실리콘 질화물, 알루미늄 산화물, 리튬 니오베이트, 로우 k 물질, 하이 k 물질, 2 개 이상의 상기 물질의 조합을 포함한다. 각 물질은 다양한 상황에서 고유의 장점을 갖는다. 리튬 니오베이트는 변형된 층에서의 디바이스가 광학 애플리케이션을 가질 때 유리하다. 로우 k 물질 및 하이 k 물질은 실리콘 이산화물의 유전 상수에 비해 낮고 높은 유전 상수를 갖는 물질을 지칭한다. 로우 k 물질로 인해서 낮은 캐패시턴스를 제공하는 고속 디바이스가 가능하다. 하이 k 물질은 메모리 애플리케이션에서 유용하다. 실리콘 질화물 및 알루미늄 산화물은 매우 얇은 실리콘 이산화물 막의 강도를 높일 수 있다.

CMP 단계(260)는 미국 특허 출원 번호 09/675,841에 개시된다. 선택적인 에칭 단계(250)는 다양한 방식으로 수행될 수 있다. Ge를 포함하는 층을 선호적으로 에칭하거나 Ge를 포함하는 층 상에서 에칭이 정지되는 다양한 에천트가 존재한다. 이러한 에천트의 실례는 KOH 및 EPPW이다. Ge 오버슈트 층은 에칭 선택도의 측면에서 매우 유용하다. 선택적 에칭 기술의 세부 사항은 본 명세서에서 참조로서 인용되는 2000년 10월 19일에 출원된 J.O.Chu 등에 의한 미국 특허 출원 번호 09/692,606 "Layer Transfer of Low Defect SiGe Using an Etch-back Process"(IBM 문서 번호: YOR920000344US1)에서 개시된다. 도 2b는 CMP 및 선택적인 에칭이 계속 진행중인 상황을 도시한다. 최종적으로, 지지 구조물(28)의 모든 층들은 제거되며, 이로써 절연체 및 기판(230) 상에 변형된 채널 층(100)이 남게 된다. 이 절연체는 이전에 먼저 기술된 절연체(210 또는 220)의 표면(240)을 따른다.

도 2c 및 도 2d는 ELTRAN 프로세스를 기반으로 하는 층 전사를 개략적으로 도시한다. 도 2c는 ELTRAN 프로세스의 벌크 기판으로의 웨이퍼 본딩 단계를 도시한다. 이는 도 2a 상에 도시된 단계와 유사하다. 변형된 Si 기반 층(100)은 기판(230)과 밀접하게 접촉하게 된다(200). 그 표면들이 본딩에 충분한 소량의 양의 물 및 산화물을 포함하기 때문에 위와 같은 밀접한 접촉 본딩이 발생한다. 영역(280), 즉 지지 구조물은 실리콘 기반의 변형된 층(100)을 제조하기 위한 두 개의 상술된 실시예 중 하나인데, 즉 층들(150,140,130)의 계단 구배형 실시예의 스택 또는 층들(110,130)의 선형 구배 실시예의 스택이다. 지지 구조물(280)은 다공성 실리콘 층(270) 상에 성장한다. 기판 표면 또는 하위표면 상에서의 다공성 층의 생성은 본 기술 분야에서 잘 알려져 있다. 다공성 층 하위표면에 대해서는 표면 상에 다공성 층을 생성한 후에 다공성 층의 표면이 재결정화되며 이로써 수 마이크로미터 이하의 크기로 다공성 층 하위표면을 배치시킬 수 있다. 도 2c 상의 점선의 기판 영역(160)은 하위표면 다공성 층의 가능성을 도시한다. 도 2d는 절연층으로의 본딩 후의 ELTRAN 프로세스의 분할 단계를 도시한다. 이는 이미 자세하게 상술된 바와 같이 도 2b 상에 도시된 단계와 유사하다. 화살표(290)는 기판(260)의 벌크가 다공성 실리콘 층(270)의 취약성을 사용하여 제거되는 단계를 도시한다. 도 2d 상의 점선 기판 영역(160)은 하위표면 다공성 층의 가능성을 나타낸다. 물 분사, 기계적 분할, 다공성 층(270)을 분할하기 위해 다양한 힘을 사용하는 것과 같은 단계(290)를 성취하기 위한 여러 방식이 본 기술 분야에서 존재한다. 지지 구조물(280)의 제거는 본 기술 분야에서 잘 알려진 방식으로 수행된다.

본 발명의 다양한 실시예에서 사용될 수 있는 본 기술 분야에서 알려진 다른 층 전사 방법은 나중에 기술될 이른바 SmartCut이다.

도 3은 실리콘 기반의 인장력으로 변형된 층에서 제조되는 전자 디바이스, FET 디바이스를 도시한다. 도 3a는 최초의 기판 상에 그리고 지지 구조물(280) 상에 층이 존재할 때에 층 전사가 없는 층에서의 FET 디바이스의 도면이다. 영역(280), 즉 지지 구조물은 실리콘 기반의 변형된 층(100)을 제조하기 위한 두 개의 상술된 실시예 중 하나인데, 즉 층들(150,140,130)의 계단 구배형 실시예의 스택 또는 층들(110,130)의 선형 구배 실시예의 스택이다. 인장력으로 변형된 Si 기반 층의 장점을 이용할 수 있는 수 많은 디바이스 중 하나가 FET이다. n 타입 형식과 p 타입 형식을 갖는 FET는 CMOS 구성 기술의 기본 구축 블록이다. 여기서, 변형된 층(100)은 소스/드레인 영역(330), 게이트 절연체(340) 및 게이트(320)를 갖는 층(100) 내부에 구축된 표준형 FET를 갖는다.



도 3b는 층 전사 이후의 절연체 상의 실리콘 기반의 인장력으로 변형된 층 내에서 제조된 FET 디바이스를 개략적으로 도시한다. 도 3b는 절연층 상의 디바이스를 도시하지만 이는 구조물을 한정하기 위한 것이 아니다. 만일 변형된 Si 기반 층이 벌크 기판으로 전사되었다면, 동일한 디바이스가 그 내부에 구축될 수 있다. 인장력으로 변형된 Si 기반 층의 장점을 이용할 수 있는 수 많은 디바이스 중 하나가 FET이다. 이 FET는 CMOS 구성 기술의 기본 구축 블록이다. 층 전사 이후에 남겨지는 기판만이 그 층(230) 상에 성장/증착된 제 2 절연층을 갖는 층이다. 이 절연체는 최초의 두 절연체(210 및 220)의 표면(240)을 따른다. 그러나, 몇몇 실시예에서 이 절연체(210 또는 220)의 성장은 생략될 수 있다. 여기서, 변형된 층(100)은 소스/드레인 영역(330), 게이트 절연체(340) 및 게이트(320)를 갖는 층(100) 내부에 구축된 표준형 FET를 갖는다.

도 3에 도시된 FET 디바이스들이 아주 많은 개수로 상호접속되어서 회로, 디지털 프로세서, 동적 메모리 및 정적 메모리, 통신 시스템, 본 기술 분야에서 알려진 다른 유용한 시스템을 형성한다.

도 4는 실리콘 기반의 인장력으로 변형된 층에서 제조되는 전자 디바이스, 바이폴라 디바이스를 도시한다. 도 4a는 최초의 기판 상에 그리고 지지 구조물(280) 상에 층이 존재할 때에 층 전사가 없는 층에서의 바이폴라 디바이스의 도면이다. 영역(280), 즉 지지 구조물은 실리콘 기반의 변형된 층(100)을 제조하기 위한 두 개의 상술된 실시예 중 하나인데, 즉 층들(150,140,130)의 계단 구배형 실시예의 스택 또는 층들(110,130)의 선형 구배 실시예의 스택이다. 인장력으로 변형된 Si 기반 층의 장점을 이용할 수 있는 수 많은 디바이스 중 하나가 바이폴라 트랜지스터이다. 변형된 층(100)은 이미터(420), 베이스(410) 및 컬렉터(430)를 갖는 층(100) 내부에 구축된 표준형 바이폴라 트랜지스터를 갖는다.

도 4b는 층 전사 이후의 절연체 상의 실리콘 기반의 인장력으로 변형된 층 내에서 제조된 바이폴라 트랜지스터 디바이스를 개략적으로 도시한다. 도 4b는 절연층 상의 디바이스를 도시하지만 이는 구조물을 한정하기 위한 것이 아니다. 만일 변형된 Si 기반 층이 벌크 기판으로 전사되었다면, 동일한 디바이스가 그 내부에 구축될 수 있다. 인장력으로 변형된 Si 기반 층의 장점을 이용할 수 있는 수 많은 디바이스 중 하나가 바이폴라 트랜지스터이다. 층 전사 이후에 남겨지는 기판만이 그 층(230) 상에 성장/증착된 제 2 절연층을 갖는 층이다. 이 절연체는 최초의 두 절연체(210 및 220)의 표면(240)을 따른다. 그러나, 몇몇 실시예에서 이 절연체(210 또는 220)의 성장은 생략될 수 있다. 여기서, 변형된 층(100)은 이미터(420), 베이스(410) 및 컬렉터(430)를 갖는 층(100) 내부에 구축된 표준형 바이폴라 트랜지스터를 갖는다.

도 4에 도시된 바이폴라 디바이스들이 아주 많은 개수로 상호접속되어서 회로, 디지털 프로세서, 동적 메모리 및 정적 메모리, 통신 시스템, 본 기술 분야에서 알려진 다른 유용한 시스템을 형성한다. 바이폴라 디바이스 및 FET 디바이스는 실리콘 기반의 변형된 층 내에서 서로 옆에 인접하여 제조되어서 FET 디바이스와 바이폴라 디바이스의 혼합 디바이스를 형성하는데 이는 BiCMOS로 지칭되며 회로 및 시스템을 형성한다.

도 5는 그의 구성 요소로서 실리콘 기반의 인장력으로 변형된 층을 포함하는 전자 시스템을 개략적으로 도시한다. 이 도면에서 전자 시스템은 구형체(500)로서 도시되었으며 이는 실리콘 기반의 변형된 층(100) 및 이 층 내부에 구축된 디바이스 구조물을 포함한다.

실리콘 기반의 변형된 층 내에서 구축되는 고성능 디바이스를 이용할 수 있는 전자 시스템은 아주 많다. 이러한 전자 시스템은 프로세서인데, 가령 일반적으로 컴퓨터와 같은 컴퓨팅 디바이스에서 발견되는 것과 같은 디지털 프로세서, 증폭기에서 발견되는 것과 같은 무선 및 광학 통신 프로세서, 무선 및 광학 통신 프로세서에서 발견되고 다중프로세서 내에서 컴퓨팅 디바이스들을 상호접속시키며 컴퓨팅 디바이스와 메모리를 상호접속시키는 프로세서에서 발견되는 것과 같은 아날로그-디지털 혼합형 프로세서이다.

본 발명의 수 많은 수정 및 변경이 상술한 가르침 하에서 가능하며 이는 본 기술 분야의 당업자에게 분명하다. 본 발명의 범위는 다음의 청구 범위에서 규정된다.

### 도면의 간단한 설명

도 1은 실리콘 기반의 인장력으로 변형된 층을 생성하는 층 스택의 도면,

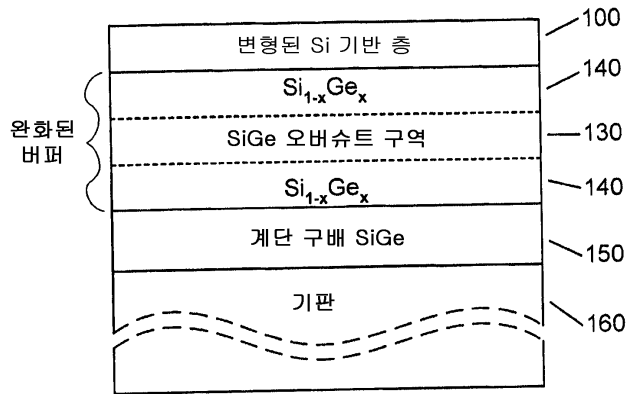
도 1a는 계단 구배형 방식의 도면이며 도 1b는 선형 구배 방식의 도면,

도 2는 층 전사의 다양한 실시예 및 단계들의 도면,

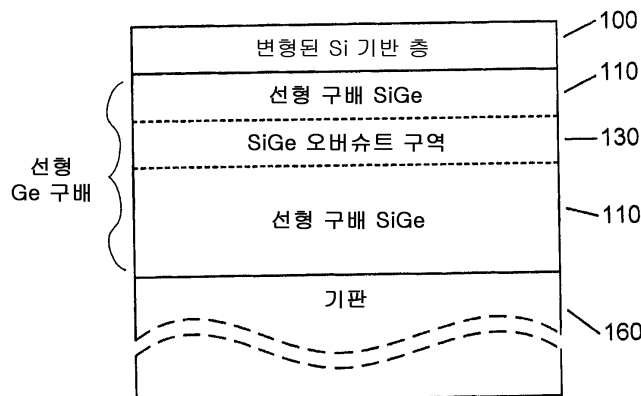
- 도 2a는 벌크 기판으로의 웨이퍼 본딩의 단계의 도면,
- 도 2b는 절연층으로의 본딩 후의 CMP 및 백에칭 단계들의 도면,
- 도 2c는 ELTRAN 프로세스에 의한 벌크 기판으로의 웨이퍼 본딩 단계의 도면,
- 도 2d는 절연층으로의 본딩 후의 ELTRAN 프로세스의 분할 단계의 도면,
- 도 3은 실리콘 기반의 인장력으로 변형된 층에서 제조된 FET 디바이스의 개략도,
- 도 3a는 층 전사 없는 층에서의 FET 디바이스의 도면,
- 도 3b는 층 전사 후의 층에서의 FET 디바이스의 도면,
- 도 4는 실리콘 기반의 인장력으로 변형된 층에서 제조된 바이폴라 디바이스의 개략도,
- 도 4a는 층 전사 없는 층에서의 바이폴라 디바이스의 도면,
- 도 4b는 층 전사 후의 층에서의 바이폴라 디바이스의 도면,
- 도 5는 실리콘 기반의 인장력으로 변형된 층을 그의 구성 요소로서 포함하는 전자 시스템의 개략도.

도면

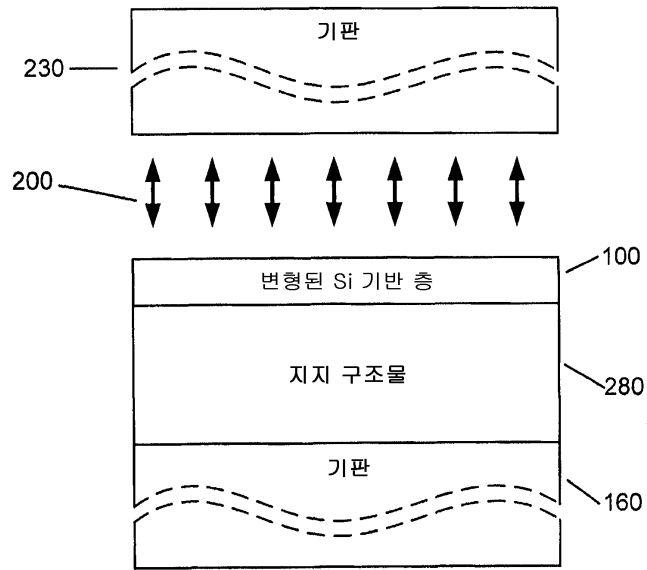
도면1a



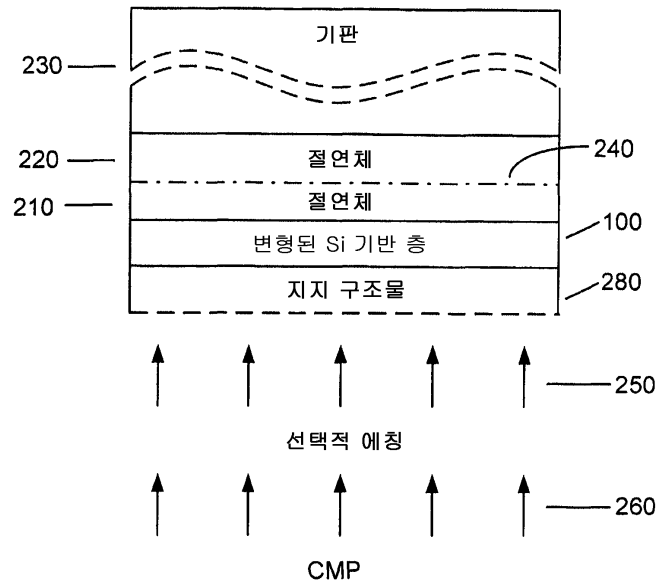
도면1b



도면2a

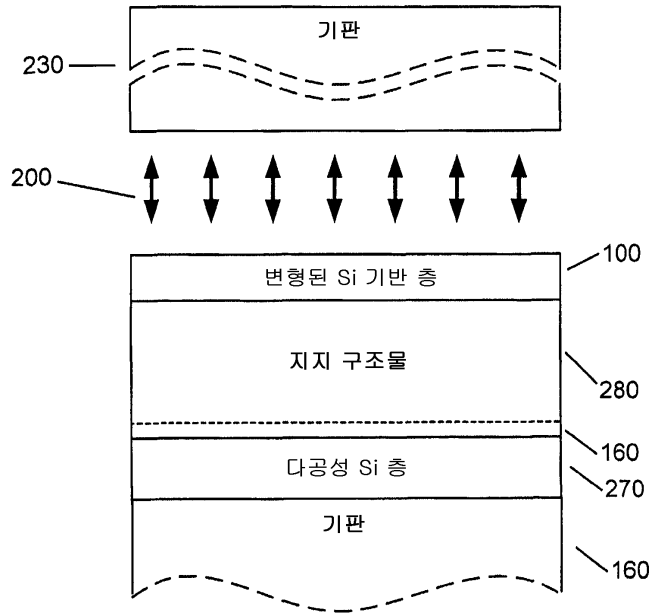


도면2b

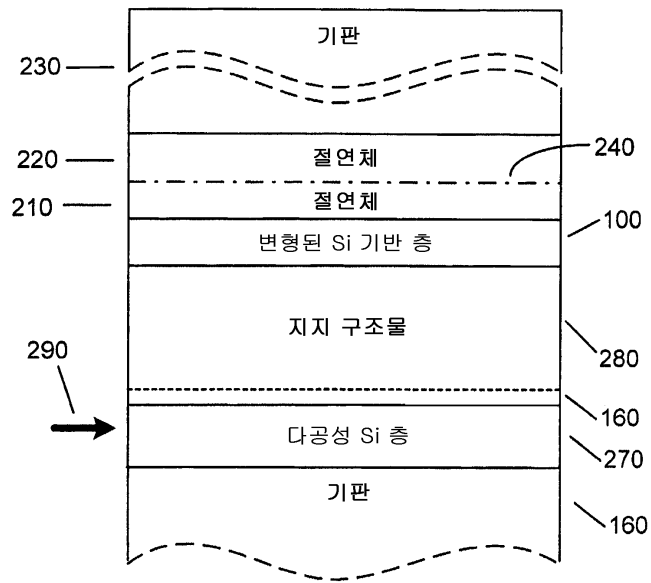




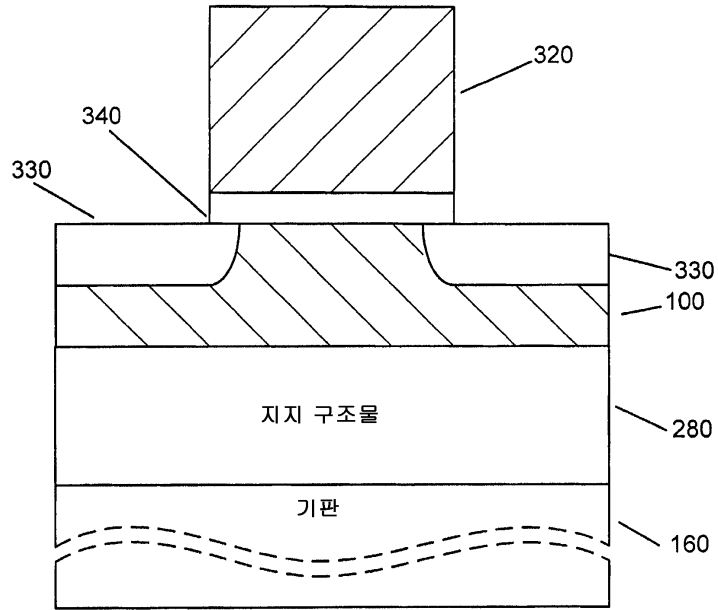
도면2c



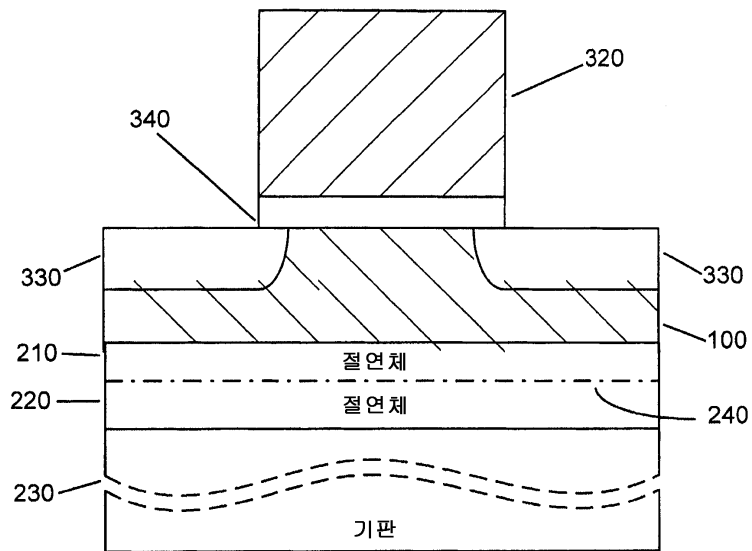
도면2d



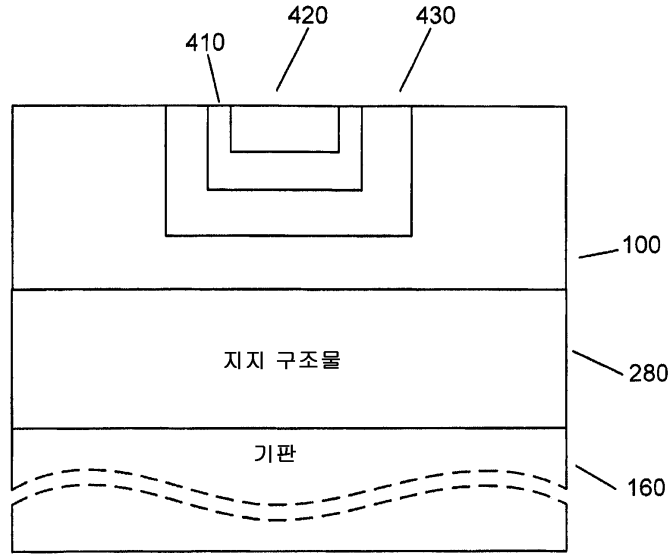
도면3a



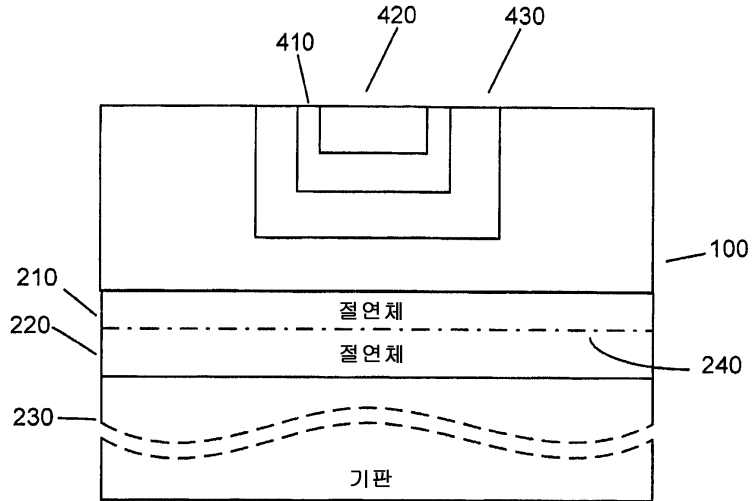
도면3b



도면4a



도면4b



도면5

