

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月26日(26.04.2018)



(10) 国際公開番号

WO 2018/074611 A1

(51) 国際特許分類:

G09F 9/00 (2006.01)

G09F 9/40 (2006.01)

G09F 9/30 (2006.01)

H01L 33/48 (2010.01)

G09F 9/33 (2006.01)

[JP/JP]; 〒2770882 千葉県柏市柏の葉5丁目4番6号 Chiba (JP).

(21) 国際出願番号: PCT/JP2017/038096

(22) 国際出願日: 2017年10月17日(17.10.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-205464 2016年10月19日(19.10.2016) JP

(71) 出願人: 株式会社オルガノサーキット (ORGANO-CIRCUIT INCORPORATION)

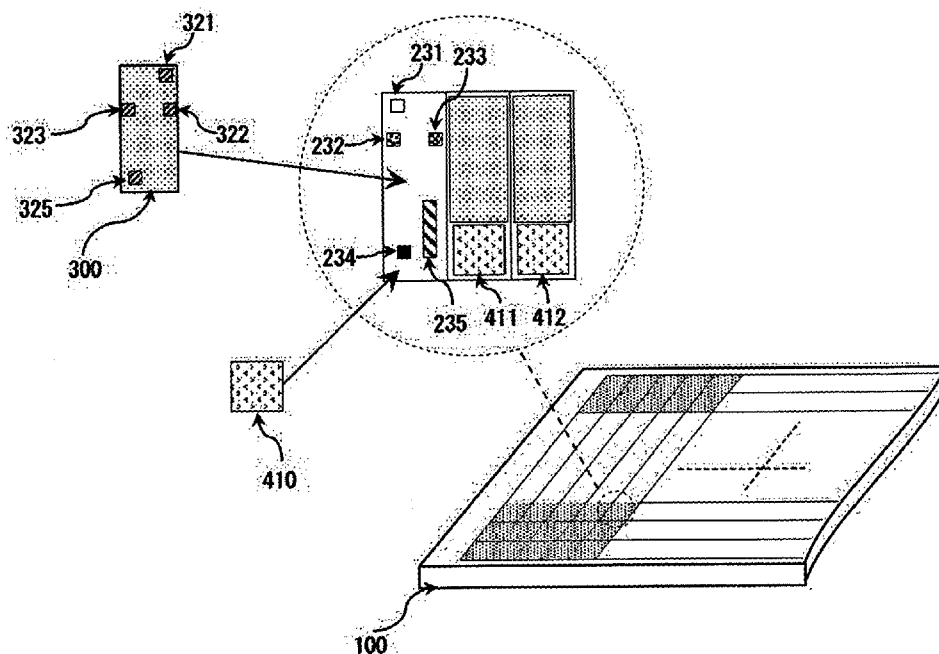
(72) 発明者: 山口 清一郎 (YAMAGUCHI, Seichiro); 〒5320004 大阪府大阪市淀川区西宮原2-7-38 パイクリスタル株式会社内 Osaka (JP). 竹谷 純一 (TAKEYA, Junichi); 〒5320004 大阪府大阪市淀川区西宮原2-7-38 パイクリスタル株式会社内 Osaka (JP). 松室 智紀 (MATSUMURO, Tomonori); 〒5320004 大阪府大阪市淀川区西宮原2-7-38 パイクリスタル株式会社内 Osaka (JP).

(74) 代理人: 松山 裕一郎 (MATSUYAMA Yuichiro); 〒1040033 東京都中央区新川1-2-14 ユニゾ新川1丁目ビル4B Tokyo (JP).

(54) Title: ACTIVE MATRIX LED DISPLAY

(54) 発明の名称: アクティブマトリクスLEDディスプレイ

図1



(57) Abstract: Large size LED displays have a high number of lead-out wires and thus require a driver circuit for every small display unit, thereby resulting in an increased case size which puts constraints on the installation location for the device. In the present invention, inorganic LED elements (410, 411, 412) are mounted on an active matrix substrate provided with pixel circuit driving substrates (300) in a matrix. Furthermore, the pixel circuit driving substrates (300) also have mounted thereon elements fabricated with a different substrate, similarly to the inorganic LED elements (410, 411,



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

412). This makes it possible to provide an active matrix LED display that can significantly reduce the number of lead-out wires for driving the inorganic LED elements (410, 411, 412), that can be installed in various places at low cost, and that is flexible, lightweight, and large.

(57) 要約: 大面積LEDディスプレイは、配線引出し本数が多いため小さなディスプレイユニット毎に駆動回路を持たなければならず、筐体が大型化するため設置場所に制約がある。マトリクス状に画素回路駆動基板(300)を備えた、アクティブマトリクス基板上に無機LED素子(410, 411, 412)を実装する。更に、画素回路基板(300)も無機LED素子(410, 411, 412)と同様に別基板で作製したものを実装する。これらにより、無機LED素子(410, 411, 412)を駆動するための引き出し配線数を大幅に削減でき、低コストで様々な場所に容易に設置することが可能な、フレキシブル且つ、軽量の大型のアクティブマトリクスLEDディスプレイを提供することが可能となる。

明細書

発明の名称

アクティブマトリクスLEDディスプレイ

5 技術分野

本発明は、大面積のディスプレイ及びその製造方法に係り、詳しくはアクティブマトリクス駆動ができるLEDディスプレイ及びその製造方法に関する。

背景技術

10 近年、液晶ディスプレイに代表されるフラットパネル型のディスプレイの普及が進み、様々な分野に浸透してきた。高精細化や大型化など用途に応じて技術の進化も激しくなり、ディスプレイのフレキシブル化という機能面での技術革新が進んでいる。表示方式としては液晶方式が現在の主流となっており、中小型ディスプレイを中心に有機ELを採用したディスプレイもシェアを伸ばしている。またLEDを使用したディスプレイも屋外用途
15 中心に大型ディスプレイとして増加傾向にある。

フラットパネルディスプレイの新しい分野として、交通機関や小売店等で紙に代わる広告媒体としてディスプレイを使用するデジタルサイネージ市場の拡大が期待されている。現在は、小型のディスプレイによる電車内での広告や情報発信、小売店でのPOP広告的な使われ方が主流だが、大型ディスプレイにデジタルサイネージに対する潜在的なニーズ
20 が高い。大型商業施設や繁華街或はイベント会場にて、ロケーションや消費者の行動状況に応じた映像系広告や販促情報さらにはイベント・サービスの案内等を大型のディスプレイを用いて発信することにより消費行動を促進することが検討されている。大型ディスプレイによる広告効果の高さは実証実験等でも確認されている。

ところが、市場の期待の大きさにかかわらず、デジタルサイネージにおけるディスプレイの大型化の進展は緩やかである。現状のディスプレイ技術ではコスト及び機能面において課題があり、普及し得る大型ディスプレイ技術が存在しない点にある。コストに関しては、ディスプレイ本体のコストに加えて大型であるが故の設置コストの抑制も重要な要素になる。また、大型ディスプレイを設置する箇所の殆どは既存の構造物の内外部であるため、既存の構造物に対する加工が極力少なく、スペースを有効に活用できるディスプレイ
30 技術が求められる。言い換えると、軽量で曲げることが可能で且つ任意の形状に低コストで製造できる大型ディスプレイ技術が求められている。

しかしながら、既存のフラットパネルディスプレイの主流である液晶ディスプレイ技術では、大きなガラス基板上にディスプレイを製造する性格上、大型化に伴い製造コストが急激に上昇する上、製造可能なサイズに上限が存在する。サイネージ向け等で40～50
35 インチ程度の液晶ディスプレイを複数組み合わせることで大型化させる事例もあるが、ディスプレイ全体の重量増や屋外等への設置性が乏しいことなどから広く普及するに至っていない。

また、有機EL技術は軽量でフレキシブルなディスプレイを作ることにより一番適しており、既に曲げることができるディスプレイが普及しているが、大型化の普及にはまだ量産技術の課題も多く、更に、サイネージ向けに使用するには、要求される輝度・寿命特性の実
40

現に更なる特性の向上が必要である。

一方、LEDを用いたディスプレイは画素を適度なサイズでまとめたディスプレイユニットを組み合わせる方式で大型化するため、サイズ上の制限が原理的にはない。そのため、屋外等で使用する超大型のディスプレイにはLEDディスプレイが採用されている。しかし、現状の技術では画素を効率よく制御することが可能なアクティブマトリクス方式のディスプレイを作ることができないため、LED素子を実装する基板側に複雑な配線を施し、複雑な制御回路装置でディスプレイユニットの画像を制御する必要がある。そのため、ディスプレイのコストと重量抑制が困難であり、普及の足枷となっている。

先行技術文献

特許文献

特許文献1：特開2005-84683

特許文献2：特開2002-141492

非特許文献

非特許文献1：Technology Development for Printed LSIs Based on Organic Semiconductors, 2014 Symposium on VLSI Circuits Digest of Technical Papers

発明の概要

発明が解決しようとする課題

このような状況を鑑み、LED素子を駆動するための引出し配線数を大幅に削減することでディスプレイユニットの大型化が容易になり、低コストで様々な場所に容易に設置することが可能で、フレキシブル且つ、軽量な大型のアクティブマトリクスLEDディスプレイを提供することが、本発明の主な目的である。

課題を解決するための手段

本発明のアクティブマトリクスLEDディスプレイは、可撓性を持つ基板材の上に形成されており、画素駆動回路と電氣的に接続された無機LED素子を有し、画素駆動回路は少なくとも1つ以上の薄膜トランジスタで形成され、薄膜トランジスタは有機薄膜トランジスタで、無機LED素子は、画素駆動回路を備えた基板上に部品として実装される。

本発明のアクティブマトリクスLEDディスプレイは、複数枚の基板を列方向と行方向に並べる事により大型化しており、列方向と行方向に並べられた複数枚の基板は、それぞれ独立した駆動回路を有しているもしくは、列方向と行方向に並べられた複数枚の基板は電氣的に接続されており、全ての基板は共通の駆動回路を有している。

本発明のアクティブマトリクスLEDディスプレイの無機LED素子を実装するための画素駆動回路を備えた基板は、基板端に基板間接続端子を有し、更に基板上行選択線、列選択線、電源線とグランド線を有し、かつ、ディスプレイの画素を構成する単位毎に少なくとも、片側が電源線もしくはグランド線に接続された無機LED素子実装用端子を有

している。

本発明のアクティブマトリクスLEDディスプレイは、画素駆動回路が形成された画素駆動回路基板、無機LED素子とこれらを実装するためのパターンを備えた第3の基板の3部材を組み合わせて構成されており、画素駆動回路基板と第3の基板は可撓性を有して

いる。
本発明のアクティブマトリクスLEDディスプレイの画素駆動回路基板は、少なくとも行選択線接続用端子、列選択線接続用端子、電源線接続用端子、無機LED接続用端子の4端子を有している。

本発明のアクティブマトリクスLEDディスプレイの画素駆動回路基板と無機LED素子を実装するための第3の基板は、基板端に基板間接続端子を有し、更に基板上行選択線、列選択線、電源線とグランド線を有し、かつ、ディスプレイの画素を構成する単位毎に少なくとも行選択線接続用端子、列選択線接続用端子、電源線もしくはグランド線接続用端子、片側が電源線もしくはグランド線に接続された無機LED素子実装用端子を有している。

本発明のアクティブマトリクスLEDディスプレイは、無機LED素子を実装するための画素駆動回路を備えた基板および、画素駆動回路が形成された画素駆動回路基板、無機LED素子とこれらを実装するためのパターンを備えた第3の基板で構成されており、基板端部に基板同士を貼り合わせるもしくは、電気的に接合するための接合機構を備えている。

本発明のアクティブマトリクスLEDディスプレイは、無機LED素子を画素駆動回路が備えられた基板上に部品として実装工程で貼り合わされている。

本発明のアクティブマトリクスLEDディスプレイは、画素駆動回路を備えた可撓性を有する画素駆動回路基板、無機LED素子とこれらを実装するためのパターンを備えた可撓性を有する第3の基板の3部材を組み合わせて構成されており、画素駆動回路基板と無機LED素子は第3の基板上に実装工程で貼り合せる。

本発明のアクティブマトリクスLEDディスプレイを列方向と行方向に複数並べて大型化するとき、隣接するアクティブマトリクスLEDディスプレイとは少なくとも一部に導電性を備えた材料を含む部材もしくは、接合機構を用いて貼り合せている。

発明の効果

本発明によれば、アクティブマトリックスディスプレイで必要となる行選択線、列選択線、電源線、グランド線等のディスプレイの表示エリア全面に張りめぐらせる配線類、表示素子、画素駆動回路を、各々にとって最も経済効率の高いプロセス方法や密度で形成することができるため、ディスプレイの大型化に伴う、製造装置の大型化を限定的にすることが可能になる。

具体的には、有機LED（有機EL、OLED）素子と違い、無機LED素子は既存の固体半導体プロセスで形成し高温な熱処理が施される部材を無機LED素子に限定できるため、これを部品として基材上に実装する場合にはプロセス制約がなく、ディスプレイ基板として安価なポリエチレンテレフタレート（PET）などのフレキシブル基板が利用できる。これにより、ディスプレイ基板上の表示エリア全面に張りめぐらせる各種配線類や

絶縁膜は安価なロールツーロール技術や印刷技術等で形成することが可能になり、さらに画素駆動回路は有機TFTプロセスにとって最も経済効率の高いサイズのフレキシブル基板上に高密度に形成することが可能になる。このことにより、ディスプレイ全体の大型化に伴う製造コストの増大は最小限に抑制できる。加えて、軽量で且つフレキシブルな大型
5 アクティブマトリクスLEDディスプレイが実現できる。

図面の簡単な説明

図1は本発明の第1の実施形態の基本概念を示した図。ディスプレイ基板100の各々の画素の所定の箇所に、RGB各色のLED410、411、412及び、各々のLED
10 を駆動する画素駆動回路を作り込んだ画素駆動回路基板300を実装する様子を示している。

図2は本発明の第1の実施形態において、LEDと画素駆動回路基板300を実装する直前のディスプレイ基板100の状態を示した図。図ではディスプレイ基板100の上面の一部を拡大した上面図と、上面図に破線で示した箇所の断面図を示している。上面図中の
15 の一点鎖線は各画素の境界を表している。

図3は本発明の第1の実施形態における、画素駆動回路の回路図。

図4は本発明の第1の実施形態における、有機TFTの断面構造を示した図。

図5は本発明第2の実施形態における、画素駆動回路基板の有機TFTの断面構造を示した図。

20 図6は本発明第2の実施形態における、第3の基板の断面構造を示した図。

図7は本発明第2の実施形態における、第3の基板へ画素駆動回路基板300と無機LED素子400を実装した断面図。

図8は本発明第2の実施形態における、第3の基板を貼り合せて大型ディスプレイを実現するための接合方法の例を示す図面
25

発明を実施するための形態

以下、図面を参照して本発明の実施形態について詳細に説明する。

実施例1

30 本実施の形態では、RGB各色の無機LED素子を発光素子として、各々の発光素子に有機TFTを用いた画素駆動回路を配したアクティブマトリクス型の無機LEDディスプレイ製造技術で、デジタルサイネージ用としてQHD規格で2.88m×1.62mサイズ（画素サイズ3mm×3mm）のディスプレイを作る例を説明する。

図1は本発明の基本概念を示すものであり、ディスプレイ本体の基板100の各画素内の3つの色要素毎に画素駆動回路基板300及び、RGB各色の表面実装用の無機LED410、411、412を実装する様子を示している。ディスプレイ基板100上には、画素駆動回路基板と無機LEDを実装する段階で、行選択線、列選択線、電源線、グランド線とこれらの導体線の各々と電氣的に接続されているパッド231、232、233、234が形成されており、さらに画素駆動回路基板の出力端子325とLEDの陽極を接
40 続するための配線パターン235が形成されている。画素駆動回路基板上には内部回路に

接続される端子 321、322、323、325 が設けられており夫々が、パッド 231、232、233 及び配線パターン 235 に接続するようにフェイスダウンにより実装される。各 LED は陽極が 235、陰極が 234 に接続するように実装される。

本実施の形態では、アクティブマトリクス動作させるために必要な導体線の全てを画素駆動回路基板及び LED を実装する前に形成しているが、この一部の形成工程が、画素駆動回路基板や LED の実装工程と前後しても本発明の適用範囲として構わない。

図 2 に画素駆動回路基板 300 及び LED を実装する前の基板 100 の状態を示す。PET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）、PI（ポリイミド）に代表される樹脂基材を材料としたディスプレイ本体の基板 100 に対して、グラビアオフセット印刷やスクリーン印刷に代表される印刷技術を用いて、行選択線 211、列選択線 212、電源線 213、グランド線 214 を、さらにこれらの導体線と LED 及び画素駆動回路を電氣的に接続するためのパッド 231、232、233、234 と、LED と駆動回路の出力を接続するための配線パターン 235 を形成する。図では省力しているが、パッド 231、232、233、234 は夫々行選択線、列選択線、電源線、グランド線に V I A を介して接続されている。行選択線 211 はディスプレイの長辺に平行なるようにレイアウトされ、絶縁膜 110 を挟んで行選択線 211 と直行するように列選択線 212 と電源線 213 が、行選択線 211 と平行するようにグランド線 214 がレイアウトされている。パッド 231、232、233、234 及び配線パターン 235 は絶縁膜 120 の上に形成する。

本実施の形態では、画素駆動回路としては図 3 に示す選択用 T F T と駆動用 T F T 及び保持用容量素子で構成する回路を例としてあげるが、本特許の適用範囲としては他の回路方式を選んでも構わない。

画素駆動回路は非特許文献 1 等の高性能有機 T F T 回路プロセスにより形成することができる。図 4 に画素駆動回路基板 300 内の有機トランジスタの断面部を示す。ガラスの支持基板 301 に PEN や PI 等に代表される樹脂基材を基板材とする画素駆動回路基板 300 を張り合わせて、有機 T F T 回路プロセス処理を行う。主だった工程は、ゲート電極 310 の形成、ゲート絶縁膜 311 の形成、有機半導体単結晶膜 312 の形成、ソース電極 313 及びドレイン電極 314 用金属膜の形成、有機半導体単結晶膜とソース電極及びドレイン電極のパターニング、配線層 315 の形成、絶縁膜層 316 の形成、V I A 317 の形成と接続端子用パッド 318 の形成からなる。画素駆動回路は、有機 T F T プロセスとして最も経済効率の高いサイズの基板に対して、多数の画素駆動回路を高密度にレイアウトして形成する。画素駆動回路の形成後に、回路単位で画素駆動回路基板 300 を支持基板 301 から剥離し、ディスプレイ基板 100 に実装する。

図 4 では明示的に示していないが、画素駆動回路における保持用容量素子は誘電体膜としてゲート絶縁膜 311 を、電極としてゲート電極 310 及びソース電極 313 やドレイン電極 314 用の金属膜を使用する。

実施例 2

次に本発明を実施するための第 2 の実施の形態について説明する。

本実施の形態は、本発明を実施するための第 1 の実施の形態で示したとおり、第 1 の基

板上に有機半導体薄膜で構成された画素駆動回路を形成し、無機半導体プロセスにより第2の基板上に無機LED素子を形成し、第3の基板上に各種印刷法やフォトリソグラフィ法などで配線や端子パターンを形成し、第3の基板上の所定の箇所へ前記第1の基板と前記第2の基板を貼り合せて実装することでアクティブマトリクスLEDディスプレイを作製するものである。前記第1の実施の形態との違いは、フェイスダウンに対してフェイスアップで実装する点である。

次に、本発明を実施するための第2の実施の形態について詳細を説明する。

最初に、第1の基板上に図3に示す2トランジスタ1キャパシタ(2T1C)構成の薄膜トランジスタで形成された画素駆動回路基板300(図5)を形成する。但し、図5とそれ以降の図面では簡略化のため1トランジスタの簡略表示にて説明するが、実際には、図3に代表される回路を構成する要素が入っているものとする。

第1の基板の構成は、工程中のハンドリング用仮固定基板301上に可撓性を有する樹脂製基板300が形成されているものである。この時、ハンドリング用仮固定基板としては、無アルカリガラス、石英ガラス、Si基板等に代表される寸法安定性の良いリジットな基板なら特に制限されるものではない。

また、可撓性を有する樹脂製基板としては、例えば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリカーボネート(PC)、ポリイミド(PI)、ポリエーテルサルホン(PES)、ポリエーテルイミド(PEI)、ポリフェニレンサルファイド(PPS)、全芳香族ポリアミド(別名:アラミド)、ポリフェニレンエーテル(PPE)、ポリアリレート(PAR)、ポリブチレンテレフタレート(PBT)、ポリオキシメチレン(POM、別名:ポリアセタール)、ポリエーテルエーテルケトン(PEEK)、液晶ポリマー(LCP)(例:熔融液晶性全芳香族ポリエステル(基本骨格:パラヒドロキシ安息香酸、ビフェノール、フタル酸))、パリレン、金属ホイル基板等が挙げられる。

また、樹脂製基板の膜厚は $1\mu\text{m}\sim 500\mu\text{m}$ で目的に応じて自由に設定でき、より好ましくは $1\mu\text{m}\sim 150\mu\text{m}$ 、最も好ましいのは $1\mu\text{m}\sim 50\mu\text{m}$ である。

次に、樹脂基板上に導電性薄膜310を形成する。導電性薄膜310を形成する方法としては、例えば、スパッタリング法、真空蒸着法に代表されるPVD法、または、導電性膜材料を含むインクを用いた塗布法により導電性薄膜310を樹脂製基板300上に成膜した後、フォトリソグラフィ法により所定の形状にパターニングを実施することにより形成する方法が挙げられる。

導電性薄膜310を形成する材料としては、例えば、Au、Ag、Cu、Mo、W、Ti、Al、Pd、Pt、Ta等の金属、これらの金属の合金、および、これらの金属の化合物が挙げられる。導電性膜を形成する材料としては、導電性が高い材料が好ましい。

また、導電性薄膜310を形成する他の方法としては、例えば、有版印刷法または無版印刷法により、樹脂製基板510上に、所定の形状にパターニングされた導電性薄膜310を直接形成する方法が挙げられる。所定の形状にパターニングされた導電性薄膜310を直接形成することにより、導電性薄膜310を形成する工程を簡略化することができる。

有版印刷法または無版印刷法により、所定の形状にパターニングされた導電性薄膜31

Oを直接形成する場合、種々の導電性膜材料を含むインクを用いることができる。導電性膜材料を含むインクとしては、導電性の高い材料を含むインクが好ましく、例えば、PEDOT/ PSS等の導電性高分子化合物を含むインク、無機材料のナノパーティクル微粒子を分散させた微粒子分散インク、銅塩、銀塩等の金属化合物インクが挙げられる。微粒子分散インクに含まれる微粒子としては、例えば、ナノ-Au、ナノ-Ag、ナノ-Cu、ナノ-Pd、ナノ-Pt、ナノ-Ni、ナノ-ITO、ナノ酸化銀、ナノ酸化銅が挙げられる。ナノ酸化銀およびナノ酸化銅を含む微粒子分散インクには、還元剤が含まれていてもよい。

また、めっき法により導電性薄膜310を形成してもよい。めっき法により導電性薄膜310を形成する方法としては、例えば、フォトリソグラフィ法、有版印刷法または無版印刷法により、あらかじめ所定の形状にパターニングされためっきプライマー層を樹脂製基板300上に形成しておき、無電解めっき法、または、無電解めっき法と電解めっき法との組合せにより、所定の位置に導電性薄膜310を形成する方法が挙げられる。

導電性薄膜310の膜厚は特に限定されないが、20nm~1μmであることが好ましく、20nm~300nmであることがより好ましい。無機材料のナノパーティクル微粒子を分散させた微粒子分散インクを用いて導電性薄膜310を形成する場合、導電性薄膜310の膜厚は、100nm~300nmであることが好ましく、150nm~250nmであることがより好ましい。微粒子分散インクに含まれる分散剤成分等の残留や導電性薄膜310の成膜後のベーク処理において、ナノパーティクル微粒子が粒子成長することで導電性薄膜310に含まれるナノパーティクル微粒子が不均一となることにより導電性の障害が発生する可能性があるため、100nm以下の膜厚では導電性が低下する可能性があるためである。

一方、銀塩等を用いて導電性薄膜310を形成する場合は、膜厚は20nm~100nmが好ましく、20nm~60nmがより好ましい。これは、銀塩などではナノパーティクル微粒子の成長よりも緻密な膜が形成されより薄い膜厚でも導電性が発現するからである。更に薄くできることで、ゲート電極の段差が低くなりその上の絶縁膜の信頼性向上にも寄与できる。

次に、樹脂製基板300および導電性薄膜310の上に、ゲート絶縁膜311を形成する。ゲート絶縁膜311としては、高い比誘電率を有する強誘電体や高分子化合物を含有する有機絶縁膜が好ましい。高い比誘電率を有する強誘電体としては、アルミナ(Al_xO_y)、酸化ハフニウム(Hf_xO_y)に代表される無機の金属化合物があげられる。高分子化合物としては、例えば、PS樹脂、PVP樹脂、PMMA樹脂、含フッ素樹脂、PI(ポリイミド)樹脂、PC(ポリカーボネート)樹脂、PVA(ポリビニルアルコール)樹脂、ポリレン樹脂および、これらの樹脂に含まれる繰返し単位を複数含む共重合体が挙げられる。これらの中でも、高分子化合物としては、耐溶剤性に代表されるプロセス耐性および安定性に優れるため、架橋性の高分子化合物が好ましい。

ゲート絶縁膜311の膜厚は特に限定されないが、1nm~1μmであることが好ましく、20nm~100nmであることがより好ましく、30nm~80nmであることが更に好ましい。

ゲート絶縁膜311を形成するより好ましい構造は、強誘電体と有機絶縁膜の積層膜が

より好ましく、アルミナ／PS樹脂、アルミナ／PVP樹脂、アルミナ／PMMA樹脂、アルミナ／含フッ素樹脂、アルミナ／ポリイミド樹脂、アルミナ／PVA樹脂、アルミナ／パリレン樹脂などに代表される構造が考えられる。各構造の膜厚は、強誘電体が10nm～500nm、有機絶縁膜が10nm～500nmであるのが好ましく、強誘電体が10nm～50nm、有機絶縁膜が10nm～100nmであるのがより好ましく、強誘電体が10nm～40nm、有機絶縁膜が10nm～40nmであるのが更に好ましい。

次にゲート絶縁膜311上に有機半導体薄膜312を形成する。有機半導体薄膜312を形成する方法としては、例えば、有機半導体薄膜312が形成されるべき所定の領域にのみ、選択的に有機半導体薄膜312を形成する材料を成膜する方法が挙げられる。

具体的には、メタルマスク等に代表されるマスクを介して、真空蒸着法に代表されるPVD法により有機半導体薄膜312を形成する材料を所定の領域にのみ成膜することによって有機半導体薄膜312を形成する。

さらには、有機半導体薄膜312が形成されるべき所定の領域のみ、開口部を有する樹脂膜を形成し、その後、有機半導体薄膜312を真空蒸着法で一面に形成してもよい。この場合、樹脂膜の開口部は、基板1から離間するほどその開口面積が小さくなる逆テーパ形状に形成されていることが好ましい。逆テーパ形状に形成された開口部を有する樹脂膜を用いることにより、開口部内に形成された有機半導体薄膜312と樹脂膜上に形成された有機半導体薄膜312とが切断されることになり、樹脂膜がセパレーターとして好適に機能するためである。

また、有機半導体薄膜312を形成する他の方法としては、例えば、真空蒸着法に代表されるPVD法、または、有機半導体材料を含むインクを用いた塗布法により有機半導体薄膜312をゲート絶縁膜311上に成膜した後、フォトリソグラフィ法により所定の形状にパターニングを実施することにより形成する方法が挙げられる。

更に、有機半導体薄膜312を形成する他の方法としては、例えば、有版印刷法または無版印刷法により、ゲート絶縁膜311上に、所定の形状にパターニングされた有機半導体薄膜312を直接形成する方法が挙げられる。所定の形状にパターニングされた有機半導体薄膜312を直接形成することにより、有機半導体薄膜312を形成する工程を簡略化することができる。

但し、本発明では無機LED素子を駆動するために高い電流能力が求められるため、これらの中では、無版印刷法を用いた塗布法によりゲート絶縁膜311上全面に1軸方向に配向した有機単結晶膜を成膜し、フォトリソグラフィ法により所定の形状にパターニングされた有機半導体薄膜312を得る方法が最も好ましい。

無版印刷法を用いた塗布法によりゲート絶縁膜311上全面に1軸方向に配向した有機単結晶膜を成膜し、その後、フォトリソグラフィ法により所定の形状にパターニングされた有機半導体薄膜312を形成する場合、種々の有機半導体材料を含むインクを用いることができるが、低分子有機半導体材料を含むインクを用いることが好ましい。また、有機半導体薄膜312を成膜した後に、有機半導体薄膜312のモルフォロジーを制御するためや有機半導体薄膜312に含まれる溶媒を揮発させるために、焼成処理を実施してもよい。有機半導体薄膜312の膜厚は特に限定されないが、1nm～1000nmであることが好ましく、1nm～100nmであることがより好ましく、1nm～50nmであ

ることが更に好ましい。最良な膜は、膜厚ではなく3～5分子層以下の結晶膜で有るのがより好ましい。

有機半導体材料としては、蒸着により成膜可能な低分子化合物として、例えば、ペンタセン(Pentacene)、銅フタロシアニンが挙げられ、塗布により成膜可能な化合物として、
5 例えば、6, 13-ビス(トリイソプロピルシリルエチニル)ペンタセン(6,13-bis(triisopropylsilyl)ethynyl)pentacene(Tips-Pentacene))、13, 6-N-スルフィニルアセトアミドペンタセン(13,6-N-sulfinylacetamidopentacene(NSFAAP))、6, 13-ジヒドロ-6, 13-メタノペンタセン-15-オン(6,13-Dihydro-6,13-methanopentacene-15-one(DMP))、ペンタセン-N-スルフィニル-n-ブチルカルバマート付加物(Pentacene-N-sulfinyl-n-butylcarbamate adduct)、ペンタセン-N-スルフィニル-tert-ブチルカルバマート(Pentacene-N-sulfinyl-tert-butylcarbamate)等に代表されるペンタセン前駆体、[1]ベンゾチエノ[3, 2-b]ベンゾチオフェン([1]Benzothieno[3,2-b]benzothiophene(BTBT))、3, 11-ジデシルジナフト[2, 3-d: 2', 3'-d']ベンゾ[1, 2-b:4, 5-b']ジチオフェン(3,11-didecyldinaphto[2,3-d:2',3'-d']benzo[1,2-b:4,5-b']dithiophene (C10-DNBDT))、
10 ベンゾビスチアジアゾール骨格を有するもの、ポルフィリン、ベンゾポルフィリン、可溶性基としてアルキル基等を有するオリゴチオフェン等に代表される低分子化合物またはオリゴマー、ポリチオフェン、フルオレンコポリマーやD-A構造を有するIDT-BT(indacenodithiophene benzothiadiazole)、CDT-BT(Cyclopentadithiophene benzothiadiazole)等に代表される高分子化合物が挙げられる。
20

次に、ゲート絶縁膜311および有機半導体薄膜312の上に、パターニングされた導電性薄膜315を形成する。この導電性薄膜315によって、有機薄膜トランジスタのソース電極およびドレイン電極が形成される。

導電性薄膜315は、前述の導電性薄膜310と同様の方法で形成することができる。

25 なお、導電性薄膜315の形成は、導電性薄膜310の形成と同じ方法で形成しても異なる方法で形成してもよい。

導電性薄膜315の膜厚(すなわち、有機薄膜トランジスタのソース電極およびドレイン電極の膜厚)は特に限定されないが、20nm～1μmであることが好ましく、20nm～600nmであることがより好ましく、20nm～500nmであることが更に好ましい。
30

次に、ゲート絶縁膜311、有機半導体薄膜312と導電性薄膜315上に保護膜316を形成する。保護膜316を形成する方法としては、例えば、真空蒸着法に代表されるPVD法、ALD(atomic layer deposition)法に代表されるCVD法、保護層材料を含むインクを用いた塗布法により保護層316を成膜した後、フォトリソグラフィ法により所定の形状にパターニングを実施することにより形成する方法が挙げられる。また、保護層316を形成する他の方法としては、例えば、有版印刷法または無版印刷法により、所定の形状にパターニングされた保護膜316を直接形成する方法が挙げられる。所定の形状にパターニングされた保護層316を直接形成することにより、保護層316を形成する工程を簡略化することができる。
35

40 これらの中では、有版印刷法または無版印刷法により、所定の形状にパターニングされ

た保護層 316 を直接形成する方法が好ましい。

有版印刷法または無版印刷法により、所定の形状にパターンニングされた保護層 316 を直接形成する場合、種々の保護層材料を含むインクを用いることができる。保護層材料を含むインクとしては、例えば、無機材料を含む分散インク、SOG（スピノングラス）材料、低分子保護層材料を含むインク、高分子保護層材料を含むインクが挙げられるが、高分子保護層材料を含むインクが好ましい。

保護膜 316 を形成する材料としては、例えば、上記のインクに含まれる材料、SOG 材料のほか、前述のゲート絶縁膜 311 において例示した材料と同様のものが挙げられる。

保護膜 316 の膜厚は特に限定されないが、50 nm～5 μmであることが好ましく、500 nm～3.0 μmであることがより好ましい。

最後に、保護層 316 上に上部電極 318 を形成することにより画素駆動回路が形成された第 1 の基板が完成する。上部電極 318 を形成する方法は特に限定されないが、例えば、フォトリソグラフィ法、有版印刷法および無版印刷法が挙げられ、中でも有版印刷法の一つであるスクリーン（孔版）印刷法を用いる方法が好ましい。

次に、第 2 の基板である無機 LED 素子 400 は、市販もしくは、直接メーカーから発光ダイオードを部品として購入しチップマウンタを用いて第 3 の基板に実装すればよい。より好ましい無機 LED 素子は、ベアチップの LED 素子が最も好ましく、その大きさは、0.25×0.27 mm～0.4×0.2 mm（所謂、0201～0402）の大きさが好ましい。もしくは、単色発光なら 1.6×0.8 mm（1608）、フルカラーのものならば、1チップに 3 色混載されている 1.6×1.5 mm（1615）当たりの大きさの無機 LED 素子でも構わない。最も好ましい形は、フルカラー型のベアチップ無機 LED 素子である。

次に第 3 の基板（図 6）を作製する。第 3 の基板は第 1 の基板と同様にキャリア基板に固定されていてもよいし、ロール to ロールでプロセスを実施しても良く、その時の最適な方法を用いることができる。

最初に、第 3 の基板上に電極パターン 510 を形成する。電極パターン 510 をパターン形成する方法としてはスクリーン印刷法が最も好ましいが、フォトリソグラフィ法を用いてパターンニングしても良い。その後、適宜、焼成工程等を経る事で電極パターン 510 を得る。

次にその上に基板端の端子部、画素駆動回路基板 300 と無機 LED 素子 400 を実装する位置に開口がある絶縁膜パターン 520 をパターン形成する。絶縁膜パターン 520 をパターン形成する方法としてはスクリーン印刷法が最も好ましいが、スリットコート塗布やスピノコートで塗布を行い、フォトリソグラフィ法を用いてパターンニングしても良い。この工程もまた、適宜、焼成工程等を経る事で絶縁膜パターン 520 を得る。この工程を経ることで、第 3 の基板が完成する。

次に第 3 の基板上へ画素駆動回路基板 300 と無機 LED 素子 400 を第 3 の基板上に実装する（図 7）。実装する方法としては、一般的なチップマウンタ装置を用いて実装を行っても良い。第 3 の基板上へ画素駆動回路基板 300 と無機 LED 素子 400 を固定化する方法については、予め実装する位置に接着剤 600 をスクリーン印刷法などでパター

ン形成していても良い。更に実装前後にスクリーン印刷で画素駆動回路基板300と無機LED素子400を実装する箇所に焼結前のAgペースト610を塗布しておき、実装後に焼結させることで実装部品を固定化しても良い。

5 最良な実装方法は、接着剤600を予め画素駆動回路基板300の実装箇所に塗布しておき、その上にフェイスアップにて画素駆動回路基板300を実装し固定化、次にAgペースト610をスクリーン印刷にて画素駆動回路基板300の端子部と第3の基板上に設けられた画素駆動回路基板300と接続するための接続端子を跨ぐ様に印刷し、更に同じ工程で無機LED素子400を実装するための接続端子部分にもAgペースト610をパターン形成しておく。次に発光面をフェイスアップ方向にして無機LED素子400を実装し、最後に100℃30分、Agペースト610を乾燥させる。これにより、第3の基板上への部品の実装は完了する。

ところで、第3の基板の大きさは、基本的にプリント回路基板のワークサイズに合わせて設定しても良く、その方が、スクリーン印刷機などの製造装置の導入に際して特別な仕様を入れ込む必要が無くなる。例えば、銅張積層板は1000(1020)×1000(1020)mmか1000(1020)×1200(1220)mmと最大サイズが決ま
15 っており、これを4分割して500(510)×500(510)mm□のワークサイズやそれ以下のワークサイズとして使う事ができる。

次に、第3の基板同士を貼り合せて大型ディスプレイを作製する場合について説明する。500×500mm□基板を列方向や行方向に複数枚貼り合わせる事で大型アクティブマトリクスLEDディスプレイを実現することができるが、この時の第3の基板同士を接続する接合面700は、少なくとも電極端子部には導電性を有する接着剤710を用いて接着を行い、それ以外の基板部分は、樹脂製の接着剤720で接続されていることが好ましい(図8(a))。もしくは、各パネル端に磁石730等を用いた接合機構740があり、ワンタッチで各基板間が接続されるのが最も好ましい(図8(b))。

産業上の利用可能性

本実施の形態によれば、LEDの駆動が可能な高性能有機TFTを使用した画素駆動回路と無機LED素子を、ディスプレイ基板とは別の基板上で独立に作製したものをディスプレイ基板上に実装することでアクティブマトリクス方式のLEDディスプレイを実現できることを示したが、ディスプレイ基板上に直接有機TFTによる画素駆動回路を形成し
30 その上に無機LED素子を実装してもよい。本発明により、無機LED画素の制御に必要な回路や配線が最小限となりディスプレイ全体の軽量化が行え、設置コストの削減や大型のLEDディスプレイ基板の超フレキシブル化が達成できる。

符号の説明

- 100 アクティブマトリクスLEDディスプレイの基板
- 110、120 ディスプレイ基板100上の絶縁膜
- 211 行選択線
- 212 列選択線
- 40 213 電源線

- 2 1 4 グランド線
- 2 3 1 行選択線との接続をとるためのパッド
- 2 3 2 列選択線との接続をとるためのパッド
- 2 3 3 電源線との接続をとるためのパッド
- 5 2 3 4 グランド線との接続をとるためのパッド
- 2 3 5 画素駆動回路の出力とＬＥＤの陽極との接続をとるための配線パターン
- 3 0 0 画素駆動回路を形成する基板
- 3 0 1 画素駆動回路形成工程時に使用する支持基板
- 3 1 0 有機ＴＦＴのゲート電極
- 10 3 1 1 有機ＴＦＴのゲート絶縁膜
- 3 1 2 有機ＴＦＴの単結晶有機半導体膜
- 3 1 3 有機ＴＦＴのソース電極
- 3 1 4 有機ＴＦＴのドレイン電極
- 3 1 5 有機ＴＦＴの回路配線
- 15 3 1 6 有機ＴＦＴ上の絶縁膜
- 3 1 7 配線層間の接続をとるためのＶＩＡ
- 3 1 8 ＶＩＡ上のパッド
- 3 2 1 画素駆動回路基板の電極パッドで行選択線と接続する
- 3 2 2 画素駆動回路基板の電極パッドで列選択線と接続する
- 20 3 2 3 画素駆動回路基板の電極パッドで電源線と接続する
- 3 2 5 画素駆動回路基板の電極パッドでＬＥＤの陽極と接続する
- 3 5 0 画素駆動回路における選択用ＴＦＴ
- 3 6 0 画素駆動回路における駆動用ＴＦＴ
- 3 7 0 画素駆動回路における保持用容量素子
- 25 5 0 0 第３の基板
- 5 1 0 第３の基板上の電極パターン
- 5 2 0 第３の基板上の絶縁膜パターン
- 6 0 0 駆動回路基板を実装するための接着剤
- 6 1 0 Ａｇペースト
- 30 7 0 0 基板同士の接合面
- 7 1 0 基板同士を接合するための導電性を有する接着剤
- 7 2 0 基板同士を接合するための樹脂製の接着剤
- 7 3 0 磁石
- 7 4 0 接合機構

35

請求の範囲

[請求項 1]

可撓性を持つ基板材の上に形成されるアクティブマトリクスLEDディスプレイであって、画素駆動回路と電氣的に接続された無機LED素子を有し、前記画素駆動回路は少なくとも1つ以上の薄膜トランジスタで形成されていることを特徴とするアクティブマトリクスLEDディスプレイ。

[請求項 2]

請求項 1 に記載の前記薄膜トランジスタは有機薄膜トランジスタであることを特徴とするアクティブマトリクスLEDディスプレイ。

[請求項 3]

前記無機LED素子は、前記画素駆動回路を備えた基板上に部品として実装されていることを特徴とする請求項 1 と 2 に記載のアクティブマトリクスLEDディスプレイ。

[請求項 4]

複数枚の基板を列方向と行方向に並べる事により大型化している事を特徴とする、請求項 1 から 3 に記載のアクティブマトリクスLEDディスプレイ。

[請求項 5]

前記列方向と行方向に並べられた複数枚の基板は、それぞれ独立した駆動回路を有している事を特徴とする、請求項 4 に記載のアクティブマトリクスLEDディスプレイ。

[請求項 6]

前記列方向と行方向に並べられた複数枚の基板は電氣的に接続されており、全ての基板は共通の駆動回路を有していることを特徴とする、請求項 4 に記載のアクティブマトリクスLEDディスプレイ。

[請求項 7]

前記無機LED素子を実装するための前記画素駆動回路を備えた基板は、基板端に基板間接続端子を有し、更に基板上行選択線、列選択線、電源線とグランド線を有し、かつ、ディスプレイの画素を構成する単位毎に少なくとも、片側が電源線もしくはグランド線に接続された無機LED素子実装用端子を有していることを特徴とする請求項 1 から 6 に記載のアクティブマトリクスLEDディスプレイ。

[請求項 8]

請求項 1 から 7 に記載のアクティブマトリクスLEDディスプレイは、前記画素駆動回路が形成された画素駆動回路基板、前記無機LED素子とこれらを実装するためのパターンを備えた第3の基板の3部材を組み合わせ構成されており、前記画素駆動回路基板と前記第3の基板は可撓性を有していることを特徴とするアクティブマトリクスLEDディ

スプレイ。

[請求項 9]

5 前記画素駆動回路基板は、少なくとも行選択線接続用端子、列選択線接続用端子、電源線接続用端子、無機LED接続用端子の4端子を有していることを特徴とする請求項8に記載のアクティブマトリクスLEDディスプレイ。

[請求項 10]

10 前記画素駆動回路基板と前記無機LED素子を実装するための前記第3の基板は、基板端に基板間接続端子を有し、更に基板上に行選択線、列選択線、電源線とグランド線を有し、かつ、ディスプレイの画素を構成する単位毎に少なくとも行選択線接続用端子、列選択線接続用端子、電源線もしくはグランド線接続用端子、片側が電源線もしくはグランド線に接続された無機LED素子実装用端子を有していることを特徴とする請求項8と9に記載のアクティブマトリクスLEDディスプレイ。

15

[請求項 11]

20 前記無機LED素子を実装するための前記画素駆動回路を備えた前記基板および、前記画素駆動回路が形成された画素駆動回路基板、前記無機LED素子とこれらを実装するためのパターンを備えた前記第3の基板は、基板端部に基板同士を貼り合わせるもしくは、電氣的に接合するための接合機構を備えている事を特徴とする、請求項1から10に記載のアクティブマトリクスLEDディスプレイ。

[請求項 12]

25 可撓性を持つ基板材の上に形成されるアクティブマトリクスLEDディスプレイの製造方法であって、画素駆動回路と電氣的に接続された無機LED素子を有し、前記画素駆動回路は薄膜トランジスタで形成されていることを特徴とするアクティブマトリクスLEDディスプレイの製造方法。

[請求項 13]

30 前記無機LED素子は、前記画素駆動回路を備えた基板上に部品として実装工程で有り合せることを特徴とする請求項11に記載のアクティブマトリクスLEDディスプレイの製造方法。

[請求項 14]

35 請求項11と12に記載のアクティブマトリクスLEDディスプレイは、前記画素駆動回路を備えた可撓性を有する画素駆動回路基板、前記無機LED素子とこれらを実装するためのパターンを備えた可撓性を有する第3の基板の3部材を組み合わせて構成されており、前記画素駆動回路基板と前記無機LED素子は前記第3の基板上に実装工程で貼り合せることで形成されるアクティブマトリクスLEDディスプレイの製造方法。

40

[請求項 15]

- 請求項 11 から 13 に記載のアクティブマトリクス LED ディスプレイの製造方法であって、列方向と行方向に複数の前記アクティブマトリクス LED ディスプレイを並べ大型化するとき、隣接するアクティブマトリクス LED ディスプレイとは少なくとも一部に導電性を備えた材料を含む部材もしくは、接合機構を用いて貼り合せているアクティブマトリクス LED ディスプレイの製造方法。
- 5

図 1

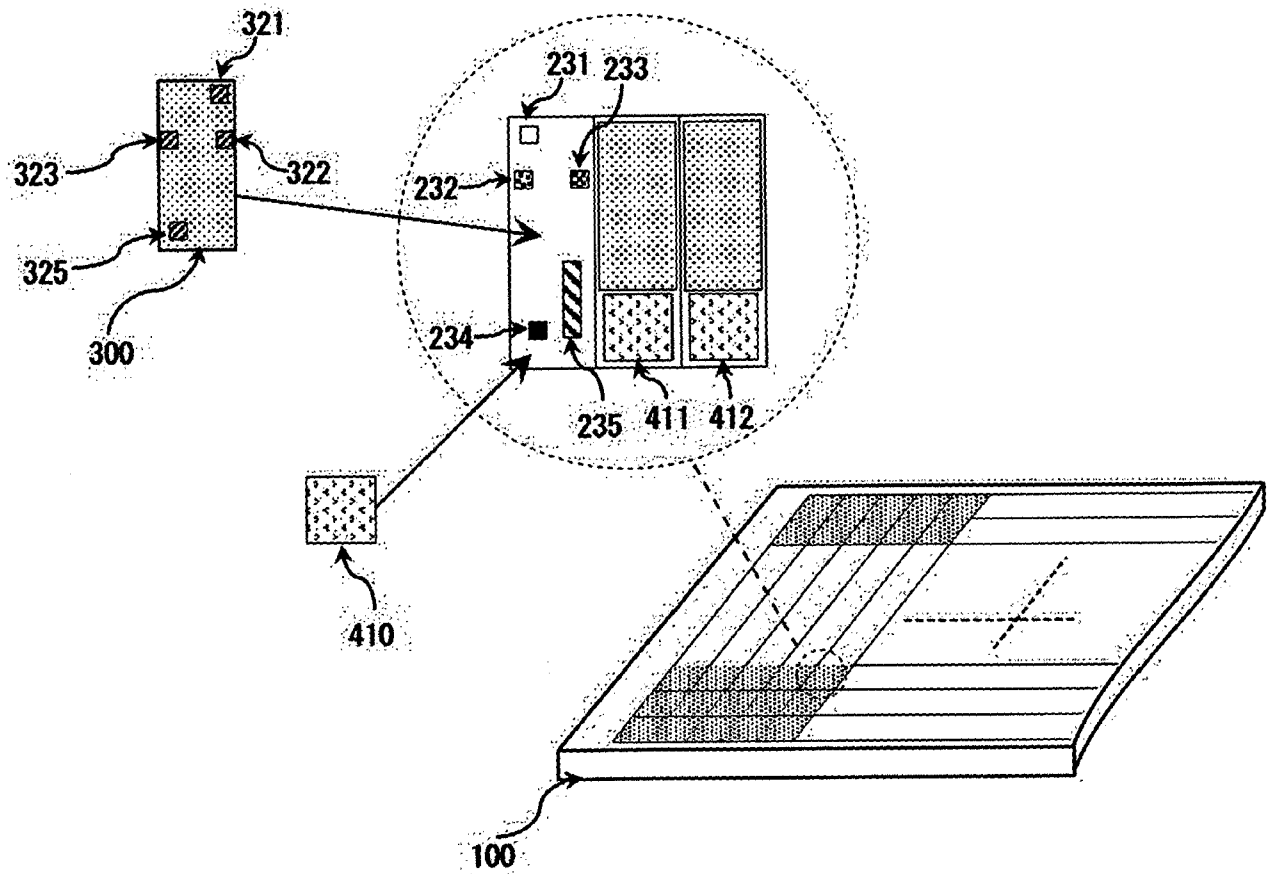


図 2

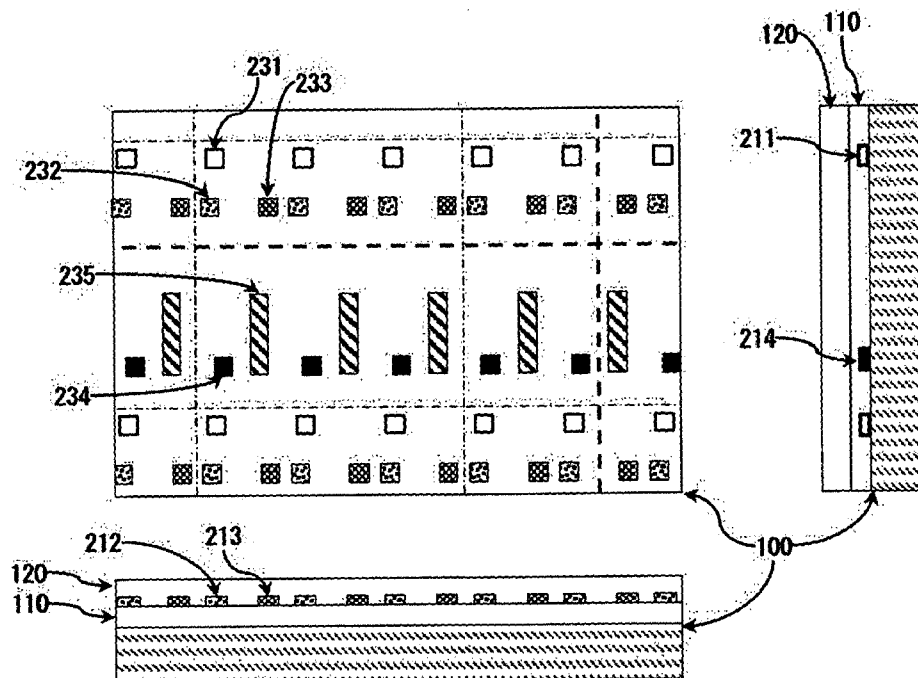


図3

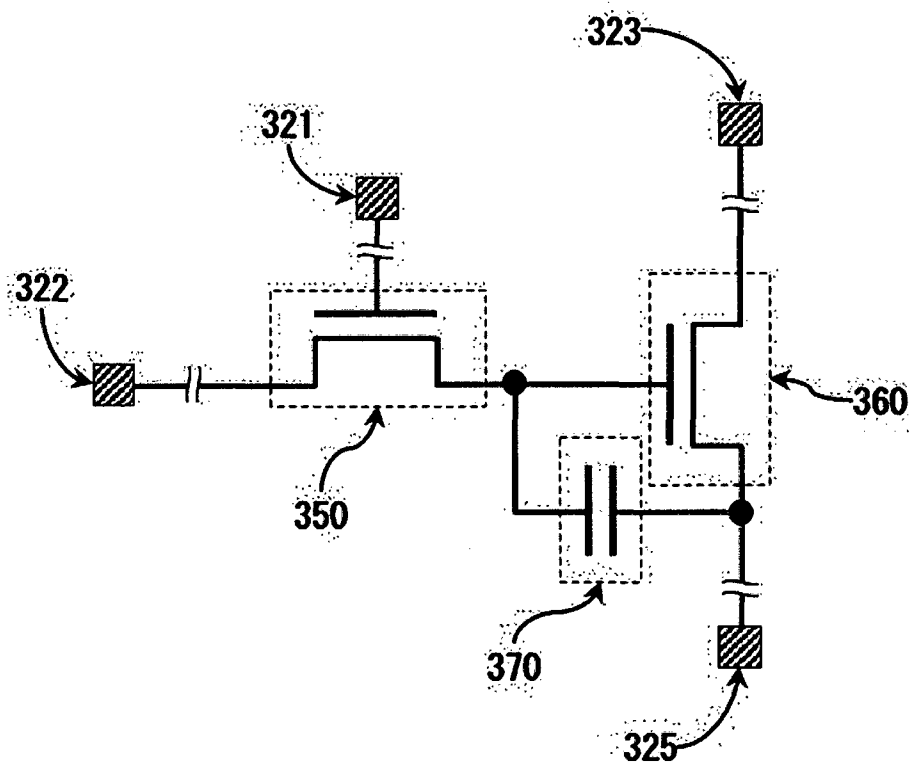


図4

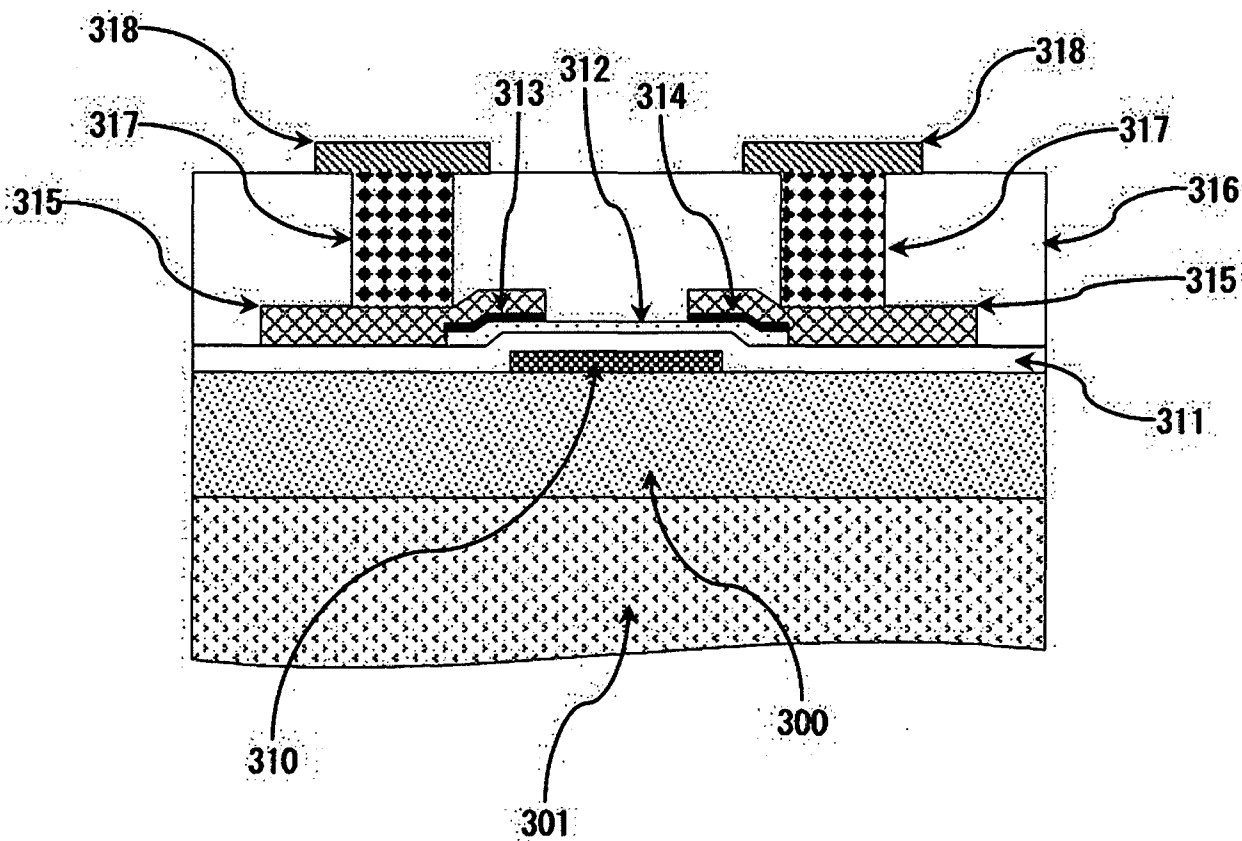


図5

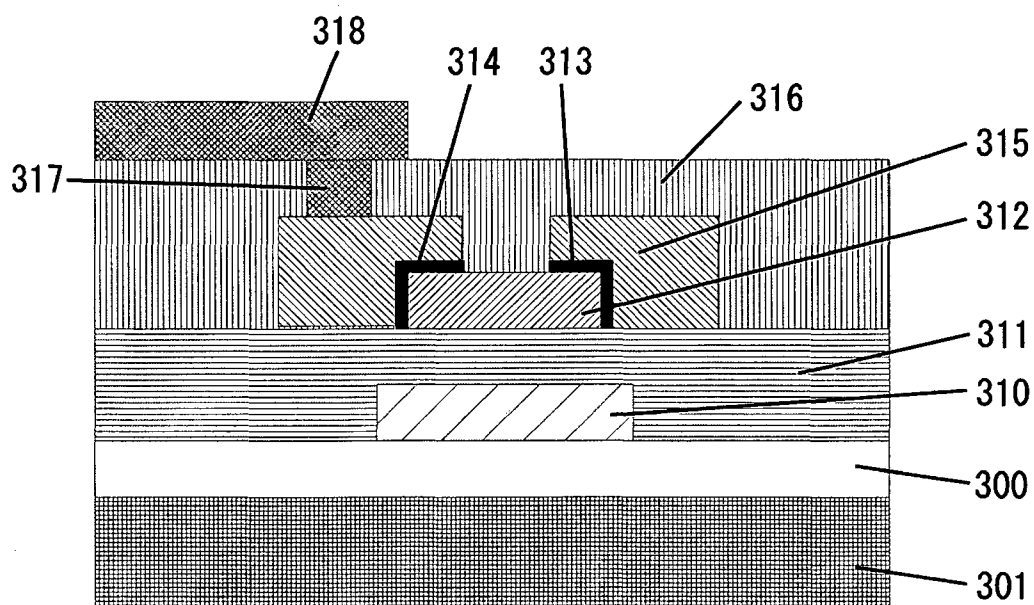


図6

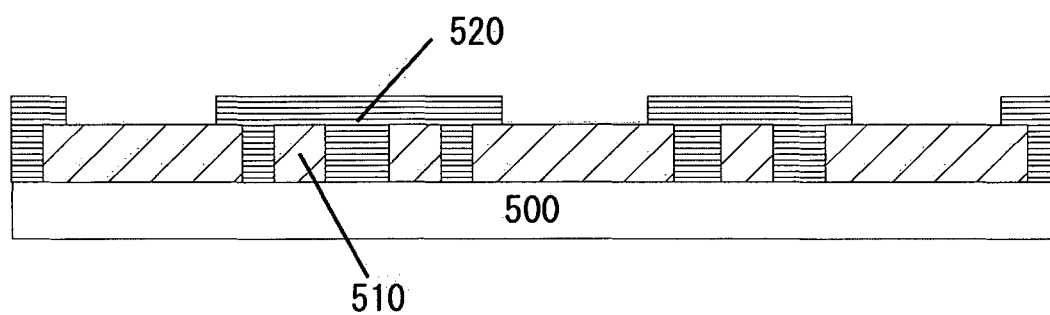


図7

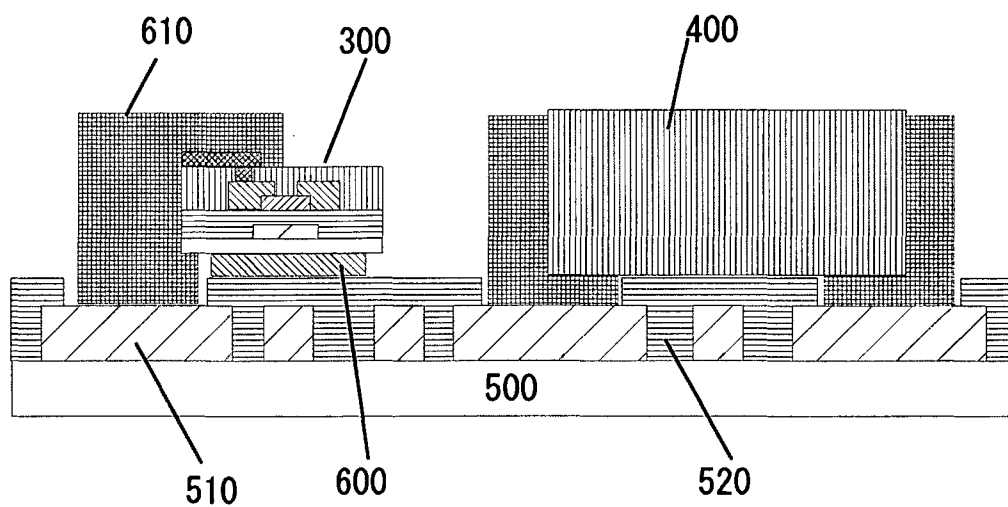
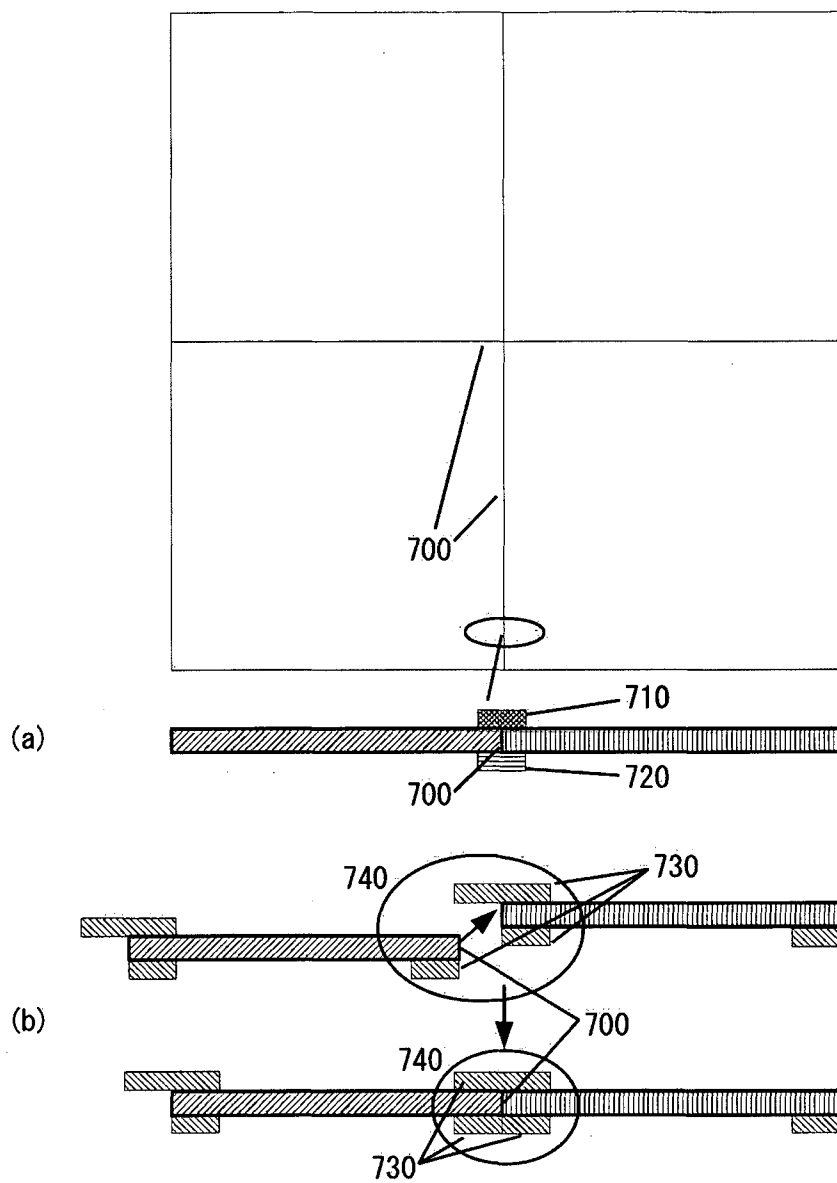


図8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/038096

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09F9/00 (2006.01) i, G09F9/30 (2006.01) i, G09F9/33 (2006.01) i, G09F9/40 (2006.01) i, H01L33/48 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09F9/00-9/46, H01L27/32, H01L33/00-33/46, H05K1/00-1/02, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2017
Registered utility model specifications of Japan 1996-2017
Published registered utility model applications of Japan 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2016-33635 A (YG PHYTRONIX) 10 March 2016, paragraphs [0011]-[0042], fig. 1-5 (Family: none)	1, 3, 12-13 1-15
X Y	JP 2015-180924 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 October 2015, paragraphs [0033]-[0064], [0131]-[0192], fig. 2(A)-2(C), 14(A)-14(C) & US 2015/0228704 A1, paragraphs [0053]-[0084], [0151]-[0211], fig. 2A-2C, 14A-14C & DE 112015000739 T & TW 201532012 A & CN 105981193 A & KR 10-2016-0119798 A	1, 4-5, 12, 15 1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/038096

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-198145 A (SONY CORP.) 09 November 2015, paragraphs [0013]-[0056], fig. 1-13 & EP 3128504 A1, paragraphs [0013]-[0055], fig. 1-13 & CN 106133814 A	1-15
Y	JP 2007-183605 A (SANSEI ELECTRIC INC.) 19 July 2007, paragraphs [0019]-[0025], fig. 1 & US 2007/0152577 A1, paragraphs [0024]-[0030], fig. 1 & KR 10-2007-0073461 A	2
Y	JP 2008-33095 A (TOPPAN PRINTING CO., LTD.) 14 February 2008, paragraph [0019] (Family: none)	1, 3-15
Y	JP 2004-6724 A (SEIKO EPSON CORP.) 08 January 2004, paragraph [0095], fig. 6 & US 2004/0080032 A1, paragraph [0117], fig. 6 & TW 200403817 A & CN 1448987 A & KR 10-0515774 B 1	7, 10-11, 15
A	US 2009/0219225 A1 (COPE, R. C.) 03 September 2009, entire text, all drawings (Family: none)	1-15
A	JP 3203462 U (THREE-S INC.) 31 March 2016, entire text, all drawings (Family: none)	1-15
A	JP 2012-238001 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 06 December 2012, entire text, all drawings & US 2007/0001927 A1 & EP 1899762 A2 & KR 10-2008-0078632 A & CN 101283307 A	1-15
A	US 2016/0014882 A1 (JONGMAN, J. et al.) 14 January 2016, entire text, all drawings & GB 2511549 A & TW 201435831 A & CN 105209967 A & RU 2015142426 A	1-15
A	WO 2013/008776 A1 (SHARP CORP.) 17 January 2013, entire text, all drawings (Family: none)	1-15
A	JP 10-111517 A (OMRON CORP.) 28 April 1998, entire text, all drawings (Family: none)	1-15
A	JP 2005-101269 A (TOYOBO CO., LTD.) 14 April 2005, entire text, all drawings (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09F9/00(2006.01)i, G09F9/30(2006.01)i, G09F9/33(2006.01)i, G09F9/40(2006.01)i, H01L33/48(2010.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09F9/00-9/46, H01L27/32, H01L33/00-33/46, H05K1/00-1/02, H05K3/46			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2017年 日本国実用新案登録公報 1996-2017年 日本国登録実用新案公報 1994-2017年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	JP 2016-33635 A (有限会社ファイトロニクス) 2016.03.10, 段落[0011]-[0042], 図 1-5 (ファミリーなし)	1, 3, 12-13 1-15	
X Y	JP 2015-180924 A (株式会社半導体エネルギー研究所) 2015.10.15, 段落[0033]-[0064], [0131]-[0192], 図 2(A)-2(C), 図 14(A)-14(C) & US 2015/0228704 A1, 段落[0053]-[0084], [0151]-[0211], 図 2A-2C, 図 14A-14C & DE 112015000739 T & TW 201532012 A & CN 105981193 A & KR 10-2016-0119798 A	1, 4-5, 12, 15 1-15	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 18.12.2017		国際調査報告の発送日 09.01.2018	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 村川 雄一 電話番号 03-3581-1101 内線 3273	21 8354

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-198145 A (ソニー株式会社) 2015. 11. 09, 段落 [0013]-[0056], 図 1-13 & EP 3128504 A1, 段落[0013]-[0055], 図 1-13 & CN 106133814 A	1-15
Y	JP 2007-183605 A (三星電機株式会社) 2007. 07. 19, 段落[0019]-[0025], 図 1 & US 2007/0152577 A1, 段落[0024]-[0030], 図 1 & KR 10-2007-0073461 A	2
Y	JP 2008-33095 A (凸版印刷株式会社) 2008. 02. 14, 段落[0019] (ファミリーなし)	1, 3-15
Y	JP 2004-6724 A (セイコーエプソン株式会社) 2004. 01. 08, 段落[0095], 図 6 & US 2004/0080032 A1, 段落[0117], 図 6 & TW 200403817 A & CN 1448987 A & KR 10-0515774 B1	7, 10-11, 15
A	US 2009/0219225 A1 (COPE, Richard C.) 2009. 09. 03, 全文, 全図 (ファミリーなし)	1-15
A	JP 3203462 U (株式会社スリーエス) 2016. 03. 31, 全文, 全図 (ファミリーなし)	1-15
A	JP 2012-238001 A (インダストリアル テクノロジー リサーチ インスティテュート) 2012. 12. 06, 全文, 全図 & US 2007/0001927 A1 & EP 1899762 A2 & KR 10-2008-0078632 A & CN 101283307 A	1-15
A	US 2016/0014882 A1 (JONGMAN, Jan et al.) 2016. 01. 14, 全文, 全図 & GB 2511549 A & TW 201435831 A & CN 105209967 A & RU 2015142426 A	1-15
A	WO 2013/008776 A1 (シャープ株式会社) 2013. 01. 17, 全文, 全図 (ファミリーなし)	1-15
A	JP 10-111517 A (オムロン株式会社) 1998. 04. 28, 全文, 全図 (ファミリーなし)	1-15
A	JP 2005-101269 A (東洋紡績株式会社) 2005. 04. 14, 全文, 全図 (ファミリーなし)	1-15