



(12) 发明专利申请

(10) 申请公布号 CN 115378564 A

(43) 申请公布日 2022. 11. 22

(21) 申请号 202210541372.X

H03L 7/089 (2006.01)

(22) 申请日 2022.05.18

H03L 7/081 (2006.01)

(30) 优先权数据

63/190,829 2021.05.20 US

17/744,743 2022.05.16 US

(71) 申请人 香港科技大学

地址 中国香港九龙清水湾

(72) 发明人 俞捷 王力

(74) 专利代理机构 深圳宜保知识产权代理事务
所(普通合伙) 44588

专利代理师 王琴 曹玉存

(51) Int. Cl.

H04L 7/00 (2006.01)

H04L 7/033 (2006.01)

H03L 7/099 (2006.01)

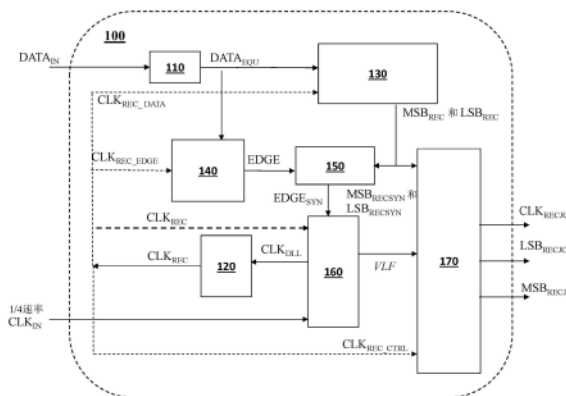
权利要求书3页 说明书9页 附图24页

(54) 发明名称

具有抖动补偿时钟和数据恢复的PAM-4接收器

(57) 摘要

提供了一种具有抖动补偿时钟和数据恢复的PAM-4接收器。所述接收器包含一阶延迟锁定环路(DLL),所述一阶DLL采用支持40MHz抖动跟踪带宽和静态相位偏斜消除的二位元式相位检测器(BBPD)和压控延迟线(VCDL)电路。一个使用1/4速率参考时钟的二阶宽带锁相环路(WBPLL)提供多相时钟生成,且保证足够低的输入到输出多相时钟间时延。为了抑制随之而来的抖动传递,抖动补偿电路(JCC)通过检测DLL环路滤波器电压(VLF(s))信号来获取抖动传递的幅度和频率信息,且生成等幅反相的环路滤波器电压信号,标示为VLF_{INV}(s)。所述VLF_{INV}(s)调制一组互补VCDL(C-VCDL)以减弱恢复的时钟和数据两者上的抖动传递。使用提供的接收器,在-3dB拐点频率为40MHz的情况下,从DC到4MHz可支持高达60%的抖动补偿比。



1. 一种具有抖动补偿时钟和数据恢复的四电平脉冲幅度调制 (PAM-4) 接收器, 其特征在于, 包括:

连续时间线性均衡器, 其被配置成均衡输入数据信号;

宽带锁相环路 (WBPLL), 其被配置成锁定到四分之一速率延迟锁定时钟信号以生成具有等相位间隔分布的多个采样时钟信号, 所述多个采样时钟信号包含相位间隔为 $360^\circ/N$ 的 N 个数据采样时钟信号和相位间隔为 $360^\circ/(N/2)$ 且与所述 N 个数据采样时钟信号交错的 $N/2$ 个边缘采样时钟信号, 其中 N 为正偶数;

数据解码器, 其被配置成利用所述 N 个数据采样时钟信号对均衡数据信号进行解码, 以恢复最高有效位 (MSB) 信号和最低有效位 (LSB) 信号;

边缘检测器, 其被配置成利用所述 $N/2$ 个边缘采样时钟信号检测所述均衡数据信号的边缘信息以生成边缘信息信号;

重定时器电路, 其被配置成使恢复 MSB 信号、恢复 LSB 信号和所述边缘信息信号同步;

延迟锁定环路 (DLL), 其被配置成: 检测所述输入信号相对于所述采样时钟信号的相位偏斜, 基于检测到的相位偏斜产生延迟线控制电压信号, 并且基于所述延迟线控制电压信号生成延迟锁定时钟信号; 以及

抖动补偿电路 (JCC), 其被配置成: 利用互补延迟线控制电压信号补偿来自所述输入数据信号的抖动传递, 以生成抖动补偿后的恢复时钟信号、抖动补偿后的恢复 LSB 信号和抖动补偿后的恢复 MSB 信号。

2. 根据权利要求 1 所述的 PAM-4 接收器, 其特征在于, 所述连续时间线性均衡器具有 R-C 源极退化和电感器并联峰化架构, 所述 R-C 源极退化和电感器并联峰化架构包含差分并联峰化电感器 L 、一对漏极电阻器 R_D 、退化电容器 C_s 和退化电阻器 R_s 。

3. 根据权利要求 1 所述的 PAM-4 接收器, 其特征在于, 所述 WBPLL 包括:

压控振荡器 (VCO), 其被配置成基于振荡器控制电压信号生成所述多个采样时钟信号;

相位频率检测器, 其被配置成检测生成的采样时钟信号相对于所述延迟锁定时钟信号的相位差, 且产生相位差信号; 以及

电荷泵和环路滤波器, 其被配置成将所述相位差信号转换成所述振荡器控制电压信号。

4. 根据权利要求 3 所述的 PAM-4 接收器, 其特征在于, 所述 VCO 是包含一个或多个延迟单元和用于频率控制的电流源的环形振荡器。

5. 根据权利要求 1 所述的 PAM-4 接收器, 其特征在于, 所述数据解码器包括:

N 个采样保持电路, 其被配置成分别利用 N 个数据采样时钟信号对所述均衡数据信号进行采样以获得 N 个数据样本;

3 电平限幅器电路, 其被配置成通过将所述 N 个数据样本中的每一个与三个决策阈值电压电平进行比较而将所述 N 个数据样本中的每一个解调成温度计编码位流;

编码转换器, 其被配置成将所述温度计编码位流转换成二进制编码位流, 所述二进制编码位流包含构成所述恢复 MSB 信号的 MSB 位流和构成所述恢复 LSB 信号的 LSB 位流。

6. 根据权利要求 5 所述的 PAM-4 接收器, 其特征在于, 所述数据解码器进一步包括被配置成生成所述三个决策阈值电压电平的数模转换器 (DAC)。

7. 根据权利要求 5 所述的 PAM-4 接收器, 其特征在于, 数据解码器进一步包括被配置成

校准所述输入数据信号处的电压偏移的校准电路。

8. 根据权利要求1所述的PAM-4接收器,其特征在于,所述边缘检测器包括:

N/2个采样保持电路,其被配置成利用所述N/2个边缘采样时钟信号对所述均衡数据信号上的边缘进行采样以获得N/2个边缘信息样本;以及

比较器,其被配置成通过将所述N/2个边缘信息样本中的每一个与决策阈值电压电平进行比较来生成所述边缘信息信号。

9. 根据权利要求1所述的PAM-4接收器,其特征在于,所述DLL包括:

二位元式相位检测器(BBPD),其被配置成检测所述输入信号相对于所述采样时钟信号的所述相位偏斜以生成相位偏斜信号;

电荷泵和环路滤波器,其被配置成将所述相位偏斜信号转换成所述延迟线控制电压信号;

压控延迟线(VCDL)电路,其被配置成基于所述延迟线控制电压信号和输入时钟信号生成所述延迟锁定时钟信号。

10. 根据权利要求9所述的PAM-4接收器,其特征在于,所述DLL进一步包括缓冲器电路和占空比校正(DCC)电路,所述缓冲器电路和DCC电路被配置成校正所述输入时钟信号的占空比且将所述输入时钟信号从单端时钟信号转换成差分时钟信号。

11. 根据权利要求9所述的PAM-4接收器,其特征在于,所述VCDL电路包括:

一个或多个压控延迟单元,其各自由作为输入装置的一对NMOS和作为输出装置的一对PMOS组成,以产生相对于所述输入时钟信号具有与所述延迟线控制电压信号成比例的延迟时间的延迟输出信号。

12. 根据权利要求1所述的PAM-4接收器,其特征在于,所述JCC包括:

互补信号发生器(CSG),其被配置成将所述延迟线控制电压信号转换成反相延迟线控制电压信号;以及

多个互补VCDL(C-VCDL)电路,其包含:

第一C-VCDL电路,其被配置成基于所述互补延迟线控制电压信号补偿传递到所述恢复时钟信号的输入抖动以生成所述抖动补偿后的恢复时钟信号;

第二C-VCDL电路,其被配置成基于所述反相延迟线控制电压信号补偿传递到所述恢复LSB数据信号的输入抖动以生成所述抖动补偿后的恢复LSB信号;以及

第三C-VCDL电路,其被配置成基于所述反相延迟线控制电压信号补偿所述恢复MSB数据信号的输入抖动以生成抖动补偿后的恢复MSB信号。

13. 根据权利要求12所述的PAM-4接收器,其特征在于,所述CSG包括:

时钟控制单元,其被配置成划分控制时钟信号且将划分后的控制时钟信号用于同步;

电压跟随器,其被配置成产生缓冲延迟线控制电压信号;

逐次逼近寄存器(SAR)模数转换器(ADC),其与所述划分后的控制时钟信号同步且被配置成量化所述缓冲延迟线控制电压信号,从而获得DC电平且产生模拟延迟线控制电压以用于跟踪所述DC电平;以及

反相跟随器,其被配置成接收所述延迟线控制电压信号和所述模拟延迟线控制电压以产生所述反相延迟线控制电压信号。

14. 根据权利要求13所述的PAM-4接收器,其特征在于,所述电压跟随器包括第一放大

器,所述第一放大器具有连接在所述第一放大器的输出与所述第一放大器的反相输入之间的负单位增益反馈环路,以便生成单位增益。

15. 根据权利要求13所述的PAM-4接收器,其特征在于,所述反相跟随器包括:

第二放大器,其具有负反馈环路,所述负反馈环路包含耦合在所述第二放大器的输出与所述第二放大器的反相输入之间的反馈电阻器 R_{fb} ;以及

输入电阻器 R_{in} ,其耦合到所述第二放大器的所述反相输入;

其中所述反馈电阻器 R_{fb} 和所述输入电阻器 R_{in} 被设置成具有相同电阻,以便生成反相单位增益。

16. 根据权利要求13所述的PAM-4接收器,其特征在于,所述SAR-ADC包括:

比较器,其被配置成在第一输入端子处接收所述缓冲延迟线控制电压信号;

SAR逻辑电路,其耦合到所述比较器的输出且被配置成提供数字输出;以及

数模转换器(DAC),其被配置成从所述逻辑电路接收所述数字输出,将所述数字输出转换成所述模拟延迟线控制电压,并且将所述模拟延迟线控制电压反馈到所述比较器的第二输入端子。

17. 根据权利要求12所述的PAM-4接收器,其特征在于,所述第一、第二和第三C-VCDL电路中的每一个包括一个或多个互补压控延迟单元;每个互补压控延迟单元由作为输入装置的一对NMOS和作为输出装置的一对PMOS组成,以生成相对于所述输入时钟信号具有与所述反相延迟线控制电压信号成比例的延迟时间的延迟输出信号。

具有抖动补偿时钟和数据恢复的PAM-4接收器

技术领域

[0001] 本发明总体来说涉及抖动补偿时钟和数据恢复,且更具体地,涉及具有抖动补偿时钟和数据恢复的四电平脉冲幅度调制(PAM-4)接收器。

背景技术

[0002] 在例如5G通信、云服务、自主车辆、深度神经网络和8K显示面板等数据密集型应用激增的推动下,从处理器到处理器以及从处理器到芯片外存储器的高速低功率数据移动成为高性能计算系统中至关重要的问题。处理器I/O带宽的爆炸性增长需要具有例如四电平脉冲幅度调制(PAM-4)的先进信令方案的大规模低功率链路。当在具有PAM-4信令的情况下数据速率达到50Gb/s/通道以上时,信号质量变得越来越容易受到从信道和电路两者产生的抖动的影响。因此,时钟分布电路需要额外的设计工作来处理抖动问题且确保稳固的系统同步。

[0003] 源同步I/O在芯片到芯片互连中是一种很有吸引力的技术,这归因于它在频率恢复方面的低时延和高可靠性、宽抖动容限带宽和实施简单性。图1A示出由差分时钟通道和差分数据通道组成的广泛采用的源同步I/O架构。在时钟通道中,在时钟信号通过信道从传输器(Tx)传输之后,缓冲器(Buf)和占空比校正(DCC)块再现高质量时钟以用于数据信号采样。注入锁定振荡器(IJO)或多相锁相环路(MPLL)使用再现的时钟作为参考,且生成四相或八相(4-PH/8-PH)时钟。相位内插器(PI)通过多相时钟之间进行内插以使解码器和去串行化块同步来生成最终采样时钟。

[0004] 为了实现稳固的同步,需要谨慎处理时钟分布电路中的若干抖动和相位偏斜相关问题。首先,数据相位和时钟相位通常在源同步I/O中的传输器输出处精确地对准。时钟与数据之间的相关抖动可由宽带MPLL或IJO恰当地调节。然而,数据通道与时钟通道之间的时延差会引起均衡数据与来自Buf和DCC的再现时钟之间的相位偏斜。由来自信道、均衡器(EQ)、Buf、DCC、IJO/MPLL和PI的延迟引起的未折叠相位偏斜可达到若干UI。其次,除了相位偏斜之外,数据与时钟之间存在不相关抖动。对于电互连,不相关抖动来源于接地和电源噪声、温度漂移、前端电路闪烁噪声、信道耦合和电磁干扰(EMI)。对于光学互连,不相关抖动主要归因于光检测器和前端电路的噪声。第三,即使充分跟踪了这些不相关抖动,恢复的时钟信号 CLK_{REC} 和数据信号 $DATA_{REC}$ 上的抖动传递仍可能在与随后数字处理系统上的本地时钟同步时引起错误。对于大规模并行通信,不相关抖动因通道而异,这也对同步的一大挑战。

[0005] 针对先前所提及的挑战和问题,已经有各种解决方案的报告。举例来说,可采用延迟锁定环路(DLL)进行多相时钟生成,并采用具有粗相选择和细相选择的PI来消除时钟与数据之间的偏斜。为了避免DLL因压控延迟线(VCDL)不对称而产生的多相时钟不匹配,可使用IJO进行全局I/Q相位生成,使用恰当的虚拟和频率校准技术进行更好的相位匹配,随后使用PI或本地IJO进行相位偏斜消除。还可采用数据路径中的数字控制延迟线或时钟路径中的IJO,作为利用源同步定时方案进行并行光学互连的去偏斜方法。尽管上述方法恰当地处理由通道时延的差异引起的静态相位偏斜,但仍未对数据与时钟之间的不相关抖动进行

跟踪。窄抖动容限幅度和带宽可能对解码电路带来压力。

[0006] 另一方面,时间到时间相位更新、时钟和数据对准(CDA)以及时钟和数据恢复(CDR)等各种技术亦被提出来支持充分的抖动跟踪,如图1B中所示。通过每50ms更新同步时钟相位,使用基于电流积分的相位旋转器来处理静态相位偏斜和抖动两者。等效的20Hz带宽可跟踪由缓慢功率和温度漂移引起的抖动。在采用具有alexander相位检测器的128Hz CDR环路时支持类似功能。可使用具有继电器型相位检测器和PI的低带宽CDA环路来调整背景技术中的采样相位。分别呈现使用PI的1MHz波特速率CDR、4MHz波特速率CDR和5~10MHz双路径CDR(从抖动容限测量结果读取CDR带宽)。然而,到目前为止,所报告的抖动容限带宽已被限制在低于20MHz,并且 CLK_{REC} 和 $DATA_{REC}$ 上不希望出现的抖动传递仍然是一项挑战。

[0007] 可使用抖动容限和抖动传递去耦技术来支持宽抖动容限带宽,其中抑制抖动传递到每个通道的恢复的时钟和数据。提出了由宽带DLL和窄带PLL组成的双环路配置以实现抖动容限和抖动传递带宽去耦。具有用于数据和边缘采样的可调整环路带宽的低通环路滤波器证明在40Gb/s 1/4速率接收器(Rx)架构下实现宽20MHz抖动容限带宽和窄4MHz抖动传递带宽。但是,先前所报告的方法可能仅将抖动传递带宽变窄到几MHz,不足以充分滤除来自电源和接地噪声、温度漂移以及CMOS装置闪烁噪声的较低频抖动。另外,抖动容限和抖动传递去耦技术仅在低于50Gb/s的数据速率下利用非归零(NRZ) Rx架构实施。

[0008] 图2示出常规CDR架构以用于比较。如图2中所示,输入信号上的抖动 $\Phi_{in}(s)$ 和静态相位通过二位元式相位检测器(BBPD)和电荷泵(CP)按比例转换成环路滤波器电压 $VLF(s)$ 。 $VLF(s)$ 调制VCDL以生成恢复时钟 CLK_{REC} ,所述恢复时钟接着对输入NRZ信号进行采样和解码以产生恢复数据 $DATA_{REC}$ 。因此,DLL带宽内的输入抖动直接传递到 CLK_{REC} 和 $DATA_{REC}$ 两者。

发明内容

[0009] 为了解决上文所提及的挑战,本发明在40nm CMOS技术中提供了具有抖动补偿CDR(JCCDR)的源同步60Gb/s 1/4速率PAM-4接收器,从而实现宽抖动容限带宽(40MHz)和超低抖动传递(<-8 dB)。

[0010] 根据本发明的一个方面,所提供的PAM-4接收器包含一阶延迟锁定环路(DLL),所述一阶DLL采用支持40MHz抖动跟踪带宽和静态相位偏斜消除的二位元式相位检测器(BBPD)和压控延迟线(VCDL)电路。使用1/4速率参考时钟的二阶宽带锁相环路(WBPLL)提供多相时钟生成,且保证足够低的输入到输出多相时钟间时延。为了抑制随之而来的抖动传递,抖动补偿电路(JCC)通过检测DLL环路滤波器电压($VLF(s)$)信号来获取抖动传递幅度和频率信息,且生成等幅反相的环路滤波器电压信号,标示为 $VLF_{INV}(s)$ 。所述 $VLF_{INV}(s)$ 调制一组互补VCDL(C-VCDL)以减弱恢复的时钟和数据两者上的抖动传递。

[0011] 使用本发明提供的PAM-4接收器,在-3dB拐点频率为40MHz的情况下,从DC到4MHz可支持高达60%的抖动补偿比。因此,本发明为源同步I/O中的三个挑战提供了解决方案,包含时钟相位去偏斜、宽带抖动容限和抖动传递衰减。

附图说明

[0012] 参考附图,从以下详细描述可容易理解本公开的各方面。所述图示可能未必按比例绘制。也就是说,为了论述清楚,各种特征的尺寸可任意增大或减小。由于制造工艺和公

差,本公开中的工艺再现与实际设备之间可能存在区别。可在整个图式和具体实施方式中使用共同参考标号来指示相同或类似组件。

[0013] 图1A示出常规源同步I/O架构;

[0014] 图1B示出支持抖动跟踪的常规时钟和数据恢复(CDR)架构;

[0015] 图2示出另一常规CDR架构;

[0016] 图3示出根据本发明的一些实施例的具有抖动补偿时钟和数据恢复(JCCDR)的PAM-4接收器的电路框图;

[0017] 图4示出根据本发明的一些实施例的连续时间线性均衡器(CTLE)的示例性电路图;

[0018] 图5A示出根据本发明的一些实施例的宽带锁相环路(WBPLL)的示例性电路图;并且图5B示出宽带锁相环路(WBPLL)的更详细示例性电路图;

[0019] 图6示出根据本发明的一些实施例的数据解码器的示例性电路图;

[0020] 图7示出根据本发明的一些实施例的边缘检测器的示例性电路图;

[0021] 图8示出根据本发明的一些实施例的对时钟PH-0、90处的数据信号和时钟PH-45处的边缘信号进行解码的定时图;

[0022] 图9示出根据本发明的一些实施例的重定时器的示例性电路图;

[0023] 图10示出根据本发明的一些实施例的延迟锁定环路(DLL)的示例性电路图;

[0024] 图11示出用于接收相位PH-0、45和90处的时钟信号的示例性二位元式相位检测器(BBPD)逻辑电路以及其早/晚指示信号的对应转变图;

[0025] 图12示出根据本发明的一些实施例的压控延迟线(VCDL)电路的示例性电路图;

[0026] 图13示出根据本发明的一些实施例的压控延迟单元的示例性电路图;

[0027] 图14示出根据本发明的一些实施例的抖动补偿电路(JCC)的示例性电路图;

[0028] 图15示出根据本发明的一些实施例的互补信号发生器(CSG)的示例性电路图;

[0029] 图16示出根据本发明的一些实施例的核心放大器(AMP)的示例性电路图;

[0030] 图17A示出根据本发明的一些实施例的逐次逼近寄存器(SAR)模数转换器(ADC)的示例性电路图;

[0031] 图17B示出根据本发明的一些实施例的比较器(CMP)的示例性电路图;

[0032] 图17C示出根据本发明的一些实施例的再现(RG)电路的示例性电路图;

[0033] 图17D示出根据本发明的一些实施例的SAR逻辑单元的示例性电路图;

[0034] 图17E示出根据本发明的一些实施例的R-2R数模转换器(DAC)的示例性电路图;

[0035] 图18示出SAR-ADC的操作过程的定时图;

[0036] 图19示出根据本发明的一些实施例的互补VCDL(C-VCDL)电路的示例性电路图;

[0037] 图20示出根据本发明的一些实施例的互补压控延迟单元的示例性电路图;

[0038] 图21示出根据本发明的一些实施例的支持1/4速率PAM-4操作的示例性JCCDR架构;并且

[0039] 图22示出根据本发明的一些实施例的具有用于改进布局匹配的虚设物的VCDL和一组三个C-VCDL的示例性电路图。

具体实施方式

[0040] 在以下描述中,将阐述本公开的优选实例作为实施例,所述实施例应被视为说明性的而非限制性的。可以省略特定细节以免使本公开模糊不清;然而,编写本公开是为了使所属领域的技术人员能够在不进行不当实验的情况下实践本文中的教导。

[0041] 图3是根据本发明的一些实施例的具有抖动补偿时钟和数据恢复(JCCDR)的PAM-4接收器100的电路框图。如图所示,PAM-4接收器100可包括两级连续时间线性均衡器(CTLE)110、宽带锁相环路(WBPLL)120、数据解码器130、边缘检测器140、重定时器150、延迟锁定环路(DLL)160和抖动补偿电路(JCC)170。

[0042] CTLE 110实施为接收器100的前端以补偿中度信道损耗,且被配置成均衡PAM4输入数据信号($DATA_{IN}$)。参考图4,在一些实施例中,CTLE 110可具有R-C源极退化和电感器并联峰化架构,所述R-C源极退化和电感器并联峰化架构包含差分并联峰化电感器L、一对漏极电阻器 $R_{D1,2}$ 、退化电容器(或源极电容器) C_s 和退化电阻器(或源极电阻器) R_s 。在一些实施例中,退化电容器 C_s 和漏极电阻器 $R_{D1,2}$ 可调整以实现2.5~11dB峰化和4dB增益调谐范围。

[0043] 返回参考图3。WBPLL 120可被配置成接收和锁定到四分之一速率延迟锁定时钟信号 CLK_{DLL} 以生成具有等相位间隔分布的多个采样时钟信号 CLK_{REC} 。多个采样时钟信号 CLK_{REC} 可包含相位间隔为 $360^\circ/N$ 的N个数据采样时钟信号 CLK_{REC_DATA} ,其中N为正偶数。多个采样时钟信号 CLK_{REC} 可进一步包含与N个数据采样时钟信号交错的相位间隔为 $360^\circ/(N/2)$ 的N/2个边缘采样时钟信号 CLK_{REC_EDGE} 。举例来说,多个采样时钟信号可包含相位间隔为 90° 的4个数据采样时钟信号(例如,相位 0° 、 90° 、 180° 和 270° 处的时钟信号,分别标示为 CLK_{REC_PH-0} 、 CLK_{REC_PH-90} 、 CLK_{REC_PH-180} 和 CLK_{REC_PH-270})和相位间隔为 180° 的2个边缘采样时钟信号(例如,相位 45° 和 225° 处的时钟信号,分别标示为 CLK_{REC_PH-45} 和 CLK_{REC_PH-225})。

[0044] 参考图5A,在一些实施例中,WBPLL 120可包括:压控振荡器(VCO),其被配置成基于振荡器控制电压信号生成多个采样时钟信号 CLK_{REC} ;相位频率检测器(PFD),其被配置成检测生成的采样时钟信号(CLK_{REC})相对于延迟锁定时钟信号(CLK_{DLL})的相位差,且产生相位差信号;电荷泵(CP)和环路滤波器(LF),其被配置成将相位差信号转换成振荡器控制电压信号。

[0045] 在一些实施例中,可利用XOR相位检测器来实现相位差检测,所述XOR相位检测器在 CLK_{REC} 和 CLK_{DLL} 的状态彼此不同时产生高电压电平信号,且在 CLK_{REC} 和 CLK_{DLL} 的状态彼此相同时产生低电压电平信号(通常等于0V)。

[0046] 参考图5B,在一些实施例中,VCO可以是包含一个或多个(例如,四个)延迟单元和用于频率控制的可调整外部电流源的多级环形振荡器。与例如IJO和DLL等其它多相时钟生成技术相比,WBPLL因环形振荡器的固有对称性而造成轻微的相位不匹配。WBPLL使用同步1/4速率参考时钟,且产生具有相同频率的8-PH输出时钟作为输入。归功于高频参考时钟,WBPLL可支持宽环路带宽而无稳定性问题,这有益于较快锁定、较高环形振荡器相位噪声抑制和较低VCO功耗。

[0047] 在一些实施方案中,WBPLL的输出时钟频率可具有3.75到7.5GHz的调谐范围以支持30到60G/s PAM-4操作。WBPLL带宽设置在400MHz以确保其相位和频率更新可比四分之一速率延迟锁定时钟信号 CLK_{DLL} 快得多地稳定,所述四分之一速率延迟锁定时钟信号的带宽

被设计为40MHz以获得较好的抖动容限。400MHz PLL带宽还支持宽带相关抖动跟踪以及模式相关的不相关抖动滤波。

[0048] 返回参考图3。数据解码器130可被配置成利用N个数据采样时钟信号 CLK_{REC_DATA} (例如, $CLK_{REC, PH-0/90/180/270}$) 对均衡数据信号 $DATA_{EQU}$ 进行解码,以恢复最高有效位 (MSB) 信号 (MSB_{REC}) 和最低有效位 (LSB) 信号 (LSB_{REC})。

[0049] 参考图6, 在一些实施例中, 数据解码器130可包含: 校准电路, 其被配置成校准PAM4输入数据信号处的电压偏移; N个采样保持 (S/H) 电路 (未示出), 其被配置成分别利用N个数据采样时钟信号 CLK_{REC_DATA} 对均衡数据信号 $DATA_{EQU}$ 进行采样以获得N个数据样本; 数模转换器 (DAC), 其被配置成生成三个决策阈值电压电平; 3电平限幅器电路, 其可包含三个StrongARM比较器 (CMP), 其被配置成通过将N个数据样本中的每一个与三个决策阈值电压电平进行比较而将N个数据样本中的每一个解调成温度计编码位流; 以及编码转换器, 其被配置成将温度计编码位流转换成二进制编码位流, 所述二进制编码位流包含构成恢复MSB信号 (MSB_{REC}) 的MSB位流和构成恢复LSB信号 (LSB_{REC}) 的LSB位流。

[0050] 举例来说, 可以由四个S/H电路利用PH-0/90/180/270 CLK_{REC} 信号对输入PAM-4信号进行采样和去串行化。接下来, 使用三个StrongARM CMP利用由6位电流模式DAC生成的个别参考电压对所采样信号进行解码, 以用于对顶部、中间和底部数据眼进行限幅。使用6位DAC作为校准电路, 在启动后校准StrongARM CMP的输入MOSFET装置处的偏移。接着将解码的 4×3 位温度计代码 (Tcode) 转换成 4×2 位二进制代码 (Bcode) 作为 MSB_{REC} 和 LSB_{REC} 。

[0051] 返回参考图3。边缘检测器140可被配置成利用N/2个边缘采样时钟信号 CLK_{REC_EDGE} 检测均衡数据信号 $DATA_{EQU}$ 的边缘信息以生成边缘信息信号EDGE;

[0052] 参考图7, 在一些实施例中, 边缘检测器140可包括: N/2个S/H电路, 其被配置成利用N/2个边缘采样时钟信号 CLK_{REC_EDGE} 对均衡数据信号 $DATA_{EQU}$ 上的边缘进行采样以获得N/2个边缘信息样本; 以及比较器 (CMP), 其被配置成通过比较N/2个边缘信息样本中的每一个与决策阈值电压电平来生成边缘信息信号。举例来说, 可由PH-45/225 CLK_{REC} 信号定时的两个额外S/H和CMP检测PAM-4信号边缘信息。

[0053] 图8示出对时钟PH-0、90处的数据信号和时钟PH-45处的边缘信号进行解码的定时图。相同定时序列适用于时钟PH-180、270和225上的数据和边缘解码。在PH-0、90和45的第一上升沿处, 对数据和边缘信号进行采样且将所述数据和边缘信号保持在采样电容器上。在随后的下降沿上, 使用具有三个参考电平的CMP对数据和边缘信号进行解码。解码数据信号呈Tcode格式, 其在第二时钟上升沿处被转换成Bcode格式。解码数据和边缘信息通过时钟PH-225同步, 然后被发送到DLL 160以用于相位检测。

[0054] 返回参考图3。重定时器150可被配置成使恢复数据信号 (即, 恢复的MSB和LSB信号, MSB_{REC} 和 LSB_{REC}) 和恢复边缘信息信号EDGE同步。

[0055] 参考图9, 在一些实施例中, 重定时器150可包括一个或多个D型触发器 (DFF) 重定时电路。DFF被配置成通过单个时钟 (例如, CLK_{PH-225}) 同步以分别生成同步的 MSB_{RECSYN} 、 LSB_{RECSYN} 和 $EDGE_{SYN}$ 。

[0056] 返回参考图3。DLL 160可被配置成: 检测输入PAM-4信号相对于采样时钟信号 CLK_{REC} 的相位偏斜; 基于检测到的相位偏斜产生延迟线控制电压信号VLF (s); 并且基于延迟线控制电压信号VLF生成延迟锁定时钟信号 CLK_{DLL} 。

[0057] 延迟线控制电压信号VLF(s)由用于固定锁定定时点的DC分量 VLF_{DC} 和用于跟踪高频抖动的AC分量 VLF_{AC} 组成。通常, VLF_{DC} 在0.15V到0.85V的范围内变化,而 VLF_{AC} 展现数十mV的幅度和40MHz内的带宽。

[0058] 参考图10,在一些实施例中,DLL 160可包括:二位元式相位检测器(BBPD),被配置成检测输入PAM-4信号相对于采样时钟信号 CLK_{REC} 的相位偏斜以生成相位偏斜信号;电荷泵(CP)和电容器-电阻器-电容器(C-R-C)环路滤波器(LF),其被配置成将相位偏斜信号转换成延迟线控制电压信号VLF;以及压控延迟线(VCDL)电路,其被配置成基于延迟线控制电压信号VLF(s)和输入时钟信号 CLK_{IN} 生成延迟锁定时钟信号 CLK_{DLL} 。

[0059] 在一些实施方案中,CP可具有50~100uA的输出电流。由于CP电流的开/关切换可引起相对较大的电源变化,因此C-R-C环路滤波器对CP电源和VCDL电源的变化去耦。VLF(s)调节VCDL以生成 CLK_{DLL} ,所述 CLK_{DLL} 跟踪来自输入PAM-4信号的抖动。

[0060] DLL 160可进一步包括缓冲器(Buf)电路和占空比校正(DCC)电路,所述DCC电路被配置成校正输入时钟信号 CLK_{IN} 的占空比且将输入时钟信号从单端时钟信号转换成差分时钟信号。

[0061] 图11示出用于接收相位PH-0、45和90处的时钟信号的示例性BBPD逻辑电路以及其早/晚指示信号的对应变换图。相同电路还用于PH-180、225和270。如图所示,当两个连续时钟循环的上升沿上的MSB和LSB数据两者都彼此不同时,BBPD仅产生晚和早信号。举例来说,BBPD可通过比较两个连续 MSB_{REC} 、 LSB_{REC} 信号与其间的一个EDGE信号的状态来产生1位时钟早/晚指示信号以作为相位偏斜信号;当 MSB_{REC}/LSB_{REC} -EDGE- MSB_{REC}/LSB_{REC} 的状态为1/1-0-0/0或0/0-1-1/1时,产生时钟早信息。当 MSB_{REC}/LSB_{REC} -EDGE- MSB_{REC}/LSB_{REC} 的状态为1/1-1-0/0或0/0-0-1/1时,产生时钟晚信息。其它状态被滤除且不用于相位检测。

[0062] 参考图12,在一些实施例中,VCDL电路可包含:一个或多个压控延迟单元,其用以产生与检测到的相位偏斜成比例的延迟时间,以生成延迟锁定时钟信号 CLK_{DLL} ;以及占空比校正(DCC)块,其包括用于校正占空比的交叉耦合的PMOS对。

[0063] 参考图13,在一些实施例中,压控延迟单元中的每一个可由作为输入装置的一对NMOS和作为输出装置的一对PMOS组成以产生延迟输出信号,即,延迟锁定时钟信号 CLK_{DLL} ,所述延迟锁定时钟信号相对于输入时钟信号 CLK_{IN} 具有与延迟线控制电压信号VLF(s)成比例的延迟时间。

[0064] 返回参考图3。抖动补偿电路JCC 170可被配置成利用反相延迟线控制电压信号 VLF_{INV} (s)补偿来自PAM4输入数据信号的抖动传递,以生成抖动补偿后的恢复时钟信号 CLK_{RECJC} 、抖动补偿后的恢复LSB信号 LSB_{RECJC} 和抖动补偿后的恢复MSB信号 MSB_{RECJC} 。

[0065] 参考图14,在一些实施例中,JCC 170可包括:锁定检测器;互补信号发生器(CSG),其被配置成将延迟线控制电压信号转换成反相延迟线控制电压信号 VLF_{INV} ;以及多个互补VCDL(C-VCDL)电路。由CSG产生的反相延迟线控制电压信号 VLF_{INV} (s)可与延迟线控制电压信号VLF(s)具有相同的DC电平和AC幅度,但具有相反的AC相位。 VLF_{INV} (s)的DC电平,标示为 VLF_{INVDC} ,固定成接近 VLF_{DC} ,其中由核心AMP的不充分增益和ADC非线性引起的误差可忽略。

[0066] 参考图15,在一些实施例中,CSG可包含:时钟控制单元,其被配置成划分控制时钟信号 $CLK_{REC,CTRL}$ (例如,PH-135处的时钟信号)达合适数目的次数(例如,128次);电压跟随器,其被配置成缓冲延迟线控制电压信号VLF(s)以产生缓冲延迟线控制电压信号 VLF_{Buf} (s);逐

次逼近寄存器 (SAR) 模数转换器 (ADC), 其与划分后的控制时钟信号同步且被配置成量化缓冲延迟线控制电压信号 $VLF_{Buf}(s)$, 从而获得 DC 电平且产生模拟延迟线控制电压 VLF_{DAC} 以用于跟踪 DC 电平; 以及反相跟随器, 其被配置成接收模拟延迟线控制电压 VLF_{DAC} 和延迟线控制电压信号 $VLF(s)$ 以产生反相延迟线控制电压信号 $VLF_{INV}(s)$ 。

[0067] 在一些实施例中, 电压跟随器可包含具有作为单位增益反馈连接的轨对轨输入和输出的第一核心放大器 (AMP)。也就是说, 第一核心放大器可具有连接在 AMP 的输出与 AMP 的反相输入之间的负单位增益反馈环路, 以便生成单位增益。

[0068] 在一些实施例中, 反相跟随器可包括: 第二核心放大器 (AMP), 其具有负反馈环路, 所述负反馈环路形成有耦合在第二放大器的输出与第二放大器的反相输入之间的反馈电阻器 R_{fb} ; 以及输入电阻器 R_{in} , 其耦合到第二放大器的反相输入。反馈电阻器 R_{fb} 和输入电阻器 R_{in} 被设置成具有相同的电阻 (通常等于 $10K\Omega$), 以便生成反相单位增益 (即, 接近 1 的反相增益)。

[0069] 在一些实施例中, SAR-ADC 可包含: 比较器 (CMP) 和再生电路 (RG), 其被配置成在第一输入端子处接收缓冲延迟线控制电压信号 $VLF_{Buf}(s)$; SAR 逻辑电路, 其耦合到比较器的输出且被配置成提供数字输出; 以及数模转换器 (DAC) (例如, R-2R DAC), 其被配置成从 SAR 逻辑电路接收数字输出, 将数字输出转换成模拟延迟线控制电压 $VLF_{DAC}(s)$, 并且将模拟延迟线控制电压 $VLF_{DAC}(s)$ 反馈到比较器的第二输入端子。因而, 在从锁定检测器接收到启用信号 VENABLE 后, SAR-ADC 可开始操作以检测、再现和维持 R-2R DAC 上的 VLF_{Buf} 的 DC 电平作为 VLF_{DAC} , 所述 VLF_{DAC} 可被设计以通常小于 $7mV$ 的误差跟踪 VLF_{DC} 。

[0070] 图 16 示出用于实施第一核心 AMP 和第二核心 AMP 中的每一个的 2 级放大器的示例性架构。如图所示, 2 级放大器可具有 PMOS 和 NMOS 作为输入装置以支持轨对轨输入和输出范围, 所述轨对轨输入和输出范围完全覆盖 VLF_{DC} 范围, 例如, 从 $0.25V$ 到 $0.85V$ 。

[0071] 图 17A 示出 8 位 SAR-ADC 的示例性框图, 所述 8 位 SAR-ADC 由具有如图 17C 中所示的再生电路 (RG) 电路的如图 17B 中所示的 StrongARM 比较器 (CMP)、8 位 SAR 逻辑和 8 位 R-2R 基于梯级的 DAC 组成。

[0072] 8 位 SAR 逻辑电路由八个相同 SAR 逻辑单元组成。如图 17D 中所示, 每个 SAR 逻辑单元包含两个序列控制 D 触发器 (SDFF) 和一个编码 DFF (CDFD) 以产生用于对应 R-2R 单元的开关控制位。

[0073] 如图 17E 中所示, R-2R DAC 直接使用 VDD 和 VSS 作为参考电平以覆盖整个 VLF_{DC} 范围。

[0074] 图 18 示出 8 位 SAR ADC 的操作过程的定时图。SAR ADC 的原理为将每个 DAC 控制位依次预设为 1 作为预测值, 然后在将预测值与输入进行比较之后更新控制位。每个 SAR-ADC 单元的操作花费两个时钟循环。在第一时钟循环中, CDFD 将 R-2R 单元控制位设置 (S) 为 1 以用于预测。StrongARM CMP 在时钟上升沿处开始比较过程, 且在随后的时钟下降沿处复位。由 RG 电路将 CMP 产生的归零 (RZ) 代码转换成 NRZ 格式。在第二时钟循环中, 利用 CMP 比较结果更新 (U) CDFD 输出。

[0075] 返回参考图 14。多个 C-VCDL 电路可包含: 第一 C-VCDL 电路, 其被配置成基于反相延迟线控制电压信号 $VLF_{INV}(s)$ 补偿传递到恢复时钟信号 (CLK_{REC}) 的输入抖动以生成抖动补偿后的恢复时钟信号 (CLK_{RECJC}); 以及第二 C-VCDL 电路, 其被配置成基于反相延迟线控制电压信号 ($VLF_{INV}(s)$) 补偿传递到恢复 LSB 数据信号 (LSB_{REC}) 的输入抖动以生成抖动补偿后的恢

复LSB信号 (LSB_{RECJC}) ;以及第三C-VCDL电路,其被配置成基于反相延迟线控制电压信号 ($VLF_{INV}(s)$) 补偿传递到恢复MSB数据信号 (MSB_{REC}) 的输入抖动以生成抖动补偿后的恢复MSB信号 (MSB_{RECJC}) 。

[0076] 参考图19,在一些实施例中,每个C-VCDL电路可包含一个或多个互补压控延迟单元。参考图20,每个互补压控延迟单元由作为输入装置的一对NMOS和作为输出装置的一对PMOS组成,以生成相对于输入时钟信号 CLK_{IN} 具有与反相延迟线控制电压信号 ($VLF_{INV}(s)$) 成比例的延迟时间的延迟输出信号。

[0077] 换句话说,第一C-VCDL电路可包含一个或多个互补压控延迟单元以获得抖动补偿后的恢复时钟信号 CLK_{RECJC} ,所述抖动补偿后的恢复时钟信号相对于输入时钟信号 CLK_{IN} 具有与反相延迟线控制电压信号 $VLF_{INV}(s)$ 成比例的延迟时间。

[0078] 第二C-VCDL电路可包含一个或多个互补压控延迟单元以用于生成抖动补偿后的所恢复LSB信号 LSB_{RECJC} ,所述抖动补偿后的所恢复LSB信号相对于输入时钟信号 CLK_{IN} 具有与反相延迟线控制电压信号 $VLF_{INV}(s)$ 成比例的延迟时间。

[0079] 第三C-VCDL电路可包含一个或多个互补压控延迟单元以用于生成抖动补偿后的恢复MSB信号 MSB_{RECJC} ,所述抖动补偿后的恢复MSB信号相对于输入时钟信号 CLK_{IN} 具有与反相延迟线控制电压信号 $VLF_{INV}(s)$ 成比例的延迟时间。

[0080] 图21示出根据本发明的一些实施例的支持1/4速率PAM-4操作的示例性JCCDR架构。如图21中所示,一阶DLL使用PAM-4BBPD、电荷泵(CP)、环路滤波器(未示出)和VCDL来追踪输入PAM-4信号上的抖动。VCDL由 $VLF(s)$ 控制以生成1/4速率 CLK_{DLL} ,所述1/4速率 CLK_{DLL} 携带与输入PAM-4信号几乎相同的抖动。二阶400MHz WBPLL使用 CLK_{DLL} 作为参考以产生用于PAM-4信号解码的8相 (PH-0/45.../270/315) 时钟,标示为 CLK_{REC} 。400MHz WBPLL带宽确保快速的频率和相位更新,这并不影响DLL动态。恢复的8-PH CLK_{REC} 使PAM-4解码器同步以生成恢复的最高有效位 (MSB_{REC}) 和最低有效位 (LSB_{REC})。使用由互补信号发生器(CSG)和VCDL复本组成的抖动补偿电路(JCC)来减弱 CLK_{REC} 、 MSB_{REC} 和 LSB_{REC} 上的抖动传递。CSG产生用于控制VCDL复本创建C-VCDL的等幅反相的环路滤波器电压 $VLF_{INV}(s)$ 。 $VLF_{INV}(s)$ 被设计成与 $VLF(s)$ 具有相同的幅度但具有反相的相位。将 CLK_{REC} 、 MSB_{REC} 和 LSB_{REC} 馈送到由 $VLF_{INV}(s)$ 控制的C-VCDL以抵消抖动传递,且递送抖动补偿后的输出 CLK_{RECJC} 、 MSB_{RECJC} 和 LSB_{RECJC} ,所述抖动补偿后的输出理论上不携带来自输入PAM-4信号的传递的抖动。因此,可减弱不希望出现的抖动传递。

[0081] 还可使用环路动态分析来示出抖动补偿的原理。从输入数据传递到DLL的抖动的闭环传递函数(CLTF)可导出为:

$$[0082] \quad H_{VLF}(s) = \frac{VLF(s)}{\phi_{in}(s)} = \frac{R_T K_{BBPD} K_{CP} \frac{1}{sC}}{1 + R_T K_{BBPD} K_{CP} \frac{1}{sC}}, \quad (1)$$

[0083] 其中 $\Phi_{in}(s)$ 表示输入抖动, R_T 表示变换比(通常等于0.5)。 K_e 和 K_{CP} 表示BBPD和电荷泵(CP)的增益。WBPLL的效应不包含在内,因为其环路带宽比DLL高十倍。

[0084] 从 $\Phi_{in}(s)$ 到恢复时钟相位 $\Phi_{CLKREC}(s)$ 的CLTF可由以下等式表示:

$$[0085] \quad H_{\phi_{CLKREC}}(s) = \frac{\phi_{CLKREC}(s)}{\phi_{in}(s)} = \frac{R_T K_{BBPD} K_{CP} K_{VCDL} \frac{1}{sC}}{1 + R_T K_{BBPD} K_{CP} K_{VCDL} \frac{1}{sC}}, \quad (2)$$

[0086] 其中 K_{VCDL} 表示VCDL电路的增益。

[0087] 等式 (2) 示出DLL的抖动传递行为。等式 (2) 的3dB带宽确定抖动容限带宽, 定义为:

$$[0088] \quad \text{抖动容限带宽} = \frac{R_T K_{\text{BBPD}} K_{\text{CP}} K_{\text{VCDL}}}{C}, \quad (3)$$

[0089] 从 $\Phi_{\text{in}}(s)$ 到抖动补偿时钟 $\Phi_{\text{CLKRECJC}}(s)$ 的相位的CLTF可通过以下等式确定:

$$[0090] \quad H_{\Phi_{\text{CLKRECJC}}}(s) = \frac{\Phi_{\text{CLKREC}}(s) + \Phi_{\text{in}}(s) H_{\text{VLF}}(s) K_{\text{CSG}}(s) K_{\text{VCDL}}}{\Phi_{\text{in}}(s)}$$

$$\approx \frac{R_T K_{\text{BBPD}} K_{\text{CP}} \frac{1}{sC}}{1 + R_T K_{\text{BBPD}} K_{\text{CP}} K_{\text{VCDL}} \frac{1}{sC}} \times (K_{\text{VCDL}} + K_{\text{CSG}}(s) K_{\text{PV}} K_{\text{VCDL}}), \quad (4)$$

[0091] 其中 K_{CSG} 表示CSG电路的增益, 并且 K_{PV} 表示由过程变化引起的增益。

[0092] 理想地, K_{CSG} 等于 -1, 以生成与VLF(s) 具有完全相同的幅度和反相的相位的 $\text{VLF}_{\text{INV}}(s)$ 信号, 使得可实现完整抖动传递补偿。然而, 两个非理想因子使 K_{CSG} 偏离 -1, 包含电压跟随器和反相跟随器中的AC增益误差, 以及 VLF_{DC} 与 $\text{VLF}_{\text{INVDC}}$ 之间的DC偏移。因此, K_{CSG} 可表示为:

$$[0093] \quad K_{\text{CSG}} = K_{\text{AC}} \text{增益} K_{\text{DC}} \text{偏移} \quad (6)$$

[0094] 其中 K_{AC} 增益为电压跟随器和反相电压跟随器的AC增益, 并且 K_{DC} 偏移为CSG电路中的电压跟随器和SAR ADC的DC偏移增益。

[0095] DC偏移增益可使用以下等式计算:

$$[0096] \quad K_{\text{DC 偏移}} = \frac{K_{\text{VCDL}}(\text{VLF}_{\text{DC}} + \text{DC 偏移})}{K_{\text{VCDL}}(\text{VLF}_{\text{DC}})} \quad (7)$$

[0097] 其中 $K_{\text{VCDL}}(\text{VLF}_{\text{DC}})$ 表示 VLF_{DC} 处的 K_{VCDL} 值。

[0098] 如先前所描述, CSG的功能为产生与VLF具有相同的幅度和反相的相位的 $\text{VLF}_{\text{INV}}(s)$ 。 K_{VCDL} 与 K_{CVCDL} 之间归因于局部过程变化的不匹配因子包含于 K_{PV} 中, 所述 K_{PV} 在完全对称布局的情况下接近1。

[0099] 在实际CMOS实施方案中, CSG中的偏移和增益误差以及VCDL与C-VCDL之间归因于过程变化的不匹配可能会降低抖动传递补偿性能。为了确保更好的匹配, VCDL和C-VCDL电路彼此接近地对准, 且由电路布局中的两端处的虚设物保护, 如图22中所示。VCDL由多个(例如, 如所描绘的四个)单压控延迟单元和一个占空比校正(DCC)块构成。每个延迟单元由作为输入装置的一对NMOS和由VLF(s) 或 $\text{VLF}_{\text{INV}}(s)$ 控制的一对PMOS组成, 以确定延迟时间。交叉耦合的PMOS对用于校正占空比。具有电流源的延迟单元将较少电源变化转化成输出抖动。

[0100] 选择和描述实施例是为了最好地解释本发明的原理及其实际应用, 由此使得所属领域的其他技术人员能够理解本发明的各种实施例以及适合于所预期的特定用途的各种修改。虽然本文中所公开的方法已参考按特定次序执行的特定操作加以描述, 但应理解, 可在不脱离本公开的教示的情况下组合、细分或重新排序这些操作以形成等效方法。因此, 除非在本文中具体指示, 否则操作的次序及分组并非限制性的。虽然本文中所公开的设备已参考特定结构、形状、材料、物质组成和关系等等加以描述, 但这些描述和说明并非限制性的。可作出修改以使特定情形适用于本公开的目标、精神和范围。所有此类修改预期在所附权利要求书的范围内。

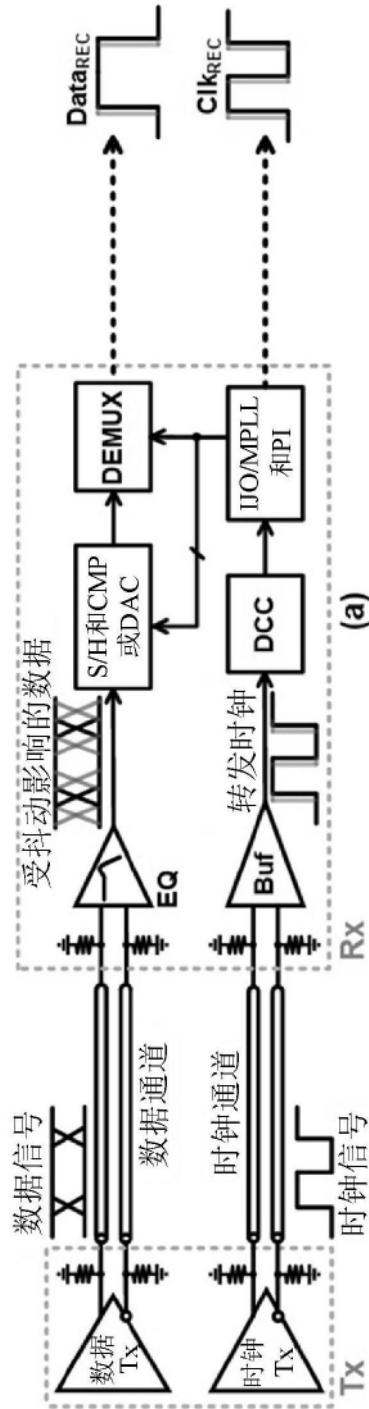


图1A

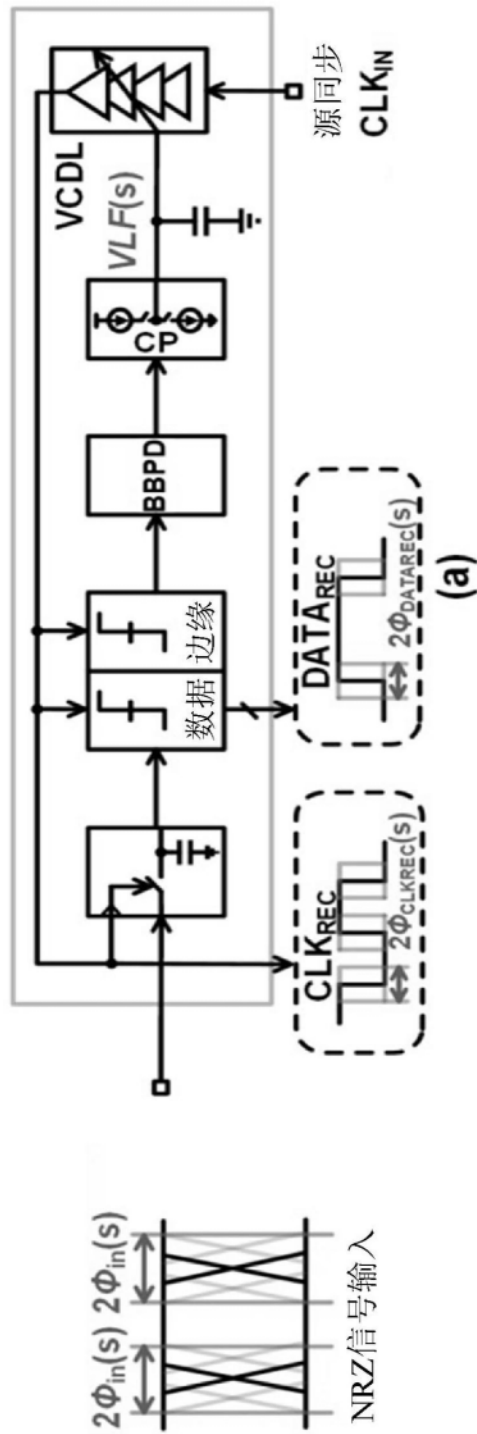


图2

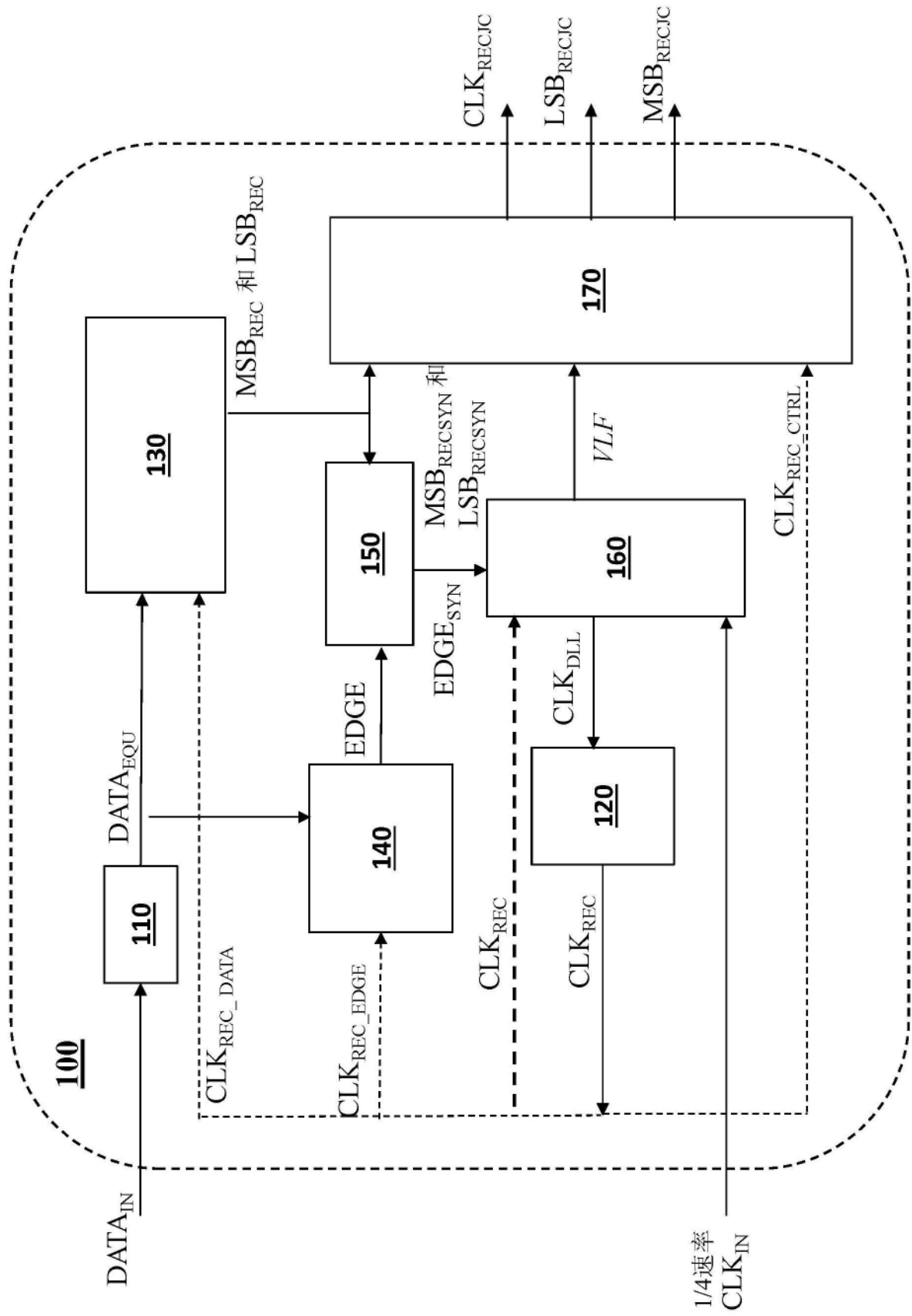


图3

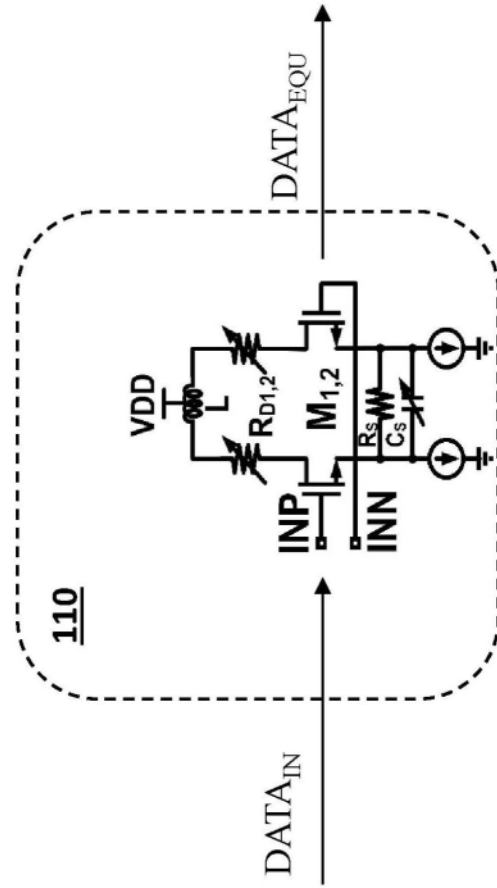


图4

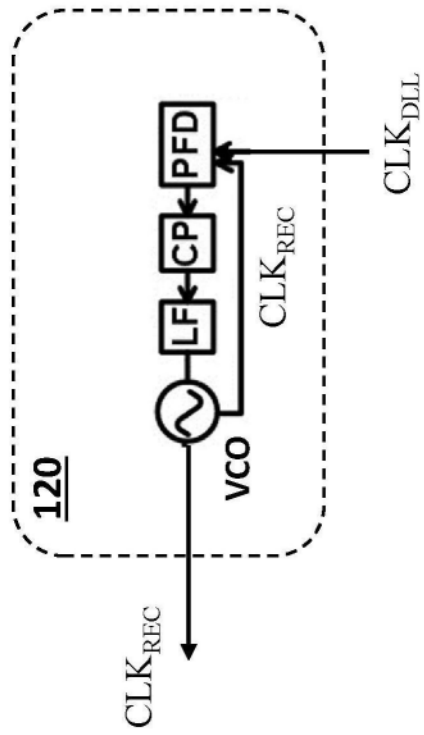
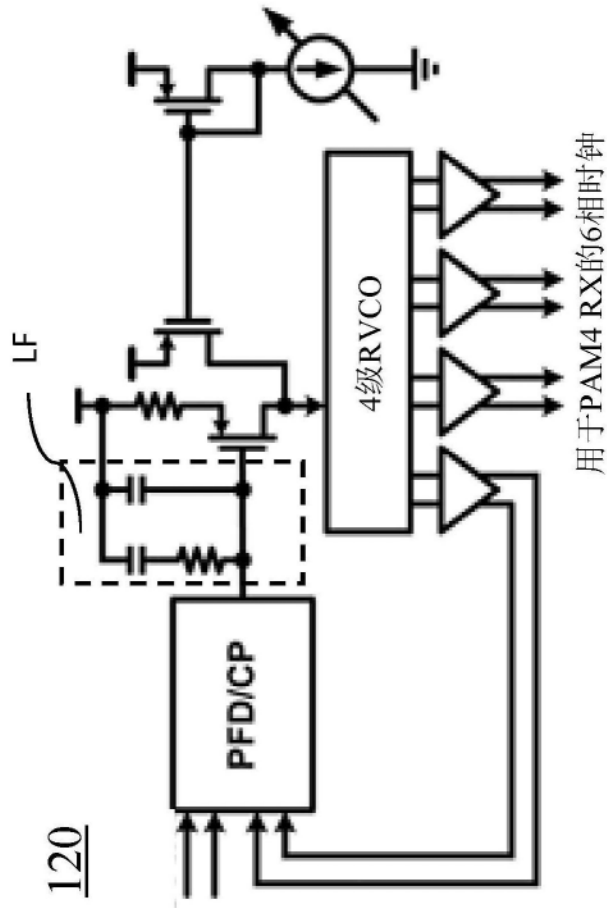


图5A



120

图5B

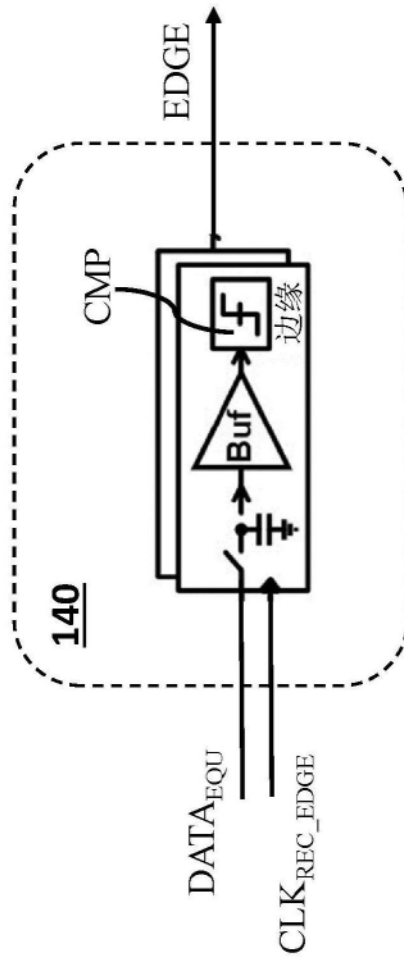


图7

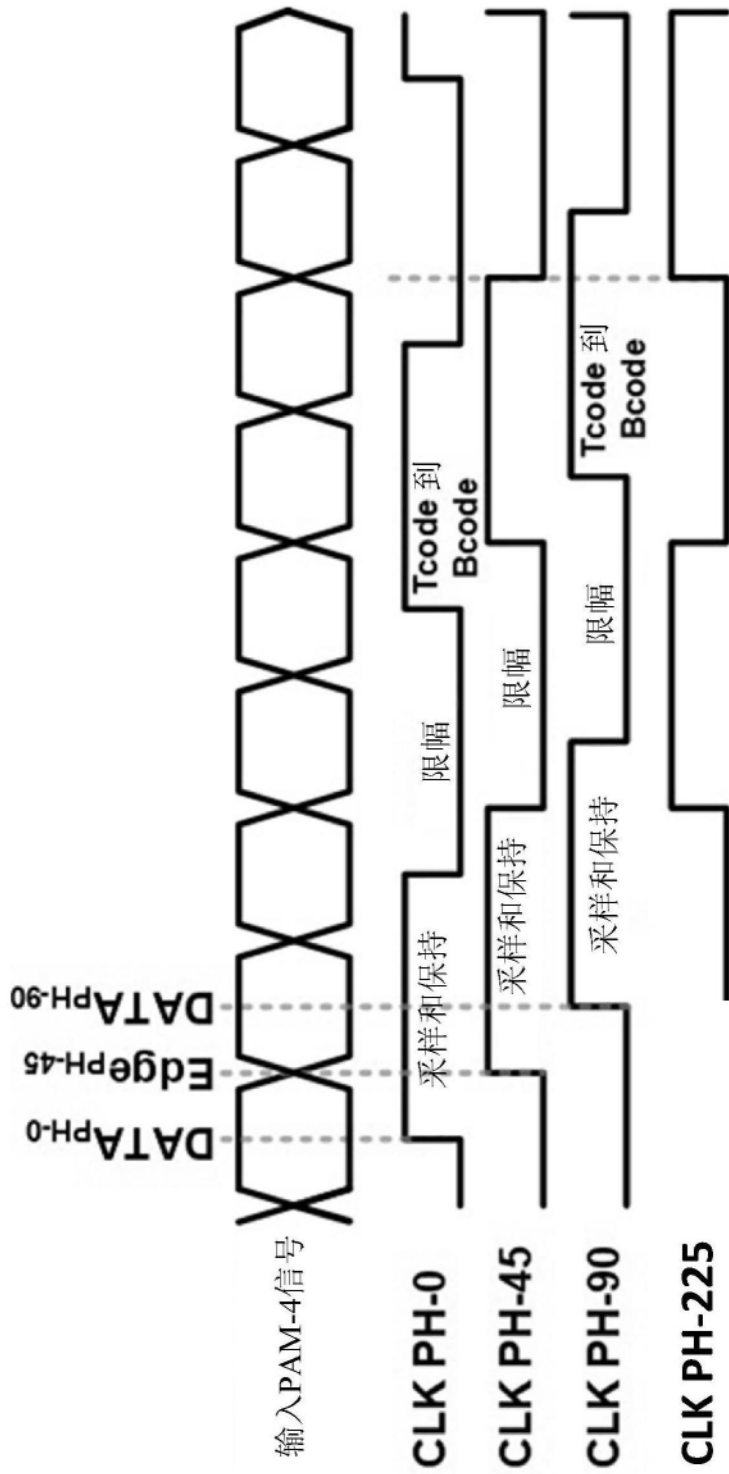


图8

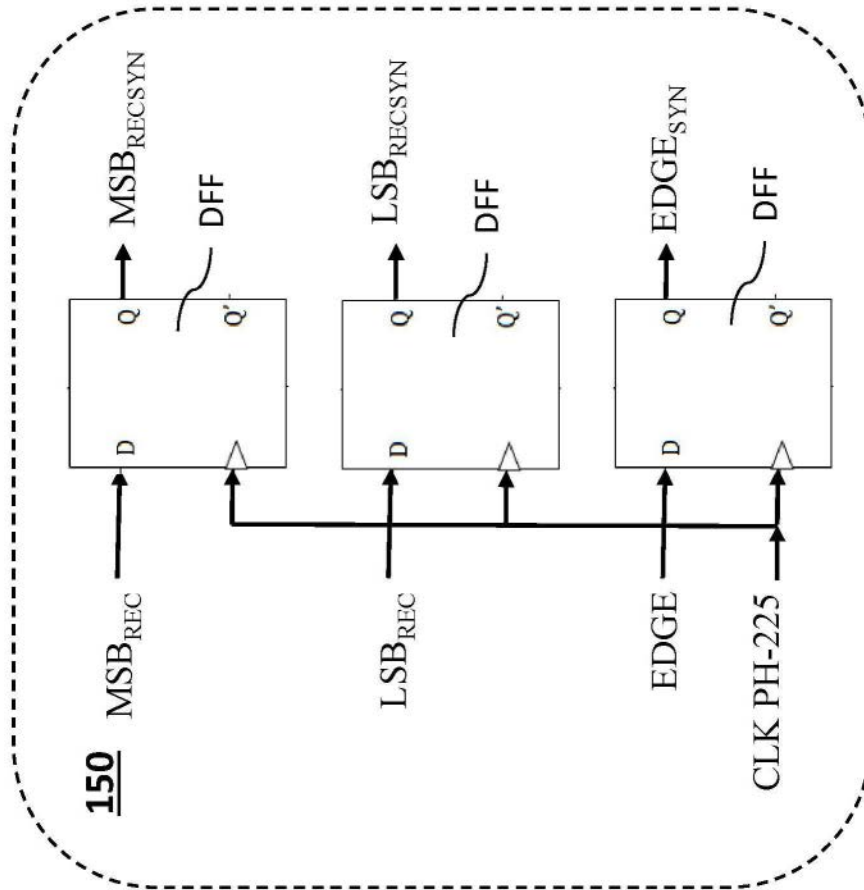


图9

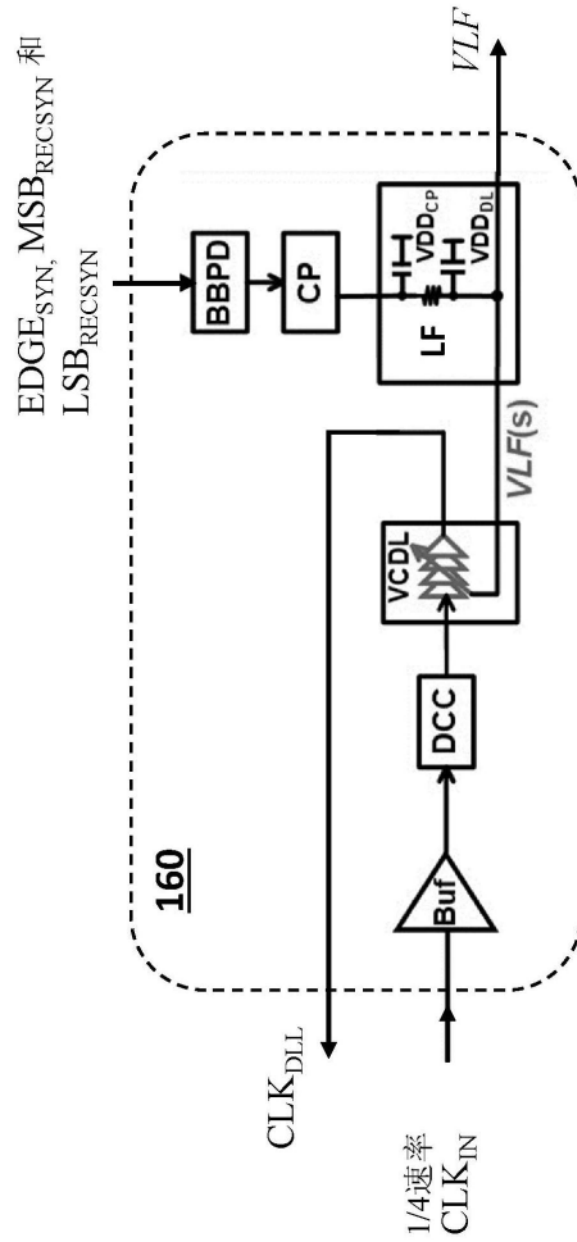


图10

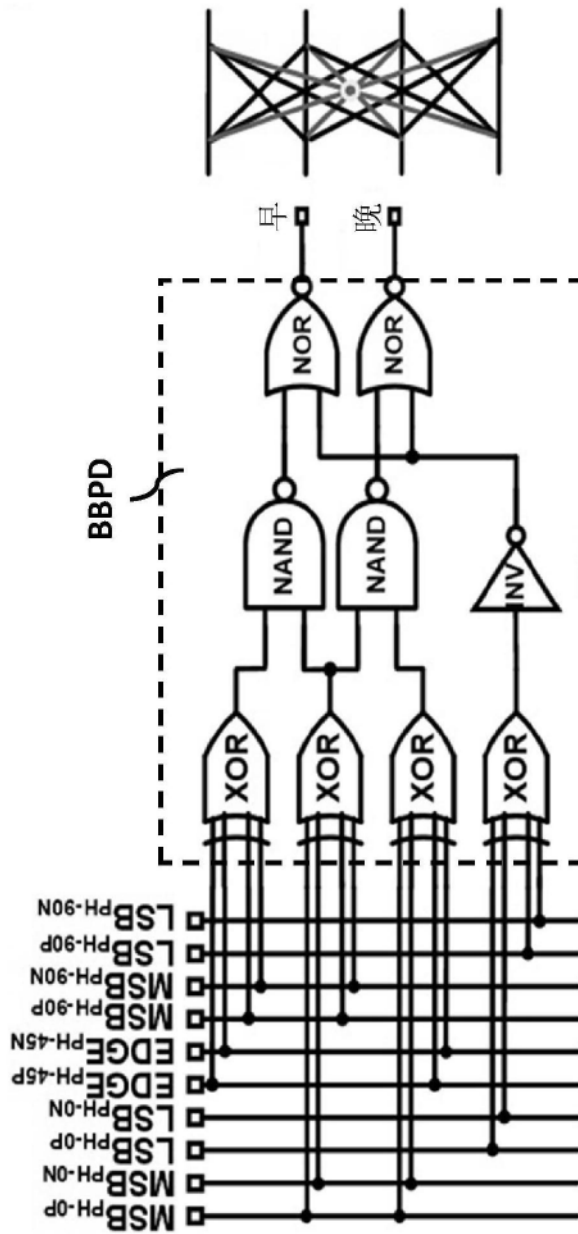


图11

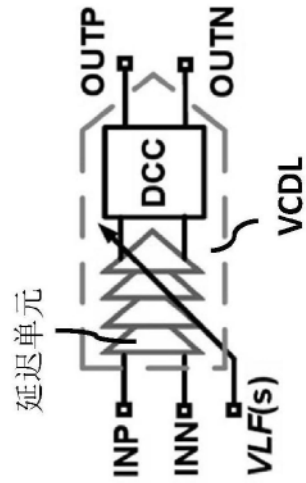


图12

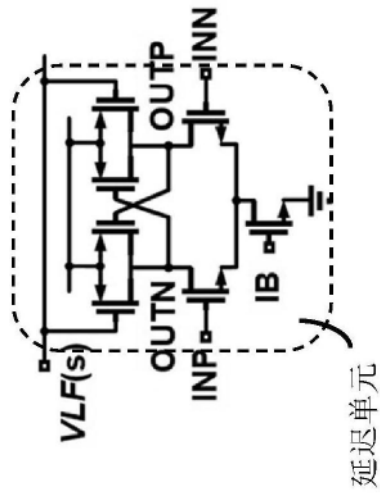


图13

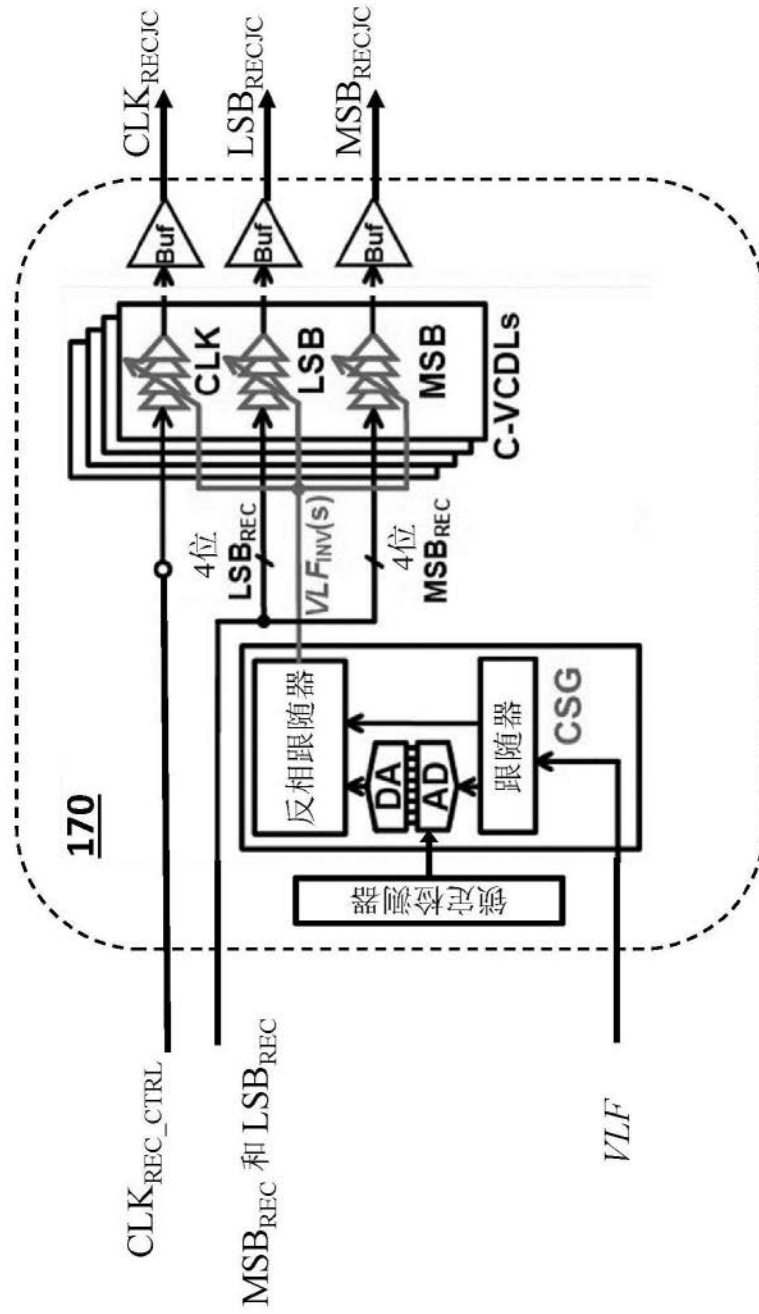


图14

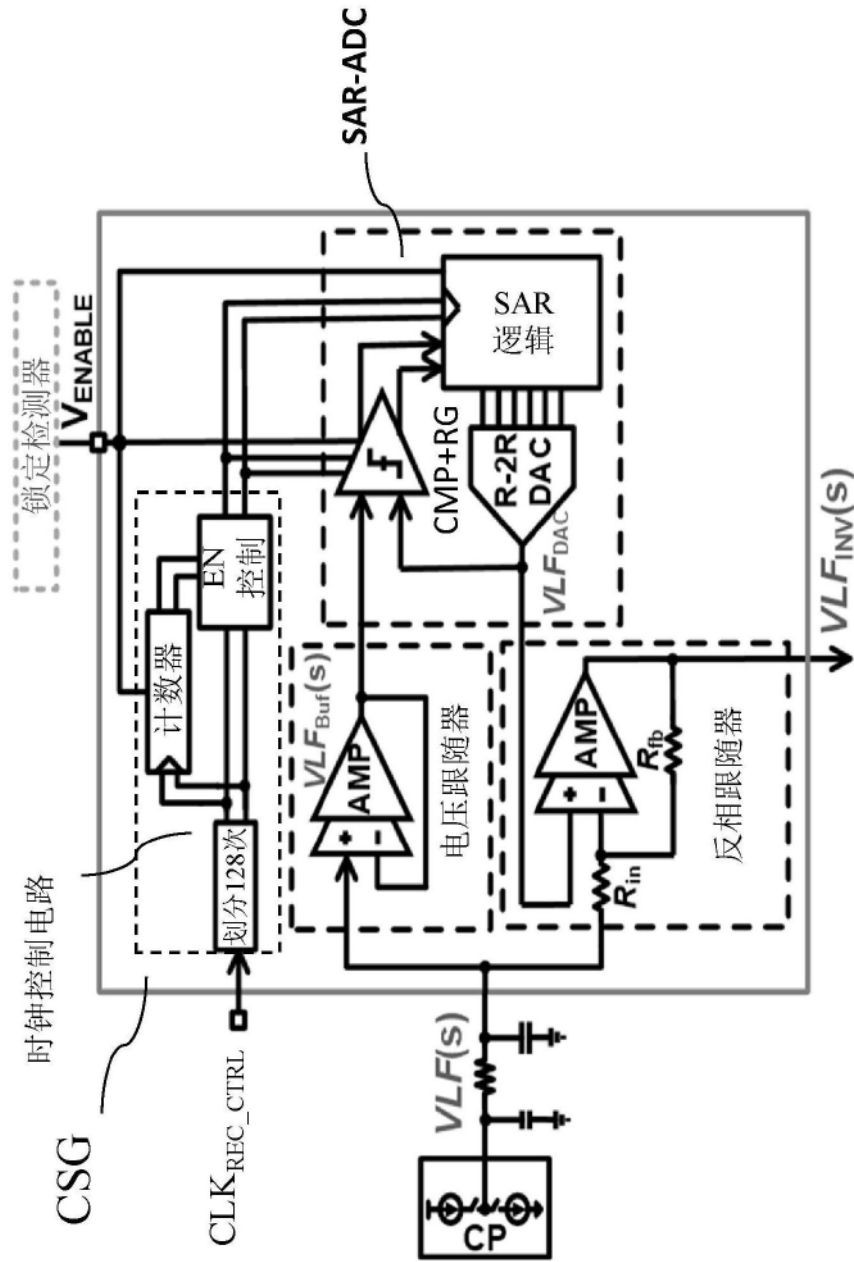


图15

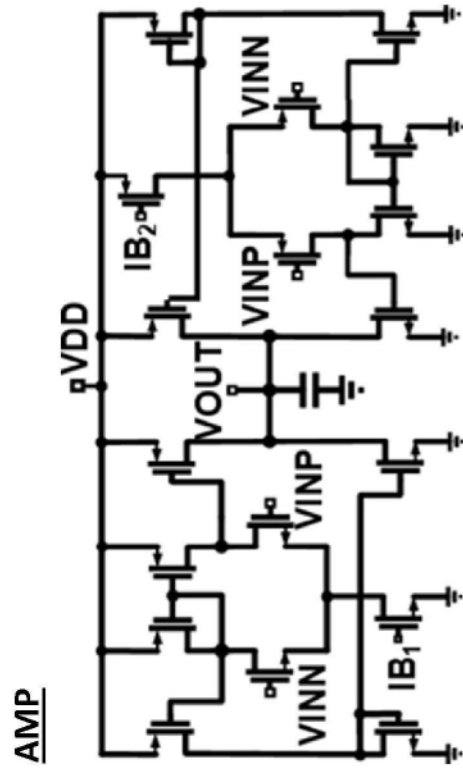


图16

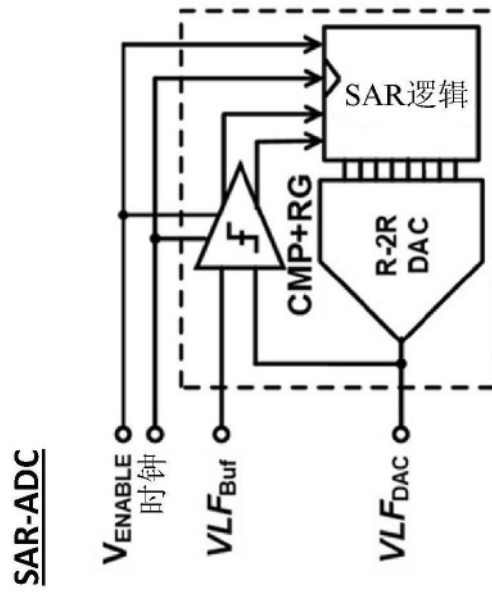


图17A

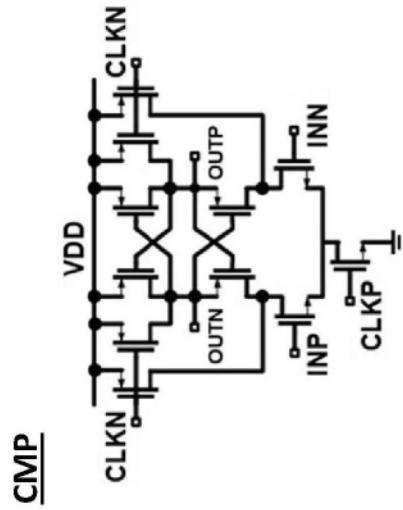


图17B

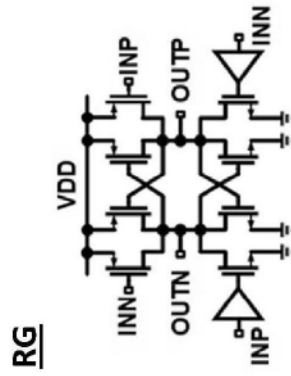


图17C

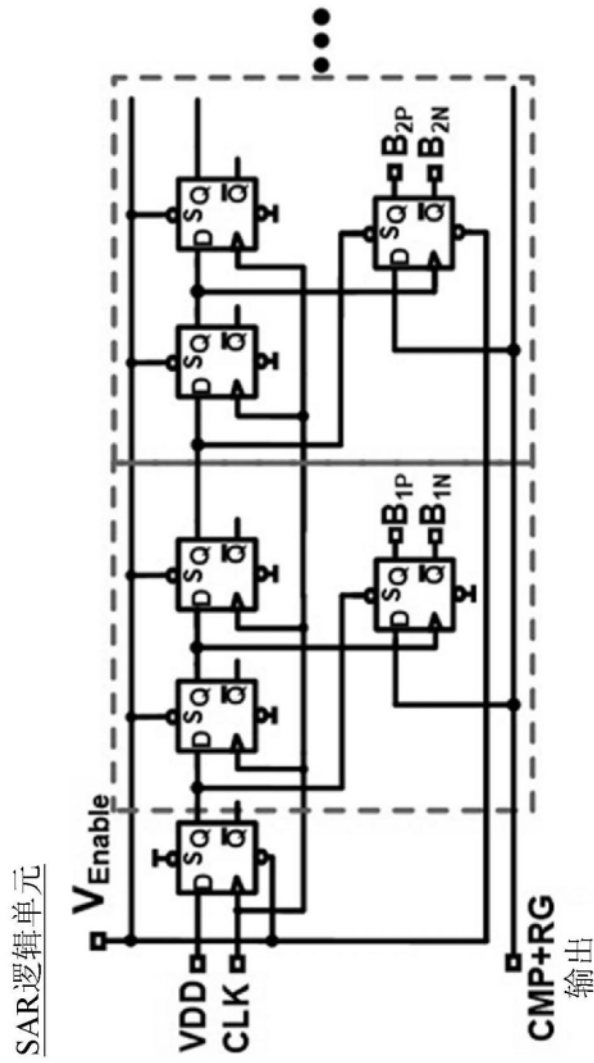


图17D

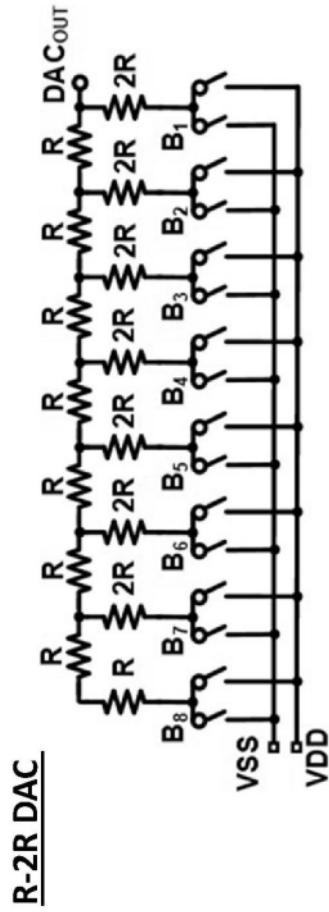


图17E

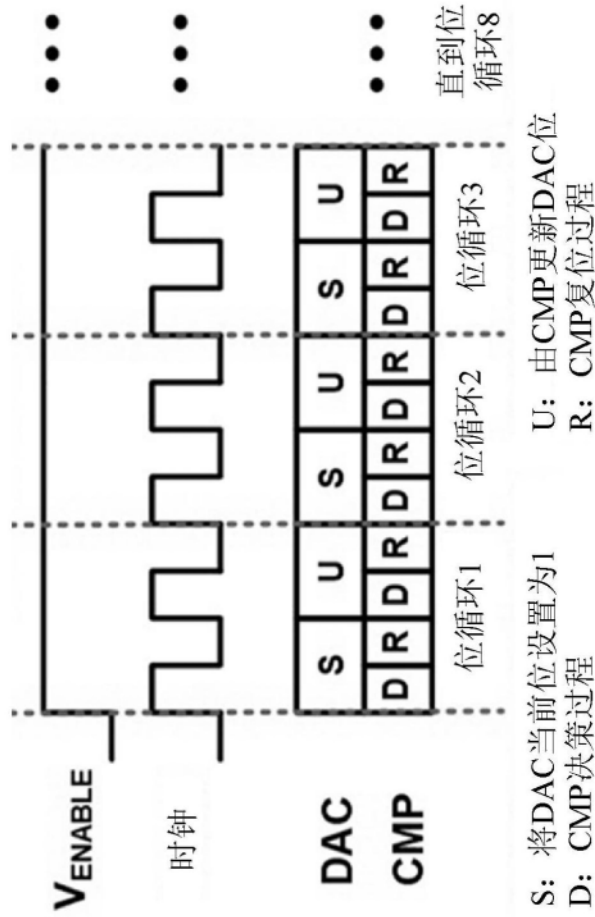


图18

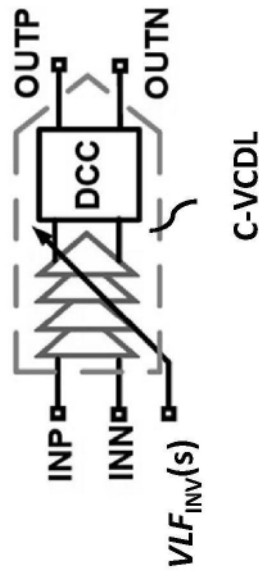


图19

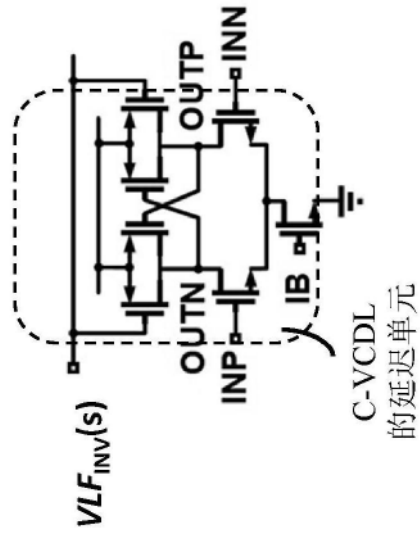


图20

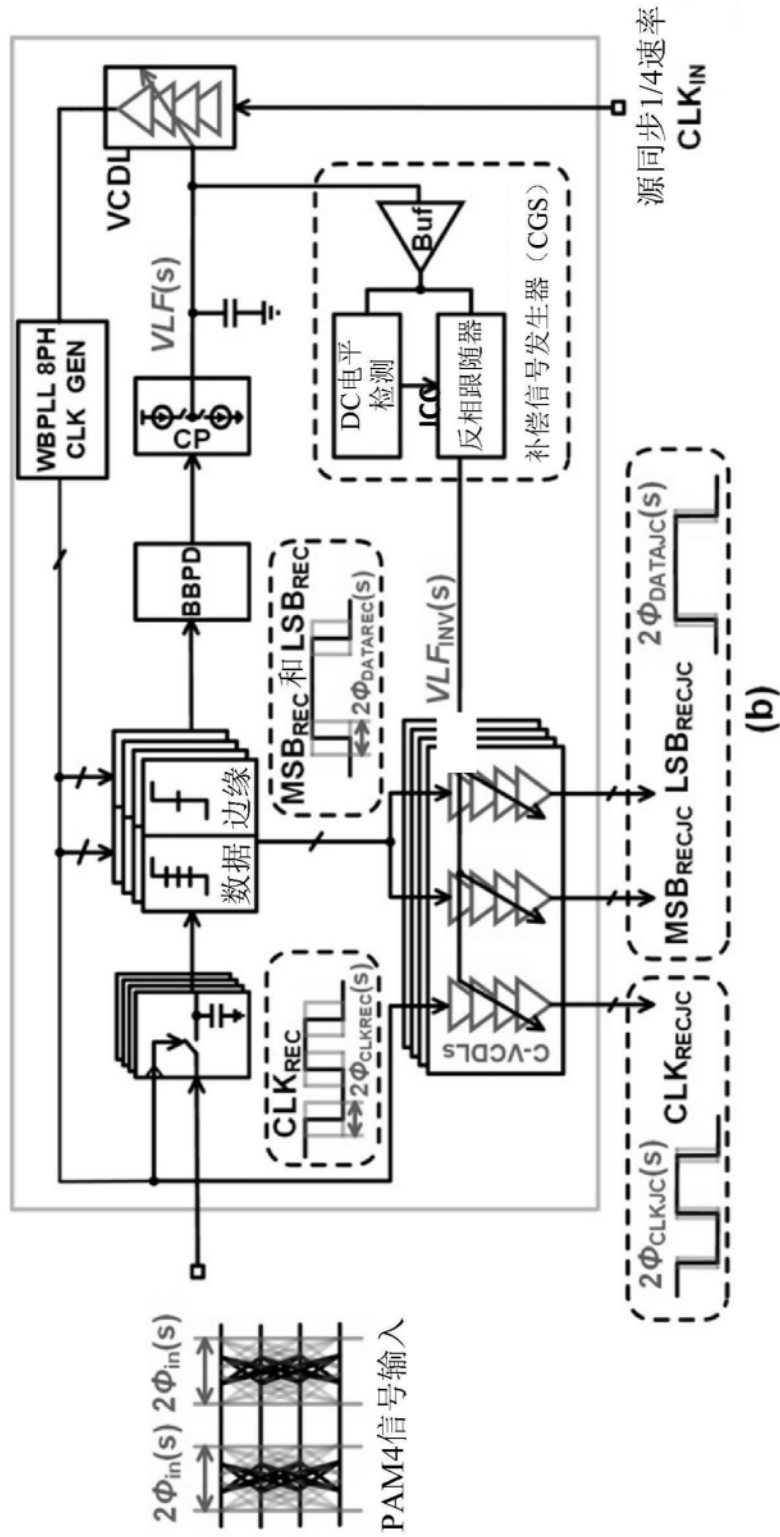


图21

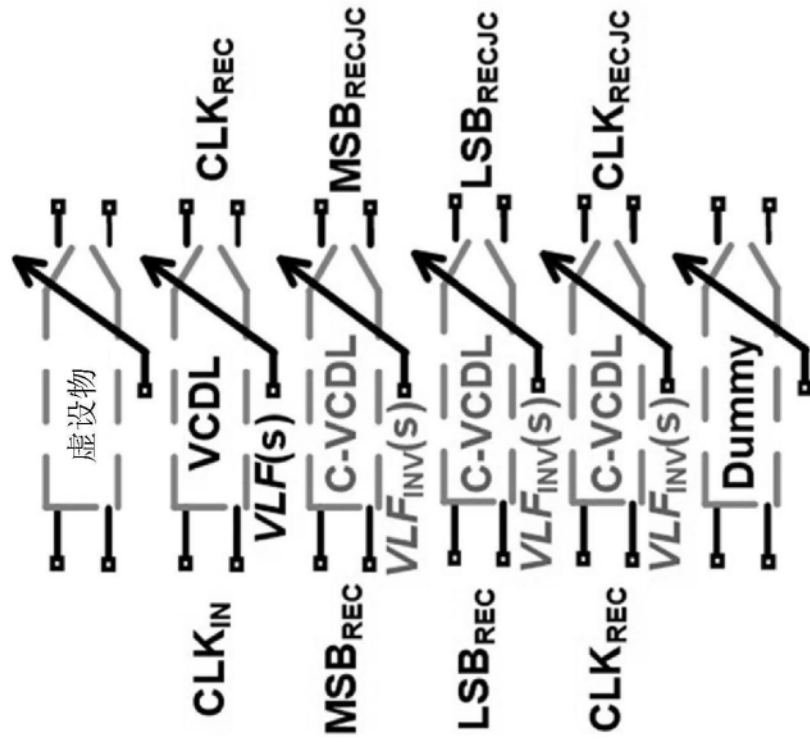


图22