

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4956840号  
(P4956840)

(45) 発行日 平成24年6月20日(2012.6.20)

(24) 登録日 平成24年3月30日(2012.3.30)

(51) Int.Cl. F I  
H O 4 B 3/06 (2006.01) H O 4 B 3/06 C

請求項の数 10 (全 25 頁)

(21) 出願番号	特願2008-66222 (P2008-66222)	(73) 特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成20年3月14日(2008.3.14)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2009-225018 (P2009-225018A)	(74) 代理人	100080816 弁理士 加藤 朝道
(43) 公開日	平成21年10月1日(2009.10.1)	(72) 発明者	須永 和久 東京都港区芝五丁目7番1号 日本電気株式会社内
審査請求日	平成22年5月14日(2010.5.14)	(72) 発明者	丹 謙蔵 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 判定帰還等化装置及び方法

(57) 【特許請求の範囲】

【請求項1】

奇データサンプリングクロックと奇エッジサンプリングクロックとD F E入力信号とを入力とする、ハーフレートD F E等化機能を有する奇データ受信部と、

偶データサンプリングクロックと偶エッジサンプリングクロックと前記D F E入力信号とを入力とする、ハーフレートD F E等化機能を有する偶データ受信部と、

を備え、

前記奇データ受信部及び前記偶データ受信部の各々が、

ハーフレートD F E等化信号でのデータ検出手段とエッジ検出手段と、

を有し、

前記検出手段によるサンプリングデータ群を入力とし、前記データ検出手段で検出された連続する3ビットのデータパタンが、110又は001のデータパタンを検出し、

前記検出結果をもとに、110又は001のデータパタンの検出時のみに、ハーフレートD F E等化信号でのエッジデータを選択し、選択したエッジデータを位相比較器に出力するパタンフィルタと、

を有する、ことを特徴とする判定帰還型等化装置。

【請求項2】

奇データサンプリングクロックと奇エッジサンプリングクロックとD F E入力信号とを入力とする、ハーフレートD F E等化機能を有する、奇データ受信部と、

偶データサンプリングクロックと偶エッジサンプリングクロックとD F E入力信号とを

入力とする、ハーフレート D F E 等化機能を有する、偶データ受信部と、  
前記奇データ受信部及び前記偶データ受信部の各々が、  
ハーフレート D F E 等化信号でのデータ検出手段とエッジ検出手段、及び、  
フルレート D F E 等化信号でのエッジ検出手段と、  
を有し、さらに、

前記検出手段による、サンプリングデータ群を入力とし、連続する 3 ビットのデータ検出パターンが、1 1 0 又は 0 0 1 データパターンと、1 0 1 又は 0 1 0 データパターンを検出し、

前記検出結果をもとに、

1 1 0 又は 0 0 1 パターン検出時に、ハーフレート D F E 等化信号でのエッジデータを選択し、1 0 1 又は 0 1 0 のデータパターン検出時に、フルレート D F E 等化信号でのエッジデータを選択し、選択したエッジデータを位相比較器に出力するパターンフィルタを有することを特徴とする判定帰還型等化装置。

10

【請求項 3】

前記奇データ受信部は、前記奇データ受信部での判定帰還信号と前記偶データ受信部での判定帰還信号とを用いて前記ハーフレート D F E 等化機能を実現し、

前記偶データ受信部は、前記偶データ受信部での判定帰還信号と、前記奇データ受信部での判定帰還信号とを用いて前記ハーフレート D F E 等化機能を実現する、ことを特徴とする請求項 1 又は 2 記載の判定帰還型等化装置。

【請求項 4】

20

前記パターンフィルタが、ハーフレート D F E 等化信号の検出した連続するデータ列の排他的論理和演算手段と、

前記排他的論理和演算結果により、ハーフレート D F E 等化信号のエッジ検出結果と、フルレート D F E 等化信号のエッジ検出結果を選択する手段を有する、ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の判定帰還型等化装置。

【請求項 5】

前記データ検出手段及び前記エッジ検出手段のオフセットをキャンセルする手段を備えることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の判定帰還型等化装置。

【請求項 6】

前記奇データ受信部と前記偶データ受信部のいずれか一方又は両方が、ハーフレート D F E 等化信号でのデータ検出手段と並列に、サンプリング閾値を調整可能な振幅誤差サンプリング手段を有する、ことを特徴とする請求項 1 に記載の判定帰還型等化装置。

30

【請求項 7】

入力信号を入力する奇データ受信部及び偶データ受信部と、  
前記奇データ受信部及び前記偶データ受信部でサンプリングデータを入力とするパターンフィルタと、  
を備え、

前記奇データ受信部は、奇データタイミングクロックでハーフレート D F E 等化波形をサンプリングし、奇エッジタイミングクロックにてハーフレート D F E 等化波形及びフルレート D F E 等化波形の双方をサンプリングし、

40

前記偶データ受信部は、偶データタイミングクロックでハーフレート D F E 等化波形をサンプリングし、偶エッジタイミングクロックにてハーフレート D F E 等化波形及びフルレート D F E 等化波形の双方をサンプリングし、

前記パターンフィルタにおいて、奇偶の各エッジタイミングでサンプリングされたエッジ判定データは、奇偶の各データタイミングでサンプリングされたデータ判定データから得られる、連続する 3 ビットのデータパターンの値に応じて、ハーフレート D F E 等化波形及びフルレート D F E 等化波形の一方が選択され、

前記パターンフィルタは、連続する 3 ビットのデータパターンが、1 1 0 又は 0 0 1 のデータパターンの時、ハーフレート D F E 等化信号でのエッジデータを選択し、選択したエッジデータを位相比較器に出力する、ことを特徴とする判定帰還型等化装置。

50

## 【請求項 8】

入力信号を入力する奇データ受信部及び偶データ受信部と、  
前記奇データ受信部及び前記偶データ受信部でサンプリングデータを入力とするパタン  
フィルタと、  
を備え、

前記奇データ受信部は、奇データタイミングクロックでハーフレート D F E 等化波形を  
サンプリングし、奇エッジタイミングクロックにてハーフレート D F E 等化波形及びフル  
レート D F E 等化波形の双方をサンプリングし、

前記偶データ受信部は、偶データタイミングクロックでハーフレート D F E 等化波形を  
サンプリングし、偶エッジタイミングクロックにてハーフレート D F E 等化波形及びフル  
レート D F E 等化波形の双方をサンプリングし、

前記パタンフィルタにおいて、奇偶の各エッジタイミングでサンプリングされたエッジ  
判定データは、奇偶の各データタイミングでサンプリングされたデータ判定データから得  
られる、連続する 3 ビットのデータパタンの値に応じて、ハーフレート D F E 等化波形及  
びフルレート D F E 等化波形の一方が選択され、

前記パタンフィルタは、連続する 3 ビットのデータパタンが、1 1 0 又は 0 0 1 データ  
パタンと、1 0 1 又は 0 1 0 データパタンを検出し、

1 1 0 又は 0 0 1 データパタンを検出時に、ハーフレート D F E 等化信号でのエッジデ  
ータを選択し、1 0 1 又は 0 1 0 データパタンを検出時に、フルレート D F E 等化信号で  
のエッジデータを選択し、選択したエッジデータを位相比較器に出力する、ことを特徴と  
する判定帰還型等化装置。

## 【請求項 9】

前記奇データ受信部と前記偶データ受信部の各々は、  
入力信号を入力する D F E 等化波形処理部と非 D F E 等化波形処理部を備え、  
前記 D F E 等化波形処理部は、

前記入力信号と判定帰還信号を加算し D F E 等化信号を出力する D F E 加算器と、  
前記 D F E 等化信号を前記奇又は偶データタイミングクロックでサンプリングするデー  
タサンプリング部と、

前記 D F E 等化信号を前記奇又は偶エッジタイミングクロックでサンプリングするエッ  
ジサンプリング部と、

を備え、

前記データサンプリング部でサンプリングされたデータ判定データは、ラッチ群及びタ  
ップゲイン群により判定帰還信号として負帰還されて前記 D F E 加算器で D F E 等化処理  
に用いられるとともに、前記ラッチ群を通過後、データ判定データとして、前記パタン  
フィルタへ出力され、

前記エッジサンプリング部でサンプリングされたエッジ判定データは、前記ラッチ群に  
より遅延調整され、奇又は偶ハーフレート D F E 後エッジ判定データとして、前記パタン  
フィルタへ出力され、

前記非 D F E 等化波形処理部においては、

前記入力信号を、前記 D F E 等化波形処理部の前記 D F E 加算器の遅延に相当する量を  
遅延調整部で遅延させ、前記 D F E 等化波形処理部の前記エッジサンプリング部のサン  
プリングと同タイミングクロックで非 D F E 等化波形のエッジ判定データをサンプリングす  
るエッジサンプリング部を備え、

前記エッジサンプリング部の出力は、ラッチ群にて遅延調整され、前記パタンフィルタ  
へ出力される、ことを特徴とする請求項 7 又は 8 記載の判定帰還型等化装置。

## 【請求項 10】

前記奇データ受信部の前記 D F E 等化波形処理部の前記 D F E 加算器には、前記奇デー  
タ受信部の所定段目のタップゲイン群の出力と、前記偶データ受信部の所定段目のタ  
ップゲイン群の出力とを合成してなる判定帰還信号が負帰還され、

前記偶データ受信部の前記 D F E 等化波形処理部の前記 D F E 加算器には、前記偶デー

タ受信部の所定段目のタップゲイン群の出力と、前記奇データ受信部の所定段目のタップゲイン群の出力とを合成してなる判定帰還信号が負帰還される、ことを特徴とする請求項7乃至9のいずれか1項に記載の判定帰還型等化装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、判定帰還等化装置と方法に関し、特に、判定帰還等化後のエッジタイミング検出に関する。

【背景技術】

【0002】

高速シリアル通信では伝送路損失の周波数依存性等による符号（シンボル）間干渉（以下、「ISI」という）により受信器のデータ受信端でのアイパタンが閉口し、ビットエラーレートが悪化することが知られている。

【0003】

ISIによる波形劣化を受信回路側で補償する判定帰還型等化（DFE：Decision Feedback Equalizer）とよばれる波形等化技術が知られている。

【0004】

DFEは、データ判定回路が受信信号を判定した結果に対応した後続ISI量を後続ビットに負帰還してISIを除去する波形等化技術である。DFEについては例えば非特許文献1等の記載が参照される。

【0005】

本願では、帰還信号の周期がデータレート周期（ $T$ ）であるDFEを「フルレートDFE」、帰還信号の周期がデータレートの2倍（ $2T$ ）であるDFEを「ハーフレートDFE」という。

【0006】

高速シリアル通信では、「ダブルデータレート方式」と呼ばれる、データレートの周期（ $T$ ）の2倍の周期（ $2T$ ）の差動クロック（「ハーフレートクロック」という）の立ち上がりエッジタイミングを利用して、フルレートデータを送受信する方式が主流である。

【0007】

例えば、ダブルデータレート方式では、 $10\text{Gb/s}$ のデータレート通信を $5\text{GHz}$ の差動クロックで実現する。

【0008】

以下、例として、ダブルデータレート方式での1タップDFE等化動作を、図1、図2を参照して説明する。

【0009】

図1の受信信号110は、奇、偶のそれぞれのDFE判定帰還信号（奇、偶判定帰還信号）116、126と、奇DFE加算器111、偶DFE加算器121で加算されDFE等化される。

【0010】

DFE処理された加算後信号112、122は、それぞれ奇ハーフレートクロック118と偶ハーフレートクロック128のタイミングで、奇データサンプリング部113、偶数データサンプリング部123でそれぞれインターリーブサンプリングされる。

【0011】

奇データサンプリング部113と偶数データサンプリング部123からの奇サンプリングデータ114と偶サンプリングデータ124は、それぞれ、タップゲイン117、127で乗算処理される。

【0012】

タップゲイン127、117の出力は、奇判定帰還信号116、偶判定帰還信号126として、奇DFE加算器111、偶DFE加算器121の被加算信号として、負帰還され

10

20

30

40

50

る。

【0013】

この負帰還機構によるDFE等化により、ISIが除去され、正しくデータ受信が可能となる。

【0014】

また、この1タップ、ダブルデータレート構成のDFE動作について、図2のd1、d2、d3データを利用して説明する。

【0015】

以下、データレート周期をT、ハーフレートクロック周期を2Tとする(10Gbps通信においては、データレート周期T=100ps、ハーフレートクロック周期2T=200ps)。

【0016】

ISIの影響を受けている受信信号d2には、奇サンプリングデータd1にタップゲイン( )を乗算した判定帰還信号が加算され、DFE等化された、

$$d2 + \cdot d1$$

という偶加算後信号が得られる。

【0017】

このDFE等化された波形は、偶ハーフレートクロックにて正しくサンプリングされ、周期2Tの偶サンプリングデータd2が得られる。

【0018】

このサンプリングデータd2が及ぼす、d3へのISIを除去するために、タップゲイン( )倍された奇判定帰還信号116( =  $\cdot d2$  )が、奇DFE加算器111に帰還され、奇DFE加算器111で、受信信号d3と加算され、d3がDFE等化される。

【0019】

この負帰還の繰り返しにより、ダブルデータレート方式のDFE等化が実現されている。

【0020】

ここで、ダブルデータレート方式はハーフレートクロックでサンプリングするため、サンプリングデータはデータレート周期Tの2倍の2Tとなってしまう。

【0021】

その結果、DFE加算器における、2つの被加算信号のうち、一方は、サンプリングデータ周期2T、他方は、データレート周期Tの受信信号となる。

【0022】

図1のDFEで波形等化されるのは、偶・奇の各サンプリングタイミングのデータのみとなる。そのため、DFE加算後信号は、偶側と奇側でそれぞれ2データに1回のデータしか波形等化されず、図4のように、波形等化された、開口データとされていない閉口データが交互に繰り返す波形が得られる。

【0023】

【非特許文献1】Meghelli, Mounir; Rylov, Sergey; Bulzacchelli, John; Rhee, Woogeun; Rylyakov, Alexander; Ainspan, Herschel; Parker, Benjamin; Beakes, Michael; Chung, Aichin; Beukema, Troy; Pepeljugoski, Petar; Shan, Lei; Kwarck, Young; Gowda, Sudhir; Friedman, Daniel, "A 10Gb/s 5-Tap DFE/4-Tap FFE Transceiver in 90-nm CMOS Technology," IEEE International Solid-State Circuits Conference, February 2006

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

## 【 0 0 2 4 】

以下に本発明による関連技術の分析を与える。

## 【 0 0 2 5 】

通常、シリアル通信では、クロックを送信せずに、受信側においてデータからクロックを再生するクロック再生回路（クロックリカバリ回路、「CDR」と略記される）を搭載する。

## 【 0 0 2 6 】

一般的に、データ中心のデータタイミング位相の信号と、エッジタイミング位相の信号を検出し、それらを比較して、再生クロックの位相を調整する2倍のオーバーサンプル型CDRが広く用いられている。

10

## 【 0 0 2 7 】

図3に、フルレートDFE後のアイパタンとエッジ分布例を示す。このエッジ分布からCDRの有するローパスフィルタ機能が分布中心を抽出し、隣り合う抽出エッジの中心位相にデータサンプリングクロックの立ち上がりエッジが調整され正しくデータをサンプリングできる。

## 【 0 0 2 8 】

しかしながら、図4に示すように、ハーフレートDFEでは、サンプリングする開口データの前後のビットは、アイ開口が得られず、エッジがビット幅全体に分布してしまう。その結果、エッジ位置の中心を正しく抽出できず、クロックの立ち上がりエッジを正しいサンプリング位相に調整できないという問題が顕在化する。

20

## 【 0 0 2 9 】

したがって、本発明の目的は、ハーフレート型判定帰還等化を利用した場合の再生クロックの位相を調整する装置と方法を提供することにある。

## 【 0 0 3 0 】

本発明は、上記目的を達成し、再生クロックの分布を抑制し、データサンプリング精度を向上し、通信品質の向上を可能とする装置と方法を提供することも目的の一つとしている。

## 【課題を解決するための手段】

## 【 0 0 3 1 】

本願で開示される発明は、前記課題を解決するため概略以下の構成とされる。

30

## 【 0 0 3 2 】

本発明の1つの側面によれば、データサンプリングクロックと奇エッジサンプリングクロックとDFE入力信号とを入力とするハーフレートDFE等化機能を有する奇データ受信部と、偶データサンプリングクロックと偶エッジサンプリングクロックとDFE入力信号とを入力とするハーフレートDFE等化機能を有する偶データ受信部の双方にて、ハーフレートDFE等化信号でのデータ検出手段と、エッジ検出手段を有し、上記検出手段によるサンプリングデータ群を入力とし、連続する3ビットのデータ検出パタンが110又は001データパタンの検出手段、及び、その検出結果をもとに110又は001パタン時のみにハーフレートDFE等化信号でのエッジデータを選択する機構を有するパタンフィルタを備える判定帰還型等化器が提供される。本発明においては、この判定帰還型等化器の出力を基にクロックリカバリを行う。

40

## 【 0 0 3 3 】

本発明の他の側面によれば、奇データサンプリングクロックと奇エッジサンプリングクロックとDFE入力信号とを入力とする、ハーフレートDFE等化機能を有する奇データ受信部と、

偶データサンプリングクロックと偶エッジサンプリングクロックとDFE入力信号とを入力とする、ハーフレートDFE等化機能を有する偶データ受信部と、を備え、前記奇データ受信部及び前記偶データ受信部の各々が、

ハーフレートDFE等化信号でのデータ検出手段とエッジ検出手段、及び、

非ハーフレートDFE等化信号でのエッジ検出手段と、

50

を有し、さらに、

前記検出手段による、サンプリングデータ群を入力とし、連続する3ビットのデータ検出パターンが、110又は001データパターンと、101又は010データパターンを検出し、

前記検出結果をもとに、

110又は001パターン検出時に、ハーフレートDFE等化信号でのエッジデータを選択し、101又は010データパターン検出時に、非ハーフレートDFE等化信号でのエッジデータを選択する手段を含むパターンフィルタを有する判定帰還型等化器が提供される。

【発明の効果】

【0034】

本発明によれば、ハーフレート型判定帰還等化を利用した場合の再生クロック位相を調整可能としている。本発明によれば、再生クロックの分布を抑制し、データサンプリング精度を向上し、通信品質の向上を可能としている。

【発明を実施するための最良の形態】

【0035】

本発明の実施の形態について説明する。本発明においては、データサンプリングクロックと奇エッジサンプリングクロックとDFE入力信号とを入力とするハーフレートDFE等化機能を有する奇データ受信部と、偶データサンプリングクロックと偶エッジサンプリングクロックとDFE入力信号とを入力とするハーフレートDFE等化機能を有する偶データ受信部の双方にて、ハーフレートDFE等化信号でのデータ検出手段とエッジ検出手段を有し、上記検出手段によるサンプリングデータ群を入力とし、連続する3ビットのデータ検出パターンが110又は001データパターンの検出手段、及び、その検出結果をもとに110又は001パターン時のみにハーフレートDFE等化信号でのエッジデータを選択する機構を有するパターンフィルタを備える。

【0036】

本発明においては、奇データサンプリングクロックと奇エッジサンプリングクロックとDFE入力信号とを入力とするハーフレートDFE等化機能を有する奇データ受信部と、偶データサンプリングクロックと偶エッジサンプリングクロックとDFE入力信号とを入力とするハーフレートDFE等化機能を有する偶データ受信部の双方にて、ハーフレートDFE等化信号でのデータ検出手段と、エッジ検出手段、及び、非ハーフレートDFE等化信号でのエッジ検出手段を有し、上記検出手段によるサンプリングデータ群を入力とし、連続する3ビットのデータ検出パターンが110又は001データパターンと101又は010データパターンの検出手段、及び、その検出結果をもとに110又は001パターン時にハーフレートDFE等化信号でのエッジデータを選択し、101又は010データパターン時に非ハーフレートDFE等化信号でのエッジデータを選択する機能を有するパターンフィルタを備えることを特徴とする判定帰還型等化器を備えたことである。

【0037】

本発明によれば、ハーフレートDFE等化信号の検出した連続するデータ列の排他的論理和演算機構、及び、その演算結果によりハーフレートDFE等化信号のエッジ検出結果と非ハーフレートDFE等化信号のエッジ検出結果を選択する機構を有するパターンフィルタとCDRのエッジ検出手段を組み合わせることでパターンフィルタを簡素化している。

【0038】

本発明においては、判定帰還型等化器のデータサンプリング部及びエッジサンプリング部のオフセットをキャンセルする機構を備え、エラーレートの向上を図る。

【0039】

本発明によれば、ハーフレートDFE等化信号のデータ検出手段と並列にサンプリング閾値を調整可能な振幅誤差サンプリング機構を備え、受信回路でのDFE適応等化を可能としている。

【0040】

ハーフレートDFEにおいては、あるデータに干渉しているISIに最適化した判定帰

10

20

30

40

50

還信号がデータレートの2倍(2T)の周期をもつ。

【0041】

図4(B)の広範囲のエッジ分布は、2ビット幅の判定帰還信号が1ビット目のデータを対象に最適化されており、2ビット目のデータには最適化されていないことに起因する。

【0042】

1ビット目と2ビット目の値が異なるにも関わらず、2ビット目の波形にも1ビット目に最適化された判定帰還信号が加算されてしまうために、2ビット目に不適切な負帰還信号が加算され、アイパタンは一方が閉口してしまうのである。

【0043】

しかし、1ビット目と2ビット目のデータに、同じ量のISI量が干渉していると仮定した場合、双方は同様のISIを受けているため、双方とも適切な波形等化がかかる。この仮定する状態では、図3に示すフルレートDFEとハーフレートDFEは同じエッジ分布になり、CDRが正しくハーフレートクロックの位相を調整できる。従って、この仮定が実現するタイミングのエッジデータのみをCDRに利用すればハーフレートDFEにおいても正しくCDRが位相を調整でき、上記課題を解決できる。

【0044】

以下、この条件を図5及び数式を利用して示す。

【0045】

図5は、後続5ビット分のISI量を除去するハーフレートDFE(「5タップDFE」という)の動作例を説明するタイミング図である。ただし、本発明において、タップ数は5に限定されるものではない。

【0046】

受信データは並列する2つのパスに分離され、各パスのサンプリングタイミングデータをハーフレートDFEにて波形等化する。この2つの並列パスを、それぞれ「奇データサンプリングパス」、「偶データサンプリングパス」と呼ぶこととする。

【0047】

図5の例では、

奇データサンプリングパスで、データd1、d3、d5、d7、・・・からなるデータ列、

偶データサンプリングパスで、データd2、d4、d6、d8、・・・からなるデータ列

を交互にサンプリングしている。

【0048】

ここで、各データサンプリングパスでのハーフレートDFE後のデータd6の波形に着目する。このときの、偶データサンプリングパスにおけるデータd6の信号レベルは、式(I)、奇データサンプリングパスにおけるデータd6の信号レベルは、式(II)で表現される。

【0049】

ハーフレートDFE時のサンプリングデータd6:

$$dfe\_even(d6) = d6 \cdot w0 + d5 \cdot w1 + d4 \cdot w2 + d3 \cdot w3 + d2 \cdot w4 + d1 \cdot w5 \quad \dots (I)$$

【0050】

ハーフレートDFE時の非サンプリングデータd6:

$$dfe\_odd(d6) = d6 \cdot w0 + d4 \cdot w1 + d3 \cdot w2 + d2 \cdot w3 + d1 \cdot w4 + d0 \cdot w5 \quad \dots (II)$$

【0051】

上式(I)、(II)の変数 $w_n$ (nは整数)は、図5に示すように、

$w_0$ :メインタップビット(d6)用DFEタップ係数、

$w_1$ :後続第1ビット(d5)のDFEタップ係数、

10

20

30

40

50



$w_2$  : 後続第2ビット ( $d_4$ ) のDFEタップ係数、  
 …、

$w_n$  : 後続第  $n$  ビット用のDFEタップ係数  
 をそれぞれ示している。

【0052】

式(II)の非サンプリングデータ信号が正しくDFEされるためには、下記のようなフルレートDFE時の信号レベルと等しくなければならない。

【0053】

フルレートDFE時のサンプリングデータ  $d_6$  :

$$d_{fe\_full}(d_6) = d_6 \cdot w_0 + d_5 \cdot w_1 + d_4 \cdot w_2 + d_3 \cdot w_3 + d_2 \cdot w_4 + d_1 \cdot w_5 \quad \dots (III) \quad 10$$

【0054】

従って、式(II)と式(III)が等しい条件では、ハーフレートDFEとフルレートDFEで同等の波形が得られる。つまり、この条件の下では、ハーフレートDFEでもフルレートDFEでも同じタイミングのエッジを抽出できる。

【0055】

式(II)と式(III)が等しい条件は、

$$(a) \quad d_4 = d_5, \quad d_3 = d_4, \quad d_2 = d_3, \quad d_1 = d_2, \quad d_0 = d_1, \quad d(-1) = d_0$$

$$(b) \quad w_1 = w_2 = w_3 = \dots = w_5 = 0 \quad 20$$

である。

【0056】

条件(b)は、DFEタップ係数がすべて0となり、等化しないことを意味するため除外する。その結果、条件(a)が、利用したい正しいエッジが得られる条件となる。

【0057】

条件(a)を書き直すと、

$$d_1 = d_2 = d_3 = d_4 = d_5 \dots$$

となる。

【0058】

このため、ハーフレートDFEでフルレートDFEと同様のエッジタイミングを得るには、データ遷移する前に、同一データが連続していることが条件である。 30

【0059】

以上の考察から、 $d_6$ 以前のデータが常に同一データであることが望ましい。しかしながら、それでは、常に同じデータを送っているため、データ通信にならない。

【0060】

しかし、ここで、 $w_n$  ( $n$ は0、1、2、…)は、ISI量の補正用係数であり、メインタップビットの後続ISI量によって決定される量である。

【0061】

一般的なFR4等のバックプレーン通信用伝送路では、後続ビットへのISIの影響量は、図6に示すように、だんだん小さくなっていく傾向がある。 40

【0062】

特に、第1後方ISI量  $w_1$  が、第2以降の後方ISI量  $w_2$ 、 $w_3$  ……に対して非常に大きく、一般的に、 $w_1 \gg w_2$ 、 $w_3$ 、 $w_4$  ……の傾向が強い。

【0063】

つまり、式(II)と式(III)の差は、第1後方ISI量  $w_1$  の係数の差、つまり、 $|d_5 - d_4|$  の値が支配的となることがわかる。

【0064】

その結果、実使用上では、サンプリングデータの直前の2ビット分のデータである、 $d_5$ と $d_4$ の値が等しい場合は、エッジ位置は、フルレートDFEとほぼ同じ位置に検出できる。 50

## 【 0 0 6 5 】

従って、ハーフレート D F E 通過後の波形から、エッジ検出する場合に、パターンフィルタを利用して、エッジ直前のデータと、2ビット前のデータが等しい場合、つまり、データ列が、

" 0 0 1 "、又は、

" 1 1 0 "

のパタンである場合のみの遷移を、C D Rのエッジデータとして利用することで、フルレート D F E と同様のエッジタイミングを検出することができる。ただし、上記議論では、" 0 "と" 1 "の2値信号の伝送を想定している。

## 【 0 0 6 6 】

本発明によって提案されるパターンフィルタでのフィルタリング処理により、エッジは検出可能となるが、このパターンフィルタリングにより、新たに、C D Rのジッタトレランス特性が低下する、という問題が起り得る。

## 【 0 0 6 7 】

これは、データパターンフィルタにより、前データ遷移 0 1 / 1 0 に対して、0 0 1 / 1 1 0 以外の、0 1 0 / 1 0 1 パターンを無視することに起因する。ランダムデータを通信している場合には、約半数のエッジが C D R の位相調整に利用できないことになる。

## 【 0 0 6 8 】

さらに、一般に用いられる 8 B 1 0 B エンコードにおいては、常に、0 1 交番というパターンも存在するため、上記パターンフィルタでは、エッジを検出できず、0 1 0 / 1 0 1 パターンのエッジを無視できない。

## 【 0 0 6 9 】

そこで、本発明においては、これらの課題を解決するために、0 1 0 / 1 0 1 のデータ遷移のエッジは、ハーフレート D F E をかけていない波形から検出することを提案する。

## 【 0 0 7 0 】

D F E 前の受信波形のアイパタンは閉口しているが、0 1 交番パターンは、周波数成分がほぼ一定であるので、I S I が小さい。従って、エッジばらつきが小さく、C D R の機能として一般的に組み込まれる L P F (低域通過型フィルタ)によって、十分にフィルタリングできる。

## 【 0 0 7 1 】

0 1 0 / 1 0 1 データと、0 0 1 / 1 1 0 データのエッジは、同時に並列パスで、データを受信するが、D F E 回路の通過の有無で遅延差が生じてしまう。

## 【 0 0 7 2 】

そのため、0 1 0 / 1 0 1 データ用エッジパスは、D F E 係数 0 の加算器を通過させるか、又は、遅延をあわせこむことで、信号遅延差をキャンセルする。

## 【 0 0 7 3 】

ただし、この場合も、0 0 1 / 1 1 0 データと同様に、永久に、1 0 1 0 ... の交番データでは、データを通信できない。このため、現実的な値として、3ビットのパターンフィルタで、データをフィルタリングする。

## 【 0 0 7 4 】

多くの標準ボードでの検討結果、この3ビットフィルタで、エッジばらつきを抑制できている。

## 【 0 0 7 5 】

以上より、ハーフレートクロックによるダブルデータレート方式での受信システムにおいて、ハーフレート D F E 構成を利用する場合でも、

( 1 ) 1 1 0 / 0 0 1 パターンのエッジデータには、ハーフレート D F E 等化後波形のサンプリング結果を利用し、

( 2 ) 1 0 1 / 0 1 0 パターンのエッジデータには、非 D F E 等化波形のサンプリング結果を利用することで、ハーフレート D F E の利用時にも、フルレート時と同様のクロック再生が可能となる。

10

20

30

40

50

## 【0076】

その結果、再生クロックの分布が抑制され、データサンプリング精度が向上し、通信品質（ビットエラーレート）が向上する。以下実施例に即して説明する。

## 【実施例】

## 【0077】

図7は、本発明の一実施例における、ハーフレートDFE利用時のエッジ検出ブロックの構成を示す図である。図7を参照すると、入力信号700は、奇データ受信部710及び偶データ受信部720において、各々ハーフレートクロック周期でインターリーブサンプリングされる。入力信号のサンプリングには、図8に示す90度位相がずれた2ペアの差動ハーフレートクロック（4相ハーフレートクロック）を用い、偶奇のデータタイミングとエッジタイミングにて入力信号を2倍オーバーサンプリングする。

10

## 【0078】

図8に示すように、

奇データタイミングクロックをclk0、

奇エッジタイミングクロックをclk90（clk0から90度位相シフト）、

偶データタイミングクロックをclk180（clk0から180度位相シフト）、

偶エッジタイミングクロックをclk270（clk0から270度位相シフト）

とする。

## 【0079】

奇データ受信部710及び偶データ受信部720には、それぞれ、ハーフレートDFE等化後波形を、データタイミングとエッジタイミングでサンプリングする機構と、

20

非ハーフレートDFE等化波形をエッジタイミングでサンプリングする機構と、

を備える。

## 【0080】

つまり、奇データ受信部710では、

・クロックclk0でハーフレートDFE等化波形をデータタイミングでサンプリングし、データ判定データ711として出力し、

・クロックclk90でハーフレートDFE等化波形及び非ハーフレートDFE等化波形の双方をエッジタイミングでサンプリングし、エッジ判定データは712、713として出力する。

30

## 【0081】

同様に、偶データ受信部720では、

・clk180でハーフレートDFE等化波形をデータタイミングでサンプリングし、データ判定データ721として出力し、

・clk270でハーフレートDFE等化波形及び非ハーフレートDFE等化波形の双方をエッジタイミングでサンプリングし、エッジ判定データは722、723として出力する。奇データ受信部710では、偶データ受信部720でのDFE等化波形処理結果727（後述するように、例えば奇数段目のタップゲイン出力）と、奇データ受信部710でのDFE等化波形処理結果（後述するように、例えば偶数段目のタップゲイン出力）を合成して判定帰還信号を生成している。偶データ受信部720では、奇データ受信部710でのDFE等化波形処理結果726（後述するように、例えば奇数段目のタップゲイン出力）と、奇データ受信部710でのDFE等化波形処理結果（後述するように、例えば偶数段目のタップゲイン出力）を合成して、判定帰還信号を生成している。

40

## 【0082】

上記のサンプリングデータを入力とするパタンフィルタ730において、

奇偶の各エッジタイミングでサンプリングされた、2種類のエッジ判定データ712、713、及び、722、723）は、

奇偶の各データタイミングでサンプリングされたデータ判定データ711、721から得られる、連続する3ビットのデータパターンに応じて、一方が選択され、選択されたエッ

50

ジ判定データ714、724、及び、データ判定データ715、725は、CDRの位相比較器740へ出力され、CDRのクロックリカバリ動作に利用される。

【0083】

図9は、図7の奇データ受信部710の構成の一例を示す図である。図7の偶データ受信部720は、奇データ受信部710の構成と対称であり、奇を偶に、クロックclk0(180)をclk180(0)に置き換え、また、クロックclk90(270)をclk270(90)に置き換えた構成となる。

【0084】

入力信号700は、奇データ受信部710と偶データ受信部720に分岐したのち、奇データ受信部710と偶データ受信部720の各ブロックのDFE等化波形処理部900と非DFE等化波形処理部901へ入力される。

【0085】

DFE等化波形処理部900では、DFE加算器911にて、入力信号100と判定帰還信号916が加算され、DFE等化信号917を出力する。

【0086】

DFE等化信号917は、データサンプリング部912によりclk0でサンプリングされるとともに、エッジサンプリング部922によりclk90でサンプリングされる。

【0087】

データサンプリング部912でサンプリングされたデータ判定データは、ラッチ群913及びタップゲイン群915により、判定帰還信号916として、負帰還され、DFE加算器911でDFE等化処理に利用される。奇データ受信部710における奇数段目のタップゲイン915-1、915-3、・・・の出力は、偶データ受信部720の対応する奇数番目の加算器914-1、914-3・・・に入力され(図7の726)、偶データ受信部720における偶数段目のタップゲイン915-2、915-4、・・・の出力と加算され、判定帰還信号918が生成され、DFE加算器911に帰還入力される。偶データ受信部720における奇数段目のタップゲイン915-1、915-3、・・・の出力は、奇データ受信部710の対応する奇数番目の加算器914-1、914-3・・・に入力され(図7の727)、奇データ受信部710における偶数段目のタップゲイン915-2、915-4、・・・の出力と加算され、判定帰還信号918が生成され、DFE加算器911に帰還入力される。

【0088】

ここで、タップゲイン915は、式(I)の $w_n$ ( $n$ :自然数)に相当するゲイン段である。またデータ判定データは、ラッチ群を通過後、奇データ判定データ711としてパターンフィルタ730へ出力される。ここで、図9ではデータ判定データ711はラッチ群913の最後のラッチから出力されているが、どのラッチから分岐してパターンフィルタへ出力してもかまわない。

【0089】

エッジサンプリング部922でサンプリングされたエッジ判定データは、その後、ラッチ群923により遅延調整され、奇ハーフレートDFE後エッジ判定データ712としてパターンフィルタ730へ出力される。

【0090】

非DFE等化波形処理部901では、入力信号700は、DFE加算器911の遅延に相当する量を遅延調整931で遅延させ、エッジサンプリング部932でエッジサンプリング部922のサンプリングと同タイミングクロックclk90で、非DFE等化波形のエッジ判定データがサンプリングされる。

【0091】

図9には、遅延調整931として、加算信号を0としたDFE加算器911と同構成のダミー加算器を利用し遅延を調整する例が示されている。

【0092】

エッジサンプリング部932の出力は、ラッチ群933にて、ラッチ群923と同様に

10

20

30

40

50

遅延調整され、パタンフィルタ730へ出力される。ただし、データ判定データ711とエッジ判定データ712、713のサンプリング時の時系列が、パタンフィルタ730で判別できるように、各データ受信部710、720で遅延調整される。

【0093】

なお、図9には、DFE加算器911入力前に既にDFEのすべてのタップ出力の判定帰還信号がDFE加算器914で加算されて判定帰還信号916とした例が示されているが、本発明はかかる構成に限定されるものでなく、各タップの判定帰還信号を直接DFE加算器で加算する等すべてのタップの判定帰還信号がDFE加算器911の出力で加算されていれば、構成は問わない。

【0094】

以上の波形処理後のデータが、パタンフィルタ730へ出力され、エッジ判定データの選択が行われる。

【0095】

また、図10に、DFE等化係数の調整に必要なサンプリングパス及びサンプリング部を、差動で構成した場合のオフセットキャンセル機構を備えたハーフレートDFEのフロントエンドの構成を示す。

【0096】

図10を参照すると、図9のデータサンプリング部912と並列に、サンプリングする振幅誤差サンプリング部942によるハーフレートDFE等化波形のサンプリングパスが追加されている。振幅誤差サンプリング部942では、誤差判定参照電位948(V<sub>ref</sub>)とハーフレートDFE等化信号917との比較結果を、データサンプリング部912と同様clk0に相当するタイミングでサンプリングする。

【0097】

振幅誤差サンプリング部942の出力は、データサンプリング部912と同様に、ラッチ群943等を利用して遅延調整し、データ判定データ711と同様、デマルチプレクサ(DEMUX)750へ出力される。

【0098】

本発明においては、シングルエンド構成でも、差動構成であってもよい。差動構成の場合は、各サンプリング部912、922、932、942まで、通過した部分で発生した差動対のオフセット電圧により、各サンプリング部でデータを誤判定する可能性がある。

【0099】

特に、DFE等化が必要となるような、減衰の大きい伝送路では、DFE等化後も、アイ開口が小さく、サンプリング時に問題となっている。

【0100】

そのため、各サンプリング部(データサンプリング部、エッジサンプリング部、振幅誤差サンプリング部)に、オフセット補正機構を搭載することでより、ビットエラーレート(BER)を改善することができる。

【0101】

図11に、サンプリング部の差動フリップフロップの一例と、図12にそのオフセットキャンセル機構の一例を示す。

【0102】

図11を参照すると、差動入力1201(in、inb)は、マスターラッチ1202の差動対トランジスタ1221、1222に入力される。

【0103】

clk1205とclk1206は差動クロックペアであり、clkb1205によりトランジスタ1229がオン時に入力を受け付け(差動対1221、1222が活性化)、clk1206により、トランジスタ1230がオン時に受け付けた信号をラッチされ、同時に、そのラッチ信号は、スレーブラッチ1203の差動対トランジスタ1225、1226へ入力される。

【0104】

10

20

30

40

50

再び、c l k b 1 2 0 5により、トランジスタ1 2 3 2がオン時にスレーブラッチが受け付けた信号がラッチされ、差動出力1 2 0 4として次段のラッチ9 1 2、9 2 2、9 3 2、9 4 2、タップゲイン9 1 5等へ出力される。

【0 1 0 5】

本実施例において、出力をシングル（シングルエンデッド出力）にする差動ラッチを利用しても構わない。

【0 1 0 6】

これらの差動信号のオフセットをキャンセルする機構として、上記差動フリップフロップ内でキャンセルするものや、その全段で差動信号にオフセットを発生する回路を発生するものがある。図1 2に、後者の一例を示す。

【0 1 0 7】

図1 2を参照すると、差動入力をドレイン端子が共通の2種類の差動対1 3 2 0、1 3 2 1及び差動対1 3 2 2、1 3 2 3へ入力する。トランジスタ1 3 2 0と1 3 2 3、トランジスタ1 3 2 1と1 3 2 2はサイズが等しく、トランジスタ1 3 2 0と1 3 2 1の駆動力比率及びトランジスタ1 3 2 1と1 3 2 3の駆動力比率をM：1に設定する。

【0 1 0 8】

また、差動トランジスタ対1 3 2 0と1 3 2 1のソース端子は、可変電流源1 3 1 0と接続されており、差動トランジスタ対1 3 2 2と1 3 2 3のソース端子は、可変電流源1 3 1 2と接続されている。

【0 1 0 9】

可変電流源1 3 1 0と1 3 1 2における電流量は、それぞれ、電流量制御信号1 3 1 1と1 3 1 3で制御されている。

【0 1 1 0】

この電流量制御を、例えば可変電流源1 3 1 0と可変電流源1 3 1 2の電流比を、外部制御DAC（デジタルアナログコンバータ）（不図示）で制御することで差動出力1 3 0 4に異なるオフセット量を発生することができる。

【0 1 1 1】

上記のようなオフセットキャンセル機構をサンプリング部9 1 2、9 2 2、9 3 2、9 4 2に備えることにより、備えない場合に対して受信感度を向上させるとともに、オフセット電圧低下を目的としたゲート面積増加を回避できる。

【0 1 1 2】

図9に示した構成例では、DFE加算器9 1 1の入力前に、既に、DFEのすべてのタップ出力の判定帰還信号が、加算器9 1 4で加算されて、判定帰還信号9 1 6とされているが、本発明はかかる構成に限定されるものでなく、各タップの判定帰還信号を直接DFE加算器で加算する等、すべてのタップの判定帰還信号がDFE加算器9 1 1の出力で加算されていれば、構成は問わない。

【0 1 1 3】

図1 3に、DFE加算器9 1 1にて各タップの判定帰還信号を直接加算する一例を示す。図1 3を参照すると、差動入力1 4 0 1は初段の差動増幅回路（電流源1 4 1 0、差動対（1 4 2 0、1 4 2 1）、負荷抵抗1 4 2 4）へ入力され、その差動出力1 4 0 4に、各タップの第1判定帰還信号1 4 4 1、第2判定帰還信号1 4 4 2、・・・第n判定帰還信号1 4 4 3が負帰還する。

【0 1 1 4】

図1 3には、判定帰還信号が差動の例が示されている。第1判定帰還信号1 4 4 1は、ソースが共通接続され第1可変電流源1 4 1 1に接続されドレインが差動出力1 4 0 4にそれぞれ接続された差動トランジスタ対1 4 2 2、1 4 2 3のゲートに差動入力され、同様に、第n判定帰還信号1 4 4 3は、ソースが共通接続され第n可変電流源1 4 1 3に接続されドレインが差動出力1 4 0 4にそれぞれ接続された差動トランジスタ対1 4 2 6、1 4 2 7のゲートに差動入力される。各判定帰還信号の符号調整は、図1 3には示されていないが、一般的な手法（公知の手法）が用いられる。

10

20

30

40

50

## 【 0 1 1 5 】

各判定信号に対応するタップゲインは、電流制御信号 1 4 3 1、1 4 3 2、1 4 3 3 で第 1、第 2、第 n 可変電流源 1 4 1 1、1 4 1 2、1 4 1 3 を制御することで、タップゲイン 9 1 5 に相当する動作を同時に行うことができる。

## 【 0 1 1 6 】

本実施例では、コモンモード負帰還 1 4 0 2 によるコモンモード制御を、差動出力 1 4 0 4 に対して行う例が示されている。

## 【 0 1 1 7 】

以上の波形処理後のデータがパタンフィルタ 7 3 0 へ出力され、エッジ判定データの選択が行われる。

10

## 【 0 1 1 8 】

以上より、ハーフレート D F E 後から、図 4 に示すような、1 ビットおきのアイ開口から、インターリーブ方式によりデータとエッジの判定データを、及び非ハーフレート D F E 波形からのエッジの判定データが得られる。

## 【 0 1 1 9 】

以下、本発明によって提案される、ハーフレート D F E 後及び非ハーフレート D F E 判定データからフルレート D F E 時と同タイミングのエッジタイミングを得るためのパタンフィルタ 7 3 0 の構成を示す。

## 【 0 1 2 0 】

既に説明したように、データ判定データ列が 1 1 0 / 0 0 1 パタンの場合には、ハーフレート D F E 後と非ハーフレート D F E 時波形のデータ遷移タイミングがほぼ等しくなる。

20

## 【 0 1 2 1 】

データ判定データ列が 1 0 1 / 0 1 0 パタンの場合には、非ハーフレート D F E 時のデータ遷移タイミングがほぼ等しくなる。

## 【 0 1 2 2 】

この 3 ビットのデータ列をフィルタリングする際に、一般的なロジックを利用してもよいが、3 ビットのパタンフィルタは面積が大きい。

## 【 0 1 2 3 】

そこで、パタンフィルタ 7 3 0 では、3 ビットの前半 2 ビット分のパタンフィルタリングを行い、位相比較回路 7 4 0 のエッジ検出手段を組み合わせることで、上記 0 0 1 / 1 1 0 及び 1 0 1 / 0 1 0 の 3 ビットのパタンフィルタリングすることで、パタンフィルタ規模を小さくできる。

30

## 【 0 1 2 4 】

以下、本実施例における、パタンフィルタ構成及びその方法を示す。一般的な 2 倍のオーバーサンプリング C D R には、クロック再生に必要なデータ遷移（エッジ）を検出するために、信号とクロックの位相比較器 7 4 0 を備え、エッジタイミングの検出機能が備わっている。

## 【 0 1 2 5 】

図 1 4 に、一般的な位相比較器 7 4 0 の一例を示す。

40

## 【 0 1 2 6 】

奇データと奇エッジの排他的論理和（E X O R）演算、  
奇エッジと偶データの排他的論理和（E X O R）演算、  
偶データと偶エッジの排他的論理和（E X O R）演算、  
偶エッジと奇データの排他的論理和（E X O R）演算  
を行うことで、再生クロックの位相を調整する。

## 【 0 1 2 7 】

図 1 5 には、図 1 3 の位相比較器の位相検出例を示している。データが 0 1 へ遷移する際のエッジのタイミングが、図 1 5（A）の信号状態では、排他的論理和の結果、

u p 信号 = 1、

50

down 信号 = 0

となり、クロック位相が up 側にシフトするように CDR ロジック 750 が制御する。

【0128】

反対に、図 15 (B) の信号状態では、

up 信号 = 0、

down 信号 = 1、

となり、クロック位相が down 側にシフトするように、CDR ロジック 750 が制御する。

【0129】

また、図 15 (C) のように、データが 0 0 と遷移しない場合には、

up 信号 = down 信号 = 0

となりクロック位相は調整されない。

【0130】

つまり、CDR には再生クロックの位相調整のためのデータ遷移 (エッジ) の有無が検出される仕組みが内蔵されているのである。

【0131】

このエッジ検出手段は、本願で提案している、3 ビットパタンフィルタの後半 2 ビットのパタンフィルタリングの代わりに利用できる。

【0132】

このような位相比較器 740 を用いる場合、

目的とするデータ遷移である、

001 / 110 パタンの 2 ビット目、3 ビット目の遷移 01 / 10、及び、

101 / 010 パタンの 2 ビット目と 3 ビット目の遷移 01 / 10 は、

パタンフィルタ 730 内でデータ列をフィルタリングする必要がなく、

前半が 00 / 11 か 01 / 10 かを判定すればよい。この結果、パタンフィルタが簡素化できる。

【0133】

よって、パタンフィルタでは、

001 / 110 パタン検出は、前半 2 ビット (00 / 11) の排他的論理和の結果が 0

、

101 / 010 パタンの検出は、前半 2 ビット (01 / 10) の排他的論理和の結果が

1

となる。

【0134】

その排他的論理和の結果に対応して、DFE 等化後波形と、非 DFE 等化後波形でのエッジ検出結果を選択すればよい。

【0135】

図 16 に、本実施例の動作を一覧としてまとめて示す。

【0136】

全エッジデータを利用するため、ダブルデータレート方式の場合「奇データ - 偶データ」と「偶データ - 奇データ」の双方を利用する必要がある。そのため、パタンフィルタ内でデータを 1 ビット分保持する機構が必要である。

【0137】

図 17 は、本実施例におけるパタンフィルタ 730 の構成の一例を示す図である。ただし、図 17 の構成以外にも、提案するパタンのフィルタリングができれば構成は問わない。図 17 を参照すると、パタンフィルタ 730 には、

奇データ判定データ 711、

偶データ判定データ 721、

ハーフレート DFE 後の奇エッジ判定データ 712、及び

偶エッジ判定データ 722、

10

20

30

40

50



非ハーフレートDFE波形の奇エッジ判定データ713、  
偶エッジ判定データ723  
が入力される。

【0138】

フリップフロップ1810にて、一度入力データ群のタイミングを揃える。

【0139】

偶データ(D2)1821と奇データ(D3)1822の排他的論理和をEXOR1830で演算し、その結果が、

1の場合、セレクタ1832は、奇ハーフレートDFE後エッジ判定データ712を選択し、

0の場合、セレクタ1832は、奇非ハーフレートDFEエッジ判定データ713を選択する。

【0140】

同様に、奇データ(D3)1822と偶データ(D4)1823の排他的論理和をEXOR1831で演算し、その結果が、

1の場合、セレクタ1833は、偶ハーフレートDFE後エッジ判定データ722を選択し、

0の場合、セレクタ1833は、偶非ハーフレートDFE後エッジ判定データ723を選択する。

【0141】

その結果、00/11と01/10でフィルタリングされた奇エッジデータ1824と偶エッジデータ1825が得られる。

【0142】

データ1820、1821とエッジ1824、1825のタイミングをフリップフロップ1811でタイミング調整し、図15に示すようなCDRの位相比較器740へ出力される。

【0143】

その後の動作は、上述したとおり、次のデータで遷移があれば、CDRがそのデータを利用し、遷移がなければ無視されるため、全体として目的の001/110、101/010の3ビットパタンフィルタを構成できる。

【0144】

以上、パタンフィルタ730と位相比較回路740の動作により、ハーフレートDFE後エッジ判定データと非ハーフレートDFE後エッジ判定データを正しく選択し、CDRロジックへ出力することができる。

【0145】

本実施例によれば、ハーフレートクロックによるダブルデータレート方式での受信システムにおいて、ハーフレートDFE構成を利用する場合でも110/001パタンのエッジデータにはハーフレートDFE等化後波形のサンプリング結果を利用し、101/010パタン時のエッジデータには非DFE等化波形のサンプリング結果を利用することで、ハーフレートDFE利用時にもフルレート時と同様のクロック再生を実現したエッジ抽出方法を提供することができる。再生クロックを正しく調整した結果データサンプリング精度が向上し、ビットエラーレートが向上する。

【産業上の利用可能性】

【0146】

本発明の活用例として、サーバー、ルータ等のネットワーク機器やストレージ製品に使用される半導体装置が挙げられる。

【0147】

なお、上記非特許文献1の開示を、本書に引用をもって繰り込むものとする。本発明の全開示(請求の範囲を含む)の枠内において、さらにその基本的技術思想に基づいて、実施形態ないし実施例の変更・調整が可能である。また、本発明の請求の範囲の枠内におい

10

20

30

40

50

て種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【0148】

【図1】ダブルデータレート方式のDFE動作を説明するブロック図である。

【図2】ダブルデータレート方式の受信及びDFE動作を説明するタイミング図である。

【図3】フルレートDFE後のアイパタンとエッジ分布の例を示す図である。

【図4】ハーフレートDFE後のアイパタンとエッジ分布の例を示す図である。

【図5】ハーフレートDFEの動作を説明するためのタイミング図である。

10

【図6】一般的な伝送路での各タップの符号間干渉量を示す図である。

【図7】本発明の一実施例のハーフレートDFE及びエッジ検出ブロックの構成を示す図である。

【図8】4相ハーフレートクロックとデータとエッジの定義を示す図である。

【図9】本発明の一実施例のハーフレートDFEのエッジ検出部の構成を示すブロック図である。

【図10】本発明の一実施例のハーフレートDFEのエッジ検出部を示すブロック図である。

【図11】差動構成のサンプリング部の一例を示す図である。

【図12】オフセット補正機構の一例を示す図である。

20

【図13】 $n$ タップDFE加算器の一例を示す図である。

【図14】位相比較器の実施例を示す図である。

【図15】位相検出例を示す図である。

【図16】パタンフィルタの実施例を示す図である。

【図17】パタンフィルタの構成ブロック図である。

【符号の説明】

【0149】

110 受信信号

111 奇DFE加算器

112 加算後信号

30

113 奇データサンプリング部

114 奇サンプリングデータ

115 ラッチ

116 奇判定帰還信号

117 タップゲイン

118 奇ハーフレートクロック

121 偶DFE加算器

122 加算後信号

123 偶数データサンプリング部

124 偶サンプリングデータ

40

125 ラッチ

126 偶判定帰還信号

127 タップゲイン

128 偶ハーフレートクロック

151 ~ 154 EXOR

700 入力信号

710 奇データ受信部

711、721 データ判定データ

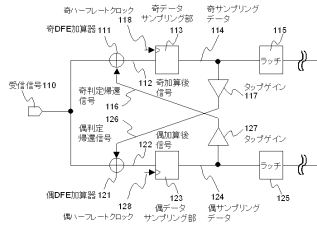
712、713、722、723 エッジ判定データ

714、724 エッジ判定データ

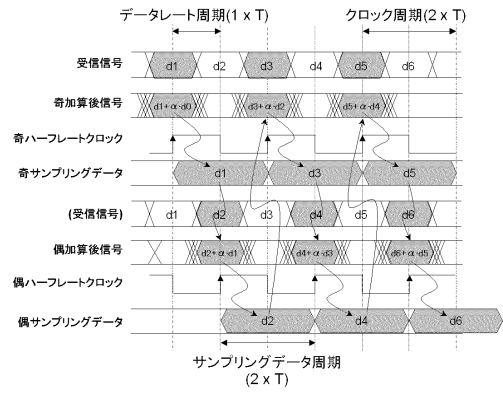
50

7 1 5、7 2 5	データ判定データ	
7 2 0	偶データ受信部	
7 2 6、7 2 7	タップゲイン出力	
7 3 0	パタンフィルタ	
7 4 0	位相比较器	
7 5 0	デマルチプレクサ ( D E M U X )	
9 0 0	D F E 等化波形処理部	
9 0 2	ハーフレート D E F 等化部	
9 1 2	データサンプリング部	
9 1 3、9 2 3、9 3 3	ラッチ	10
9 1 4	加算器	
9 1 5	タップゲイン	
9 1 7	ハーフレート D F E 等化信号	
9 2 2、9 3 2	サンプリング部	
9 4 2	振幅誤差サンプリング部	
9 4 8	誤差判定参照電位	
1 2 0 1	差動入力	
1 2 0 2	マスターラッチ	
1 2 0 3	スレーブラッチ	
1 2 0 5、1 2 0 6	差動クロックペア	20
1 2 2 1、1 2 2 2	差動対トランジスタ	
1 2 2 3	トランジスタ	
1 2 2 5、1 2 2 6	差動対トランジス	
1 2 2 9	1 2 3 0	トランジスタ
1 3 1 0、1 3 1 2	可変電流源	
1 3 1 1、1 3 1 3	電流量制御信号	
1 3 2 0、1 3 2 1	差動対	
1 3 2 2、1 3 2 3	差動対	
1 3 2 0、1 3 2 3、1 3 2 1、1 3 2 2	トランジスタ	
1 4 0 1	差動入力	30
1 4 0 2	コモンモード負帰還	
1 4 0 4	差動出力	
1 4 1 1、1 4 1 2、1 4 1 3	電流源	
1 4 3 1、1 4 3 2、1 4 3 3	電流制御信号	
1 4 4 1、1 4 4 2、1 4 4 3	判定帰還信号	
1 8 1 0	フリップフロップ	
1 8 1 1	フリップフロップ	
1 8 2 0	奇データ ( D 1 )	
1 8 2 1	偶データ ( D 2 )	
1 8 2 2	奇データ ( D 3 )	40
1 8 2 3	偶データ ( D 4 )	
1 8 2 4	奇エッジデータ	
1 8 2 5	偶エッジデータ	
1 8 3 0	E X O R	
1 8 3 1	E X O R	
1 8 3 2	セレクタ	
1 8 3 3	セレクタ	

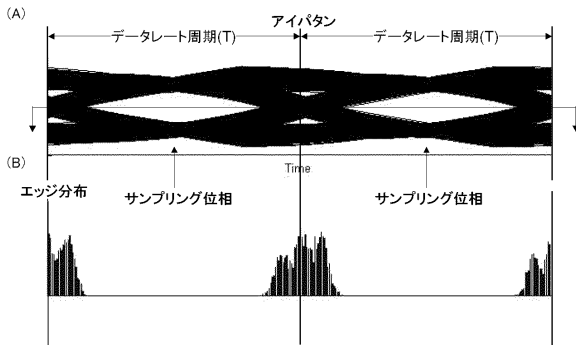
【 図 1 】



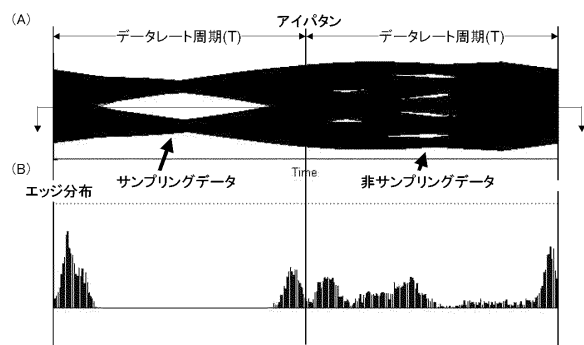
【 図 2 】



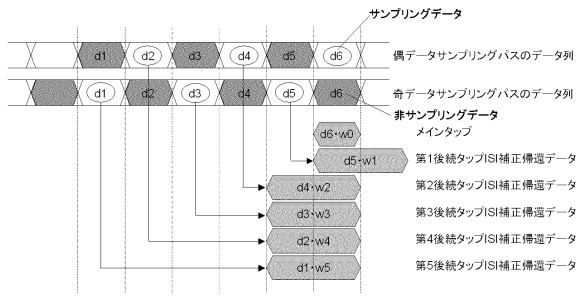
【 図 3 】



【 図 4 】

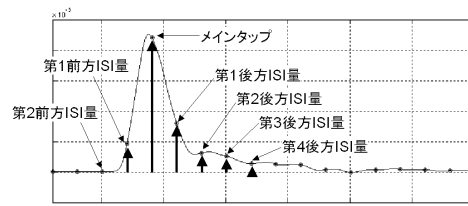


【図5】

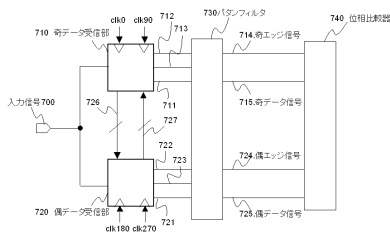


サンプリングデータ  $dfe.even(d6) = d6 \cdot w0 + d5 \cdot w1 + d4 \cdot w2 + d3 \cdot w3 + d2 \cdot w4 + d1 \cdot w5$   
 非サンプリングデータ  $dfe.odd(d6) = d6 \cdot w0 + d4 \cdot w1 + d3 \cdot w2 + d2 \cdot w3 + d1 \cdot w4 + d0 \cdot w5$

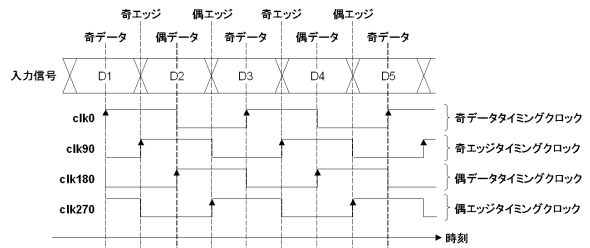
【図6】



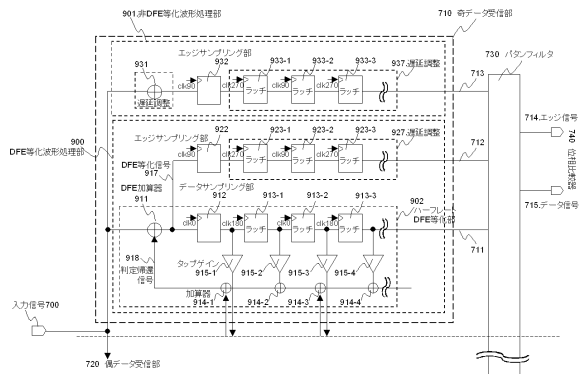
【図7】



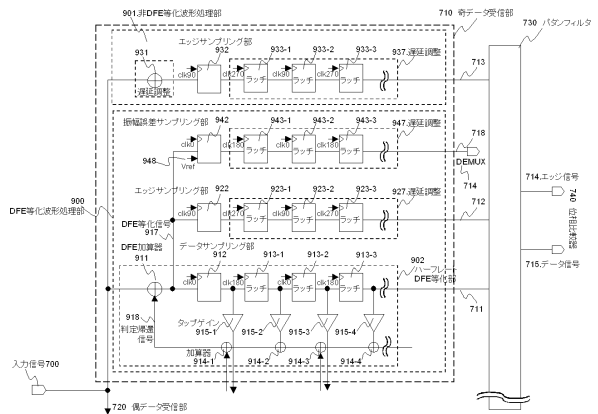
【図8】



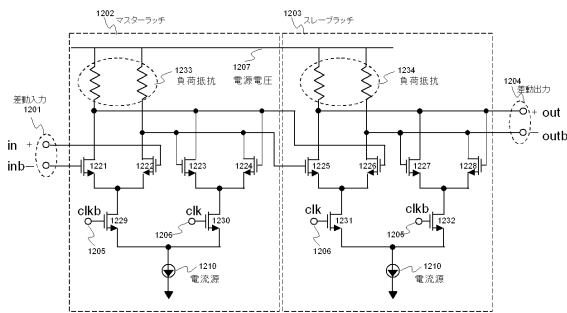
【図9】



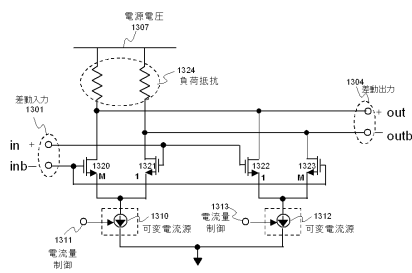
【図10】



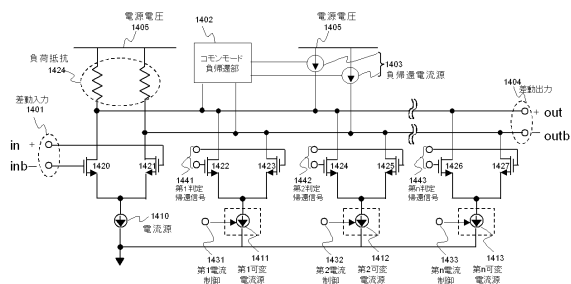
【図11】



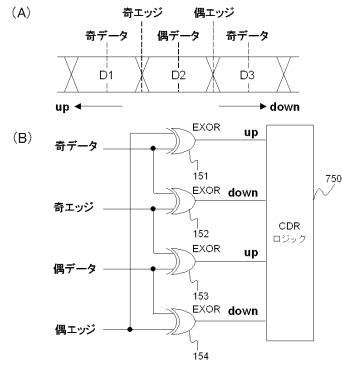
【図12】



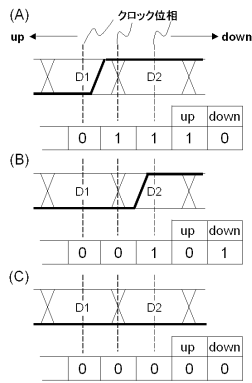
【図13】



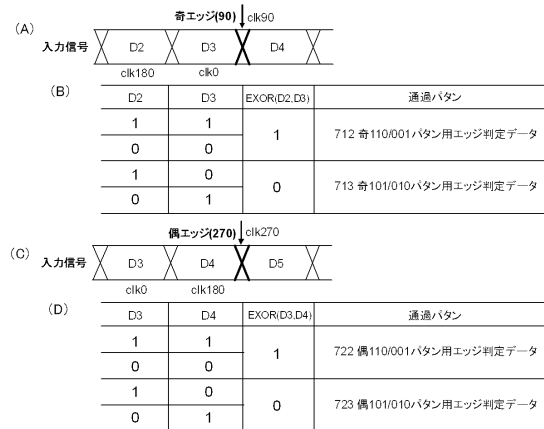
【図14】



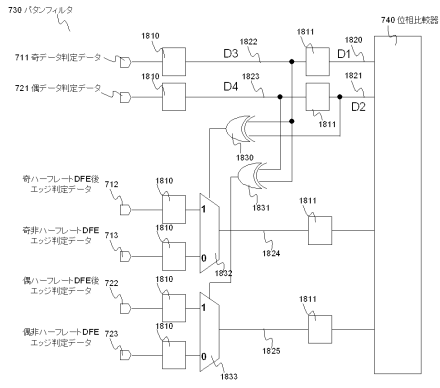
【図15】



【図16】



【図17】





---

フロントページの続き

審査官 前田 典之

(56)参考文献 国際公開第2007/037312(WO, A1)

Koon-Lun, et.al., Modified LMS Adaptation Algorithm for a Discrete-Time Edge Equalizer of Serial I/O, IEEE Asian Solid-State Circuits Conference, 2006. ASSCC 2006., 米国, IEEE, 2006年11月13日, pages.387-390

Kouichi Yamaguchi, et.al., 12Gb/s duobinary signaling with  $\times 2$  oversampled edge equalization, IEEE International Solid-State Circuits Conference, 2005. Digest of Technical Papers., 米国, IEEE, 2005年2月10日, Vol.1, pages.70-71

山口晃一, 他, オーバーサンプル・エッジコライズ技術による12Gb/sデュオ・バイナリ伝送, 電子情報通信学会技術研究報告, 日本, 社団法人電子情報通信学会, 2005年5月20日, ICD, 集積回路 105(96), pages.13-18

M.meghelli, et.al, A 10Gb/s 5-Tap-DFE/4-Tap-FFE Transceiver in 90nm CMOS, IEEE International Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers., 米国, IEEE, 2006年2月6日, pages.213-222

(58)調査した分野(Int.Cl., DB名)

H04B 3/06