(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0121891
(43) 공개일자 2021년10월08일

(51) 국제특허분류(Int. Cl.)
H03F 3/45 (2006.01) *H03K 19/003* (2006.01)
H03K 19/094 (2006.01)
(52) CPC특허분류
H03F 3/45 (2013.01)
H03K 19/003 (2013.01)
(21) 출원번호 10-2020-0039314
(22) 출원일자 2020년03월31일
심사청구일자 2020년03월31일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
이명희
울산광역시 울주군 언양읍 유니스트길 50
김우중
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 무한

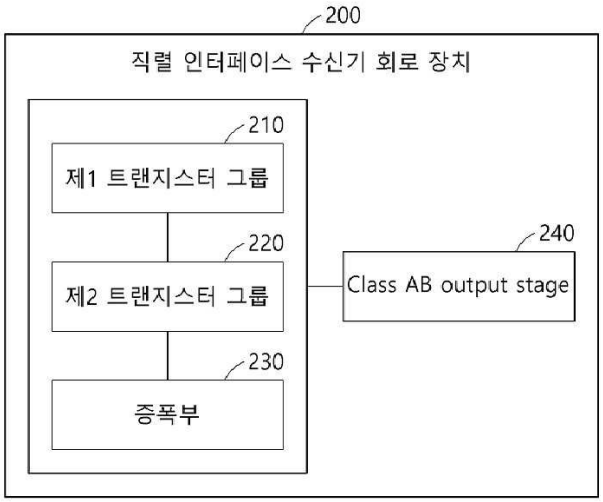
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치**

(57) 요 약

규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치가 개시된다. 본 발명의 일실시예에 따른, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법은, 공통 게이트 증폭기 구조의 제1 트랜지스터 그룹 내 트랜지스터(M1, M2)에서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력받는 단계; 공통 소스 증폭기 구조의 제2 트랜지스터 그룹 내 트랜지스터(M3, M4)에서, 상기 입력 전압(V_{INP}, V_{INN})을 게이트로 입력받는 단계; 및 증폭부에서, 상기 제1 트랜지스터 그룹과 상기 제2 트랜지스터 그룹에 관한 전압이득을 합산하여, 상기 입력 전압(V_{INP}, V_{INN})을 증폭시키는 단계를 포함할 수 있다.

대 표 도 - 도2



(52) CPC특허분류
H03K 19/094 (2013.01)

명 세 서

청구범위

청구항 1

공통 게이트 증폭기 구조의 제1 트랜지스터 그룹 내 트랜지스터(M1, M2)에서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력받는 단계;

공통 소스 증폭기 구조의 제2 트랜지스터 그룹 내 트랜지스터(M3, M4)에서, 상기 입력 전압(V_{INP}, V_{INN})을 게이트로 입력받는 단계; 및

증폭부에서, 상기 제1 트랜지스터 그룹과 상기 제2 트랜지스터 그룹에 관한 전압이득을 합산하여, 상기 입력 전압(V_{INP}, V_{INN})을 증폭시키는 단계

를 포함하는 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법.

청구항 2

제1항에 있어서,

상기 제1 트랜지스터 그룹에서, 상기 트랜지스터(M1, M2) 각각으로, 온오프 기능을 구현하기 위한 인에이블(Enable) 신호를 인가받는 인에이블 단자를 구비하는 단계

를 더 포함하는 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법.

청구항 3

제2항에 있어서,

상기 제1 트랜지스터 그룹에서, 상기 인에이블 단자에 서플라이 전압(VDD) 또는 접지 전압(GND) 인가 함으로써, 바이어스 전압을 이용하지 않고도 동작하는 단계

를 더 포함하는 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법.

청구항 4

제1항에 있어서,

상기 증폭부에서, 상기 제1 트랜지스터 그룹에 관한 전압이득으로서, 공통 게이트 증폭기 구조의 전압이득 Av,CG을, '+gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산하는 단계-상기 gm은 트랜지스터 간의 트랜스컨덕턴스이고, 상기 ro는 트랜지스터 간의 출력 임피던스 임-;

상기 증폭부에서, 상기 제2 트랜지스터 그룹에 관한 전압이득으로서, 공통 소스 증폭기 구조의 전압이득 Av,CS을, '-gm[M3,M4]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산하는 단계; 및

상기 증폭부에서, 중첩의 원리(Superposition theorem)에 의하여, 상기 입력 전압의 전체 전압이득 Av2를 'Av,CS + (-Av,CG) = -(gm[M1,M2]+gm[M3,M4])*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산하는 단계

를 더 포함하는 전력 및 고속 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법.

청구항 5

제4항에 있어서,

상기 제1 트랜지스터 그룹 내 트랜지스터(M1, M2) 간의 트랜스컨덕턴스와, 상기 제2 트랜지스터 그룹 내 트랜지스터(M3, M4) 간의 트랜스컨덕턴스가 동일(gm[M1,M2] = gm[M3,M4]) 함에 따라,

상기 증폭부에서, 상기 입력 전압의 전체 전압이득 Av2를 '-2*gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산 함으로써, 상기 입력 전압(V_{INP}, V_{INN})의 2배 증폭을 증명하는 단계

를 더 포함하는 전력 및 고속 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법.

청구항 6

제1항에 있어서,

Class AB output stage에서, 수신기 회로의 입력단에 추가되어, 접지 전압(0V)에서부터 서플라이 전압(VDD) 사이를 스윙하는 레일-투-레일(Rail-to-Rail) 출력 전압 범위를 획득하는 단계

를 더 포함하는 전력 및 고속 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법.

청구항 7

공통 게이트 증폭기 구조로서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력받는 트랜지스터(M1, M2)의 제1 트랜지스터 그룹;

공통 소스 증폭기 구조로서, 상기 입력 전압(V_{INP}, V_{INN})을 게이트로 입력받는 트랜지스터(M3, M4)의 제2 트랜지스터 그룹; 및

상기 제1 트랜지스터 그룹과 상기 제2 트랜지스터 그룹에 관한 전압이득을 합산하여, 상기 입력 전압(V_{INP}, V_{INN})을 증폭시키는 증폭부

를 포함하는 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치.

청구항 8

제7항에 있어서,

상기 제1 트랜지스터 그룹은,

상기 트랜지스터(M1, M2) 각각으로, 온오프 기능을 구현하기 위한 인에이블(Enable) 신호를 인가받는 인에이블 단자를 구비하는

규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치.

청구항 9

제8항에 있어서,

상기 제1 트랜지스터 그룹은,

상기 인에이블 단자에 서플라이 전압(VDD) 또는 접지 전압(GND) 인가 함으로써, 바이어스 전압을 이용하지 않고도 동작하는

규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치.

청구항 10

제7항에 있어서,

상기 증폭부는,

상기 제1 트랜지스터 그룹에 관한 전압이득으로서, 공통 게이트 증폭기 구조의 전압이득 Av,CG을, '+gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산-상기 gm은 트랜지스터 간의 트랜스컨덕턴스이고, 상기 ro는 트랜지스터 간의 출력 임피던스 임-하고,

상기 제2 트랜지스터 그룹에 관한 전압이득으로서, 공통 소스 증폭기 구조의 전압이득 Av,CS을, '-gm[M3,M4]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산하며,

중첩의 원리(Superposition theorem)에 의하여, 상기 입력 전압의 전체 전압이득 Av2를 'Av,CS + (-Av,CG) = -(gm[M1,M2]+gm[M3,M4])*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산하는

전력 및 고속 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치.

청구항 11

제10항에 있어서,

상기 증폭부는,

상기 제1 트랜지스터 그룹 내 트랜지스터(M1, M2) 간의 트랜스컨덕턴스와, 상기 제2 트랜지스터 그룹 내 트랜지스터(M3, M4) 간의 트랜스컨덕턴스가 동일(gm[M1,M2] = gm[M3,M4]) 함에 따라,

상기 입력 전압의 전체 전압이득 Av2를 '-2*gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산 함으로써, 상기 입력 전압(V_{INP}, V_{INN})의 2배 증폭을 증명하는

전력 및 고속 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치.

청구항 12

제7항에 있어서,

수신기 회로의 입력단에 추가되어, 접지 전압(0V)에서부터 서플라이 전압(VDD) 사이를 스윙하는 레일-투-레일(Rail-to-Rail) 출력 전압 범위를 획득하는 Class AB output stage

를 더 포함하는 전력 및 고속 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치.

청구항 13

제1항 내지 제6항 중 어느 한 항의 방법을 실행시키기 위한 프로그램을 기록한 컴퓨터 판독 가능한 기록매체.

발명의 설명

기 술 분 야

[0001] 본 발명은 낮은 공통모드 입력 전압을 갖는 규모가변 저전압 신호(SLVS, Scalable Low-Voltage Signaling)의 입력 신호에 대해서도, 고속동작이 가능한 직렬 인터페이스 수신기 회로를 설계할 수 있게 하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치에 관한 것이다.

[0002] 특히, 본 발명에서는, 전류원, 외부 바이어스 전압 등을 사용하지 않는 자가 바이어스 회로를 통해 동작하는 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로를 구현할 수 있게 한다.

배 경 기 술

[0003] 저전압 차동 신호(LVDS, Low-Voltage Differential Signaling) 및 규모가변 저전압 신호(SLVS, Scalable Low-Voltage Signaling)의 입/출력(I/O) 인터페이스는, 많은 분야의 데이터 송수신 채널에서 신뢰성 있는 고속 직렬 데이터 전송을 위해 사용되고 있다.

[0004] 특히, 규모가변 저전압 신호(SLVS)의 전송 회로는, MIPI(Mobile Industry Processor Interface) 얼라이언스의 모바일용 카메라, 디스플레이 데이터 송/수신 적용 표준인 D-PHY 신호 인터페이스 규격으로 사용되고 있다.

[0005] 또한, 규모가변 저전압 신호(SLVS)의 신호 인터페이스는, 차동 시그널링(Differential signaling) 방식의 신호 전달을 통해 전자파 장애(EMI)와 관련된 공통잡음 제거에 강점을 가지고, 낮은 전압의 신호를 송/수신하여 저전압 차동 신호(LVDS) 보다도 더 낮은 소비전력을 갖는 장점이 있다.

[0006] 전형적인 저전압 차동 신호(LVDS), 및 규모가변 저전압 신호(SLVS)의 수신기의 입력단은 도 1과 같다.

[0007] 도 1은 종래의 규모가변 저전압 신호(SLVS)의 수신기 입력단을 도시한 도면이다.

[0008] 도 1을 참조하면, 종래의 규모가변 저전압 신호(SLVS)의 수신기 입력단은, 상부 전류원(M7, Vbias), 입력 트랜지스터(M1, M2), 그리고 다이오드 연결(Diode connection)과 교차 연결(Cross-coupled)되는 하부 트랜지스터(M3, M4, M5, M6)로 구성되어 있다.

[0009] 종래의 수신기 입력단에서는, 기본적으로 PMOS 입력 차동증폭기의 전압 이득을, 공통 소스 증폭기의 Av =

-gm[M1,M2] * Rout 로 계산하여 얻을 수 있다.

[0010] 여기서 상기 gm은 트랜스컨덕턴스(transconductance)로 정의되어, 지정되는 트랜지스터가 전압제어 전류원의 역할을 하면서 입력 전압 대비 출력 전류에 대한 증폭률을 의미할 수 있다.

[0011] 또한, 상기 Rout는 출력부하(load)와 관련된 값으로 정의되어, 수신기의 출력 전류로 인해 구동되는 출력부하를 의미할 수 있다. 상기 Rout는 출력 전류를 전압으로 변환한 수치일 수 있다.

[0012] 정리하면, 종래의 수신기 입력단에 관한, 증폭기의 입력전압 대비 출력전압 비율인 전압이득은 gm*Rout이며, 최종적으로는 출력 전류의 방향에 의해 전압이득 Av을 '-gm*Rout'로 표시할 수 있다.

[0013] 도 1에서 PMOS 입력 차동증폭기는 대칭적으로 설계되어 있다.

[0014] 각 트랜지스터 대칭쌍(M1-M2, M3-4, M5-6)의 트랜스컨덕턴스 gm과 출력 임피던스 ro는 동일할 수 있다. 이러한 조건에서, 전압 이득은 공통 소스 증폭기의 식에 의거해, 트랜지스터 M1, M2의 트랜스컨덕턴스(gm[M1,M2])와 출력부하 Rout을 곱한 Av = -gm[M1,M2] * Rout 로 표현될 수 있다.

[0015] 교차 연결된 하부 트랜지스터(M3, M4)는 부저항(Negative Impedance)을 형성할 수 있다. 이는 출력부하 Rout 값을 올려 전압 이득을 상승시키는 역할을 할 수 있다.

[0016] 도 1의 구조를 갖는 수신기 입력단의 전압이득을, 각 트랜지스터(M1~M6)의 트랜스컨덕턴스 gm과 출력 임피던스 ro를 이용하여 표현하면,

[0017] 종래의 수신기 입력단의 전압이득은 Av1 = -gm[M1,M2] * (ro[M1,M2] / (1/(gm[M5,M6] - gm[M3,M4])) 가 될 수 있다.

[0018] 종래의 수신기 입력단의 구조에서는 입력 잡음의 영향을 줄이기 위해 히스테리시스 특성을 가지도록 설계하기 때문에, 일부 하부 트랜지스터(M5, M6)은 다른 하부 트랜지스터(M3, M4)의 트랜지스터 외형비(W/L) 보다 크게 설계될 수 있다.

[0019] 이를 표현한 (W/L)[M5,M6] > (W/L)[M3,M4] 식을 간단히 하기 위해, (W/L)[M5,M6] = 2*(W/L)[M3,M4] 로 가정한다면, 트랜지스터의 트랜스컨덕턴스 gm은 트랜지스터 외형비(W/L)와 다음의 관계를 갖게 된다.

[0020] gm = μnCox*(W/L)*(Vgs-Vth)

[0021] μnCox은 제조공정에 의해 결정되는 양일 수 있다.

[0022] gm[M5,M6] - gm[M3,M4] = gm[M3,M4] (gm[M5,M6] = 2*gm[M3,M4])

[0023] 종래의 수신기 입력단의 전압이득은 [수학식 1]과 같이 다시 표현할 수 있다.

[0024] [수학식 1]

[0025] Av1 = -gm[M1,M2] * (ro[M1,M2] / (1/(gm[M3,M4]))

[0026] = -gm[M1,M2] * (ro[M1,M2] / ro[M3,M4]

[0027] 그런데, 도 1의 수신기 입력단의 구조에서는, 출력 노드(OUTP, OUTN)의 전압 스윙레벨이, 낮은 공통모드 입력전압(V_{INP}, V_{INN})에 의존적이라, 함께 줄어드는 단점이 있다.

[0028] 만약, 공통모드 입력 전압(V_{INP}, V_{INN})이 낮아질 때, 고정된 상부 전류원은 대칭적인 양쪽 branch로 동일한 전류량을 나누려고 한다.

[0029] 동일한 전류량을 나누려는 동작을 유지하기 위해, 입력 트랜지스터(M1, M2)는 VP 노드의 전압을 낮추게 된다.

[0030] 따라서, 출력 노드(OUTP, OUTN)의 전압 범위 최대값은 VP노드 보다 같거나 작기 때문에 공통모드 입력 전압(V_{INP}, V_{INN})에 P형 트랜지스터의 문턱전압을 더한 (V_{INP}, V_{INN})+ |Vth,p|가 된다.

[0031] 반대로 출력 노드(OUTP, OUTN)의 전압 범위 최소값은, diode connection 된 하부 트랜지스터(M3, M4)에 의해 N형 트랜지스터의 문턱전압인 Vth,n 이 된다.

[0032] 전압 범위 최대값과 전압 범위 최소값에 관한, 출력 노드(OUTP, OUTN)의 최대 전압 레벨 변화량은 (V_{INP}, V_{INN}) + |Vth,p| - Vth,n 으로, P형과 N형 트랜지스터의 문턱전압이 비슷한 값(|Vth,p| = Vth,n)을 가진다고 가정하면

(V_{INP}, V_{INN})이 된다.

[0033] 즉, 출력 노드(OUTP, OUTN)의 전압 레벨 변화량은 공통모드 입력 전압(V_{INP}, V_{INN})에 의존적인 결과로 나타난다.

[0034] 이러한 의존성은, 150mV ~ 250mV의 매우 낮은 공통모드 입력 전압(V_{INP}, V_{INN})을 표준으로 하는 MIPI 얼라이언스 D-PHY standard의 아날로그 데이터 송/수신기 구조에서 수신기의 성능을 감소시키는 원인이 될 수 있다.

[0035] 따라서, 낮은 공통모드 입력 전압에 대해서도, 성능의 감소 없이, 고속동작을 유지할 수 있는 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기를 설계하기 위한, 새로운 기법이 절실히 요구되고 있다.

발명의 내용

해결하려는 과제

[0036] 본 발명의 실시예는, 낮은 공통모드 입력 전압을 갖는 규모가변 저전압 직렬 신호(SLVS)의 입력 신호에 대해서도, 고속동작이 가능한 수신기 회로를 제공하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치를 제공하는 것을 목적으로 한다.

[0037] 또한, 본 발명의 실시예는, 전류원, 외부 바이어스 전압을 사용하지 않는 자가 바이어스 회로를 통해 구현이 간단하고 낮은 소비전력을 갖는 수신기 회로를 제공하는 것을 다른 목적으로 한다.

과제의 해결 수단

[0038] 본 발명의 일실시예에 따른, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법은, 공통 게이트 증폭기 구조의 제1 트랜지스터 그룹 내 트랜지스터(M1, M2)에서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력받는 단계; 공통 소스 증폭기 구조의 제2 트랜지스터 그룹 내 트랜지스터(M3, M4)에서, 상기 입력 전압(V_{INP}, V_{INN})을 게이트로 입력받는 단계; 및 증폭부에서, 상기 제1 트랜지스터 그룹과 상기 제2 트랜지스터 그룹에 관한 전압이득을 합산하여, 상기 입력 전압(V_{INP}, V_{INN})을 증폭시키는 단계를 포함할 수 있다.

[0039] 또한, 본 발명의 실시예에 따른, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치는, 공통 게이트 증폭기 구조로서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력받는 트랜지스터(M1, M2)의 제1 트랜지스터 그룹; 공통 소스 증폭기 구조로서, 상기 입력 전압(V_{INP}, V_{INN})을 게이트로 입력받는 트랜지스터(M3, M4)의 제2 트랜지스터 그룹; 및 상기 제1 트랜지스터 그룹과 상기 제2 트랜지스터 그룹에 관한 전압이득을 합산하여, 상기 입력 전압(V_{INP}, V_{INN})을 증폭시키는 증폭부를 포함하여 구성할 수 있다.

발명의 효과

[0040] 본 발명의 일실시예에 따르면, 낮은 공통모드 입력 전압을 갖는 규모가변 저전압 직렬 신호(SLVS)의 입력 신호에 대해서도, 고속동작이 가능한 수신기 회로를 제공하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치를 제공할 수 있다.

[0041] 또한, 본 발명의 일실시예에 따르면, 전류원, 외부 바이어스 전압을 사용하지 않는 자가 바이어스 회로를 통해 구현이 간단하고 낮은 소비전력을 갖는 수신기 회로를 제공할 수 있다.

[0042] 또한, 본 발명의 일실시예에 따르면 낮은 공통모드 입력에 대한 구조를 응용하여, 높은 공통모드 입력에 대한 구조가 되도록 개선하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치를 제공할 수 있다.

도면의 간단한 설명

[0043] 도 1은 종래의 규모가변 저전압 신호(SLVS)의 수신기 입력단을 도시한 도면이다.

도 2는 본 발명의 일실시예에 따른 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구성을 도시한 블록도이다.

도 3은 본 발명의 일실시예에 따른 규모가변 저전압 직렬 신호(SLVS)의 수신기 회로의 입력단을 도시한 회로의

일례를 도시한 도면이다.

도 4는, 본 발명의 일실시예에 따른 수신기 입력단과 출력 스테이지(output stage)를 결합한 회로의 일례를 도시한 도면이다.

도 5는 규모 가변 저전압 직렬(SLVS) 입력 신호에 대한 시간에 따른 출력 전압을 비교한 도면이다.

도 6은 본 발명의 일실시예에 따른, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법을 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0044] 이하에서, 첨부된 도면을 참조하여 실시예들을 상세하게 설명한다. 그러나, 실시예들에는 다양한 변경이 가해질 수 있어서 특허출원의 권리 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 실시예들에 대한 모든 변경, 균등물 내지 대체물이 권리 범위에 포함되는 것으로 이해되어야 한다.

[0045] 실시예에서 사용한 용어는 단지 설명을 목적으로 사용된 것으로, 한정하려는 의도로 해석되어서는 안된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0046] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0047] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 실시예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 실시예의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0048] 도 2는 본 발명의 일실시예에 따른 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구성을 도시한 블록도이다.

[0049] 도 2를 참조하면, 본 발명의 일실시예에 따른, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치(이하, '직렬 인터페이스 수신기 회로 장치'라 약칭함)(100)는 제1 트랜지스터 그룹(210), 제2 트랜지스터 그룹(220), 및 증폭부(230)를 포함하여 구성할 수 있다. 또한, 실시예에 따라, 직렬 인터페이스 수신기 회로 장치(200)는 Class AB output stage(240)를 선택적으로 추가하여 구성할 수 있다.

[0050] 우선, 제1 트랜지스터 그룹(210)은, 공통 게이트 증폭기 구조로서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력받는 트랜지스터(M1, M2)를 포함할 수 있다. 즉, 제1 트랜지스터 그룹(210)은 소속되는, 공통 게이트 증폭기 구조의 트랜지스터(M1, M2)를 통해 입력 전압(V_{INP}, V_{INN})을 입력받은 역할을 할 수 있다. 상기 트랜지스터(M1, M2)는 서로 대칭쌍을 이루고 있다.

[0051] 또한, 제1 트랜지스터 그룹(210)은, 상기 트랜지스터(M1, M2) 각각으로, 온오프 기능을 구현하기 위한 인에이블(Enable) 신호를 인가받는 인에이블 단자를 구비할 수 있다. 즉, 제1 트랜지스터 그룹(210)은 인에이블 단자를 포함하고, 이 인에이블 단자로 인에이블 신호를 입력받아, 입력 전압(V_{INP}, V_{INN})과 관련하여 계산되는 출력 값을 출력할 것인지를 선택적으로 결정할 수 있게 한다.

[0052] 인에이블 신호는, 입력 전압(V_{INP}, V_{INN})을 입력 신호로 받는 트랜지스터(M1, M2)로의, 인가 여하에 따라, AND 논리를 통해, 출력 값이 출력되게 하는 신호로 정의할 수 있다.

[0053] 실시예에 따라, 제1 트랜지스터 그룹(210)은, 상기 인에이블 단자에 서플라이 전압(VDD) 또는 접지 전압(GND)인가 함으로써, 바이어스 전압을 이용하지 않고도 동작할 수 있다. 즉, 제1 트랜지스터 그룹(210)은 바이어스 전압을 기동 전압으로 사용하지 않고, 상기 트랜지스터(M1, M2) 각각에 구비된 인에이블 단자로, 서플라이 전압(VDD) 또는 접지 전압(GND)을 인가하여 기동 전압으로 사용 함으로써, 입력되는 전압의 크기가 일정한 형태로

유지되고, 그에 따라 출력도 안정적으로 유지되도록 유도할 수 있다.

[0054] 상기 바이어스 전압은 반도체다이오드와 같은 반도체소자가 그 소자의 목적에 맞게 동작을 하도록 전원 공급기(power supply)에서 걸어준 전위차일 수 있다. 즉, 바이어스 전압은 그 소자의 한 쪽 끝에는 양(+)의 전위, 반대 쪽 끝에는 음(-)의 전위를 걸어 양쪽 끝단 사이에 전위차가 생기도록 걸어준 전압일 수 있다. 전위차를 이용하는 이러한 구조로 인해, 바이어스 전압은, 인가되는 전압의 크기를 일정하게 유지하는 데에 한계가 있을 수 있다.

[0055] 즉, 제1 트랜지스터 그룹(210)은 전압 변동이 최소화되며, 일정한 크기의 전압을 인가할 수 있는 서플라이 전압(VDD) 또는 접지 전압(GND)을 이용하여, 트랜지스터(M1, M2)을 기동시킬 수 있다.

[0056] 또한, 제2 트랜지스터 그룹(220)은 공통 소스 증폭기 구조로서, 상기 입력 전압(V_{INP}, V_{INN})을 게이트로 입력받는 트랜지스터(M3, M4)를 포함할 수 있다. 즉, 제2 트랜지스터 그룹은 소속되는, 공통 소스 증폭기 구조의 트랜지스터(M3, M4)를 통해 입력 전압(V_{INP}, V_{INN})을 입력받은 역할을 할 수 있다. 상기 트랜지스터(M3, M4)는 서로 대칭쌍을 이루고 있다.

[0057] 증폭부(230)는 상기 제1 트랜지스터 그룹(210)과 상기 제2 트랜지스터 그룹(220)에 관한 전압이득을 합산하여, 상기 입력 전압(V_{INP}, V_{INN})을 증폭시킨다. 즉, 증폭부(230)는 제1 트랜지스터 그룹(210)의 트랜지스터(M1, M1)와 연관되어 계산되는 전압이득과, 제2 트랜지스터 그룹(220)의 트랜지스터(M3, M4)와 연관되어 계산되는 전압이득을 합산 함으로써 입력 전압(V_{INP}, V_{INN})을 종래 보다 수치적으로 증가하여 증폭시키는 역할을 할 수 있다.

[0058] 트랜지스터 그룹 내 각 트랜지스터와 관련한 전압이득은 아래와 같이 계산될 수 있다.

[0059] 먼저, 증폭부(230)는 상기 제1 트랜지스터 그룹(210)에 관한 전압이득으로서, 공통 게이트 증폭기 구조의 전압이득 Av,CG을, '+gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산할 수 있다. 여기서, 상기 gm은 트랜지스터 간의 트랜스컨덕턴스이고, 상기 ro는 트랜지스터 간의 출력 임피던스 일 수 있다.

[0060] 즉, 증폭부(230)는 전압이득 Av,CG을, 트랜지스터 M1, M2간의 정방향 트랜스컨덕턴스와, 트랜지스터 M1, M2와 트랜지스터 M3, M4 간의 출력 임피던스의 비와의 곱셈 적용을 통해 연산할 수 있다.

[0061] 또한, 증폭부(230)는 상기 제2 트랜지스터 그룹(220)에 관한 전압이득으로서, 공통 소스 증폭기 구조의 전압이득 Av,CS을, '-gm[M3,M4]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산할 수 있다.

[0062] 즉, 증폭부(230)는 전압이득 Av,CS을, 트랜지스터 M3, M4간의 역방향 트랜스컨덕턴스와, 트랜지스터 M1, M2와 트랜지스터 M3, M4 간의 출력 임피던스의 비와의 곱셈 적용을 통해 연산할 수 있다.

[0063] 이후, 증폭부(230)는 중첩의 원리(Superposition theorem)에 의하여, 상기 입력 전압의 전체 전압이득 Av2를 'Av,CS + (-Av,CG) = -(gm[M1,M2]+gm[M3,M4])*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산할 수 있다.

[0064] 중첩의 원리는, 입력이 A가 되는 경우 출력이 C, 입력이 B가 될 때 출력은 D가 되는 것과 같은 회로망에서 입력이 A+B이면 출력은 C+D가 될 수 있는 경우에 성립될 수 있다. 특히 회로이론에서는 다수의 기전력을 포함한 도선망(導線網)의 각 부분의 전류는 각 기전력이 단독으로 인가된 경우에 흐르는 전류를 겹쳐 합친 것과 같을 수 있다.

[0065] 즉, 증폭부(230)는 중첩의 원리에 따라, 제1 트랜지스터 그룹과 연관된 전압이득 Av,CS와, 제2 트랜지스터 그룹과 연관된 전압이득 Av,CG을 합산하여, 상술의 '-(gm[M1,M2]+gm[M3,M4])*(ro[M1,M2]/ro[M3,M4])'을 도출하여 전체 전압이득을 계산할 수 있다.

[0066] 후술하는 도 3에서와 같이, 각 트랜지스터 대칭쌍(M1-M2, M3-4)의 트랜스컨덕턴스 gm은 동일할 수 있으므로, 상기 제1 트랜지스터 그룹(210) 내 트랜지스터(M1, M2) 간의 트랜스컨덕턴스와, 상기 제2 트랜지스터 그룹(220) 내 트랜지스터(M3, M4) 간의 트랜스컨덕턴스는 동일(gm[M1,M2] = gm[M3,M4])한 것으로 표현할 수 있다.

[0067] 이에 따라, 증폭부(230)는 상기 입력 전압의 전체 전압이득 Av2를 [수학식 2]와 같이 표현할 수 있다.

[0068] [수학식 2]

[0069] Av2 = -2*gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])

[0070] 이는 상술한 [수학식 1]에서의 종래의 수신기 입력단의 전압이득 Av1에 비해, 2배가 되었음을 의미한다.

[0071] 즉, 증폭부(230)는 상기 입력 전압의 전체 전압이득 Av2를 '-2*gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산 함으로써, 상기 입력 전압(V_{INP}, V_{INN})의 2배 증폭을 증명할 수 있다.

[0072] 본 발명의 직렬 인터페이스 수신기 회로 장치(200)는 출력 전압의 폭을 일정하게 유지하는, 출력의 안정성을 도모할 수 있다.

[0073] 이를 위해 직렬 인터페이스 수신기 회로 장치(200)는 Class AB output stage(240)를 더 포함하여 구성할 수 있다.

[0074] Class AB output stage(240)은 수신기 회로의 입력단에 추가되어, 접지 전압(0V)에서부터 서플라이 전압(VDD) 사이를 스윙하는 레일-투-레일(Rail-to-Rail) 출력 전압 범위를 획득한다. 즉, Class AB output stage(240)는 입력 전압의 전 영역에 걸쳐 신호 증폭을 가능하게 하여, 증폭되어 출력되는 전압이, 미리 설정한 전압 범위 내에서 유지되도록 할 수 있다.

[0075] 이를 통해, Class AB output stage(240)는 저전압으로 구동하는 경우에도 제한된 동적 범위를 충분히 활용할 수 있기 때문에 최고 성능과 기능을 제공할 수 있게 한다.

[0076] 본 발명의 일실시예에 따르면, 낮은 공통모드 입력 전압을 갖는 규모가변 저전압 직렬 신호(SLVS)의 입력 신호에 대해서도, 고속동작이 가능한 수신기 회로를 제공하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치를 제공할 수 있다.

[0077] 또한, 본 발명의 일실시예에 따르면, 전류원, 외부 바이어스 전압을 사용하지 않는 자가 바이어스 회로를 통해 구현이 간단하고 낮은 소비전력을 갖는 수신기 회로를 제공할 수 있다.

[0078] 또한, 본 발명의 일실시예에 따르면 낮은 공통모드 입력에 대한 구조를 응용하여, 높은 공통모드 입력에 대한 구조가 되도록 개선하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치를 제공할 수 있다.

[0079] 도 3은 본 발명의 일실시예에 따른 규모가변 저전압 직렬 신호(SLVS)의 수신기 회로의 입력단을 도시한 회로도의 일례를 도시한 도면이다.

[0080] 본 발명에 따른 수신기 회로의 입력단은 도 1과 같은 기존 구조와 다르게, 공통 게이트 증폭기 구조로서 소스로 입력을 받는 트랜지스터(M1, M2)와, 공통 소스 증폭기 구조로서 게이트로 입력을 받는 트랜지스터(M3, M4)를 포함하고, 이들 두 그룹에 관한 전압이득 경로를 더하여 입력 전압을 증폭시킬 수 있다.

[0081] 공통 게이트 증폭기 구조의 트랜지스터(M1, M2)는 온/오프 기능을 구현하는 인에이블(Enable) 신호를 인가 받는다.

[0082] 도 3에 도시한 바와 같이, 본 발명에 따른 수신기 회로의 입력단은 전류원 혹은 외부 바이어스 전압 없이 인에이블(Enable) 단자에 서플라이 전압 (VDD) 또는 접지 전압(GND)을 인가하여, 특정한 바이어스 전압을 이용하지 않고도 동작할 수 있다.

[0083] 이는 높은 전압 이득을 갖는 수신기 입력단 혹은 인에이블(Enable) 신호 단자에 클럭(Clock) 신호를 인가하여 감지 앰프(sense amplifier)로도 사용할 수 있다는 의미일 수 있다.

[0084] 도 3에서, 양 단의 트랜지스터 특성이 대칭적이라고 가정할 때, 출력에서 전압이득은 공통 소스(CS : common source) 증폭기 경로의 전압이득은 Av,CS = -gm[M3,M4]*(ro1.2/ro[M3,M4]) 일 수 있다.

[0085] 또한, 공통 게이트(CG : common gate) 증폭기 경로의 전압이득은 Av,CG = +gm[M1,M2]*(ro[M1,M2]/ro[M3,M4]) 일 수 있다.

[0086] 전체 전압이득은 중첩의 원리(Superposition theorem)에 의하여 Av2 = Av,CS + (-Av,CG) = -(gm[M1,M2]+gm[M3,M4])(ro[M1,M2]/ro[M3,M4])가 될 수 있다.

[0087] 비교를 위해 N-type 과 P-type 트랜지스터의 트랜스컨덕턴스를 동일하다고 가정하였을 때에, (gm[M1,M2] = gm[M3,M4])이 되어, 전압이득은 Av2 = -2*gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])로 표현할 수 있다.

[0088] 상술의 종래 기존 구조의 전압이득이 Av1 = -gm[M1,M2]*(ro[M1,M2]/(1/(gm[M3,M4])) 이므로, 두 전압이득의 크기는 트랜지스터의 고유게인(instrinsic gain)이 항상 1보다 매우 크다는 것을 바탕으로 Av2 > Av1의 관계를 가질 수 있다.

[0089] 본 발명에서 제안하는 수신기의 회로는 수신기의 입력 및 출력 전압을 자가 바이어스 전압으로 이용하여 전류원 혹은 외부 바이어스 전압이 필요하지 않아 추가적인 회로 구성에 따른 면적을 줄일 수 있고, 동시에 인에이블(Enable) 신호를 바이어스 전압으로 사용하기 때문에 서플라이 전압(VDD) 혹은 접지 전압(GND) 만을 이용하여 부수적인 바이어스 전압 생성회로 또한 필요로 하지 않는 장점을 가지고 있다.

[0090] 도 3의 구조에서 출력 노드(VOUTP, VOUTN)의 전압 범위 최대값은 서플라이 전압인 VDD이고, 전압 범위 최소값은 공통모드 입력 전압인 V_{INP} 혹은 V_{INN}으로 낮은 공통모드 입력 전압을 사용하는 표준에서는 거의 레일-투-레일(Rail-to-Rail) 출력 전압 범위를 가진다고 보아도 무방하다.

[0091] 도 4는, 본 발명의 일실시예에 따른 수신기 입력단과 출력 스테이지(output stage)를 결합한 회로의 일례를 도시한 도면이다.

[0092] 구체적으로는 도 3의 수신기 회로의 입력단에 Class AB output stage를 추가 함으로써, 본 발명에서는 온전한 레일-투-레일 (Rail-to-Rail) 출력 전압 범위를 얻을 수 있다.

[0093] 레일-투-레일 출력은 회로의 접지 전압 (0V)부터 서플라이 전압 (VDD) 사이를 스윙하는 것을 지칭할 수 있다.

[0094] 앞서 언급하였듯 도 3 구조의 수신기 입력단은 실제로 V_{INP} 혹은 V_{INN}으로부터 VDD까지 스윙하기 때문에 입력단(1st-stage) 만으로는 레일-투-레일 출력을 없을 수 없다.

[0095] 또한 차동 출력(differential-ended output)인 V_X, V_Y을 단일 종단출력(Single-ended signaling)으로 바꾸기 위해서는, output stage(2nd stage)를 필요로 한다.

[0096] 실제 180nm 최소 채널길이를 갖는 CMOS 공정을 이용하여 설계된 본 발명의 회로는 MIPI D-PHY 표준에서 제시하는 1.2V 서플라이 전압 조건 내에서 최대 4Gbps 전송속도를 가진다. 이는 MIPI D-PHY v1.2 표준의 최대 전송속도 2.5Gbps를 상회할 수 있다.

[0097] 도 5는 규모 가변 저전압 직렬(SLVS) 입력 신호에 대한 시간에 따른 출력 전압을 비교한 도면이다.

[0098] 도 5의 (a)에는, 기존 구조와 관련하여, 낮은 공통모드 입력 전압 범위를 가지는 규모 가변 저전압 직렬(SLVS) 입력 신호에 대한 시간에 따른 출력 전압을 도시한다.

[0099] 반면, 도 5의 (b)에는, 본 발명에서 제안하는 구조와 관련하여, 낮은 공통모드 입력 전압 범위를 가지는 규모 가변 저전압 직렬(SLVS) 입력 신호에 대한 시간에 따른 출력 전압을 도시한다.

[0100] 도 5의 (a)와 (b)에서는 표준에서 제시하는 낮은 공통모드 입력 전압 범위 (150mV~250mV) 내 규모 가변 저전압 직렬(SLVS) 입력 신호에 대한 출력 전압을 비교하여 나타내었다.

[0101] 앞서 언급하였듯 기존구조의 전압이득 Av1 대비 본 발명에서 제안하는 구조의 전압이득 Av2는 적어도 2배 이상 크기 때문에, 출력 전압에서도 본 발명에서 제안하는 구조의 스윙은 도 5의 (b)에서와 같이, 도 5의 (a)에 비해 더 크게 나타날 수 있다.

[0102] 본 발명에 의해서는 낮은 공통모드 입력 전압을 갖는 규모가변 저전압 직렬 신호(SLVS) 입력 신호에 대해서도 고속 동작이 가능한 수신기를 이용하고 있어, 송신기에서 더 낮은 공통 전압을 이용한 데이터 통신이 가능하므로, 송신단 전력 소모를 줄이는 효과를 기대할 수 있다.

[0103] 또한, 본 발명에 의해서는, 회로를 구성하기 위해 사용되는 트랜지스터의 개수가, 입력단 4개, 출력 스테이지 5개로 적고, 부수적인 전류원, 외부 바이어스 전원, 바이어스 생성회로 없이도 최소한의 면적으로도 구현을 가능하게 한다.

[0104] 이러한 최소한의 면적으로의 구현은 웨이퍼(wafer) 한 장에 몇 개의 칩이 나오느냐에 따라 집적회로(IC) 칩의 단가가 결정되는 사실에 비추어 볼 때 경제적인 효과를 기대할 수 있다.

[0105] 이하, 도 6에서는 본 발명의 실시예들에 따른 직렬 인터페이스 수신기 회로 장치(200)의 작업 흐름을 상세히 설명한다.

[0106] 도 6은 본 발명의 일실시예에 따른, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법을 도시한 흐름도이다.

[0107] 본 실시예에 따른 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법은 직렬 인터페

이스 수신기 회로 장치(200)에 의해 수행될 수 있다.

[0108] 우선, 직렬 인터페이스 수신기 회로 장치(200)는, 공통 게이트 증폭기 구조의 제1 트랜지스터 그룹(210) 내 트랜지스터(M1, M2)에서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력받는다(610). 단계(610)은 제1 트랜지스터 그룹에 소속되는, 공통 게이트 증폭기 구조의 트랜지스터(M1, M2)를 통해 입력 전압(V_{INP}, V_{INN})을 입력받은 과정일 수 있다. 상기 트랜지스터(M1, M2)는 서로 대칭쌍을 이루고 있다.

[0109] 또한, 직렬 인터페이스 수신기 회로 장치(200)는, 상기 트랜지스터(M1, M2) 각각으로, 온오프 기능을 구현하기 위한 인에이블(Enable) 신호를 인가받는 인에이블 단자를 구비할 수 있다. 즉, 직렬 인터페이스 수신기 회로 장치(200)는 제1 트랜지스터 그룹(210)에 인에이블 단자를 포함하고, 이 인에이블 단자로 인에이블 신호를 입력받아, 입력 전압(V_{INP}, V_{INN})과 관련하여 계산되는 출력 값을 출력할 것인지를 선택적으로 결정할 수 있게 한다.

[0110] 인에이블 신호는, 입력 전압(V_{INP}, V_{INN})을 입력 신호로 받는 트랜지스터(M1, M2)로의, 인가 여하에 따라, AND 논리를 통해, 출력 값이 출력되게 하는 신호로 정의할 수 있다.

[0111] 실시예에 따라, 직렬 인터페이스 수신기 회로 장치(200)는, 상기 인에이블 단자에 서플라이 전압(VDD) 또는 접지 전압(GND) 인가 함으로써, 바이어스 전압을 이용하지 않고도 동작할 수 있다. 즉, 직렬 인터페이스 수신기 회로 장치(200)는 바이어스 전압을 기동 전압으로 사용하지 않고, 상기 트랜지스터(M1, M2) 각각에 구비된 인에이블 단자로, 서플라이 전압(VDD) 또는 접지 전압(GND)을 인가하여 기동 전압으로 사용 함으로써, 입력되는 전압의 크기가 일정한 형태로 유지되고, 그에 따라 출력도 안정적으로 유지되도록 유도할 수 있다.

[0112] 상기 바이어스 전압은 반도체다이오드와 같은 반도체소자가 그 소자의 목적에 맞게 동작을 하도록 전원 공급기(power supply)에서 걸어준 전위차일 수 있다. 즉, 바이어스 전압은 그 소자의 한 쪽 끝에는 양(+)의 전위, 반대 쪽 끝에는 음(-)의 전위를 걸어 양쪽 끝단 사이에 전위차가 생기도록 걸어준 전압일 수 있다. 전위차를 이용하는 이러한 구조로 인해, 바이어스 전압은, 인가되는 전압의 크기를 일정하게 유지하는 데에 한계가 있을 수 있다.

[0113] 즉, 직렬 인터페이스 수신기 회로 장치(200)는 전압 변동이 최소화되며, 일정한 크기의 전압을 인가할 수 있는 서플라이 전압(VDD) 또는 접지 전압(GND)을 이용하여, 트랜지스터(M1, M2)을 기동시킬 수 있다.

[0114] 또한, 직렬 인터페이스 수신기 회로 장치(200)는 공통 소스 증폭기 구조의 제2 트랜지스터 그룹(220) 내 트랜지스터(M3, M4)에서, 상기 입력 전압(V_{INP}, V_{INN})을 게이트로 입력받는다(620). 단계(620)은 제2 트랜지스터 그룹은 소속되는, 공통 소스 증폭기 구조의 트랜지스터(M3, M4)를 통해 입력 전압(V_{INP}, V_{INN})을 입력받은 과정일 수 있다. 상기 트랜지스터(M3, M4)는 서로 대칭쌍을 이루고 있다.

[0115] 또한, 직렬 인터페이스 수신기 회로 장치(200)는 제1 트랜지스터 그룹과 제2 트랜지스터 그룹에 관한 전압이득을 합산하여, 상기 입력 전압(V_{INP}, V_{INN})을 증폭시킨다(630). 단계(630)은 트랜지스터(M1, M1)와 연관되어 계산되는 전압이득과, 트랜지스터(M3, M4)와 연관되어 계산되는 전압이득을 합산 함으로써 입력 전압(V_{INP}, V_{INN})을 종래 보다 수치적으로 증가하여 증폭시키는 과정일 할 수 있다.

[0116] 트랜지스터 그룹 내 각 트랜지스터와 관련한 전압이득은 아래와 같이 계산될 수 있다.

[0117] 먼저, 직렬 인터페이스 수신기 회로 장치(200)는 상기 제1 트랜지스터 그룹에 관한 전압이득으로서, 공통 게이트 증폭기 구조의 전압이득 Av,CG을, '+gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산할 수 있다. 여기서, 상기 gm은 트랜지스터 간의 트랜스컨덕턴스이고, 상기 ro는 트랜지스터 간의 출력 임피던스 일 수 있다.

[0118] 즉, 직렬 인터페이스 수신기 회로 장치(200)는 전압이득 Av,CG을, 트랜지스터 M1, M2간의 정방향 트랜스컨덕턴스와, 트랜지스터 M1, M2와 트랜지스터 M3, M4 간의 출력 임피던스의 비와의 곱셈 적용을 통해 연산할 수 있다.

[0119] 또한, 직렬 인터페이스 수신기 회로 장치(200)는 상기 제2 트랜지스터 그룹에 관한 전압이득으로서, 공통 소스 증폭기 구조의 전압이득 Av,CS을, '-gm[M3,M4]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산할 수 있다.

[0120] 즉, 직렬 인터페이스 수신기 회로 장치(200)는 전압이득 Av,CS을, 트랜지스터 M3, M4간의 역방향 트랜스컨덕턴스와, 트랜지스터 M1, M2와 트랜지스터 M3, M4 간의 출력 임피던스의 비와의 곱셈 적용을 통해 연산할 수 있다.

[0121] 이후, 직렬 인터페이스 수신기 회로 장치(200)는 중첩의 원리(Superposition theorem)에 의하여, 상기 입력 전압의 전체 전압이득 Av2를 'Av,CS + (-Av,CG) = -(gm[M1,M2]+gm[M3,M4])*(ro[M1,M2]/ro[M3,M4])'을 만족하여

연산할 수 있다.

[0122] 중첩의 원리는, 입력이 A가 되는 경우 출력이 C, 입력이 B가 될 때 출력은 D가 되는 것과 같은 회로망에서 입력이 A+B이면 출력은 C+D가 될 수 있는 경우에 성립될 수 있다. 특히 회로이론에서는 다수의 기전력을 포함한 도선망(導線網)의 각 부분의 전류는 각 기전력이 단독으로 인가된 경우에 흐르는 전류를 겹쳐 합친 것과 같을 수 있다.

[0123] 즉, 직렬 인터페이스 수신기 회로 장치(200)는 중첩의 원리에 따라, 제1 트랜지스터 그룹과 연관된 전압이득 Av,CS와, 제2 트랜지스터 그룹과 연관된 전압이득 Av,CG을 합산하여, 상술의 '-(gm[M1,M2]+gm[M3,M4])*(ro[M1,M2]/ro[M3,M4])'을 도출하여 전체 전압이득을 계산할 수 있다.

[0124] 각 트랜지스터 대칭쌍(M1-M2, M3-4)의 트랜스컨덕턴스 gm은 동일할 수 있으므로, 상기 직렬 인터페이스 수신기 회로 장치(200) 내 트랜지스터(M1, M2) 간의 트랜스컨덕턴스와, 상기 직렬 인터페이스 수신기 회로 장치(200) 내 트랜지스터(M3, M4) 간의 트랜스컨덕턴스는 동일(gm[M1,M2] = gm[M3,M4])한 것으로 표현할 수 있다.

[0125] 이에 따라, 직렬 인터페이스 수신기 회로 장치(200)는 상기 입력 전압의 전체 전압이득 Av2를 [수학식 2]와 같이 표현할 수 있다.

[0126] [수학식 2]

[0127] Av2 = -2*gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])

[0128] 이는 상술한 [수학식 1]에서의 종래의 수신기 입력단의 전압이득 Av1에 비해, 2배가 되었음을 의미한다.

[0129] 즉, 직렬 인터페이스 수신기 회로 장치(200)는 상기 입력 전압의 전체 전압이득 Av2를 '-2*gm[M1,M2]*(ro[M1,M2]/ro[M3,M4])'을 만족하여 연산 함으로써, 상기 입력 전압(V_{INP}, V_{INN})의 2배 증폭을 증명할 수 있다.

[0130] 본 발명의 직렬 인터페이스 수신기 회로 장치(200)는 출력 전압의 폭을 일정하게 유지하는, 출력의 안정성을 도모할 수 있다.

[0131] 직렬 인터페이스 수신기 회로 장치(200)는 수신기 회로의 입력단에 Class AB output stage를 추가하여, 접지 전압(0V)에서부터 서플라이 전압(VDD) 사이를 스윙하는 레일-투-레일(Rail-to-Rail) 출력 전압 범위를 획득한다. 즉, 직렬 인터페이스 수신기 회로 장치(200)는 입력 전압의 전 영역에 걸쳐 신호 증폭을 가능하게 하여, 증폭되어 출력되는 전압이, 미리 설정한 전압 범위 내에서 유지되도록 할 수 있다.

[0132] 이를 통해, 직렬 인터페이스 수신기 회로 장치(200)는 저전압으로 구동하는 경우에도 제한된 동적 범위를 충분히 활용할 수 있기 때문에 최고 성능과 기능을 제공할 수 있게 한다.

[0133] 본 발명의 일실시예에 따르면, 낮은 공통모드 입력 전압을 갖는 규모가변 저전압 직렬 신호(SLVS)의 입력 신호에 대해서도, 고속동작이 가능한 수신기 회로를 제공하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치를 제공할 수 있다.

[0134] 또한, 본 발명의 일실시예에 따르면, 전류원, 외부 바이어스 전압을 사용하지 않는 자가 바이어스 회로를 통해 구현이 간단하고 낮은 소비전력을 갖는 수신기 회로를 제공할 수 있다.

[0135] 또한, 본 발명의 일실시예에 따르면 낮은 공통모드 입력에 대한 구조를 응용하여, 높은 공통모드 입력에 대한 구조가 되도록 개선하는, 규모가변 저전압 신호(SLVS)의 직렬 인터페이스 수신기 회로 장치의 구현 방법 및 직렬 인터페이스 수신기 회로 장치를 제공할 수 있다.

[0136] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를

포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0137] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0138] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0139] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 청구범위의 범위에 속한다.

부호의 설명

[0140] 200 : 직렬 인터페이스 수신기 회로 장치

210 : 제1 트랜지스터 그룹

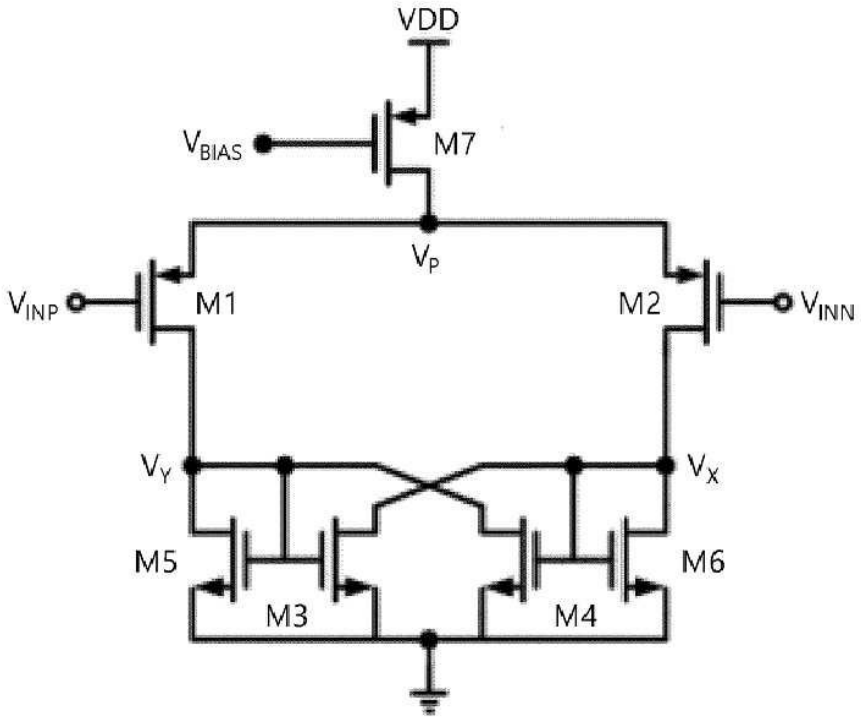
220 : 제2 트랜지스터 그룹

230 : 증폭부

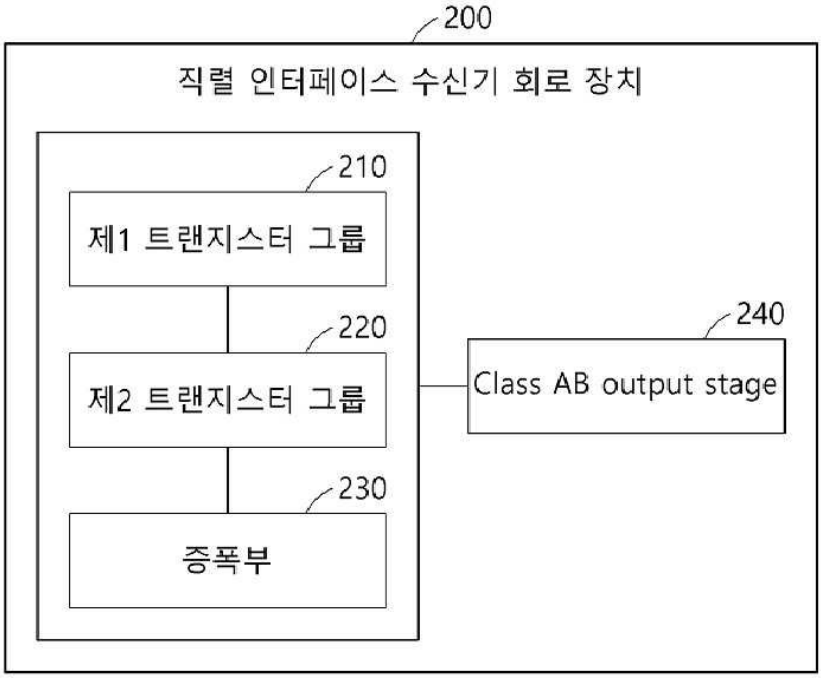
240 : Class AB output stage

도면

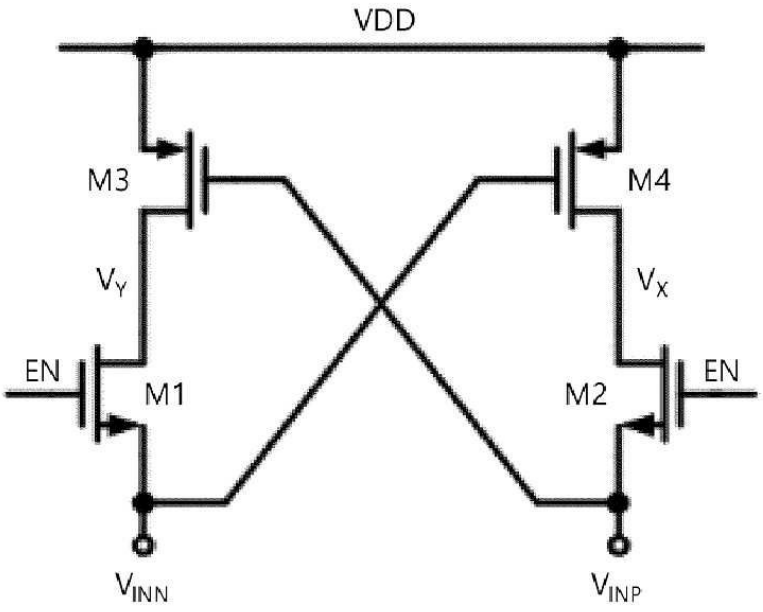
도면1



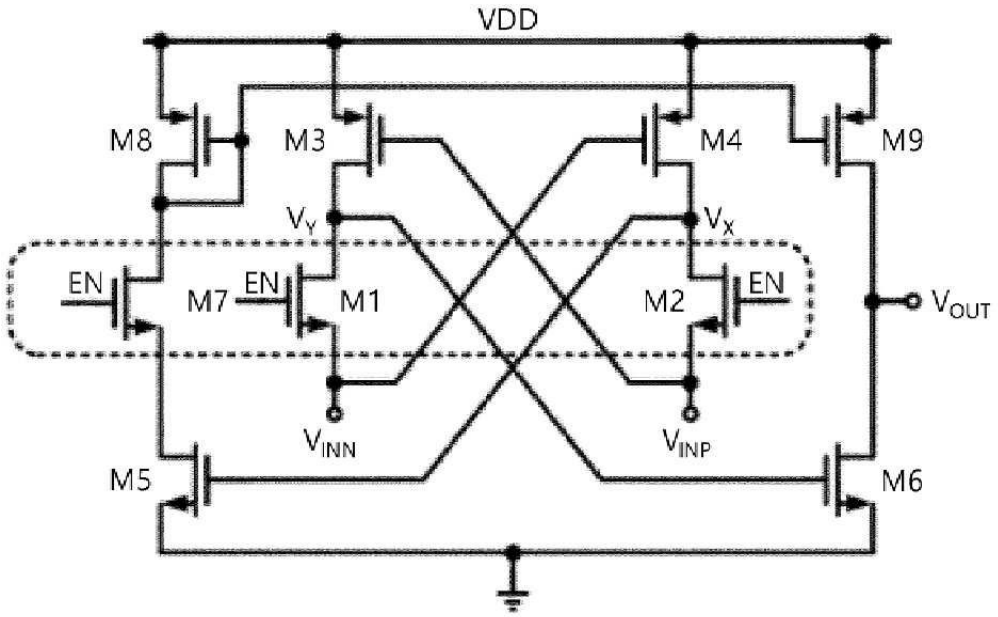
도면2


200
직렬 인터페이스 수신기 회로 장치
210
제1 트랜지스터 그룹
220
제2 트랜지스터 그룹
230
증폭부
240
Class AB output stage

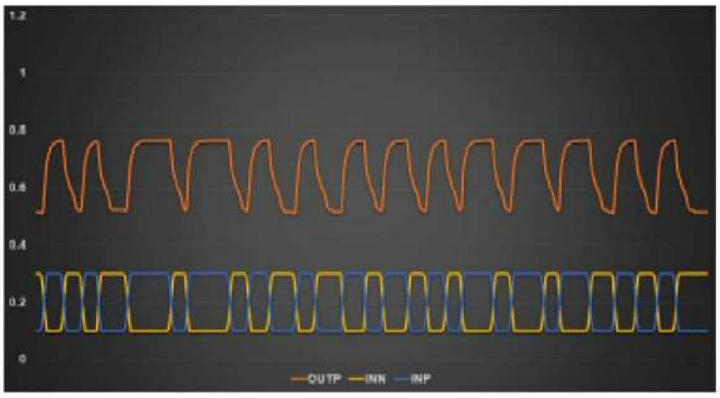
도면3


VDD
M3
M4
V_Y
V_X
EN
M1
M2
EN
V_{INN}
V_{INP}

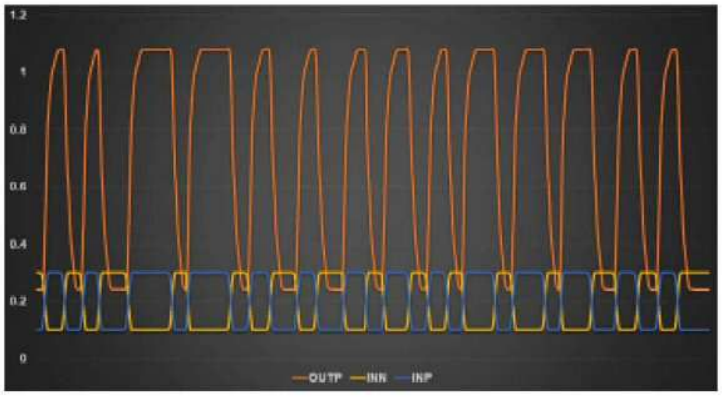
도면4


VDD
M8
M3
M4
M9
V_Y
V_X
EN
M7
EN
M1
M2
EN
V_{OUT}
V_{INN}
V_{INP}
M5
M6

도면5

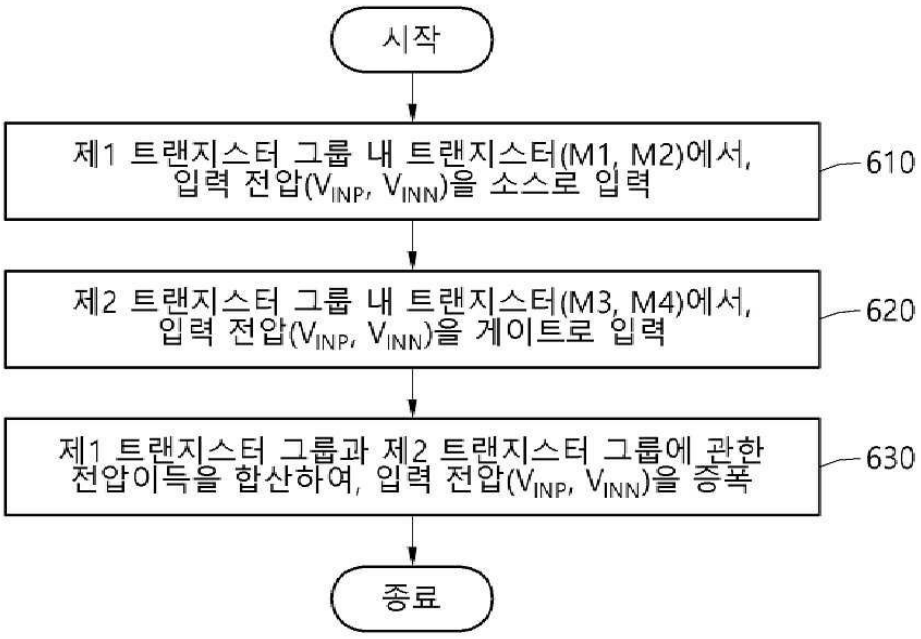

1.2
1
0.8
0.6
0.4
0.2
0
OUTP
INN
INP

(a)


1.2
1
0.8
0.6
0.4
0.2
0
OUTP
INN
INP

(b)

도면6


시작
제1 트랜지스터 그룹 내 트랜지스터(M1, M2)에서, 입력 전압(V_{INP}, V_{INN})을 소스로 입력
610
제2 트랜지스터 그룹 내 트랜지스터(M3, M4)에서, 입력 전압(V_{INP}, V_{INN})을 게이트로 입력
620
제1 트랜지스터 그룹과 제2 트랜지스터 그룹에 관한 전압이득을 합산하여, 입력 전압(V_{INP}, V_{INN})을 증폭
630
종료