



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

200 903

(11) (B1)

(61)

(22) Přihlášeno 10 10 78

(21) PV 6576-78

/23/ Právo přednosti od 13 09 78
Mezinárodní strojírenský veletrh
Brno 1978

(51) Int. Cl. G 06 F 3/02

(40) Zveřejněno 31 08 79

(45) Vydáno 01 01 83

(75) BARTŮNEK IVAN ing.,
Autor vynálezu DRÁPAL STANISLAV ing.,
KRYŠKA JAN ing.,
STRONER PETR ing., PRAHA

(54) Zapojení pro zpracování jednopovelových údajů

1

Vynález se týká zapojení pro zpracování jednopovelových údajů s vyovláním sekvenční funkce systémem sekvenčního uložení a výběru s prvotními povely od tlačítkové volby.

Jsou známa logická zapojení pro uložení dat, posledně zvolené adresní funkce a pro výběr dat nově zvolené adresní funkce vyvolané tlačítkovou volbou. Tato zapojení jsou sestavena ze skupiny tlačítek elektronicky vzájemně vybavovacích a z logického obvodu, ze kterého se těmito tlačítky vyvolává žádaná adresa. Dále zapojení obsahuje dvě tlačítka a další dva logické obvody, kterými se určuje jedna z funkcí, a to buď výběr dat nebo uložení dat zvolené adresy. Nevýhodou těchto zapojení je, že vyžadují dvě kompletní nezávislá logická zapojení, a to jedno pro výběr dat a jedno pro uložení dat. Další zapojení, která se používají, využívají cyklického oběhu vstupních veličin. Nevýhodné je, že musí být vybavena čítačem adres, kódérem a složitým řadičem, což snižuje spolehlivost zapojení.

Tyto nedostatky odstraňuje zapojení pro zpracování jednopovelových údajů sestávající ze sčítacího obvodu, první paměti, druhé paměti, hradlovacího obvodu, porovnávacího obvodu a řadiče, podle vynálezu, jehož podstata spočívá v tom, že první přepisovací výstup řadiče je spojen s přepisovacím vstupem první paměti. Řadič je dále opatřen časovacím vstupem, skupinovým vstupem a skupinovým výstupem. Skupinový vstup první paměti

ti je spojen s vnějším skupinovým vstupem a se skupinovým vstupem sčítacího obvodu. Výstup sčítacího obvodu je spojen se startovacím vstupem řadiče. Druhý prepisovací výstup řadiče je spojen s prepisovacím vstupem druhé paměti. Přímý skupinový vstup druhé paměti je spojen s přímým skupinovým výstupem první paměti. Inverzní skupinový výstup je spojen s druhým skupinovým vstupem porovnávacího obvodu. První skupinový vstup porovnávacího obvodu je spojen se skupinovým výstupem druhé paměti a se skupinovým vstupem hradlovacího obvodu, který je opatřen skupinovým výstupem. Hradlovací vstup hradlovacího obvodu je spojen s prvním hradlovacím výstupem řadiče. Druhý hradlovací výstup řadiče je spojen s hradlovacím vstupem porovnávacího obvodu, který je opatřen skupinovým výstupem.

Výhodou vynálezu je, že obsahuje jenom jednu sadu tlačítek určujících adresy. Obsahuje jediný logický obvod. Při změně adresy, která se provádí stisknutím tlačítka, dojde automaticky k vložení dat předchozí zvolené adresy a k vybrání dat nově zvolené adresy. Tímto uspořádáním se odstraní jak čítač adres, tak kodér se složitým řadičem. Podstatně se zjednoduší funkce obsluhy, která se redukuje jen na stisknutí tlačítka adresy. Zapojení je přitom spolehlivé, obvodově jednoduché a levné.

Příklad uspořádání podle vynálezu je schematicky znázorněn na připojeném výkrese.

První prepisovací výstup 25 řadiče 6 je spojen s prepisovacím vstupem 11 první paměti 2. Řadič 6 se skládá z JK klopných obvodů zapojených jako posuvný register a z hradel. Řadič 6 je dále opatřen časovacím vstupem 29, skupinovým vstupem 30 a skupinovým výstupem 31. Skupinový vstup 8 první paměti 2 je spojen s vnějším skupinovým vstupem 7 zapojení a se skupinovým vstupem 22 sčítacího obvodu 1. První paměť 2 se skládá z úrovnových klopných obvodů. Sčítací obvod 1 je postaven z hradel. Výstup 23 sčítacího obvodu 1 je spojen se startovacím vstupem 24 řadiče 6. Druhý prepisovací výstup 26 řadiče 6 je spojen s prepisovacím vstupem 14 druhé paměti 3. Druhá paměť 3 je sestavena z úrovnových sklopných obvodů. Přímý skupinový vstup 12 druhé paměti 3 je spojen s přímým skupinovým výstupem 10 první paměti 2. Inverzní skupinový výstup 9 první paměti 2 je spojen s druhým skupinovým vstupem 16 porovnávacího obvodu 5. Porovnávací obvod 5 je sestaven z hradel. První skupinový vstup 15 porovnávacího obvodu 5 je spojen se skupinovým výstupem 13 druhé paměti 3 a se skupinovým vstupem 21 hradlovacího obvodu 4, který je opatřen skupinovým výstupem 19. Hradlovací vstup 20 hradlovacího obvodu 4 je spojen s prvním hradlovacím výstupem 27 řadiče 6. Druhý hradlovací výstup 28 řadiče 6 je spojen s hradlovacím vstupem 18 porovnávacího obvodu 5, který je opatřen skupinovým výstupem 17.

Zapojení pro zpracování jednopovelevých údajů ukládá data posledně zvolené adresní funkce a vybírá data nově zvolené adresní funkce. Nová adresa se volí stisknutím jednoho ze sady tlačítek, která nejsou na výkrese znázorněna. Údaj o adrese přichází do zapojení přes jeho vnější skupinový vstup 7. Odtud přichází na skupinový vstup 22 sčítacího obvodu 1 a na skupinový vstup 8 první paměti 2. První paměť 2 svým přímým skupi-

novým výstupem 10 stále sleduje stav na svém skupinovém vstupu 8. V okamžiku, kdy dojde ke změně stavu na skupinovém vstupu 8 první paměti 2, dojde také ke změně stavu na výstupu 23 sčítacího obvodu 1. Touto změnou přes startovací vstup 24 řadiče 6 se řadič 6 spustí a generuje postupně signály na všech svých výstupech 25, 26, 27, 28, 31. Nejdříve vygeneruje signál na svém prvním prepisovacím výstupu 25. Tímto signálem se zablokuje prepis do první paměti 2. To znamená, že do první paměti 2 se přepíše a zůstane zapamatován nový změněný stav signálů vnějšího skupinového vstupu 7. Dále vygeneruje řadič 6 pulsní signál na prvním hradlovacím výstupu 27. Tímto signálem odhradluje starý stav uložený v druhé paměti 3 před změnou adresy a signál o tomto stavu přechází ze skupinového výstupu 13 druhé paměti 3 přes skupinový vstup 21 hradlovacího obvodu 4 na jeho skupinový výstup 19. Dále řadič 6 vygeneruje pulsní signál na svém druhém hradlovacím výstupu 28. Tímto pulsním signálem se přes vstup 18 porovnávacího obvodu 5 odhradluje signál o neshodě na skupinový výstup 17 porovnávacího obvodu 5. Porovnávací obvod 5 porovnává stav obsahu první paměti 2 a druhé paměti 3. Potom řadič 6 vygeneruje pulsní signál na svém druhém prepisovacím výstupu 26. Tímto signálem se přepíše obsah první paměti 2, to je nový změněný stav, do druhé paměti 3. Dále řadič 6 opět vygeneruje pulsní signál na svém prvním hradlovacím výstupu 27. Tímto signálem se odhradluje na skupinový výstup 19 hradlovacího obvodu 4 nový obsah druhé paměti 3. Poté řadič 6 odblokuje signálem na svém prvním prepisovacím výstupu 25 prepis do první paměti 2 a čeká na nový startovací povel, který se objeví na startovacím vstupu 24 řadiče 6 po další nové změně stavu signálů na vnějším skupinovém vstupu 7 zapojení.

Zapojení podle vynálezu se využije při číslicovém řízení obráběcích strojů.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro zpracování jednopovelových údajů, sestávající ze sčítacího obvodu, dvou pamětí, hradlovacího obvodu, porovnávacího obvodu a řadiče, vyznačující se tím, že první prepisovací výstup (25) řadiče (6), jenž je opatřen časovacím vstupem (29), skupinovým vstupem (30) a skupinovým výstupem (31) je spojen s prepisovacím vstupem (11) první paměti (2), jejíž skupinový vstup (8) je spojen s vnějším skupinovým vstupem (7) zapojení a se skupinovým vstupem (22) sčítacího obvodu (1), jehož výstup (23) je spojen se startovacím vstupem (24) řadiče (6), jehož druhý prepisovací výstup (26) je spojen s prepisovacím vstupem (14) druhé paměti (3), jejíž přímý skupinový vstup (12) je spojen s přímým skupinovým výstupem (10) první paměti (2), jejíž inverzní skupinový výstup (9) je spojen s druhým skupinovým vstupem (16) porovnávacího obvodu (5), jehož první skupinový vstup (15) je spojen se skupinovým výstupem (13) druhé paměti (3) a se skupinovým vstupem (21) hradlovacího obvodu (4) opatřeného skupinovým výstupem (19) a hradlovací vstup (20) hradlovacího obvodu (4) je spojen s prvním hradlovacím výstupem (27) řadiče (6), jehož druhý hradlovací výstup (28) je spojen s hradlovacím vstupem (18) porovnávacího obvodu (5) opatřeného skupinovým výstupem (17).

