

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-258292

(P2007-258292A)

(43) 公開日 平成19年10月4日(2007.10.4)

(51) Int. Cl.

H01L 23/48 (2006.01)

F I

H01L 23/48

G

テーマコード(参考)

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2006-78049 (P2006-78049)  
 (22) 出願日 平成18年3月22日(2006.3.22)

(71) 出願人 000227928  
 日本インター株式会社  
 神奈川県秦野市曾屋1204番地  
 (74) 代理人 100117020  
 弁理士 榊原 弘造  
 (72) 発明者 本多 晃  
 神奈川県秦野市曾屋1204番地 日本イ  
 ンター株式会社内  
 (72) 発明者 菅原 利之  
 神奈川県秦野市曾屋1204番地 日本イ  
 ンター株式会社内

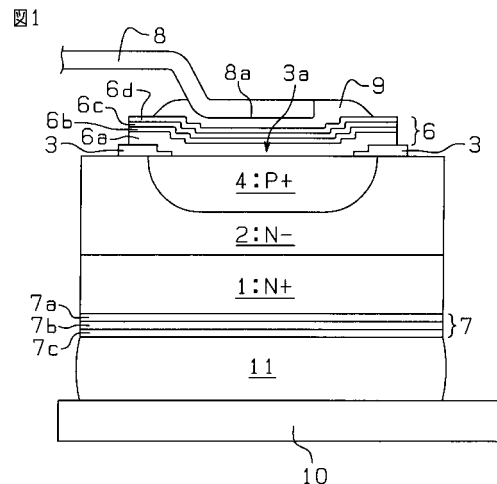
(54) 【発明の名称】 縦型半導体装置

(57) 【要約】

【課題】 Sn系Pbフリー半田9とP+層4の上面の第1電極6との境界面が剥離するおそれを低減しつつ、Niの使用量を低減する。

【解決手段】 N-層2上に酸化膜3を形成し、その酸化膜3に開口を形成し、その開口を介してN-層2上にP+層4を形成し、酸化膜3の開口3aを覆うようにP+層4の上面に第1電極6を形成し、N+層1の下面全体に第2電極7を形成することにより構成されたプレーナ型半導体チップと、半田9によって第1電極6に接合された第1リード8と、半田11によって第2電極7に接合された第2リード10とを具備する縦型半導体装置において、第1リード8および第2リード10としてCu製のものを用い、半田9、11としてSn系Pbフリー半田を用い、第1リード8の表面のうち、少なくとも半田9と接触する部分にNi層8aを形成し、第2リード10の表面にはNi層を形成しない。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体層上に酸化膜を形成し、その酸化膜に開口を形成し、前記開口を覆うように前記半導体層の上面に第 1 電極を形成し、前記半導体層の下面全体に第 2 電極を形成することにより構成されたプレーナ型半導体チップと、半田によって前記第 1 電極に接合された第 1 リードと、半田によって前記第 2 電極に接合された第 2 リードとを具備する縦型半導体装置において、前記第 1 リードおよび前記第 2 リードとして Cu 製のものを用い、半田として Sn 系 Pb フリー半田を用い、前記第 1 リードの表面のうち、少なくとも半田と接触する部分に Ni 層を形成し、前記第 2 リードの表面には Ni 層を形成しないことを特徴とする縦型半導体装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、リードがプレーナ型半導体チップに対して半田によって接合された縦型半導体装置に関し、特に、リードがプレーナ型半導体チップから剥離してしまうおそれを低減しつつ、Ni の使用量を低減することができる縦型半導体装置に関する。

## 【背景技術】

## 【0002】

従来から、リードがプレーナ型半導体チップに対して半田によって接合された半導体装置が知られている。この種の半導体装置の例としては、例えば特開平 8 - 6 4 6 4 1 号公報に記載されたものがある。

20

## 【0003】

特開平 8 - 6 4 6 4 1 号公報に記載された半導体装置では、プレーナ型半導体チップの製造時に、まず最初に、酸化膜が N 型半導体層 (N 型シリコン基板) 上に形成され、次いで、その酸化膜に開口が形成され、次いで、その開口を介して不純物を拡散させることによって、P 型半導体層が N 型半導体層 (N 型シリコン基板) 上に形成されている。

## 【0004】

また、特開平 8 - 6 4 6 4 1 号公報に記載された半導体装置では、プレーナ型半導体チップの製造時に、第 1 電極 (金属電極) が酸化膜の開口を覆うように P 型半導体層の上面に形成され、第 2 電極 (金属電極) が N 型半導体層 (N 型シリコン基板) の下面全体に形成されている。

30

## 【0005】

更に、特開平 8 - 6 4 6 4 1 号公報に記載された半導体装置では、第 1 リードが P 型半導体層の上面の第 1 電極 (金属電極) に対して半田 (クリームハンダ) によって接合され、第 2 リードが N 型半導体層 (N 型シリコン基板) の下面の第 2 電極 (金属電極) に対して半田 (クリームハンダ) によって接合されている。

## 【0006】

【特許文献 1】特開平 8 - 6 4 6 4 1 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

40

## 【0007】

本発明者等は、第 1 リードおよび第 2 リードとして Cu 製のものを用い、半田として、Sn の重量百分率が 90% 以上であって、融点が 220 ~ 230 の Sn 系 Pb フリー半田を用い、第 1 電極に対する第 1 リードの接合強度、および、第 2 電極に対する第 2 リードの接合強度について鋭意研究を行った。

## 【0008】

詳細には、本発明者等は、研究において、半田付け温度のピークが 260 ± 10 になるように半田付けの温度条件を設定し、第 1 リードを半導体層の上面の第 1 電極に対して Sn 系 Pb フリー半田によって接合し、第 2 リードを半導体層の下面の第 2 電極に対して Sn 系 Pb フリー半田によって接合した。

50

## 【0009】

その結果、第2リードの接合強度は比較的高くなり、第2リードが半導体層の下面の第2電極から剥離するおそれは殆どなかったのに対し、第1リードの接合強度は比較的低くなり、第1リードが半導体層の上面の第1電極から剥離するおそれがあることが確認された。

## 【0010】

詳細には、第1リードとSn系Pbフリー半田との境界面が剥離するのではなく、Sn系Pbフリー半田と半導体層の上面の第1電極との境界面が剥離するおそれがあることが確認された。

## 【課題を解決するための手段】

10

## 【0011】

そこで、本発明者等は、第2リードが半導体層の下面の第2電極から剥離しないのに対し、第1リードが半導体層の上面の第1電極から剥離してしまう原因、および、第1リードとSn系Pbフリー半田との境界面が剥離しないのに対し、Sn系Pbフリー半田と半導体層の上面の第1電極との境界面が剥離してしまう原因について、更に研究を行った。

## 【0012】

研究の結果、Sn系Pbフリー半田とCu製の第2リードとが接触せしめられ、それらが上述した半田付け温度程度に昇温せしめられると、Sn系Pbフリー半田とCuとの金属間化合物である脆い金属間化合物 $Cu_6Sn_5$ が、Sn系Pbフリー半田と第2リードとの境界面付近で生成することが確認された。

20

## 【0013】

同様に、Sn系Pbフリー半田とCu製の第1リードとが接触せしめられ、それらが上述した半田付け温度程度に昇温せしめられると、Sn系Pbフリー半田とCuとの金属間化合物である脆い金属間化合物 $Cu_6Sn_5$ が、Sn系Pbフリー半田と第1リードとの境界面付近で生成することが確認された。

## 【0014】

また、Sn系Pbフリー半田の量が少ないと、金属間化合物 $Cu_6Sn_5$ が析出する割合が大きくなるのに対し、Sn系Pbフリー半田の量が多いと、金属間化合物 $Cu_6Sn_5$ が析出する割合が小さくなることが確認された。

## 【0015】

30

つまり、半導体層上に酸化膜を形成し、その酸化膜に開口を形成し、その開口を介してアクティブエリアを形成することにより構成されたプレーナ構造の縦型半導体装置においては、半導体層の下面全体に形成された第2電極と第2リードとを接合するSn系Pbフリー半田の量が比較的多く、酸化膜の開口を覆うように半導体層の上面に形成された第1電極と第1リードとを接合するSn系Pbフリー半田の量が比較的小さいため、Sn系Pbフリー半田と第2リードとの境界面付近で生成する金属間化合物 $Cu_6Sn_5$ の量は比較的小なくなり、Sn系Pbフリー半田と第1リードとの境界面付近で生成する金属間化合物 $Cu_6Sn_5$ の量は比較的多くなることが確認された。

## 【0016】

すなわち、Sn系Pbフリー半田と第2リードとの境界面付近では、生成する金属間化合物 $Cu_6Sn_5$ の量が比較的小さいため、第2リードが半導体層の下面の第2電極から剥離するおそれは殆どないことが確認された。

40

## 【0017】

更に、Sn系Pbフリー半田とCuとの金属間化合物 $Cu_6Sn_5$ の比重が、Sn系Pbフリー半田の比重よりも大きいため、第1リードとSn系Pbフリー半田との境界面付近で生成した金属間化合物 $Cu_6Sn_5$ が、Sn系Pbフリー半田と半導体層の上面の第1電極との境界面付近までSn系Pbフリー半田内を移動する（沈み込む）ことが確認された。

## 【0018】

すなわち、第1リードとSn系Pbフリー半田との境界面が剥離するおそれは殆どない

50

のに対し、S n系P bフリー半田と半導体層の上面の第1電極との境界面が剥離するおそれがあることが確認された。

【0019】

そこで、本発明者等は、S n系P bフリー半田と半導体層の上面の第1電極との境界面が剥離しなくなる手法を見い出すために、更に研究を行った。

【0020】

研究の結果、本発明者等は、Cu製の第1リードの表面のうち、少なくともS n系P bフリー半田と接触する部分にNi層を形成することにより、脆い金属間化合物Cu<sub>6</sub>Sn<sub>5</sub>の生成を抑制することができ、その結果、S n系P bフリー半田と半導体層の上面の第1電極との境界面が剥離するおそれを低減できることを見出したのである。

10

【0021】

詳細には、本発明者等は、Cu製の第1リードの表面のうち、少なくともS n系P bフリー半田と接触する部分にNi層を形成することにより、S n系P bフリー半田と半導体層の上面の第1電極との境界面が剥離してしまうおそれを低減しつつ、第2リードの表面にNi層を形成しないことにより、第2リードの表面にNi層を形成する場合よりもNiの使用量を低減できることを見出したのである。

【0022】

上述したように、本発明は、S n系P bフリー半田と半導体層の上面の第1電極との境界面が剥離するおそれを低減しつつ、Niの使用量を低減することができる縦型半導体装置を提供することを目的とする。

20

【0023】

換言すれば、本発明は、リードがプレーナ型半導体チップから剥離してしまうおそれを低減しつつ、Niの使用量を低減することができる縦型半導体装置を提供することを目的とする。

【0024】

請求項1に記載の発明によれば、半導体層上に酸化膜を形成し、その酸化膜に開口を形成し、前記開口を覆うように前記半導体層の上面に第1電極を形成し、前記半導体層の下面全体に第2電極を形成することにより構成されたプレーナ型半導体チップと、半田によって前記第1電極に接合された第1リードと、半田によって前記第2電極に接合された第2リードとを具備する縦型半導体装置において、前記第1リードおよび前記第2リードとしてCu製のものを用い、半田としてS n系P bフリー半田を用い、前記第1リードの表面のうち、少なくとも半田と接触する部分にNi層を形成し、前記第2リードの表面にはNi層を形成しないことを特徴とする縦型半導体装置が提供される。

30

【発明の効果】

【0025】

請求項1に記載の縦型半導体装置では、半導体層の上面の第1電極に対してS n系P bフリー半田によって接合されるCu製の第1リードの表面のうち、少なくともS n系P bフリー半田と接触する部分にNi層が形成されている。そのため、請求項1に記載の縦型半導体装置によれば、脆い金属間化合物Cu<sub>6</sub>Sn<sub>5</sub>が生成するのに伴ってS n系P bフリー半田と半導体層の上面の第1電極との境界面が剥離してしまうおそれを低減することができる。

40

【0026】

更に、請求項1に記載の縦型半導体装置では、半導体層の下面の第2電極に対してS n系P bフリー半田によって接合されるCu製の第2リードの表面にはNi層が形成されない。そのため、請求項1に記載の縦型半導体装置によれば、第2リードの表面にNi層が形成される場合よりもNiの使用量を低減することができる。

【0027】

つまり、請求項1に記載の縦型半導体装置によれば、S n系P bフリー半田と半導体層の上面の第1電極との境界面が剥離してしまうおそれを低減しつつ、Niの使用量を低減することができる。

50

## 【0028】

換言すれば、請求項1に記載の縦型半導体装置によれば、リードがプレーナ型半導体チップから剥離してしまうおそれを低減しつつ、Niの使用量を低減することができる。

## 【発明を実施するための最良の形態】

## 【0029】

以下、本発明の縦型半導体装置の第1の実施形態について説明する。図1は第1の実施形態の縦型半導体装置の概略的な断面図である。第1の実施形態の縦型半導体装置の製造時には、図1に示すように、まず最初に、N+層1上に、N-層2がエピタキシャル成長により形成される。次いで、N-層2上に酸化膜(SiO<sub>2</sub>)3が形成される。次いで、酸化膜(SiO<sub>2</sub>)3に開口(図示せず)が形成され、その開口を介して不純物を拡散させることによって、P+層4がN-層2上に形成される。

10

## 【0030】

次いで、第1の実施形態の縦型半導体装置の製造時には、最終的に残った酸化膜(SiO<sub>2</sub>)3の開口3aを覆うように、第1電極6がP+層4の上面に形成され、第2電極7がN+層1の下面全体に形成される。

## 【0031】

詳細には、第1の実施形態の縦型半導体装置では、図1に示すように、Al層6aと、Ti層6bと、Ni層6cと、Au層6dとを積層することにより、第1電極6が構成されている。また、Ti層7aと、Ni層7bと、Au層7cとを積層することにより、第2電極7が構成されている。

20

## 【0032】

更に、第1の実施形態の縦型半導体装置の製造時には、次いで、第1リード8がP+層4の上面の第1電極6に対して半田9によって接合され、第2リード10がN+層1の下面の第2電極7に対して半田11によって接合される。

## 【0033】

詳細には、第1の実施形態の縦型半導体装置では、第1リード8および第2リード8としてCu製のものが用いられている。また、半田9、11として、Snの重量百分率が90%以上であって、融点が220 ~ 230のSn系Pbフリー半田が用いられ、半田付け温度のピークが260 ± 10になるように半田付けの温度条件が設定されている。

30

## 【0034】

更に詳細には、第1の実施形態の縦型半導体装置では、図1に示すように、第1リード8の表面にNi層8aが形成され、第2リード10の表面にはNi層が形成されていない。

## 【0035】

具体的には、第1の実施形態の縦型半導体装置の製造時には、第1リード8が第1電極6に対して半田9によって接合される前に、例えば電気メッキ法によって第1リード8の表面にNi層8aが形成される。詳細には、第1の実施形態の縦型半導体装置の製造時には、Niが溶解した電解液中に第1リード8が浸漬され、電圧を印加することにより、第1リード8の表面にNiが析出し、Ni層8aが形成される。

40

## 【0036】

第2の実施形態の縦型半導体装置では、代わりに、第1リード8が第1電極6に対して半田9によって接合される前に、例えば溶融メッキ法によって第1リード8の表面にNi層8aを形成することも可能である。詳細には、第2の実施形態の縦型半導体装置の製造時には、溶融したNi中に第1リード8が浸漬され、第1リード8の表面にNi層8aが形成される。

## 【0037】

第1および第2の実施形態の縦型半導体装置では、第1リード8の表面の全面にNi層8aが形成されているが、第3の実施形態の縦型半導体装置では、代わりに、第1リード8の表面のうち、半田9と接触する部分のみにNi層8aを形成することも可能である。

50

## 【0038】

上述したように、第1から第3の実施形態の縦型半導体装置では、P+層4の上面の第1電極6に対してSn系Pbフリー半田9によって接合されるCu製の第1リード8の表面のうち、少なくともSn系Pbフリー半田9と接触する部分にNi層8aが形成されている。そのため、第1から第3の実施形態の縦型半導体装置によれば、脆い金属間化合物Cu<sub>6</sub>Sn<sub>5</sub>が生成するのに伴ってSn系Pbフリー半田9とP+層4の上面の第1電極6との境界面が剥離してしまうおそれを低減することができる。

## 【0039】

更に、第1から第3の実施形態の縦型半導体装置では、N+層1の下面の第2電極7に対してSn系Pbフリー半田11によって接合されるCu製の第2リード10の表面にはNi層が形成されない。そのため、第1から第3の実施形態の縦型半導体装置によれば、第2リード10の表面にNi層が形成される場合よりもNiの使用量を低減することができる。

10

## 【0040】

つまり、第1から第3の実施形態の縦型半導体装置によれば、Sn系Pbフリー半田9とP+層4の上面の第1電極6との境界面が剥離してしまうおそれを低減しつつ、Niの使用量を低減することができる。

## 【0041】

換言すれば、第1から第3の実施形態の縦型半導体装置によれば、第1リード8および第2リード10がプレーナ型半導体チップ(1, 2, 3, 4, 6, 7)から剥離してしまうおそれを低減しつつ、Niの使用量を低減することができる。

20

## 【産業上の利用可能性】

## 【0042】

本発明の縦型半導体装置は、プレーナ型半導体チップとして縦型PINダイオードが用いられる縦型半導体装置に適用可能である。また、本発明の縦型半導体装置は、半導体層上に酸化膜を形成し、その酸化膜に開口を形成し、第1電極がその開口を介して半導体層とショットキ・バリア障壁を形成した縦型ショットキ・バリア・ダイオードがプレーナ型半導体チップとして用いられる縦型半導体装置に適用可能である。あるいは、本発明の縦型半導体装置は、N型半導体層上に酸化膜を形成し、その酸化膜に開口を形成し、その開口内のN型半導体層に隣接離間配置された複数のP型領域を有し、それらのP型領域間のN型半導体層と第1電極がショットキ・バリア障壁を形成したMPS(Merged PIN diode and Schottky barrier diode)がプレーナ型半導体チップとして用いられる縦型半導体装置に適用可能である。

30

## 【図面の簡単な説明】

## 【0043】

【図1】第1の実施形態の縦型半導体装置の概略的な断面図である。

## 【符号の説明】

## 【0044】

1	N+層
2	N-層
3	酸化膜
4	P+層
6	第1電極
7	第2電極
8	第1リード
9	半田
10	第2リード
11	半田

40

【 図 1 】

