

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局(43) 国际公布日
2012 年 1 月 5 日 (05.01.2012)(10) 国际公布号
W O 2012/000146 A I

- (51) 国际分类号 :
H01L 27/088 (2006.01)
- (21) 国际申请号 : PCT/CN20 10/00 1486 (74)
- (22) 国际申请日 : 2010 年 9 月 26 日 (26.09.2010)
- (25) 申请语言 : 中文
- (26) 公布语言 : 中文 (81)
- (30) 优先权 :
201010223470.6 2010 年 6 月 30 日 (30.06.2010) CN
- (71) 申请人 (除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS,
CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市
朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人 及
(75) 发明人/申请人 (仅对美国): 朱慧珑 (ZHU, Hui-long) [US/US]; 美国纽约州波基普西市奥特姆路
93#, New York 12603 (US)。 络志炯 (LUO, Zhijiong) [CN/US]; 美国纽约州波基普西市洛克科
斯特街 11#, New York 12603 (US)。 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科
斯特街 11#, New York 12603 (US)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT CO., LTD); 中国北京市海淀区王庄路 1 号清华同
方科技大厦 B 座 25 层 Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL,

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 发明名称: 半导体器件及其制造方法

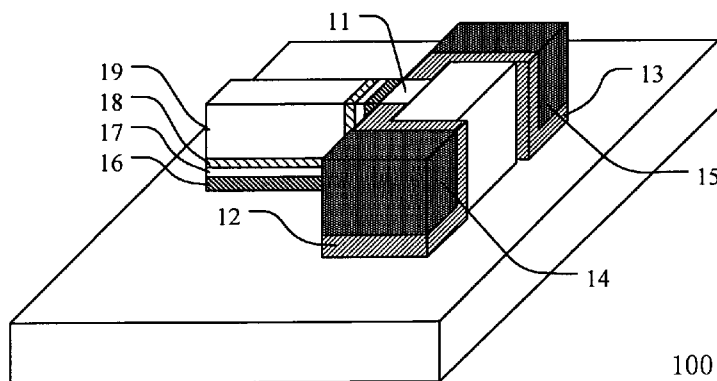


图 1A /Fig.1A

(57) Abstract: A semiconductor device and a method for manufacturing the same are provided. The semiconductor device comprises: an SOI substrate; a semiconductor fin, formed on the SOI substrate, comprising a first side surface and a second side surface standing on the surface of the SOI substrate and facing each other; and a groove positioned in the middle of the second side surface and with an open at the back of the first side surface; a channel region (11) formed between the first side surface and the groove of the second side surface; a source region (12) and a drain region (13) formed on both sides of the channel in the fin; a gate stack formed on the SOI substrate and adjacent to the first side surface of the fin, wherein, the gate stack comprises: a first gate dielectric layer (16) deviated from the first side surface and adjacent to the channel region; a first conductor layer (17) deviated from the first side surface and adjacent to the first gate dielectric layer; a second gate dielectric layer (18) deviated from the first side surface and adjacent to the side surface of the first conductor layer; a second conductor layer (19) deviated from the first side surface and adjacent to the side surface of the second gate dielectric layer.

[见续页]



W 2012/00 14 A1



PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, 本国际公布:
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, _ 包括国际检索报告(条约第 21 条(3))。
TG)。

(57) 摘要：

提供了一种半导体器件及其制造方法。半导体器件包括：SOI 衬底；半导体鳍片，形成在 SOI 衬底上，鳍片包括立于 SOT 衬底表面相对的第一侧面和第二侧面，第二侧面的中间位置具有凹槽，凹槽背离第一侧面开口；沟道区 (11)，形成在鳍片上的第一侧面和第二侧面的凹槽之间；源区 (12) 和漏区 (13)，形成于鳍片上的沟道两侧；栅堆叠，与鳍片的第一侧面邻接形成在 SOI 衬底上；其中，栅堆叠包括：第一栅介质层 (16)，背离第一侧面且与沟道区邻接形成；第一导体层 (17)，背离第一侧面且与第一栅介质层邻接形成；第二栅介质层 (18)，背离第一侧面且与第一导体层的侧面邻接形成；第二导体层 (19)，背离第一侧面与第二栅介质层的侧面邻接形成。

半导体器件及其制造方法

技术领域

本发明涉及一种半导体器件及其制造方法,更具体地,涉及在 SOKSemiconductor
5 On Insulator, 绝缘体上半导体)衬底上形成的用作非挥发性存储单元(NVM)的 FinFET
(鳍式场效应晶体管)。

背景技术

集成电路技术的一个重要发展方向是金属氧化物半导体场效应晶体管(MOSFET)
10 的尺寸按比例缩小,以提高集成度和降低制造成本。然而,众所周知的是随着 MOSFET
的尺寸减小会产生短沟道效应。在 MOSFET 的尺寸按比例缩小时,栅极的有效长度减
小,使得实际上由栅极电压控制的耗尽层电荷的比例减少,从而阈值电压随沟道长度
减小而下降。

常规的平面 MOSFET 包括由栅电极、栅介质层和半导体层构成的三明治结构,在
15 半导体层中包括位于栅电极下方的沟道区和位于沟道区两侧的源/漏区。在源/漏区上
可以形成硅化物层,利用通孔将硅化物层与源/漏电极相连,从而减小了器件的寄生
电阻和寄生电容。平面 MOSFET 受到短沟道效应的不利影响,导致器件的阈值电压随
沟道长度的变化而波动。

为了抑制短沟道效果,在 Chenming Hu 等人的美国专利 US6, 413, 802 中公开了
20 在 SOI 上形成的 FinFET, 包括在半导体材料的鳍片(fin) 的中间形成的沟道区, 以
及在鳍片两端形成的源/漏区。栅电极在沟道区的两个侧面包围沟道区(即双栅结构),
从而反型层形成在沟道各个侧面上。鳍片中的沟道区厚度很薄,使得整个沟道区都能
受到栅极的控制,因此能够起到抑制短沟道效应的作用。

然而,在常规的 FinFET 中,由于在源/漏区之间存在着与源/漏区平行延伸的栅
25 极,并且源/漏区与栅极之间的距离很近,因此在源/漏区和栅极之间存在着电容耦合,
导致了寄生电阻和寄生电容较大的问题。

源/漏区和栅极之间的电容耦合限制了器件设计的自由度。如果希望减小寄生电
阻,则需要增加源/漏区的厚度。然而,源/漏区厚度的增加将导致源/漏区与栅极之
间的耦合面积增加,从而导致寄生电容的增加,反之亦然。因此,本领域的技术人员
30 还不能利用常规的 FinFET 结构实现寄生电阻和寄生电容的同时减小。

结果，在常规的 FinFET 中，由于时间常数 RC 的值较大而导致延迟增加，进而降低了器件的开关速度。

本发明人在美国专利 US7,087,952 提出了使用 FinFET 的一种 NVM，其中每一个 FinFET 包括位于半导体鳍片一侧上的控制栅极以位于半导体鳍片相对的另一侧上的浮栅。在浮栅型存储器中，电荷从衬底隧穿通过第一栅介质层，到达并储存在浮栅中，在未供电的情况下仍然可以保存。电荷的数量影响 FinFET 的阈值电压 (V_{th})，从而可以区分逻辑值 1 或 0。

本发明人在美国专利 US7,619,276 提出了使用 FinFET 的另一种 NVM，其中每一个 FinFET 包括位于半导体鳍片一侧上的浮栅，以及位于半导体鳍片两侧上的控制栅极，并且沿着鳍片延伸方向的控制栅极长度大于浮栅长度。

然而，在上述使用 FinFET 的 NVM 中，仍然存在着常规的 FinFET 中的问题。由于在源/漏区和栅极之间存在着电容耦合，使得 NVM 的存取速度较低。

发明内容

本发明的目的是提供一种能够抑制短沟道效应并提高存取速度的 NVM 器件。

本发明的另一目的是进一步提供利用应力提高器件性能的 NVM 器件。

根据本发明的一方面，提供一种半导体器件，包括：SOI 衬底；半导体鳍片，形成于 SOI 衬底上，鳍片包括立于 SOI 衬底表面相对的第一侧面和第二侧面，第二侧面相对于第一侧面的中间位置具有凹槽，凹槽背离第一侧面开口；沟道区，形成于鳍片上第一侧面与第二侧面的凹槽之间；源区和漏区，形成于鳍片上沟道区的两侧；栅堆叠，与鳍片的第一侧面邻接形成在 SOI 衬底上；其中，栅堆叠包括：第一栅介质层，背离第一侧面且与沟道区邻接形成；第一导体层，背离第一侧面且与第一栅介质层邻接形成；第二栅介质层，背离第一侧面且与第一导体层的侧面邻接形成；第二导体层，背离第一侧面与第二栅介质层的侧面邻接形成。

根据本发明的另一方面，提供了一种制造半导体器件的方法，包括：提供 SOI 衬底；在 SOI 衬底上形成半导体鳍片，鳍片包括立于 SOI 衬底表面且相对的第一侧面和第二侧面；在 SOI 衬底上形成栅堆叠，包括：背离第一侧面且与沟道区邻接形成第一栅介质层；背离第一侧面且与第一栅介质层邻接形成第一导体层；背离第一侧面且与第一导体层的侧面邻接形成第二栅介质层；背离第一侧面与第二栅介质层的侧面邻接形成第二导体层；在鳍片两端形成源区和漏区；在鳍片上与第二侧面邻接的位置进行

刻蚀使得第二侧面形成凹槽，凹槽相对于第一侧面的中间位置且背离第一侧面开口，则在第一侧面与凹槽之间形成了沟道区。

该半导体器件用作 NVM，其中栅堆叠中的第一导体层用作存储电荷的浮栅，第二导体层用作控制栅。

5 应当注意，本发明的半导体器件包含半导体鳍片，但其结构不同于常规的 FinFET，因为其栅极仅设置在鳍片的一个侧面上并背离鳍片延伸，而常规的 FinFET 设置成双栅结构并包围鳍片的中间部分的沟道区。而且，源/漏区设置在鳍片的两端，朝着与栅极的延伸方向相反的方向延伸。

在本发明的半导体器件中没有包括在源/漏区之间与源/漏区平行延伸的栅极，因此不存在源/漏区与栅极之间的电容耦合，从而减小了寄生电容。进一步地，本发明的半导体器件允许通过使用较厚的源/漏区而减小寄生电阻。

由于源区和漏区的厚度大于沟道区，能够减小载流子的传导路径长度，从而进一步减小与寄生电容和寄生电阻有关的寄生作用。

另外，还可以在源/漏区中形成应力层，用来增加沟道区的应力，能够提高载流子15 子的迁移率，从而进一步提高器件的开关速度。

为了有效地控制短沟道效应，自对准沟道区非常薄：约为 5-40nm。并且，在优选的工艺中，利用超陡后退阱（SSRW）工艺进一步减小了沟道区的厚度。即使仅在沟道的一侧设置栅极，沟道区仍然可以受到栅极的完全控制，从而减小了短沟道效应的影响。

20 在最佳的实施例中，利用鳍片结构的沟道区抑制了沟道效应，利用沿相反方向背离鳍片延伸的栅极、源/漏区减小了寄生电容和寄生电阻，同时利用应力层提高了沟道区中载流子的迁移率。

因而，本发明的半导体器件提高了 NVM 的存取速度和阈值电压，并且还降低了器件的功耗。

25

附图说明

图 1A 和 1B 是示意性说明根据本发明的半导体器件的结构三维透视图和俯视图，线 A-A'、1-1' 和 2-2' 表示以下截面图的截取位置。

图 2-9 是根据本发明的制造半导体器件的方法的各个步骤所形成的半导体结构沿 A-A' 线的截面图，其中示出了形成鳍片区域和栅极区域的各个步骤。

30

图 10-16 是根据本发明的制造半导体器件的方法的后续步骤所形成的半导体结构沿 1-1' 线的截面图，其中示出了形成源/漏区的各个步骤。

图 17-18 是根据本发明的制造半导体器件的方法的后续步骤所形成的半导体结构沿 A-A' 线的截面图，其中示出了形成沟道区的各个步骤。

5 图 19A、19B、20A、20B 分别是根据本发明的制造半导体器件的方法的后续步骤所形成的半导体结构沿 A-A' 线和 2-2' 线的截面图，其中示出了在源/漏区和栅极上形成硅化物层的各个步骤。

具体实施方式

10 以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域 "上面" 或 "上方" 时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、
15 一个区域将位于另一层、另一个区域 "下面" 或 "下方"。

如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用 "直接在……上面" 或 "在……上面并与之邻接" 的表述方式。

在下文中描述了本发明的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，
20 可以不按照这些特定的细节来实现本发明。

除非在下文中特别指出，半导体器件中的各个部分可以由本领域的技术人员公知的材料构成。作为初始结构的 SOI 衬底例如包括绝缘体上硅、绝缘体上硅锗、以及绝缘体上的半导体材料叠层。该半导体材料叠层例如包括 III-V 族半导体，如 GaAs、InP、GaN、SiC；栅极导体层可以是金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅导体。导体层的材料为 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、
25 MoSiN、RuTax、NiTax、MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、HfRu、RuOx 和所述各种金属材料的组合。栅介质层可以由 SiO₂ 或介电常数大于 SiO₂ 的高 k 材料或其他材料构成，例如包括氧化物、氮化物、氧氮化物、硅酸盐、铝酸盐、钛酸盐，其中，氧化物例如包括 SiO₂、HfO₂、ZrO₂、Al₂O₃、TiO₂、
30 L₃O₄，氮化物例如包括 Si₃N₄，硅酸盐例如包括 HfSiOx，铝酸盐例如包括 LaAlO₃，钛

酸盐例如包括 SrTiO_3 ，氧氮化物例如包括 SiON 。并且，栅介质层不仅可以由本领域的技术人员公知的材料形成，也可以采用将来开发的用于栅介质层的材料。

图 1A 和 1B 是示意性说明根据本发明的半导体器件的结构的三维透视图和俯视图。图 1B 中的线 A-A'、1-1'、2-2' 表示截面图的截取位置，其中线 A-A' 垂直于沟道长度方向并经过栅极，线 1-1' 沿着沟道长度方向并经过沟道区，线 2-2' 沿着沟道长度方向并经过源/漏区之间的绝缘材料填充物。

为了说明的方便起见，将图 1B 中鳍片的左侧侧面称为第一侧面，右侧侧面称为第二侧面。第二侧面与第一侧面中间相对的位置处具有凹槽，凹槽背离第一侧面开口。

如图 1A 和 1B 所示，在 SOI 衬底上形成了半导体器件 100，包括位于半导体鳍片的中间部分的沟道区 11、位于其两端的源区 12 和漏区 13、设置在鳍片的第一侧面上的栅堆叠，包括第一栅介质层 16、第一导体层 17、第二栅介质层 18 和第二导体层 19，以及用于填充鳍片的第二侧面中的凹槽的绝缘材料填充物。其中，第一侧面和第二侧面为立于 SOI 衬底上且相对的两个侧面，这两个侧面的方向可以基本垂直于 SOI 衬底。

该半导体器件 100 用作 NVM，其中栅堆叠中的第一导体层 17 用作存储电荷的浮栅，第二导体层 19 用作控制栅。

栅堆叠包括：第一栅介质层 16，背离第一侧面且与沟道区 11 邻接形成；第一导体层 17，背离第一侧面且与第一栅介质层 16 邻接形成；第二栅介质层 18，背离第一侧面且与第一导体层 17 的侧面邻接形成；第二导体层 19，背离第一侧面与第二栅介质层 18 的侧面邻接形成。

具体地，鳍片由 SOI 衬底中的 SOI 层形成。

第二侧面的凹槽内填充有绝缘材料，例如 Si_3N_4 。沟道区位于第一侧面与第二侧面的凹槽之间，沟道区厚度很薄，例如在约 5-40nm 的范围内。该厚度与常规的 FinFET 中的沟道区的厚度相近，并可以采用类似的自对准工艺形成。

本发明人发现，尽管未采用双栅结构，但如果沟道区的厚度在上述范围，位于鳍片第一侧面的栅极仍然可以作用在整个沟道区上，从而抑制短沟道效应。

优选地，该半导体器件还包括用于向源区 12 和漏区 13 施加应力的应力层 (stressor) 14 和 15。应力层 14 和 15 分别与源区 12 和漏区 13 邻接，并且接触面积尽可能大，使得应力层 14 和 15 与源区 12 和漏区 13 的接触电阻最小。如图 1A 和 1B 所示，源区 12 和漏区 13 为台阶形状，应力层 14 和 15 位于台阶部分中，从而应力层 14 和 15 的一个侧面及底部与源区 12 和漏区 13 接触。

应力层 14 和 15 的材料应当能够在沟道区中产生有利于提高晶体管性能的应力。当形成的器件是 nMOSFET 时，应力层 14 和 15 应当向沟道区施加沿源/漏极方向的拉应力，以提高作为载流子的电子的迁移率。相反，当晶体管是 PMOSFET 时，应力层 14 和 15 应当向沟道区施加沿源/漏极方向的压应力，以提高作为载流子的空穴的迁移率。

5 应当注意，在图 1A 和 1B 所示的半导体器件结构的实例中，应力层 14、15 分别位于源区 12 与源极接触（未示出）、漏区 13 与漏极接触（未示出）之间的导电路径上，因此应力层 14、15 还应当是导电性的。对于 π 型 MOSFET，可以采用掺 As 或 P 的 Si:C 材料，而对于 p 型 MOSFET，可以采用掺杂 B 或 In 的 SiGe 材料。

10 在图 1A 和 1B 中没有示出源区 12、漏区 13 及栅极导体 19 上方的附加层和部分，例如栅极的侧墙、硅化物层、源极接触、漏极接触和栅极接触、层间绝缘层、在层间绝缘层中形成的通孔以及钝化层等。

在下文描述制造该半导体器件的步骤中，将说明与该半导体器件密切相关的一些附加层和部分，但省去了对本领域公知的那些附加层和部分（如源极接触、漏极接触和栅极接触）的详细描述。为了简明起见，可以在一幅图中描述经过数个步骤后获得的半导体结构。

参见图 2，本发明的制造半导体器件的方法开始于 SOI 衬底，SOI 衬底是包括底部衬底 21、BOX (Buried Oxide, 埋氧层) 22 和顶部半导体层 23 的叠层。

20 通过已知的淀积工艺，如 PVD、CVD、原子层淀积、溅射等，在 SOI 晶片上依次外延生长 Ge 含量约为 5-15%、厚度约为 3-20nm 的 SiGe 层 24 和厚度约为 30-100nm 的 Si 层 25。Si 层 25 可以在单独的淀积步骤中形成，也可以在外延生长 SiGe 层 24 之后通过使用 Si 靶或前体原位形成。

然后，通过原子层淀积、磁控溅射或其他方法，在 Si 层 25 上形成厚度约为 3-10nm 的 HfO_2 层 26。

25 参见图 3，通过包括曝光和显影步骤的常规光刻工艺，在 HfO_2 层 26 上形成了条形的光抗蚀剂图案 27。

参见图 4，利用光抗蚀图案 27 作为掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀或其他方法，去除 HfO_2 层 26、Si 层 25、SiGe 层 24 的一部分，形成 HfO_2 层 26、Si 层 25、SiGe 层 24 的构图的叠层结构。

30 如果采用反应离子蚀刻，可以分为两个步骤进行。在第一步骤，选择蚀刻气氛的气体组分，使得去除 HfO_2 层 26 和 Si 层 25 的一部分，并在 SiGe 层 24 顶部停止。在

第二步骤，通过改变蚀刻气氛的气体组分，使得去除 SiGe 层 24 的一部分，并在 SOI 衬底的顶部半导体层 23 上停止。本领域的技术人员已知在反应离子蚀刻中，可以通过改变蚀刻气氛的气体组分控制材料的选择性去除 SiGe 层和 Si 层中的一种。

然后，通过在溶剂中溶解或灰化去除光抗蚀剂图案 27。

5 在构图的叠层结构和 SOI 衬底的顶部半导体层 23 的暴露部分上形成厚度约为 2-5nm 的共形氧化物层 28。

氧化物薄层可通过已知的淀积工艺形成，如 PVD、CVD、原子层淀积、溅射等。

然后，首先形成共形氮化物层，然后去除该层的一部分，从而在包括 HfO_2 层 26、Si 层 25、SiGe 层 24 的叠层结构两侧形成厚度约为 5-50nm 的氮化物侧墙 29。

10 参见图 5，通过包括曝光和显影步骤的常规光刻工艺，在图 4 所示的结构上形成光抗蚀剂层图案 30，以遮挡左侧的侧墙以及构图的叠层结构的左侧部分。

利用抗蚀剂图案 30 作为掩模，通过各向同性蚀刻，例如使用蚀刻剂溶液的常规湿法蚀刻，去除右侧的侧墙。

替代地，可以分为三个步骤去除右侧的侧墙。在第一步骤，利用抗蚀剂图案 30
15 作为掩模，利用倾角离子注入在右侧的侧墙中注入 Ge 以造成缺陷。在第二步骤，通过在溶剂中溶解或灰化去除光抗蚀剂图案 30。在第三步骤，通过湿法蚀刻或干法蚀刻，相对于左侧的侧墙选择性地去除右侧的侧墙。

参见图 6，在去除右侧的侧墙之后，选择蚀刻气氛的气体组分，例如通过反应离子蚀刻选择性地去除氧化物层 28 在半导体结构的表面上暴露的部分。接着，利用氧
20 化物层 28 的剩余部分、侧墙 29 和包括 HfO_2 层 26、Si 层 25、SiGe 层 24 的叠层结构作为硬掩模，改变蚀刻气氛的气体组分，例如通过反应离子蚀刻选择性去除 SOI 衬底的顶部半导体层，即 SOI 层的暴露部分，以自对准的方式形成半导体鳍片 23'。

参见图 7，例如通过 CVD（化学气相淀积）或 ALD（原子层淀积），在图 6 所示的半导体结构表面上依次形成厚度约为 2-4nm 的共形氧化物（如 HfO_2 ）薄层 26'、厚度
25 约为 3-10nm 的共形金属（如 TiN，金属陶瓷）层 31、厚度约为 5-15nm 的共形氮化物层 32、以及覆盖的多晶硅层 33。在随后的步骤中，氧化物薄层 26'、金属层 31、氮化物层 32 和多晶硅层 33 将分别形成第一栅介质层 16、第一导体层 17、第二栅介质层 18 和第二导体层 19。第一栅介质层 16、第一导体层 17、第二栅介质层 18 和第二导体层 19 可以参照前述的栅介质层和栅极导体的材料选择。

30 优选地，可以对多晶硅层 33 进行原位掺杂以提高导电性。

多晶硅层 33 覆盖半导体结构的整个顶部。然后，对多晶硅层 33 进行平面化处理 (CMP)。该平面化处理停止在氮化物层 32 的顶部，从而获得了半导体结构的平整表面。

参见图 8，通过湿法蚀刻或干法蚀刻，相对于氮化物层 32 选择性地去除多晶硅层 33 的一部分，对多晶硅层 33 进行回蚀刻。然后，例如通过 CVD，在半导体结构的整个表面上形成覆盖的氧化物层 34。

对氧化物层 34 进行平面化处理，该平面化处理去除氮化物层 32 的位于鳍片 23' 上方的一部分，并且停止在金属层 31 的顶部，从而获得了半导体结构的平整表面。结果，氧化物层 34 填充了多晶硅层 33 的通过回蚀刻去除的部分。

然后，例如通过 CVD，在半导体结构的表面上形成氮化物层 35。

参见图 9，通过包括曝光和显影步骤的常规光刻工艺，形成条形的光抗蚀剂图案 36，用于限定器件的栅极区域。

然后，利用光抗蚀剂图案 36 作为掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，依次去除氮化物层 35、氧化物层 34、多晶硅层 33、氮化物层 32、金属层 31、氧化物薄层 26' 的位于鳍片 23' 两侧的一部分，该蚀刻在 SOI 衬底中的 BOX 22 的顶部停止。

与图 9 所示的半导体结构沿 A-A' 线的截面图相对应，在图 10 中示出了半导体结构沿 1-1' 线的截面图。利用光抗蚀剂图案 36 作为掩模的蚀刻步骤获得了位于 Si 层 25 上方的氮化物层 35、金属层 31、氧化物薄层 26' 的叠层。

在上述蚀刻步骤之前或之后，通过附加的掩模形成步骤和蚀刻步骤，可以去除鳍片 23'、SiGe 层 24 和 Si 层 25 的一部分，以限定鳍片的长度。在图 10 中示出了由此限定的鳍片 23' 沿水平方向的尺寸 L。

参见图 11，仍然利用光抗蚀剂图案 36 作为掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，依次去除 Si 层 25 和 SiGe 层 24 的一部分，该蚀刻在鳍片 23' 的顶部停止。结果，在鳍片 23' 上方形成了包括氮化物层 35、金属层 31、氧化物薄层 26'、Si 层 25、SiGe 层 24 的多层叠层 101。

参见图 12，通过在溶剂中溶解或灰化去除光抗蚀剂图案 36。

然后，例如通过 CVD，在半导体结构的整个表面上依次形成厚度约为 2-5nm 的共形氧化物层 37 和厚度约为 10-20nm 的共形氮化物层 38。

通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，去除氮

化物层 38 的一部分,该蚀刻在氧化物层 37 的表面停止,从而在鳍片 23' 和多层叠层 101 的两侧分别形成氮化物侧墙 38。

参见图 13,利用多层叠层 101 及两侧的氮化物侧墙 38 作为硬掩模,通过干法蚀刻,如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀,去除氧化物层 37 的暴露表面及鳍片 23' 的一部分半导体材料,从而在鳍片 23 沿长度方向(即图中的水平方向)的两端形成开口 39。在开口 39 的底部保留了厚度约为 10nm 的半导体材料薄层,这一半导体材料薄层即为 SOI 衬底中的 SOI 层的一部分。

该蚀刻步骤是自对准的,其中开口 39 的尺寸基本上由氧化物层 37 和氮化物侧墙 38 确定。

图 14 示出了某些实施例中的可选步骤,利用倾角离子注入从开口 39 向鳍片 23' 的中间部分进行晕环注入(halo implantation)。对于 nMOSFET,采用 B 或 BF₂ 作为掺杂剂。对于 pMOSFET,采用 As 或 P 作为掺杂剂。

图 15 示出了某些实施例中的可选步骤,利用倾角离子注入向鳍片 23' 的中间部分进行延伸注入(extension implantation)。对于 n 型 MOSFET,采用 As 或 P 作为掺杂剂。对于 p 型 MOSFET,采用 B 或 BF₂ 作为掺杂剂。

与晕环注入相比,延伸注入采用的倾角较小而能量较大,从而在延伸注入中,大多数注入的离子穿过开口 39 底部的半导体材料薄层,使得该半导体材料薄层没有非晶化。

可选地,可以进行适量的源/漏区离子注入。

由于开口 39 提供了离子注入的窗口,并且位于半导体结构的表面上的氮化物层 35、氧化物层 37、氮化物侧墙 38 提供了硬掩模,因此上述延伸注入、晕环注入和源/漏区注入可以在原位进行,从而减少了掩模数量并简化了工艺。

参见图 16,对所形成的半导体结构进行退火处理,例如尖峰退火(spike anneal)。退火步骤用来激活通过先前的注入步骤而注入的掺杂剂并消除注入导致的损伤。

经过退火处理之后,在半导体鳍片 23' 中的掺杂剂分布如图 16 中所示,在开口 39 的底部分别形成了源区 12 和漏区 13,在与源区 12 和漏区 13 相邻的位置分别形成了源延伸区 12' 和漏延伸区 13',在与源延伸区 12' 和漏延伸区 13' 相邻并朝着鳍片 23' 的中间部分延伸的位置分别形成了源晕环区 12" 和漏晕环区 13"。

然后,通过已知的淀积工艺,如 PVD、CVD、原子层淀积、溅射等,在开口 39 中依次外延生长应力层 40 及其上的外延硅层 41。由于外延生长,应力层 40 仅形成在开

口 39 底部的半导体材料薄层上，从而不需要使用额外的掩模。对于 pMOSFET，应力层 40 的材料是 Ge 含量约为 20- 50% 的 SiGe 并原位掺 B，外延生长后，在沟道区延源漏方向产生压应力，这可以增强 pMOSFET 的性能。对于 nMOSFET，应力层 40 的材料是 C 含量约为 0.5- 2% 的 Si :C 并原位掺 As 或 P，外延生长后，在沟道区延源漏方向产生拉应力，这可以增强 nMOSFET 的性能。

然后，对所形成的半导体结构进行氧化处理，外延硅层 41 的顶部发生氧化从而形成厚度约为 3-10nm 的氧化薄层 37'。在应力层 40 的顶部形成的外延硅层 41 用于获得良好质量的 SiO₂。

参见图 17，利用在图 8 所示的步骤中形成的氧化物层 34 作为硬掩模，通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，依次去除金属层 31、氮化物薄层 26'、Si 层 25、SiGe 层 24、鳍片 23' 的一部分，该蚀刻在 SOI 衬底的 BOX 22 顶部停止，从而以自对准的方式形成开口 42。在步骤中，氧化物层 28 和氮化物侧墙 29 作为限定鳍片 23' 的中间位置厚度的硬掩模，也即，鳍片 23' 的中间位置的厚度减小到大致等于氧化物层 28 和氮化物侧墙 29 的厚度之和的数值。即在本步骤中将鳍片的中部形成凹槽，并如下文所述，该鳍片的中间位置将用于形成沟道区 11。由于蚀刻所去除的材料（即包括 Si/SiGe/Si 的叠层），在沟道区中的应力进一步增加，此应力可进一步增强器件性能。

在开口 42 的右侧保留着包括氮化物薄层 26'、金属层 31、氮化物层 32、多晶硅层 33、氧化物层 34 的一部分的叠层材料。在制造含有相同结构的多个 MOSFET 的集成电路时，位于开口 42 右侧的叠层材料可以作为相邻的 MOSFET（未示出）的栅极区域，而开口 42 中的填充材料可以起到浅沟隔离区的作用。

此外，在图 12 所示步骤中形成的氮化物侧墙 38 还存在于栅堆叠的侧面上。

在优选的工艺中，还可以利用超陡后退阱（SSRW）工艺进一步减小鳍片 23' 的厚度。该 SSRW 设置在鳍片 23' 中邻接沟道区并靠近鳍片的与邻接氮化物薄层 26' 的第一侧面相对的第二侧面的位置。有关 SSRW 的形成工艺可参见以下文件：

1) G. G. Shahidi, D. A. Antoniadis and H. I. Smith, IEEE TED Vol. 36, p. 2605, 1989

2) C. Fiegna, H. Iwai, T. Wada, M. Saito, E. Sangiorgi and B. Ricco, IEEE TED Vol. 41, p. 941, 1994.

3) J. B. Jacobs and D. A. Antoniadis, IEEE TED Vol. 42, p. 870, 1995.

4) S. E. Thompson, P. A. Packan and M. T. Bohr, VLSI Tech Symp., p. 154, 1996.

然后, 执行如下两个步骤去除左侧的侧墙 38。在第一步骤, 利用氧化物层 34 作为掩模, 利用倾角离子注入在左侧的侧墙中注入 Ge 以造成损伤。在第二步骤, 通过湿法蚀刻或干法蚀刻, 相对于右侧的侧墙选择性地去除左侧的侧墙。

5 参见图 18, 例如通过 CVD, 在半导体结构的整个表面上形成厚度约为 2-5nm 的共形氧化物薄层 34'。然后, 例如通过 CVD 淀积氮化物, 其厚度至少能够填充开口 42。相对于氧化物层 34', 选择性地回蚀刻氮化物, 使得完全去除开口周围的氮化物层, 仅在开口中留下氮化物填充材料 43。

参见图 19A 和 19B, 通过干法蚀刻, 如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、10 激光烧蚀, 相对于氮化物填充材料 43 选择性地去除氧化物层 34' 的暴露部分。

该蚀刻只留下氧化物层 34' 在已填充的开口侧壁和底部的部分, 从而暴露出栅堆叠中的多晶硅层 33 的上表面和左侧表面, 以及源极区域和漏极区域的外延硅层 41 的上表面。

该蚀刻也去除了 SOI 衬底的掩埋氧化物层 22 的一部分。

15 参见图 20A 和 20B, 利用常规的硅化工艺, 将栅堆叠中的多晶硅层 33 的上表面和左侧表面的一部分, 以及源极区域和漏极区域的外延硅层 41 的至少一部分, 转化为硅化物层 44, 以减小栅极、源/漏极与相应的金属接触之间的接触电阻。

例如, 首先淀积厚度约为 5-12nm 的 Ni 层, 然后在 300-500 °C 的温度下热处理 1-10 秒钟, 使得多晶硅层 33 和外延硅层 41 的至少一部分形成 NiSi, 最后利用湿法蚀刻去20 除未反应的 Ni。

在完成图 2-20 所示的步骤之后, 按照本领域公知的方法, 在所得到的半导体结构上形成层间绝缘层、位于层间绝缘层中的通孔、位于层间绝缘层上表面的布线或电极, 从而完成半导体器件的其它部分。

以上描述只是为了示例说明和描述本发明, 而非意图穷举和限制本发明。因此, 25 本发明不局限于所描述的实施例。对于本领域的技术人员明显可知的变型或更改, 均在本发明的保护范围之内。

权 利 要 求

1、一种半导体器件，包括：

SOI 衬底；

5 半导体鳍片，形成于所述 SOI 衬底上，所述鳍片包括立于所述 SOI 衬底表面相对的第一侧面和第二侧面，所述第二侧面相对于第一侧面的中间位置具有凹槽，所述凹槽背离所述第一侧面开口；

沟道区，形成于所述鳍片上第一侧面与第二侧面的凹槽之间；

源区和漏区，形成于所述鳍片上所述沟道区的两侧；

10 栅堆叠，与所述鳍片的第一侧面邻接形成在所述 SOI 衬底上；

其中，所述栅堆叠包括：第一栅介质层，背离所述第一侧面且与所述沟道区邻接形成；第一导体层，背离所述第一侧面且与所述第一栅介质层邻接形成；第二栅介质层，背离所述第一侧面且与所述第一导体层的侧面邻接形成；第二导体层，背离所述第一侧面与所述第二栅介质层的侧面邻接形成。

15 2、根据权利要求 1 所述的半导体器件，其中所述源区和漏区延伸到所述半导体鳍片上所述凹槽的两侧。

3、根据权利要求 1 所述的半导体器件，其中所述鳍片上的第二侧面的凹槽内填充有介质材料。

4、根据权利要求 1 所述的半导体器件，其中所述沟道区的厚度为 5-40nm。

20 5、根据权利要求 1 所述的半导体器件，进一步包括超陡后退阱，形成于所述沟道区与所述第二侧面的凹槽之间。

6、根据权利要求 1 所述的半导体器件，其中所述第一导体层或第二导体层由 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTa、NiTa、MoN_x、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSi、Ni₃Si、Pt、Ru、Ir、Mo、HfRu、RuO_x中的一种或多种的
25 组合形成。

7、根据权利要求 1 至 6 中任一项所述的半导体器件还包括应力层，所述应力层设置在所述源区和漏区上，并用于向所述源区和漏区施加应力。

8、根据权利要求 7 所述的半导体器件，其中所述源区和漏区的形状为凹进的台阶，所述应力层设置在所述台阶部分中。

30 9、根据权利要求 7 所述的半导体器件，其中所述应力层由 SiGe 或 Si:C 形成。

10、根据权利要求 1 至 6 中任一项所述的半导体器件，其中所述源区和漏区进一步包括：与所述源区和漏区邻接并朝着所述沟道区延伸的源延伸区和漏延伸区。

11、根据权利要求 1 至 6 中任一项所述的半导体器件，其中所述源区和漏区进一步包括：与所述源区和漏区邻接并朝着所述沟道区延伸的源晕环区和漏晕环区。

5 12、根据权利要求 1 至 6 中任一项所述的半导体器件，其中所述半导体鳍片由所述 SOI 衬底上的 SOI 层形成。

13、根据权利要求 12 所述的半导体器件，其中所述半导体鳍片形成在 BOX 层上。

14、一种制造半导体器件的方法，包括：

提供 SOI 衬底；

10 在所述 SOI 衬底上形成半导体鳍片，所述鳍片包括立于所述 SOI 衬底表面且相对的第一侧面和第二侧面；

在所述 SOI 衬底上形成栅堆叠，包括：背离所述第一侧面且与所述沟道区邻接形成第一栅介质层；背离所述第一侧面且与所述第一栅介质层邻接形成第一导体层；背离所述第一侧面且与所述第一导体层的侧面邻接形成第二栅介质层；背离所述第一侧面与第二栅介质层的侧面邻接形成第二导体层；

在所述鳍片两端形成源区和漏区；

在所述鳍片上与所述第二侧面邻接的位置进行刻蚀使得所述第二侧面形成凹槽，所述凹槽相对于所述第一侧面的中间位置且背离所述第一侧面开口，则在所述第一侧面与所述凹槽之间形成了沟道区。

20 15、根据权利要求 14 所述的方法，其中形成半导体鳍片包括：

在所述 SOI 衬底上构图形成叠层结构，所述叠层结构包括 SiGe 层、Si 层和绝缘层；

在所述叠层结构的第一侧壁上形成阻挡层和氮化物侧墙；以及

25 以所述阻挡层、氮化物侧墙、以及叠层结构为硬掩模，选择性刻蚀所述 SOI 衬底上的 SOI 层，以形成半导体鳍片。

16、根据权利要求 15 所述的方法，其中，在所述鳍片上与所述第二侧面邻接的位置进行刻蚀使得所述第二侧面形成凹槽，包括：

以所述阻挡层、氮化物侧墙作为硬掩膜，对所述叠层结构和半导体鳍片进行刻蚀。

17、根据权利要求 14 所述的方法，在形成沟道区之后，进一步包括：

30 在所述第一侧面与所述凹槽之间形成超陡后退阱。

18、根据权利要求 14 所述的方法，在所述鳍片两端形成源区和漏区包括 -

在所述半导体鳍片的两端形成开口，所述开口的底部保留预定厚度的 SOI 层，以形成源区和漏区；

19、根据权利要求 18 所述的方法，进一步包括在所述开口中外延生长 SiGe 或 Si:C，从而形成应力层。

20、根据权利要求 19 所述的方法，在外延生长 SiGe 或 Si:C 之前，该方法还包括：

采用倾角离子注入，从开口向鳍片的中间部分进行延伸注入以形成延伸区。

21、根据权利要求 19 所述的方法，在外延生长 SiGe 或 Si:C 之前，该方法还包括：

采用倾角离子注入，从开口向鳍片的中间部分进行晕环注入以形成晕环区。

22、根据权利要求 14 至 21 任一项所述的方法，进一步包括：在所述凹槽中填充介质材料。

1/12

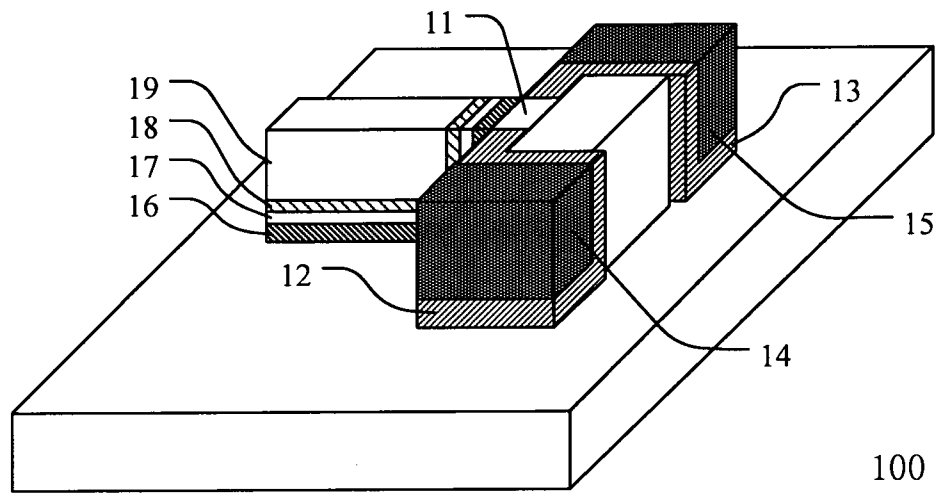


图1A

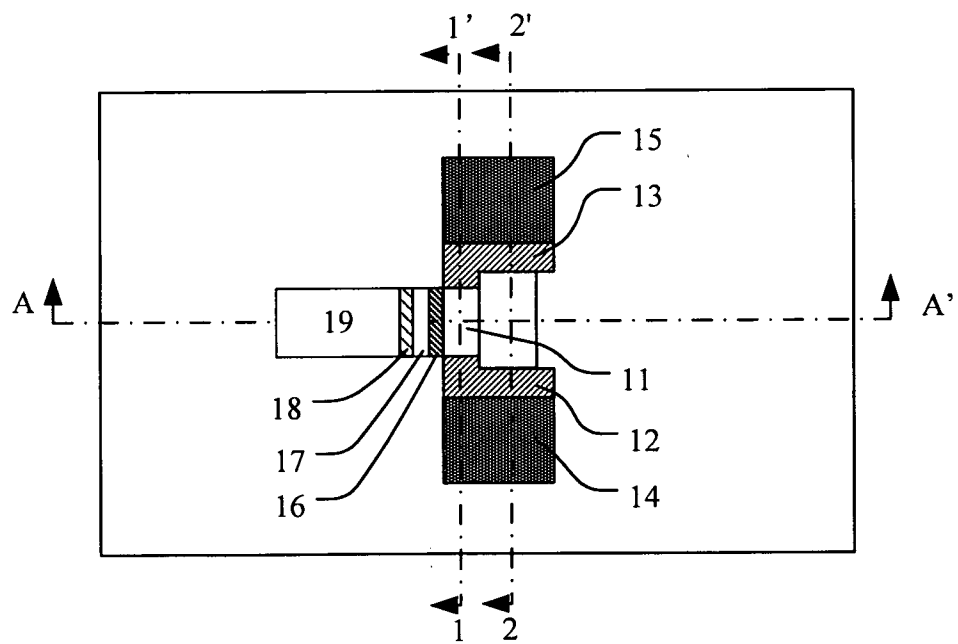


图1B

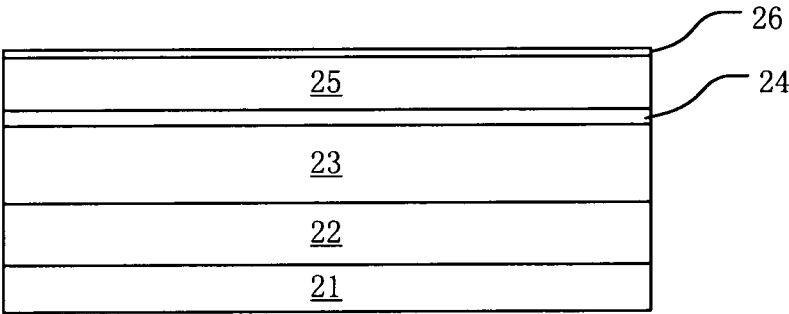


图2

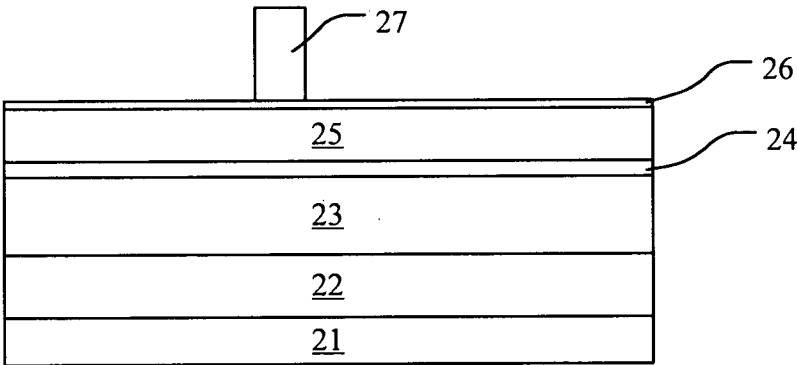


图3

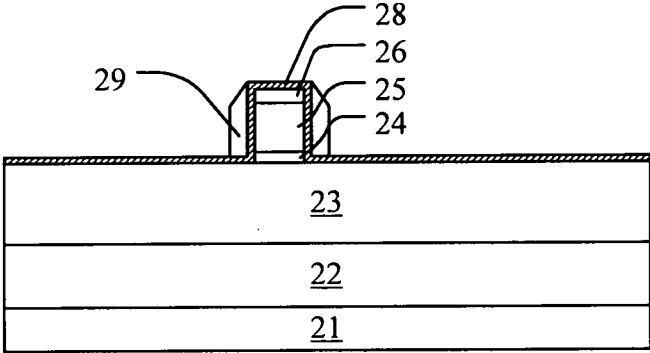


图4

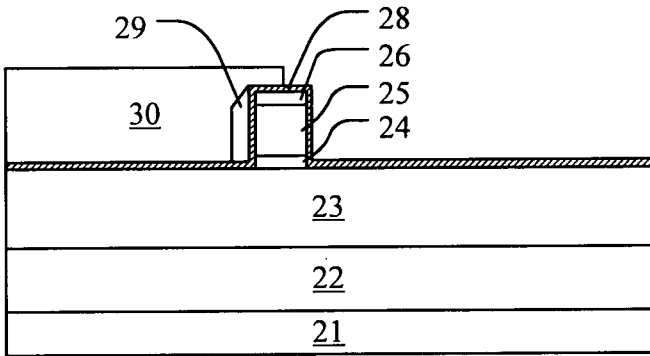


图5

4/12

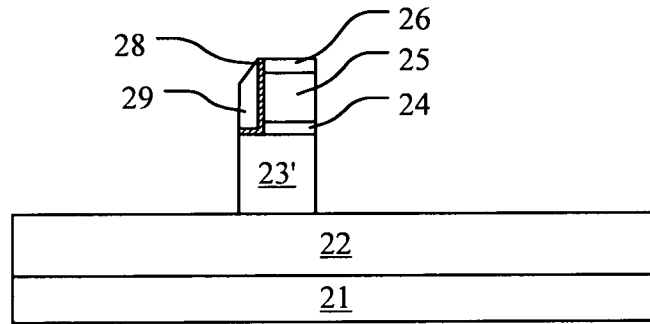


图6

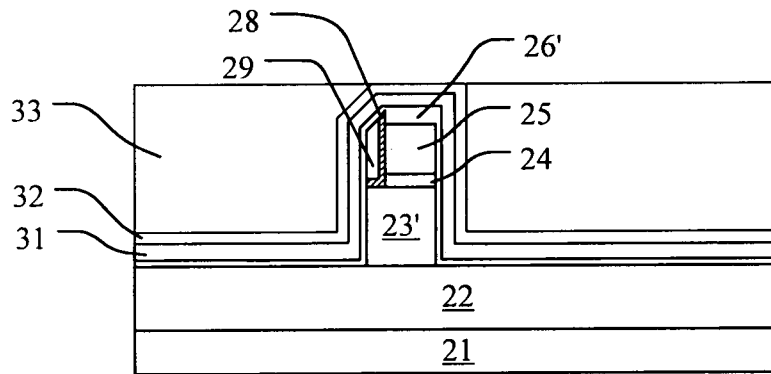


图7

5/12

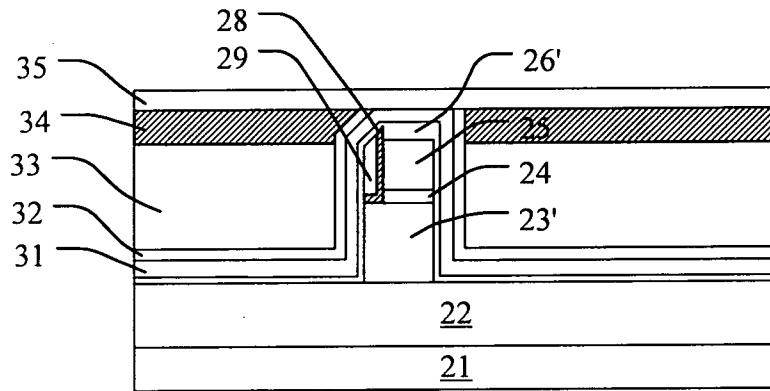


图8

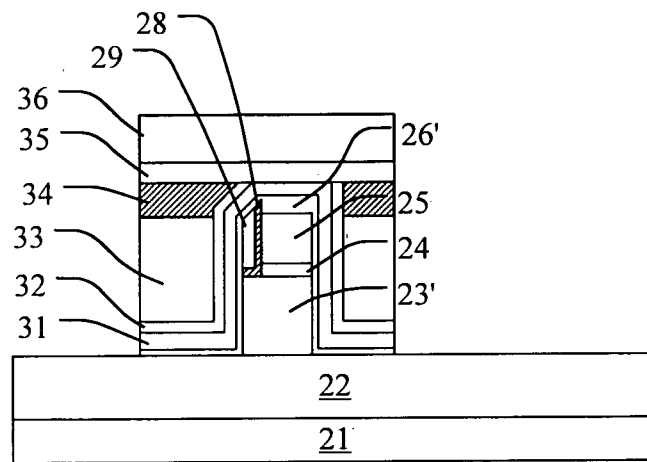


图9

6/12

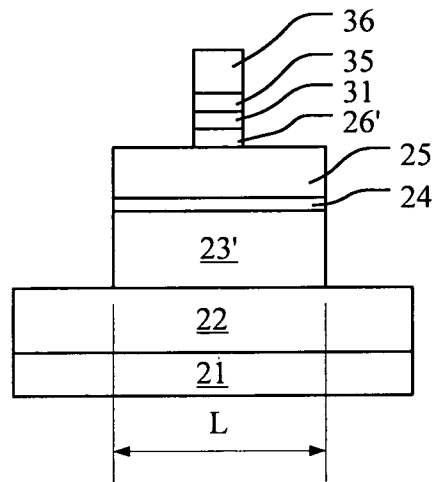


图10

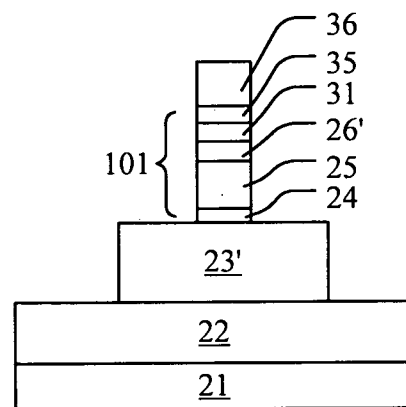


图11

7/12

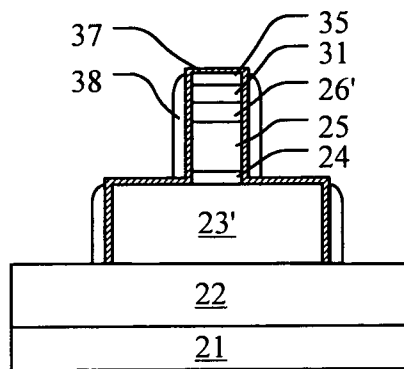


图12

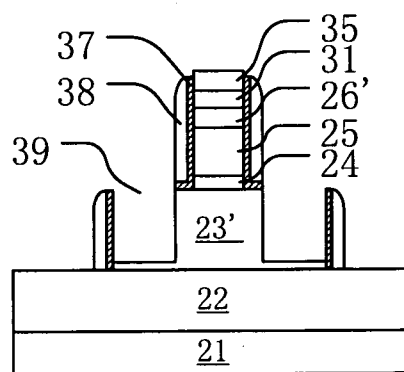


图13

8/12

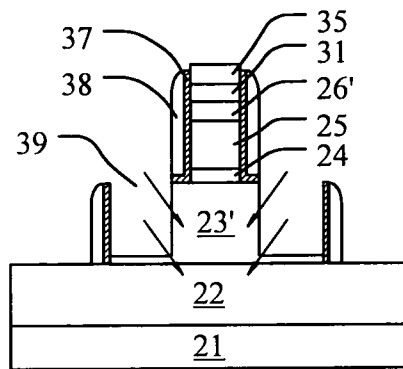


图14

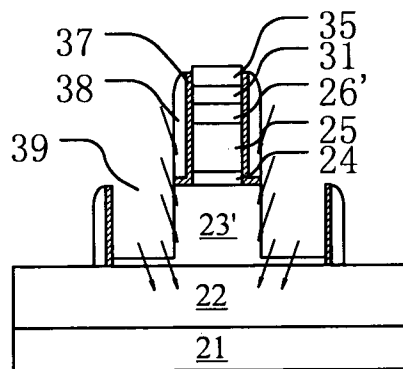


图15

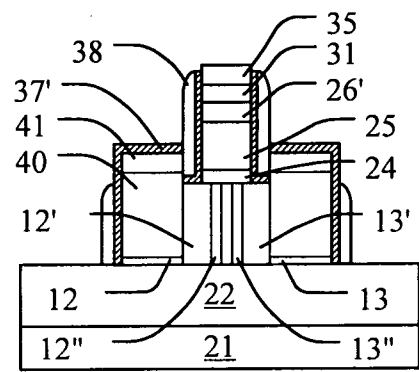


图16

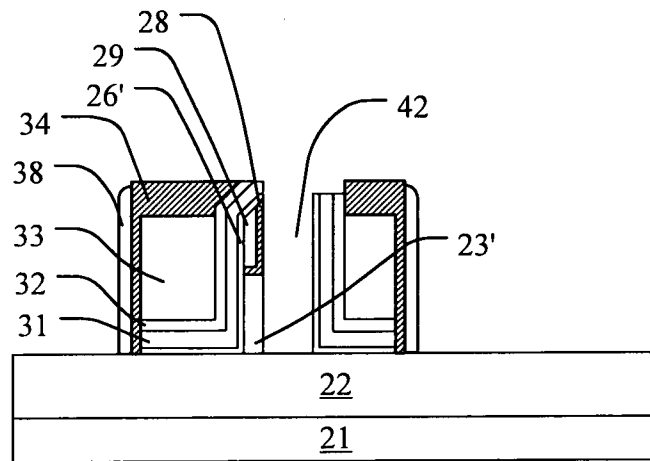


图17

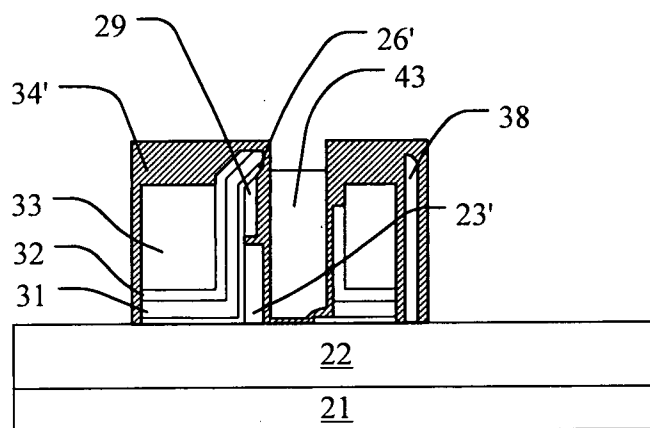


图18

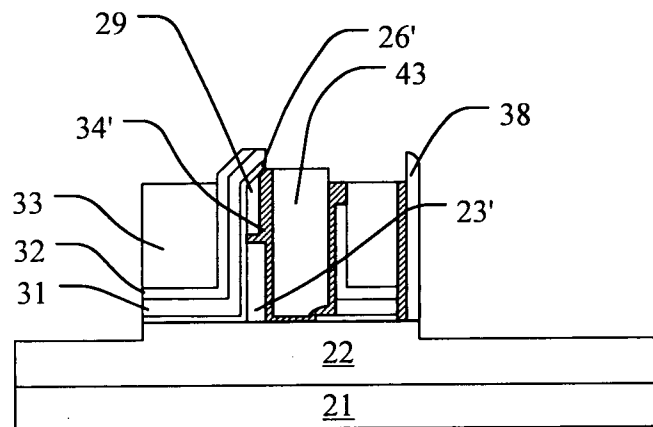


图19A

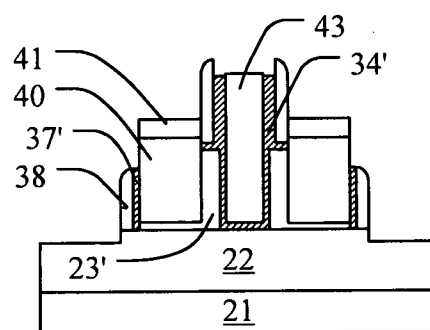


图19B

12/12

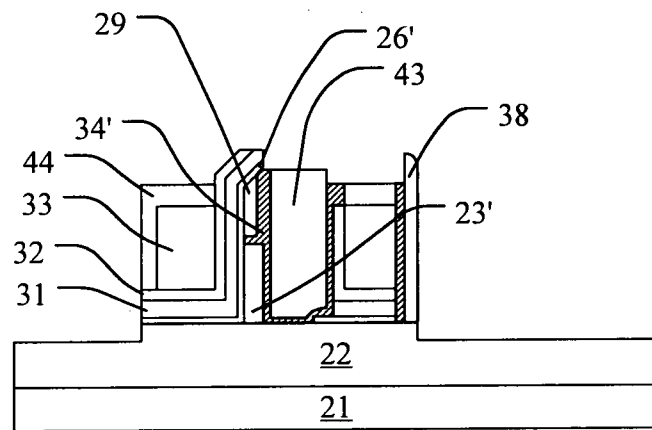


图20A

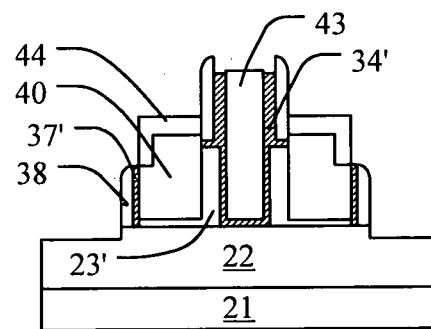


图20B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/001486

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/088(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNKI, CPRS, WPI, EPODOC: fin, recess, SOI, gate, stack, resist+, capacit+, parasitic

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category: *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US2008/0 17 1408A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 17 Jul. 2008 (17.07.2008) the whole document	1-22
A	CNI 73 1589A(TOSHIBA K K)08 Feb. 2006(08.02.2006) the whole document	1-22
A	US6413802B1(THE REGENTS OF THE UNIVERSITY OF CALIFORNIA)02 Jul. 2002 (02.07.2002) the whole document	1-22
A	US2007/0252211A1(Atsushi Yagishita)01 Nov. 2007(0 1.11.2007) the whole document	1-22

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 20 Mar.2011 (20.03.201 1)	Date of mailing of the international search report 07 Apr. 2011 (07.04.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd. Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer Zhi,Yue Telephone No. (86-10)62411788

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2010/001486

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2008/0171408A1	17.07.2008	JP2008172237A	24.07.2008
		CN101221928A	16.07.2008
		TW20083043 1A	16.07.2008
		US7691690B2	06.04.2010
		CN101221928B	09.06.2010
CN1731589A	08.02.2006	US2006027870A1	09.02.2006
		JP2006049627A	16.02.2006
		TW279002B1	11.04.2007
		TW200607094A	16.02.2006
US6413802B1	02.07.2002	NONE	
US2007/025221 1A1	01.11.2007	JP2007294757A	08.11.2007
		US7755104B2	13.07.2010

A. 主题的分类

H01L27/088(2006.01)i

按照国际专利分类(IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))CNKI, CPRS, WPI, EPODOC: 鳍片, 槽, 电阻, 电容, 栅极, 叠层, 寄生, fin, recess, SOI, gate, stack, resist+, capacit+, parasitic

C. 相关文件

类 型 *	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2008/0171408A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 17. 7 月 2008 (17.07.2008) 全文	1-22
A	CN1731589A (株式会社东芝) 08. 2 月 2006 (08.02.2006) 全文	1-22
A	US6413802B1 (THE REGENTS OF THE UNIVERSITY OF CALIFORNIA) 02.7 月 2002 (02.07.2002) 全文	1-22
A	US2007/025221 1A1 (Atsushi Yagishita) 01. 11 月 2007 (01. 11.2007) 全文	1-22



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当3/4之后公布在4 E 先申请或专4

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

20.3 月 201 1 (20.03.201 1)

国际检索报告邮寄日期

07.4 月 2011 (07.04.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 10008S

传真号: (86-10)62019451

受权官员

智月

电话号码: (86-10) 62411788

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/001486

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2008/0171408A1	17.07.2008	JP2008172237A	24.07.2008
		CN101221928A	16.07.2008
		TW20083043 1A	16.07.2008
		US7691690B2	06.04.2010
		CN101221928B	09.06.2010
CN1731589A	08.02.2006	US2006027870A1	09.02.2006
		JP2006049627A	16.02.2006
		TW279002B1	11.04.2007
		TW200607094A	16.02.2006
US6413802B1	02.07.2002	无	
US2007/025221 1A1	01.11.2007	JP2007294757A	08. 11.2007
		US7755 104B2	13.07.2010